

数据接收电路、数据接收系统以及存储装置

交叉引用

[0001] 本申请要求于 2022 年 06 月 23 日递交的名称为“数据接收电路、数据接收系统以及存储装置”、
5 申请号为 202210726556.3 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例涉及半导体技术领域，特别涉及一种数据接收电路、数据接收系统以及存储装置。

背景技术

[0003] 在存储器应用中，随着信号传输速率越来越快，信道损耗对信号质量的影响越来越大，容易导致
10 码间干扰。目前通常利用均衡电路对信道进行补偿，均衡电路可以选择 CTLE(Continuous Time Linear
Equalizer, 连续线性均衡电路)或 DFE(Decision Feedback Equalizer, 判决反馈均衡电路)。

[0004] 然而，虽然增设均衡电路可以对信号进行补偿，但在数据接收电路中的增设均衡电路会增加数据
接收电路的整体功耗。

发明内容

15 [0005] 本公开实施例提供一种数据接收电路、数据接收系统以及存储装置，至少有利于在提高数据接收
电路的接收性能的同时，降低数据接收电路的功耗。

[0006] 根据本公开一些实施例，本公开实施例一方面提供一种数据接收电路，包括：第一放大模块，被
配置为，接收数据信号和参考信号，响应于第一采样时钟信号对数据信号以及参考信号进行比较，并分别
通过第一节点和第二节点输出第一电压信号和第二电压信号；判决反馈控制模块，被配置为，响应于使能
20 信号生成第二采样时钟信号；判决反馈均衡模块，与所述第一节点以及所述第二节点连接，被配置为，在
所述使能信号具有第一电平值期间，响应于所述第二采样时钟信号并基于反馈信号执行判决反馈均衡，以
调整所述第一电压信号以及所述第二电压信号，在所述使能信号具有第二电平值期间，停止执行判决反馈
均衡，其中，所述反馈信号基于先前接收到的数据得到；第二放大模块，被配置为，对所述第一电压信号
与所述第二电压信号的电压差进行放大处理，并分别通过第三节点和第四节点输出第一输出信号和第二输
25 出信号。

[0007] 在一些实施例中，所述第一放大模块包括：第一电流源，被配置为，连接在电源节点和第五节点
之间，响应于所述第一采样时钟信号向所述第五节点提供电流；比较单元，连接所述第五节点、所述第一
节点以及所述第二节点，被配置为，接收所述数据信号和所述参考信号，当所述第一电流源响应于所述第
一采样时钟信号向所述第五节点提供电流时，对所述数据信号以及所述参考信号进行比较，并通过所述第
30 一节点输出所述第一电压信号，通过所述第二节点输出所述第二电压信号。

[0008] 在一些实施例中，所述第一电流源包括：第一 PMOS 管，连接在所述电源节点与所述第五节点之
间，所述第一 PMOS 管的栅极接收所述第一采样时钟信号。

[0009] 在一些实施例中，所述比较单元包括：第三 PMOS 管，连接在所述第五节点与所述第一节点之间，
所述第三 PMOS 管的栅极接收所述数据信号；第四 PMOS 管，连接在所述第五节点与所述第二节点之间，
35 所述第四 PMOS 管的栅极接收所述参考信号。

- [0010] 在一些实施例中, 所述第一放大模块还包括: 第一复位单元, 连接所述第一节点以及所述第二节点, 被配置为, 对所述第一节点以及所述第二节点进行复位。
- [0011] 在一些实施例中, 所述第一复位单元包括: 第一 NMOS 管, 连接在所述第一节点与地端之间, 所述第一 NMOS 管的栅极接收所述第一采样时钟信号; 第二 NMOS 管, 连接在所述第二节点与地端之间, 所述第二 NMOS 管的栅极接收所述第一采样时钟信号。
- [0012] 在一些实施例中, 所述反馈信号包括互为差分信号的第一反馈信号以及第二反馈信号; 所述判决反馈均衡模块包括: 第二电流源, 被配置为, 连接在电源节点与第六节点之间, 响应于所述第二采样时钟信号向所述第六节点提供电流; 第一判决反馈单元, 连接所述第一节点以及所述第六节点, 被配置为, 当所述第二电流源响应于所述第二采样时钟信号向所述第六节点提供电流时, 基于所述第一反馈信号对所述第一节点进行判决反馈均衡, 以调整所述第一电压信号; 第二判决反馈单元, 连接所述第二节点以及所述第六节点, 被配置为, 当所述第二电流源响应于所述第二采样时钟信号向所述第六节点提供电流时, 基于所述第二反馈信号对所述第二节点进行判决反馈均衡, 以调整所述第二电压信号。
- [0013] 在一些实施例中, 所述第二电流源包括: 第二 PMOS 管, 连接在所述电源节点与第六节点之间, 所述第二 PMOS 管的栅极接收所述第二采样时钟信号。
- [0014] 在一些实施例中, 所述第一判决反馈单元和所述第二判决反馈单元中的任一者均包括: 开关单元, 被配置为, 响应于所述反馈信号导通所述第六节点与第七节点; 调节单元, 连接在所述第七节点与输出节点之间, 所述输出节点为所述第一节点与第二节点之间的一者, 被配置为, 响应于控制信号调整所述第七节点与输出节点之间的等效电阻值的大小; 其中, 所述第一判决反馈单元中, 所述反馈信号为所述第一反馈信号, 所述输出节点为所述第一节点, 所述开关单元响应于所述第一反馈信号; 所述第二判决反馈单元中, 所述反馈信号为所述第二反馈信号, 所述输出节点为所述第二节点, 则所述开关单元响应于所述第二反馈信号。
- [0015] 在一些实施例中, 所述开关单元包括: 第五 PMOS 管, 连接在所述第六节点与第七节点之间, 所述第五 PMOS 管的栅极接收所述反馈信号。
- [0016] 在一些实施例中, 所述调节单元包括: 多个并联在所述第七节点与输出节点之间的晶体管组, 不同的所述晶体管组的控制端接收的所述控制信号不同, 且不同的所述晶体管组的等效电阻值不同。
- [0017] 在一些实施例中, 不同的所述晶体管组包括: 至少一个所述晶体管组由单个 MOS 管构成; 至少一个所述晶体管组包括至少两个串联的 MOS 管。
- [0018] 在一些实施例中, 所述第二放大模块包括: 输入单元, 连接所述第一节点以及所述第二节点, 被配置为, 对所述第一电压信号以及所述第二电压信号进行比较, 并分别向第八节点和第九节点提供第三电压信号以及第四电压信号; 锁存单元, 被配置为, 对所述第三电压信号以及所述第四电压信号进行放大并锁存, 并向所述第三节点输出所述第一输出信号, 向所述第四节点输出所述第二输出信号。
- [0019] 在一些实施例中, 所述输入单元包括: 第三 NMOS 管, 连接在所述第八节点与地端之间, 所述第三 NMOS 管的栅极接收所述第一电压信号; 第四 NMOS 管, 连接在所述第九节点与地端之间, 所述第四 NMOS 管的栅极接收所述第二电压信号。
- [0020] 在一些实施例中, 所述锁存单元包括: 第五 NMOS 管, 连接在所述第八节点与第三节点之间, 所述第五 NMOS 管的栅极接收所述第二输出信号; 第六 NMOS 管, 连接在所述第九节点与第四节点

之间,所述第六 NMOS 管的栅极接收所述第一输出信号;第六 PMOS 管,连接在电源节点与所述第三节点之间,所述第六 PMOS 管的栅极接收所述第二输出信号;第七 PMOS 管,连接在所述电源节点与所述第四节点之间,所述第七 PMOS 管的栅极接收所述第一输出信号。

5 [0021] 在一些实施例中,所述第二放大模块还包括:第二复位单元,连接所述锁存单元,被配置为,对所述锁存单元进行复位。

[0022] 在一些实施例中,所述第二复位单元包括:第八 PMOS 管,连接在电源节点和所述第三节点之间;第九 PMOS 管,连接在所述电源节点和所述第四节点之间,所述第八 PMOS 管的栅极和所述第九 PMOS 管的栅极均响应于第三采样时钟信号。

10 [0023] 在一些实施例中,所述判决反馈控制模块包括:与非门电路,一输入端接收第四采样时钟信号,另一输入端接收所述使能信号,输出端输出所述第二采样时钟信号。

[0024] 根据本公开一些实施例,本公开实施例另一方面还提供一种数据接收系统,包括:多个级联的数据传输电路,每一所述数据传输电路包括如前述任一项所述的数据接收电路以及连接所述数据接收电路的锁存电路,每一所述数据接收电路连接至数据端口,接收所述数据信号;上一级所述数据传输电路连接下一级所述数据传输电路的所述判决反馈均衡模块,上一级所述数据传输电路的输出作为下一级所述数据传输电路的所述判决反馈均衡模块的所述反馈信号;最后一级所述数据传输电路连接第一级所述数据传输电路的所述判决反馈均衡模块,最后一级所述数据传输电路的输出作为第一级所述数据传输电路的所述判决反馈均衡模块的所述反馈信号。

[0025] 根据本公开一些实施例,本公开实施例又一方面还提供一种存储装置,包括:多个数据端口;多个如前述任一项所述的数据接收系统,每一所述数据接收系统与一所述数据端口相对应。

20 [0026] 本公开实施例提供的技术方案至少具有以下优点:

[0027] 将判决反馈控制模块以及判决反馈均衡模块集成于数据接收电路中,利用判决反馈控制模块生成控制判决反馈均衡模块的第二采样时钟信号,以灵活控制判决反馈均衡模块是否处于工作状态。例如,只有使能信号处于第一电平值期间时,判决反馈均衡模块才会执行判决反馈均衡,以提高数据接收电路的接收性能;在使能信号处于第二电平值期间时,判决反馈均衡模块停止执行判决反馈均衡,即使得判决反馈均衡模块处于非工作状态,以降低数据接收电路整体的功耗。

30 [0028] 其中,通过判决反馈均衡模块调节第一输出信号以及第二输出信号,以减小码间干扰对数据接收的影响,相比于相关技术中,存储装置通过单独设置判决反馈均衡器以减小码间干扰的方式,本公开实施例有利于使用更小的电路布局面积以及更低的功耗实现对数据接收电路输出的信号的调整;以及通过灵活控制判决反馈均衡模块对第一输出信号和第二输出信号的调整能力,以降低数据接收电路接收的数据的码间干扰对数据接收电路的影响,以提高数据接收电路的接收性能,以及减小数据的码间干扰对数据接收电路输出的信号准确性的影响。

附图说明

35 [0029] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,这些示例性说明并不构成对实施例的限定,附图中具有相同参考数字标号的元件表示为类似的元件,除非有特别申明,附图中的图不构成比例限制;为了更清楚地说明本公开实施例或传统技术中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人

员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0030] 图1为本公开一实施例提供的数据接收电路的一种功能框图;

[0031] 图2为本公开另一实施例提供的数据接收系统的功能框图;

[0032] 图3至图4为本公开一实施例提供的数据接收电路的另外两种功能框图;

5 [0033] 图5为本公开一实施例提供的数据接收电路的一种电路结构示意图;

[0034] 图6至图7为本公开一实施例提供的数据接收电路中第一判决反馈单元的两种电路结构示意图;

[0035] 图8为本公开一实施例提供的数据接收电路的另一种电路结构示意图。

具体实施方式

[0036] 本公开实施例提供一种数据接收电路、数据接收系统以及存储装置,数据接收电路中,将判决反
10 馈控制模块以及判决反馈均衡模块均集成于数据接收电路中,利用判决反馈控制模块生成控制判决反
馈均衡模块的第二采样时钟信号,以灵活控制判决反馈均衡模块是否处于工作状态。譬如,在需要降低码间干
扰对数据接收电路的影响时,即使能信号处于第一电平值期间时,基于判决反馈控制模块输出的第二采样
时钟信号控制判决反馈均衡模块执行判决反馈均衡,以提高数据接收电路的接收性能;在无需考虑码间干
15 扰对数据接收电路的影响时,即使能信号处于第二电平值期间时,基于判决反馈控制模块输出的第二采样
时钟信号控制判决反馈均衡模块停止执行判决反馈均衡,以降低数据接收电路整体的功耗,如此,有利于
在可以实现提高数据接收电路的接收性能的同时,还可以实现对数据接收电路的整体功耗的降低。

[0037] 下面将结合附图对本公开的各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,
在本公开各实施例中,为了使读者更好地理解本公开实施例而提出了许多技术细节。但是,即使没有这些
技术细节和基于以下各实施例的种种变化和修改,也可以实现本公开实施例所要求保护的技术方案。

20 [0038] 本公开一实施例提供一种数据接收电路,以下将结合附图对本公开一实施例提供的数据接收电路
进行详细说明。图1为本公开一实施例提供的数据接收电路的一种功能框图;图3至图4为本公开一实施
例提供的数据接收电路的另外两种功能框图;图5为本公开一实施例提供的数据接收电路的一种电路结构
示意图;图6至图7为本公开一实施例提供的数据接收电路中第一判决反馈单元的两种电路结构示意图;
图8为本公开一实施例提供的数据接收电路的另一种电路结构示意图。

25 [0039] 参考图1,数据接收电路100包括:第一放大模块101,被配置为,接收数据信号DQ和参考信
号Vref,响应于第一采样时钟信号CLK1对数据信号DQ以及参考信号Vref进行比较,并分别通过第一节
点n_stg1和第二节点p_stg1输出第一电压信号和第二电压信号;判决反馈控制模块104,被配置为,响应
于使能信号DfeEn生成第二采样时钟信号CLK2;判决反馈均衡模块103,与第一节点n_stg1以及第二节
30 点p_stg1连接,被配置为,在使能信号DfeEn具有第一电平值期间,响应于第二采样时钟信号CLK2并基
于反馈信号fb执行判决反馈均衡,以调整第一电压信号以及第二电压信号,在使能信号DfeEn具有第二
电平值期间,停止执行判决反馈均衡,其中,反馈信号fb基于先前接收到的数据得到;第二放大模块102,
被配置为,对第一电压信号与第二电压信号的电压差进行放大处理,并分别通过第三节点net3(参考图5)
和第四节点net4(参考图5)输出第一输出信号Vout和第二输出信号VoutN。

[0040] 需要说明的是,数据接收电路100采用两级放大模块,即第一放大模块101和第二放大模块102
35 对数据信号DQ和参考信号Vref进行处理,有利于增强数据接收电路100的放大能力,增大第一输出信号

Vout 和第二输出信号 VoutN 的电压幅度, 便于后续电路的处理。

- [0041] 此外, 利用判决反馈控制模块 104 生成控制判决反馈均衡模块 103 的第二采样时钟信号 CLK2, 以灵活控制判决反馈均衡模块 103 是否处于工作状态。譬如, 在需要降低码间干扰对数据接收电路 100 的影响时, 即使能信号 DfeEn 处于第一电平值期间时, 判决反馈控制模块 104 响应于此时的使能信号 DfeEn 生成第二采样时钟信号 CLK2, 判决反馈均衡模块 103 基于该第二采样时钟信号 CLK2 执行判决反馈均衡, 以提高数据接收电路 100 的接收性能; 在无需考虑码间干扰对数据接收电路 100 的影响时, 即使能信号 DfeEn 处于第二电平值期间时, 判决反馈均衡模块 103 基于此时的第二采样时钟信号 CLK2 停止执行判决反馈均衡, 以降低数据接收电路 100 整体的功耗, 如此, 有利于在可以实现提高数据接收电路 100 的接收性能的同时, 还可以实现对数据接收电路 100 的整体功耗的降低。
- [0042] 其中, 将判决反馈均衡模块 103 集成于数据接收电路 100 中, 有利于使用更小的电路布局面积以及更低的功耗实现对数据接收电路 100 输出的信号的调整。而且, 本公开一实施例提供的判决反馈均衡模块 103 对第一输出信号 Vout 以及第二输出信号 VoutN 的调整能力可调, 可以理解的是, 在数据接收电路 100 接收的数据信号 DQ 和/或参考信号 Vref 变化时, 可以灵活控制判决反馈均衡模块 103 对第一输出信号 Vout 以及第二输出信号 VoutN 的调整能力, 以降低数据接收电路 100 接收的数据的码间干扰对数据接收电路 100 的影响, 以提高数据接收电路 100 的接收性能, 以及减小数据的码间干扰对数据接收电路 100 输出的信号准确性的影响。

- [0043] 在一些实施例中, 参考图 3, 第一放大模块 101 可以包括: 第一电流源 111, 被配置为, 连接在电源节点 Vcc (参考图 5) 和第五节点 net5 之间, 响应于第一采样时钟信号 CLK1 向第五节点 net5 提供电流; 比较单元 121, 连接第五节点 net5、第一节点 n_stg1 以及第二节点 p_stg1, 被配置为, 接收数据信号 DQ 和参考信号 Vref, 当第一电流源 111 响应于第一采样时钟信号 CLK1 向第五节点 net5 提供电流时, 对数据信号 DQ 以及参考信号 Vref 进行比较, 并通过第一节点 n_stg1 输出第一电压信号, 通过第二节点 p_stg1 输出第二电压信号。

- [0044] 可以理解的是, 比较单元 121 可以基于数据信号 DQ 和参考信号 Vref 之间的差异, 控制提供给第一节点 n_stg1 处的电流与提供给第二节点 p_stg1 处的电流的差异, 以输出第一电压信号和第二电压信号。
- [0045] 以下结合图 5 和图 8 对第一放大模块 101 进行详细说明。

- [0046] 在一些实施例中, 参考图 5 和图 8, 第一电流源 111 可以包括: 第一 PMOS 管 MP1, 连接在电源节点 Vcc 与第五节点 net5 之间, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 CLK1。在第一采样时钟信号 CLK1 为低电平时, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 CLK1 以导通, 向第五节点 net5 提供电流, 使得比较单元 121 处于工作状态, 对接收的数据信号 DQ 和参考信号 Vref 进行比较。

- [0047] 在一些实施例中, 继续参考图 5 和图 8, 比较单元 121 可以包括: 第三 PMOS 管 MP3, 连接在第五节点 net5 与第一节点 n_stg1 之间, 第三 PMOS 管 MP3 的栅极接收数据信号 DQ; 第四 PMOS 管 MP4, 连接在第五节点 net5 与第二节点 p_stg1 之间, 第四 PMOS 管 MP4 的栅极接收参考信号 Vref。

- [0048] 需要说明的是, 数据信号 DQ 和参考信号 Vref 的电平值变化不同步, 使得接收数据信号 DQ 的第三 PMOS 管 MP3 的导通时刻不同于接收参考信号 Vref 的第四 PMOS 管 MP4 的导通时刻, 且同一时刻下, 第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度。可以理解的是, 基于第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度, 第三 PMOS 管 MP3 与第四 PMOS 管 MP4 对第五节点 net5 处的电流的分流能力也不同, 使得第一节点 n_stg1 处的电压与第二节点 p_stg1 处的电压不

同。

[0049] 在一个例子中,数据信号 DQ 的电平值低于参考信号 Vref 的电平值时,第三 PMOS 管 MP3 的导通程度大于第四 PMOS 管 MP4 的导通程度,使得第五节点 net5 处的电流更多的流入第三 PMOS 管 MP3 所在的通路,使得第一节点 n_stg1 处的电流大于第二节点 p_stg1 处的电流,从而进一步使得第一节点 n_stg1 输出的第一电压信号电平值高,第二节点 p_stg1 输出的第二电压信号电平值低。

[0050] 在一些实施例中,参考图 3 和图 4,第一放大模块 101 还可以包括:第一复位单元 131,连接第一节点 n_stg1 以及第二节点 p_stg1,被配置为,对第一节点 n_stg1 以及第二节点 p_stg1 进行复位。如此,在数据接收电路完成一次数据信号 DQ 以及参考信号 Vref 的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后,可以通过第一复位单元 131 将第一节点 n_stg1 和第二节点 p_stg1 处的电平值恢复为初始值,以便于后续数据接收电路进行下一次数据接收以及处理。

[0051] 在一些实施例中,参考图 5 和图 8,第一复位单元 131 可以包括:第一 NMOS 管 MN1,连接在第一节点 n_stg1 与地端之间,第一 NMOS 管 MN1 的栅极接收第一采样时钟信号 CLK1;第二 NMOS 管 MN2,连接在第二节点 p_stg1 与地端之间,第二 NMOS 管 MN2 的栅极接收第一采样时钟信号 CLK1。

[0052] 在一个例子中,在第一采样时钟信号 CLK1 为低电平时,第一 PMOS 管 MP1 导通,此时第一 NMOS 管 MN1 和第二 NMOS 管 MN2 均关断,以保证数据接收电路的正常工作,同时第一 NMOS 管 MN1 和第二 NMOS 管 MN2 可以作为第一放大模块 101 的负载,以增加第一放大模块 101 的放大增益;在第一采样时钟信号 CLK1 为高电平时,第一 PMOS 管 MP1 关断,此时第一 NMOS 管 MN1 和第二 NMOS 管 MN2 均导通,以下拉第一节点 n_stg1 处的电压以及第二节点 p_stg1 处的电压,实现对第一节点 n_stg1 以及第二节点 p_stg1 的复位。

[0053] 在一些实施例中,参考图 3 和图 4,反馈信号 fb 包括互为差分信号的第一反馈信号 fbn 以及第二反馈信号 fbp;判决反馈均衡模块 103 可以包括:第二电流源 133,被配置为,连接在电源节点 Vcc (参考图 5) 与第六节点 net6 之间,响应于第二采样时钟信号 CLK2 向第六节点 net6 提供电流;第一判决反馈单元 113,连接第一节点 n_stg1 以及第六节点 net6,被配置为,当第二电流源 133 响应于第二采样时钟信号 CLK2 向第六节点 net6 提供电流时,基于第一反馈信号 fbn 对第一节点 n_stg1 进行判决反馈均衡,以调整第一电压信号;第二判决反馈单元 123,连接第二节点 p_stg1 以及第六节点 net6,被配置为,当第二电流源 133 响应于第二采样时钟信号 CLK2 向第六节点 net6 提供电流时,基于第二反馈信号 fbp 对第二节点 p_stg1 进行判决反馈均衡,以调整第二电压信号。

[0054] 可以理解的是,第一放大模块 101 中的电流源为第一电流源 111,判决反馈均衡模块 103 中的电流源为第二电流源 133,可见,利用不同的电流源分别给第一放大模块 101 和判决反馈均衡模块 103 提供电流,使得判决反馈均衡模块 103 具有独立的第二电流源 133,以实现单独控制判决反馈均衡模块 103 是否处于工作状态。

[0055] 其中,第二采样时钟信号 CLK2 受使能信号 DfeEn 的控制,使能信号 DfeEn 处于第一电平值期间时,第二电流源 133 响应于此时的第二采样时钟信号 CLK2 向第六节点 net6 提供电流,使得此时第一判决反馈单元 113 可以基于接收到的第一反馈信号 fbn 对第一节点 n_stg1 进行判决反馈均衡,以调整第一电压信号,以及使得此时第二判决反馈单元 123 可以基于接收到的第二反馈信号 fbp 对第二节点 p_stg1 进行判决反馈均衡,以调整第二电压信号。如此,以实现在使能信号 DfeEn 具有第一电平值期间,判决反馈均衡模块 103 响应于第二采样时钟信号 CLK2 并基于反馈信号 fb 执行判决反馈均衡,以调整第一电压信号以及

第二电压信号。

[0056] 使能信号 DfeEn 具有第二电平值期间时，第二电流源 133 响应于此时的第二采样时钟信号 CLK2 处于断开状态，即不会向第六节点 net6 提供电流，进一步使得第一判决反馈单元 113 和第二判决反馈单元 123 中均没有电流通过，以实现判决反馈均衡模块 103 停止执行判决反馈均衡的目的，也有利于降低数据接收电路 100 整体的功耗。

[0057] 其中，第一判决反馈单元 113 用于调节第三 PMOS 管 MP3 中的电流，以调节第一节点 n_stg1 处的电压，等效于调节数据信号 DQ，第二判决反馈单元 123 用于调节第四 PMOS 管 MP4 中的电流，以调节第二节点 p_stg1 处的电压，等效于调节参考信号 Vref。

[0058] 需要说明的是，第二放大模块 102 接收第一电压信号以及第二电压信号，并对第一电压信号与第二电压信号的电压差进行放大处理，以输出第一输出信号 Vout 和第二输出信号 VoutN，即第一输出信号 Vout 和第二输出信号 VoutN 受第一电压信号和第二电压信号的影响，判决反馈均衡模块 103 基于反馈信号 fb 对第一电压信号以及第二电压信号进行调整，也可以进一步实现对第一输出信号 Vout 以及第二输出信号 VoutN 的调整。而且，后续将结合具体的电路图对判决反馈均衡模块 103 对第一电压信号以及第二电压信号的调整进行详细说明。

[0059] 在一些实施例中，参考图 5 和图 8，第二电流源 133 可以包括：第二 PMOS 管 MP2，连接在电源节点 Vcc 与第六节点 net6 之间，第二 PMOS 管 MP2 的栅极接收第二采样时钟信号 CLK2。

[0060] 在一个例子中，在使能信号 DfeEn 具有第一电平值期间，判决反馈控制模块 104 响应于使能信号 DfeEn 生成第二采样时钟信号 CLK2，在第二采样时钟信号 CLK2 为低电平时，第二 PMOS 管 MP2 的栅极接收此时的第二采样时钟信号 CLK2 而导通，以向第六节点 net6 提供电流，进一步使得判决反馈均衡模块 103 响应于此时的第二采样时钟信号 CLK2 并基于反馈信号 fb 执行判决反馈均衡，以调整第一电压信号以及第二电压信号；在使能信号 DfeEn 具有第二电平值期间，判决反馈控制模块 104 响应于此时的使能信号 DfeEn 生成的第二采样时钟信号 CLK2 始终为高电平，第二 PMOS 管 MP2 的栅极接收此时的第二采样时钟信号 CLK2 而关断，不会向第六节点 net6 提供电流，进一步使得判决反馈均衡模块 103 停止执行判决反馈均衡，以降低数据接收电路 100 整体的功耗。

[0061] 在一些实施例中，继续参考图 5 和图 8，判决反馈控制模块 104 可以包括：与非门电路 114，一输入端接收第四采样时钟信号 CLK4，另一输入端接收使能信号 DfeEn，输出端输出第二采样时钟信号 CLK2。

[0062] 需要说明的是，在一个例子中，使能信号 DfeEn 的第一电平值期间指的是：使得判决反馈控制模块 104 判断使能信号 DfeEn 为逻辑电平 1 的电平值范围，即高电平；使能信号 DfeEn 的第二电平值期间指的是：使得判决反馈控制模块 104 判断使能信号 DfeEn 为逻辑电平 0 的电平值范围，即低电平。

[0063] 在一个例子中，在需要降低码间干扰对数据接收电路 100 的影响时，使能信号 DfeEn 处于第一电平值期间，即使使能信号 DfeEn 为高电平，此时与非门电路 114 输出的第二采样时钟信号 CLK2 的相位与第四采样时钟信号 CLK4 的相位相反，当第二采样时钟信号 CLK2 为低电平时，第二 PMOS 管 MP2 的栅极接收此时的第二采样时钟信号 CLK2 而导通，以向第六节点 net6 提供电流，而且，第一采样时钟信号 CLK1 的相位与第二采样时钟信号 CLK2 的相位同步，在第一采样时钟信号 CLK1 和第二采样时钟信号 CLK2 均为低电平时，使得判决反馈均衡模块 103 和第一放大模块 101 均处于工作状态，以降低码间干扰对数据接收电路 100 的影响；在无需考虑码间干扰对数据接收电路 100 的影响时，使能信号 DfeEn 处于第二电平值期

间,即使能信号 DfeEn 为低电平,此时无论第四采样时钟信号 CLK4 为高电平还是低电平,与非门电路 114 输出的第二采样时钟信号 CLK2 均为高电平,第二 PMOS 管 MP2 的栅极接收此时的第二采样时钟信号 CLK2 而关断,不会向第六节点 net6 提供电流,即判决反馈均衡模块 103 处于非工作状态。

[0064] 需要说明的是,图 5 和图 8 中以与非门电路 114 仅包括一个与非门为示例,在实际应用中,对与非门电路 114 的具体构造不做限制,能实现与非门逻辑的电路均可以为与非门电路 114。

[0065] 在一些实施例中,参考图 6 和图 7,第一判决反馈单元 113 和第二判决反馈单元 123 中的任一者均包括:开关单元 1131,被配置为,响应于反馈信号 fb 导通第六节点 net6 与第七节点 net7;调节单元 1132,连接在第七节点 net7 与输出节点之间,输出节点为第一节点 n_stg1 与第二节点 p_stg1 之间的一者,被配置为,响应于控制信号调整第七节点 net7 与输出节点之间的等效电阻值的大小;其中,第一判决反馈单元 113 中,反馈信号为第一反馈信号 fbn,输出节点为第一节点 n_stg1,开关单元 1131 响应于第一反馈信号 fbn;第二判决反馈单元 123 中,反馈信号为第二反馈信号 fbp,输出节点为第二节点 p_stg1,则开关单元 1131 响应于第二反馈信号 fbp。

[0066] 其中,第一判决反馈单元 113 中的开关单元 1131 基于第一反馈信号 fbn 处于导通或关断,第二判决反馈单元 123 中的开关单元 1131 基于第二反馈信号 fbp 处于导通或关断。无论是第一判决反馈单元 113 还是第二判决反馈单元 123,在开关单元 1131 处于导通时,调节单元 1132 才会处于工作状态,以调节第一节点 n_stg1 或第二节点 p_stg1 处的电压。

[0067] 在一些实施例中,继续参考图 6 和图 7,开关单元 1131 可以包括:第五 PMOS 管 MP5,连接在第六节点 net6 与第七节点 net7 之间,第五 PMOS 管 MP5 的栅极接收反馈信号 fb。

[0068] 需要说明的是,图 6 和图 7 中仅以第五 PMOS 管 MP5 的栅极接收的是第一反馈信号 fbn,输出节点为第一节点 n_stg1 为示例,图 6 和图 7 中显示的是第一判决反馈单元 113 的具体构造,在实际应用中,第二判决反馈单元 123 的具体构造与第一判决反馈单元 113 的具体构造类似,区别在于第二判决反馈单元 123 中的第五 PMOS 管 MP5 的栅极接收的是第二反馈信号 fbp,输出节点为第二节点 p_stg1,其他地方均相同。

[0069] 在一个例子中,若第一判决反馈单元 113 中的开关单元 1131 接收的第一反馈信号 fbn 为低电平,第五 PMOS 管 MP5 导通,此时调节单元 1132 基于控制信号调节第一节点 n_stg1 处的电压。在另一个例子中,若第二判决反馈单元 123 中的开关单元 1131 接收的第二反馈信号 fbp 为低电平,第五 PMOS 管 MP5 导通,此时调节单元 1132 基于控制信号调节第二节点 p_stg1 处的电压。

[0070] 在一些实施例中,继续参考图 6 和图 7,调节单元 1132 可以包括:多个并联在第七节点 net7 与输出节点之间的晶体管组,不同的晶体管组的控制端接收的控制信号不同,且不同的晶体管组的等效电阻值不同。可以理解的是,不同的晶体管组的等效电阻值的不同使得调节单元 1132 整体的等效电阻灵活可控,不同的晶体管组的控制端接收的控制信号不同,则可以通过控制信号选择处于导通状态的晶体管组的数量,以实现对调节单元 1132 整体的等效电阻的调节,从而实现对第一节点 n_stg1 处的电压的灵活控制。

[0071] 在一个例子中,参考图 6,调节单元 1132 可以包括三个并联在第七节点 net7 和第一节点 n_stg1 之间的单个 MOS 管,依次为第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03,其中,第一 MOS 管 M01 的栅极接收的是第一控制信号 DfeTrim<2>,第二 MOS 管 M02 的栅极接收的是第二控制信号 DfeTrim<1>、第三 MOS 管 M03 的栅极接收的是第三控制信号 DfeTrim<0>。

[0072] 在一些实施例中, 参考图 7, 不同的晶体管组可以包括: 至少一个晶体管组由单个 MOS 管构成; 至少一个晶体管组包括至少两个串联的 MOS 管。如此, 可以通过使用相互串联的若干沟道宽长比相同的单个 MOS 管组成一个晶体管组, 以调节该晶体管组的等效沟道宽长比, 以实现调节单元 1132 的多样化设计。可以理解的是, 晶体管组的等效沟道宽长比的不同可以使得晶体管组的等效电阻不同。

5 [0073] 在一个例子中, 调节单元可以包括三个并联在第七节点和第一节点之间的第一晶体管组、第二晶体管组以及第三晶体管组, 其中, 第一晶体管组包括第一 MOS 管, 第一 MOS 管的栅极接收的是第一控制信号; 第二晶体管组包括第二 MOS 管, 第二 MOS 管的栅极接收的是第二控制信号; 第三晶体管组包括相互串联的第三 MOS 管和第四 MOS 管, 第四 MOS 管的第一端与第七节点连接, 第四 MOS 管的第二端与第三 MOS 管的第一端连接, 第三 MOS 管的第二端与第一节点连接, 第三 MOS 管的栅极和第四 MOS 管的栅极接收的均是第三控制信号。

[0074] 在另一个例子中, 参考图 7, 调节单元 1132 除了包括上述例子中的第一晶体管组 13、第二晶体管组 23 以及第三晶体管组 33 之外, 还可以包括: 并联在第七节点 net7 和第一节点 n_stg1 之间的第四晶体管组 43 以及第五晶体管组 53, 其中, 第一晶体管组 13 包括第一 MOS 管 M01, 第一 MOS 管 M01 的栅极接收的是第一控制信号 DfeTrim<2>; 第二晶体管组 23 包括第二 MOS 管 M02, 第二 MOS 管 M02 的栅极接收的是第二控制信号 DfeTrim<1>; 第三晶体管组 33 包括相互串联的第三 MOS 管 M03 和第四 MOS 管 M04, 第四 MOS 管 M04 的第一端与第七节点 net7 连接, 第四 MOS 管 M04 的第二端与第三 MOS 管 M03 的第一端连接, 第三 MOS 管 M03 的第二端与第一节点 n_stg1 连接, 第三 MOS 管 M03 的栅极和第四 MOS 管 M04 的栅极接收的均是第三控制信号 DfeTrim<0>; 第四晶体管组 43 包括第五 MOS 管 M05, 第五 MOS 管 M05 的栅极接收的是第四控制信号 DfePerPin<1>; 第五晶体管组 53 包括相互串联的第六 MOS 管 M06 和第七 MOS 管 M07, 第七 MOS 管 M07 的第一端与第七节点 net7 连接, 第七 MOS 管 M07 的第二端与第六 MOS 管 M06 的第一端连接, 第六 MOS 管 M06 的第二端与第一节点 n_stg1 连接, 第六 MOS 管 M06 和第七 MOS 管 M07 的栅极接收的均是第五控制信号 DfePerPin<0>。

[0075] 需要说明的是, 上述三种示例中, 第一控制信号 DfeTrim<2>、第二控制信号 DfeTrim<1>以及第三控制信号 DfeTrim<0>可以是所有数据接收电路 100 通用的, 即对于与不同 DQ 端口相连的不同数据接收电路 100 而言, 提供给不同数据接收电路 100 的第一控制信号 DfeTrim<2>、第二控制信号 DfeTrim<1>以及第三控制信号 DfeTrim<0>相同。此外, 图 7 所示的示例中, 第四控制信号 DfePerPin<1>和第五控制信号 DfePerPin<0>是根据每一个 DQ 端口单独进行设计的, 可以理解的是, 对于每一个 DQ 端口的不同数据接收电路, 例如与端口 DQ1 相连接的第一数据接收电路和与端口 DQ2 相连接的第二数据接收电路, 第一数据接收电路中的第四控制信号 DfePerPin<1>和第五控制信号 DfePerPin<0>是基于端口 DQ1 进行设计的, 第二数据接收电路中的第四控制信号 DfePerPin<1>和第五控制信号 DfePerPin<0>是基于端口 DQ2 进行设计的。由于不同的 DQ 端口接收的数据受到的码间干扰不同, 每个数据信号 DQ 在传输路径中受到的干扰也不相同, 针对每一个 DQ 端口接收的数据信号 DQ 单独设计不同的第四控制信号 DfePerPin<1>和第五控制信号 DfePerPin<0>, 有利于通过调节单元 1132 针对性的对每一个 DQ 端口进行调节, 以进一步提供数据接收电路的接收性能。其中, DQ 端口即为数据接收电路用来接收数据信号 DQ 的端口。

35 [0076] 上述实施例中, 参考图 6 和图 7, 不同的晶体管组可以包括: 相互并联的第一晶体管组 13、第二晶体管组 23 以及第三晶体管组 33, 第一晶体管组 13 的沟道等效宽长比为第二晶体管组 23 的沟道等效宽长比的 2 倍, 第二晶体管组 23 的沟道等效宽长比为第三晶体管组 33 的沟道等效宽长比的 2 倍。如此, 第一晶体管组 13 的等效电阻、第二晶体管组 23 的等效电阻以及第三晶体管组 33 的等效电阻的比值为 1: 2:

4, 以使得调节单元 1132 总的等效电阻可线性调节, 从而实现对第一节点 n_stg1 处的电压和第二节点 p_stg1 处的电压的线性调节。

[0077] 需要说明的是, 上述仅是以第一晶体管组 13 的沟道等效宽长比与第二晶体管组 23 的沟道等效宽长比的比值为 2, 第二晶体管组 23 的沟道等效宽长比与第三晶体管组 33 的沟道等效宽长比的比值为 2 进行示例性说明, 在实际应用中, 第一晶体管组 13 的沟道等效宽长比与第二晶体管组 23 的沟道等效宽长比的比值, 或者第二晶体管组 23 的沟道等效宽长比与第三晶体管组 33 的沟道等效宽长比的比值也可以为其其他数值, 例如 3 或者 4 等。

[0078] 需要说明的是, 图 6 中可以通过控制第一 MOS 管 M01 的沟道宽长比为第二 MOS 管 M02 的沟道宽长的 2 倍, 以实现第一晶体管组 13 的沟道等效宽长比为第二晶体管组 23 的沟道等效宽长比的 2 倍, 通过控制第二 MOS 管 M02 的沟道宽长比为第三 MOS 管 M03 的沟道宽长比的 2 倍, 以实现第二晶体管组 23 的沟道等效宽长比为第三晶体管组 33 的沟道等效宽长比的 2 倍; 图 7 中可以通过控制第一 MOS 管 M01 的沟道宽长比为第二 MOS 管 M02 的沟道宽长的 2 倍, 以实现第一晶体管组 13 的沟道等效宽长比为第二晶体管组 23 的沟道等效宽长比的 2 倍, 通过控制第二 MOS 管 M02 的沟道宽长比、第三 MOS 管 M03 的沟道宽长比以及第四 MOS 管 M04 的沟道宽长比相等, 使得第二 MOS 管 M02 的沟道宽长比为第三晶体管组 33 的沟道等效宽长比的 2 倍, 即实现第二晶体管组 23 的沟道等效宽长比为第三晶体管组 33 的沟道等效宽长比的 2 倍。

[0079] 此外, 图 7 中还可以通过控制第五 MOS 管 M05 的沟道宽长比、第六 MOS 管 M06 的沟道宽长比以及第七 MOS 管 M07 的沟道宽长比相等, 使得第五 MOS 管 M05 的沟道宽长比为第五晶体管组 53 的沟道等效宽长比的 2 倍, 即实现第四晶体管组 43 的沟道等效宽长比为第五晶体管组 53 的沟道等效宽长比的 2 倍。在一些实施例中, 第五 MOS 管 M05 的沟道宽长比还可以等于第二 MOS 管 M02 的沟道宽长比。

[0080] 在一个例子中, 参考图 6, 第一 MOS 管 M01 的沟道的长度、第二 MOS 管 M02 的沟道的长度以及第三 MOS 管 M03 的沟道的长度可以相等, 第一 MOS 管 M01 的沟道的宽度可以为第二 MOS 管 M02 的沟道的宽度的 2 倍, 第二 MOS 管 M02 的沟道的宽度可以为第三 MOS 管 M03 的沟道的宽度的 2 倍。需要说明的是, 在实际应用中, 也可以在保持第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的沟道的宽度相同的情况下, 通过调节第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的沟道的长度的比值关系, 或者, 既调节第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的沟道的宽度的比值关系, 也调节第一 MOS 管 M01、第二 MOS 管 M02 以及第三 MOS 管 M03 的沟道的长度的比值关系, 以实现第一晶体管组 13、第二晶体管组 23 以及第三晶体管组 33 的沟道等效宽长比之间的比值关系。

[0081] 需要说明的是, 第一 MOS 管 M01、第二 MOS 管 M02、第三 MOS 管 M03、第四 MOS 管 M04、第五 MOS 管 M05、第六 MOS 管 M06 以及第七 MOS 管 M07 均可以为 PMOS 管或者 NMOS 管, 第一 MOS 管 M01、第二 MOS 管 M02、第三 MOS 管 M03、第四 MOS 管 M04、第五 MOS 管 M05、第六 MOS 管 M06 以及第七 MOS 管 M07 中的任一者为 PMOS 管时, 控制该 PMOS 管处于导通状态时的控制信号的相位为第一相位, 该 MOS 管为 NMOS 管时控制该 NMOS 管处于导通状态时的控制信号的相位为第二相位, 第一相位与第二相位相反。

[0082] 在一些实施例中, 参考图 3 和图 4, 第二放大模块 102 可以包括: 连接第一节点 n_stg1 以及第二节点 p_stg1, 被配置为, 对第一电压信号以及第二电压信号进行比较, 并分别向第八节点 n_stg2 和第九节

点 p_stg2 提供第三电压信号以及第四电压信号; 锁存单元 122, 被配置为, 对第三电压信号以及第四电压信号进行放大并锁存, 并向第三节点 net3 输出第一输出信号 Vout, 向第四节点 net4 输出第二输出信号 VoutN。

[0083] 其中, 输入单元 112 用于对第一电压信号以及第二电压信号进行比较以输出第三电压信号和第四电压信号; 锁存单元 122 用于根据第三电压信号和第四电压信号向第三节点 net3 输出高电平信号、向第四节点 net4 输出低电平信号, 或者向第三节点 net3 输出低电平信号、向第四节点 net4 输出高电平信号。

[0084] 在一些实施例中, 参考图 5 和图 8, 输入单元 112 可以包括: 第三 NMOS 管 MN3, 连接在第八节点 n_stg2 与地端之间, 第三 NMOS 管 MN3 的栅极接收第一电压信号; 第四 NMOS 管 MN4, 连接在第九节点 p_stg2 与地端之间, 第四 NMOS 管 MN4 的栅极接收第二电压信号。

[0085] 在一个例子中, 第一节点 n_stg1 输出的第一电压信号电平值高于第二节点 p_stg1 输出的第二电压信号电平值时, 第三 NMOS 管 MN3 的导通程度大于第四 NMOS 管 MN4 的导通程度, 使得第八节点 n_stg2 处的电压小于第九节点 p_stg2 处的电压, 从而使得第五 NMOS 管 MN5 的导通程度大于第六 NMOS 管 MN6 的导通程度, 第三节点 net3 处的电压小于第四节点 net4 处的电压, 则第七 PMOS 管 MP7 的导通程度大于第六 PMOS 管 MP6 的导通程度, 锁存单元 122 形成正反馈放大, 进一步使得第三节点 net3 输出的第一输出信号 Vout 为低电平, 第四节点 net4 输出的第二输出信号 VoutN 为高电平。

[0086] 在一些实施例中, 继续参考图 5 和图 8, 锁存单元 122 可以包括: 第五 NMOS 管 MN5, 连接在第八节点 n_stg2 与第三节点 net3 之间, 第五 NMOS 管 MN5 的栅极接收第二输出信号 VoutN; 第六 NMOS 管 MN6, 连接在第九节点 p_stg2 与第四节点 net4 之间, 第六 NMOS 管 MN6 的栅极接收第一输出信号 Vout; 第六 PMOS 管 MP6, 连接在电源节点 Vcc 与第三节点 net3 之间, 第六 PMOS 管 MP6 的栅极接收第二输出信号 VoutN; 第七 PMOS 管 MP7, 连接在电源节点 Vcc 与第四节点 net4 之间, 第七 PMOS 管 MP7 的栅极接收第一输出信号 Vout。

[0087] 在一些实施例中, 参考图 3 和图 4, 第二放大模块 102 还可以包括: 第二复位单元 142, 连接锁存单元 122, 被配置为, 对锁存单元 122 进行复位。如此, 在数据接收电路完成一次数据信号 DQ 以及参考信号 Vref 的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后, 可以通过第二复位单元 142 将第三节点 net3 和第四节点 net4 处的电平值恢复为初始值, 以便于后续数据接收电路进行下一次数据接收以及处理。

[0088] 在一些实施例中, 参考图 5 和图 8, 第二复位单元 142 可以包括: 第八 PMOS 管 MP8, 连接在电源节点 Vcc 和第三节点 net3 之间; 第九 PMOS 管 MP9, 连接在电源节点 Vcc 和第四节点 net4 之间, 第八 PMOS 管 MP8 的栅极和第九 PMOS 管 MP9 的栅极均响应于第三采样时钟信号 CLK3。

[0089] 在一个例子中, 第三采样时钟信号 CLK3 与第一采样时钟信号 CLK1 的相位相反, 第三采样时钟信号 CLK3 和第四采样时钟信号 CLK4 可以为同一时钟信号, 也可以为相位相同但振幅不同的不同时钟信号。如此, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 DfeEn 具有第一电平值期间, 即使能信号 DfeEn 为高电平, 在第一采样时钟信号 CLK1 为低电平时, 第四采样时钟信号 CLK4 为高电平, 使得第二采样时钟信号 CLK2 为低电平, 第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均导通, 此时第一 NMOS 管 MN1、第二 NMOS 管 MN2 均关断, 第三采样时钟信号 CLK3 为高电平, 第八 PMOS 管 MP8 和第九 PMOS 管 MP9 均关断, 以保证数据接收电路 100 的正常工作。在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 DfeEn 具有第二电平值期间, 即使能信号 DfeEn 为低电平, 此时无论第一采样时钟信号 CLK1 为

低电平还是高电平，第二采样时钟信号 CLK2 为固定高电平，第二 PMOS 管 MP2 均为关断，不会向第六节点 net6 提供电流，即判决反馈均衡模块 103 停止执行判决反馈均衡，以降低数据接收电路 100 整体的功耗。此外，无论是否需要考虑码间干扰对数据接收电路 100 的影响，在第一采样时钟信号 CLK1 为高电平时，第三采样时钟信号 CLK3 为低电平，第一 PMOS 管 MP1 关断，此时第一 NMOS 管 MN1 和第二 NMOS 管 MN2 均导通，第八 PMOS 管 MP8 和第九 PMOS 管 MP9 均导通，以下拉第一节点 n_stg1 处的电压、第二节点 p_stg1 处的电压、上拉第三节点 net3 处的电压以及第四节点 net4 处的电压，实现对第一节点 n_stg1 处、第二节点 p_stg1、第三节点 net3 以及第四节点 net4 的复位。

[0090] 在一些实施例中，在第二复位单元 142 包括第八 PMOS 管 MP8 和第九 PMOS 管 MP9 的基础上，第二复位单元 142 还可以包括：第十 PMOS 管（图中未出），连接在电源节点 Vcc 和第八节点 n_stg2 之间；第十一 PMOS 管（图中未出），连接在电源节点 Vcc 和第九节点 p_stg2 之间，第十 PMOS 管的栅极和第十一 PMOS 管的栅极均响应于第三采样时钟信号 CLK3。如此，在数据接收电路 100 无需接收数据信号 DQ 和参考信号 Vref 时，第三采样时钟信号 CLK3 为低电平，第十 PMOS 管和第十一 PMOS 管均导通，使得第八节点 n_stg2 处的电压以及第九节点 p_stg2 处的电压被上拉，以实现第八节点 n_stg2 以及第九节点 p_stg2 的复位。

[0091] 在一些实施例中，参考图 8，数据接收电路 100（参考图 1）还可以包括：失调补偿模块 105，连接第二放大模块 102（参考图 1），被配置为，补偿第二放大模块 102 的失调电压。具体的，失调补偿模块 105 可以连接第八节点 n_stg2 以及第九节点 p_stg2。

[0092] 在一些实施例中，继续参考图 8，失调补偿模块 105 可以包括：第一失调补偿单元 115，连接在第八节点 n_stg2 与地端之间；第二失调补偿单元 125，连接在第九节点 p_stg2 与地端之间。其中，第一失调补偿单元 115 用于补偿第三 NMOS 管 MN3 的参数；第二失调补偿单元 125 用于补偿第四 NMOS 管 MN4 的参数，第一失调补偿单元 115 和第二失调补偿单元 125 可以通过补偿第三 NMOS 管 MN3 和第四 NMOS 管 MN4 的参数调节数据接收电路的失调电压。

[0093] 在一些实施例中，继续参考图 8，第一失调补偿单元 115 可以包括：至少两组并联的晶体管组，每一晶体管组包括：第七 NMOS 管 MN7，第七 NMOS 管 MN7 的第一端与第八节点 n_stg2 连接，第七 NMOS 管 MN7 的栅极与第一节点 n_stg1 连接；第七 MOS 管 M7，第七 MOS 管 M7 与第七 NMOS 管 MN7 一一对应设置，第七 MOS 管 M7 连接在第七 NMOS 管 MN7 的第二端和地端之间，第七 MOS 管 M7 的栅极接收第一失配调节信号 Offset_1。需要说明的是，为了图示的简洁性，图 8 中仅示意出了第一失调补偿单元 115 中的一组晶体管组。

[0094] 如此，可以通过第一失配调节信号 Offset_1 控制第七 NMOS 管 MN7 导通程度，以调整第一失调补偿单元 115 整体的等效电阻，以进一步调节第八节点 n_stg2 处的电压。

[0095] 在一些实施例中，第一失调补偿单元 115 包括两组并联的晶体管组，其中一组晶体管组由第七一 NMOS 管（图中未示出）和第七一 MOS 管（图中未示出）构成，另一组晶体管组由第七二 NMOS 管（图中未示出）和第七二 MOS 管（图中未示出）构成。其中，第一失配调节信号 Offset_1 包括第三失配调节信号（图中未示出）和第四失配调节信号（图中未示出），第七一 NMOS 管的栅极和第七二 NMOS 管的栅极与第一节点 n_stg1 连接，第七一 MOS 管的栅极接收第三失配调节信号，第七二 MOS 管的栅极接收第四失配调节信号。

[0096] 其中，第三失配调节信号和第四失配调节信号可以不同，如此，可以基于第三失配调节信号和第

四失配调节信号控制第七一 NMOS 管和/或第七二 MOS 管的导通程度,以灵活调节第一失调补偿单元 115 整体的等效电阻,以进一步提高对第八节点 n_stg2 处的电压的调节效果。

[0097] 在一些实施例中,参考图 5,第二失调补偿单元 125 可以包括:至少两组并联的晶体管组,每一晶体管组包括:第八 NMOS 管 MN8,第八 NMOS 管 MN8 的第一端与第九节点 p_stg2 连接,第八 NMOS 管 MN8 的栅极与第二节点 p_stg1 连接;第八 MOS 管 M8,第八 MOS 管 M8 与第八 NMOS 管 MN8 一一对应设置,第八 MOS 管 M8 连接在第八 NMOS 管 MN8 的第二端和地端之间,第八 MOS 管 M8 的栅极接收第二失配调节信号 Offset_2。需要说明的是,为了图示的简洁性,图 5 中仅示意出了第二失调补偿单元 125 中的一组晶体管组。

[0098] 如此,可以通过第二失配调节信号 Offset_2 控制第八 NMOS 管 MN8 的导通程度,以调整第二失调补偿单元 125 整体的等效电阻,以进一步调节第九节点 p_stg2 处的电压。

[0099] 在一些实施例中,第二失调补偿单元 125 包括两组并联的晶体管组,其中一组晶体管组由第八一 NMOS 管(图中未示出)和第八一 MOS 管(图中未示出)构成,另一组晶体管组由第八二 NMOS 管(图中未示出)和第八二 MOS 管(图中未示出)构成。其中,第二失配调节信号 Offset_2 包括第五失配调节信号(图中未示出)和第六失配调节信号(图中未示出),第八一 NMOS 管的栅极和第八二 NMOS 管的栅极与第一节点 n_stg1 连接,第八一 MOS 管的栅极接收第五失配调节信号,第八二 MOS 管的栅极接收第六失配调节信号。

[00100] 其中,第五失配调节信号和第六失配调节信号可以不同,如此,可以基于第五失配调节信号和第六失配调节信号控制第八一 NMOS 管和/或第八二 MOS 管的导通程度,以灵活调节第二失调补偿单元 125 整体的等效电阻,以进一步提高对第九节点 p_stg2 处的电压的调节效果。

[00101] 需要说明的是,第七 MOS 管 M7、第七一 MOS 管、第七二 MOS 管、第八 MOS 管 M8、第八一 MOS 管以及第八二 MOS 管均可以为 PMOS 管或者 NMOS 管。上述任一 MOS 管为 PMOS 管时控制该 PMOS 管导通时第一失配调节信号 Offset_1 的相位为第三相位,该 MOS 管为 NMOS 管时控制该 NMOS 管导通时第二失配调节信号 Offset_2 的相位为第四相位,第三相位与第四相位相反。

[00102] 需要说明的是,上述关于高电平以及低电平的描述中,高电平可以为大于或等于电源电压的电平值,低电平可以为小于或等于接地电压的电平值。而且,高电平和低电平是相对而言的,高电平和低电平所包含的具体电平值范围可以根据具体器件确定,例如,对于 NMOS 管而言,高电平指的是能够使该 NMOS 管导通的栅极电压的电平值范围,低电平指的是能够使该 NMOS 管关断的栅极电压的电平值范围;对于 PMOS 管而言,低电平指的是能够使该 PMOS 管导通的栅极电压的电平值范围,高电平指的是能够使该 PMOS 管关断的栅极电压的电平值范围。

[00103] 综上所述,利用判决反馈控制模块 104 生成控制判决反馈均衡模块 103 的第二采样时钟信号 CLK2,以灵活控制判决反馈均衡模块 103 是否处于工作状态。譬如,在需要降低码间干扰对数据接收电路 100 的影响时,即使能信号 DfeEn 处于第一电平值期间时,判决反馈控制模块 104 响应于此时的使能信号 DfeEn 生成第二采样时钟信号 CLK2,判决反馈均衡模块 103 基于该第二采样时钟信号 CLK2 执行判决反馈均衡,以提高数据接收电路 100 的接收性能;在无需考虑码间干扰对数据接收电路 100 的影响时,即使能信号 DfeEn 处于第二电平值期间时,判决反馈均衡模块 103 基于此时的第二采样时钟信号 CLK2 停止执行判决反馈均衡,以降低数据接收电路 100 整体的功耗,如此,有利于在可以实现提高数据接收电路 100 的接收性能的同时,还可以实现对数据接收电路 100 的整体功耗的降低。

[00104] 本公开另一实施例还提供一种数据接收系统，以下将结合附图对本公开另一实施例提供的数据接收系统进行详细说明。图2为本公开另一实施例提供的数据接收系统的功能框图。

5 [00105] 参考图2，数据接收系统包括：多个级联的数据传输电路120，每一数据传输电路120包括如本公开一实施例的数据接收电路100以及连接数据接收电路100的锁存电路110，每一数据接收电路100连接至数据端口，接收数据信号DQ；上一级数据传输电路120连接下一级数据传输电路120的判决反馈均衡模块103（参考图1），上一级数据传输电路120的输出作为下一级数据传输电路120的判决反馈均衡模块130的反馈信号fb；最后一级数据传输电路120连接第一级数据传输电路120的判决反馈均衡模块103，最后一级数据传输电路120的输出作为第一级数据传输电路120的判决反馈均衡模块103的反馈信号fb。

10 [00106] 其中，锁存电路110与数据接收电路100一一对应设置，锁存电路110用于将与该锁存电路110对应的数据接收电路100输出的信号锁存并输出。

[00107] 在一些实施例中，数据接收电路100响应于采样时钟信号接收数据；且数据接收系统包括4个级联的数据接收电路100，相邻级的数据接收电路100的采样时钟信号的相位差为 90° 。如此采样时钟信号的周期为数据端口接收的数据信号DQ的周期的2倍，有利于时钟布线并节省功耗。

15 [00108] 需要说明的是，图2中以数据接收系统包括4个级联的数据接收电路100，相邻级的数据接收电路100的采样时钟信号的相位差为 90° 为示例，在实际应用中，对数据接收系统中包括的级联的数据接收电路100的数量不做限制，相邻级的数据接收电路100的采样时钟信号的相位差可以基于级联的数据接收电路100的数量来合理设置。

20 [00109] 在一些实施例中，当前级的数据接收电路100的判决反馈均衡模块103与前一级的数据接收电路100的第二放大模块102的输出端连接，前一级的数据接收电路100的第二放大模块102输出的第一输出信号Vout和第二输出信号VoutN作为后一级数据接收电路100的反馈信号fb。如此，数据接收电路100的输出直接传输给下一级数据传输电路120，无需经过锁存电路110，有利于降低数据的传输延迟。

[00110] 在另一些实施例中，当前级的数据接收电路100的判决反馈均衡模块103与前一级的锁存电路110的输出端连接，前一级的锁存电路110输出的信号作为后一级数据接收电路100的反馈信号fb。

25 [00111] 综上所述，本公开另一实施例提供的数据接收系统可以利用判决反馈控制模块104生成控制判决反馈均衡模块103的第二采样时钟信号CLK2，以灵活控制判决反馈均衡模块103是否处于工作状态。譬如，在需要降低码间干扰对数据接收电路100的影响时，使得判决反馈均衡模块103第二采样时钟信号CLK2执行判决反馈均衡，以提高数据接收电路100的接收性能；在无需考虑码间干扰对数据接收电路100的影响时，使得判决反馈均衡模块103基于第二采样时钟信号CLK2停止执行判决反馈均衡，以降低数据接收电路100整体的功耗。

30 [00112] 本公开又一实施例还提供一种存储装置，包括：多个数据端口；多个如本公开另一实施例提供的数据接收系统，每一数据接收系统与一数据端口相对应。

35 [00113] 如此，在需要降低码间干扰对存储装置的影响时，存储装置中的每一个数据端口均可以通过数据接收系统灵活对接收的数据信号DQ进行调整，以及提高对第一输出信号Vout以及第二输出信号VoutN的调整能力，从而提高存储装置的接收性能；在无需考虑码间干扰对存储装置的影响时，使得判决反馈均衡模块103基于第二采样时钟信号CLK2停止执行判决反馈均衡，以降低存储装置的功耗。

[00114] 在一些实施例中，存储装置可以为DDR存储器，例如为DDR4存储器、DDR5存储器、DDR6

存储器、LPDDR4 存储器、LPDDR5 存储器或者 LPDDR6 存储器。

[00115] 本领域的普通技术人员可以理解, 上述各实施方式是实现本公开的具体实施例, 而在实际应用中, 可以在形式上和细节上对其作各种改变, 而不偏离本公开实施例的精神和范围。任何本领域技术人员, 在不脱离本公开实施例的精神和范围内, 均可作各自更动与修改, 因此本公开实施例的保护范围应当以权利

5

要求限定的范围为准。

权 利 要 求 书

1. 一种数据接收电路, 包括:

第一放大模块, 被配置为, 接收数据信号和参考信号, 响应于第一采样时钟信号对数据信号以及参考信号进行比较, 并分别通过第一节点和第二节点输出第一电压信号和第二电压信号;
- 5 判决反馈控制模块, 被配置为, 响应于使能信号生成第二采样时钟信号;

判决反馈均衡模块, 与所述第一节点以及所述第二节点连接, 被配置为, 在所述使能信号具有第一电平值期间, 响应于所述第二采样时钟信号并基于反馈信号执行判决反馈均衡, 以调整所述第一电压信号以及所述第二电压信号, 在所述使能信号具有第二电平值期间, 停止执行判决反馈均衡, 其中, 所述反馈信号基于先前接收到的数据得到;
- 10 第二放大模块, 被配置为, 对所述第一电压信号与所述第二电压信号的电压差进行放大处理, 并分别通过第三节点和第四节点输出第一输出信号和第二输出信号。
2. 如权利要求 1 所述的数据接收电路, 其中, 所述第一放大模块包括:

第一电流源, 被配置为, 连接在电源节点和第五节点之间, 响应于所述第一采样时钟信号向所述第五节点提供电流;
- 15 比较单元, 连接所述第五节点、所述第一节点以及所述第二节点, 被配置为, 接收所述数据信号和所述参考信号, 当所述第一电流源响应于所述第一采样时钟信号向所述第五节点提供电流时, 对所述数据信号以及所述参考信号进行比较, 并通过所述第一节点输出所述第一电压信号, 通过所述第二节点输出所述第二电压信号。
3. 如权利要求 2 所述的数据接收电路, 其中, 所述第一电流源包括:
- 20 第一 PMOS 管, 连接在所述电源节点与所述第五节点之间, 所述第一 PMOS 管的栅极接收所述第一采样时钟信号。
4. 如权利要求 2 所述的数据接收电路, 其中, 所述比较单元包括:

第三 PMOS 管, 连接在所述第五节点与所述第一节点之间, 所述第三 PMOS 管的栅极接收所述数据信号;
- 25 第四 PMOS 管, 连接在所述第五节点与所述第二节点之间, 所述第四 PMOS 管的栅极接收所述参考信号。
5. 如权利要求 2 所述的数据接收电路, 其中, 所述第一放大模块还包括:

第一复位单元, 连接所述第一节点以及所述第二节点, 被配置为, 对所述第一节点以及所述第二节点进行复位。
- 30 6. 如权利要求 5 所述的数据接收电路, 其中, 所述第一复位单元包括:

第一 NMOS 管, 连接在所述第一节点与地端之间, 所述第一 NMOS 管的栅极接收所述第一采样时钟信号;

第二 NMOS 管, 连接在所述第二节点与所述地端之间, 所述第二 NMOS 管的栅极接收所述第一采样

时钟信号。

7. 如权利要求 1 所述的数据接收电路, 其中, 所述反馈信号包括互为差分信号的第一反馈信号以及第二反馈信号; 所述判决反馈均衡模块包括:

5 第二电流源, 被配置为, 连接在电源节点与第六节点之间, 响应于所述第二采样时钟信号向所述第六节点提供电流;

第一判决反馈单元, 连接所述第一节点以及所述第六节点, 被配置为, 当所述第二电流源响应于所述第二采样时钟信号向所述第六节点提供电流时, 基于所述第一反馈信号对所述第一节点进行判决反馈均衡, 以调整所述第一电压信号;

10 第二判决反馈单元, 连接所述第二节点以及所述第六节点, 被配置为, 当所述第二电流源响应于所述第二采样时钟信号向所述第六节点提供电流时, 基于所述第二反馈信号对所述第二节点进行判决反馈均衡, 以调整所述第二电压信号。

8. 如权利要求 7 所述的数据接收电路, 其中, 所述第二电流源包括:

第二 PMOS 管, 连接在所述电源节点与所述第六节点之间, 所述第二 PMOS 管的栅极接收所述第二采样时钟信号。

- 15 9. 如权利要求 7 所述的数据接收电路, 其中, 所述第一判决反馈单元和所述第二判决反馈单元中的任一者均包括:

开关单元, 被配置为, 响应于所述反馈信号导通所述第六节点与第七节点;

调节单元, 连接在所述第七节点与输出节点之间, 所述输出节点为所述第一节点与所述第二节点之间的一者, 被配置为, 响应于控制信号调整所述第七节点与所述输出节点之间的等效电阻值的大小;

20 其中, 所述第一判决反馈单元中, 所述反馈信号为所述第一反馈信号, 所述输出节点为所述第一节点, 所述开关单元响应于所述第一反馈信号; 所述第二判决反馈单元中, 所述反馈信号为所述第二反馈信号, 所述输出节点为所述第二节点, 则所述开关单元响应于所述第二反馈信号。

10. 如权利要求 9 所述的数据接收电路, 其中, 所述开关单元包括:

25 第五 PMOS 管, 连接在所述第六节点与所述第七节点之间, 所述第五 PMOS 管的栅极接收所述反馈信号。

11. 如权利要求 9 所述的数据接收电路, 其中, 所述调节单元包括:

多个并联在所述第七节点与所述输出节点之间的晶体管组, 不同的所述晶体管组的控制端接收的所述控制信号不同, 且不同的所述晶体管组的等效电阻值不同。

12. 如权利要求 11 所述的数据接收电路, 其中, 不同的所述晶体管组包括:

30 至少一个所述晶体管组由单个 MOS 管构成;

至少一个所述晶体管组包括至少两个串联的 MOS 管。

13. 如权利要求 1 所述的数据接收电路, 其中, 所述第二放大模块包括:

输入单元, 连接所述第一节点以及所述第二节点, 被配置为, 对所述第一电压信号以及所述第二电压

信号进行比较,并分别向第八节点和第九节点提供第三电压信号以及第四电压信号;

锁存单元,被配置为,对所述第三电压信号以及所述第四电压信号进行放大并锁存,并向所述第三节点输出所述第一输出信号,向所述第四节点输出所述第二输出信号。

14. 如权利要求 13 所述的数据接收电路,其中,所述输入单元包括:

5 第三 NMOS 管,连接在所述第八节点与地端之间,所述第三 NMOS 管的栅极接收所述第一电压信号;
第四 NMOS 管,连接在所述第九节点与所述地端之间,所述第四 NMOS 管的栅极接收所述第二电压信号。

15. 如权利要求 13 所述的数据接收电路,其中,所述锁存单元包括:

10 第五 NMOS 管,连接在所述第八节点与所述第三节点之间,所述第五 NMOS 管的栅极接收所述第二输出信号;

第六 NMOS 管,连接在所述第九节点与所述第四节点之间,所述第六 NMOS 管的栅极接收所述第一输出信号;

第六 PMOS 管,连接在电源节点与所述第三节点之间,所述第六 PMOS 管的栅极接收所述第二输出信号;

15 第七 PMOS 管,连接在所述电源节点与所述第四节点之间,所述第七 PMOS 管的栅极接收所述第一输出信号。

16. 如权利要求 13 所述的数据接收电路,其中,所述第二放大模块还包括:

第二复位单元,连接所述锁存单元,被配置为,对所述锁存单元进行复位。

17. 如权利要求 16 所述的数据接收电路,其特征在于,所述第二复位单元包括:

20 第八 PMOS 管,连接在电源节点和所述第三节点之间;

第九 PMOS 管,连接在所述电源节点和所述第四节点之间,所述第八 PMOS 管的栅极和所述第九 PMOS 管的栅极均响应于第三采样时钟信号。

18. 如权利要求 1 所述的数据接收电路,其中,所述判决反馈控制模块包括:

25 与非门电路,一输入端接收第四采样时钟信号,另一输入端接收所述使能信号,输出端输出所述第二采样时钟信号。

19. 一种数据接收系统,包括:

30 多个级联的数据传输电路,每一所述数据传输电路包括如权利要求 1-18 任一项所述的数据接收电路以及连接所述数据接收电路的锁存电路,每一所述数据接收电路连接至数据端口,接收所述数据信号;
上一级所述数据传输电路连接下一级所述数据传输电路的所述判决反馈均衡模块,上一级所述数据传输电路的输出作为下一级所述数据传输电路的所述判决反馈均衡模块的所述反馈信号;

最后一级所述数据传输电路连接第一级所述数据传输电路的所述判决反馈均衡模块,最后一级所述数据传输电路的输出作为第一级所述数据传输电路的所述判决反馈均衡模块的所述反馈信号。

20. 一种存储装置,包括:

多个数据端口；

多个如权利要求 19 所述的数据接收系统，每一所述数据接收系统与一所述数据端口相对应。