明　細　書

発明の名称 ：

プラズマ処理装置、バイアス電源システム、及びプラズマ処理方法

技術分野

[0001]　本開示の例示的実施形態は、プラズマ処理装置、バイアス電源システム、及びプラズマ処理方法に関するものである。

背景技術

[0002]　プラズマ処理装置が基板に対するプラズマ処理において用いられている。下記の特許文献１に記載されたプラズマ処理装置は、そのチャンバ内の基板支持部の中に第１の電極及び第２の電極を有する。第１の電極は、その上に基板が載置される基板支持面の下方に設けられており、第２の電極は、その上にエッジリングが載置されるリング支持面の下方に設けられている。第１の電極には第１のバイアス電源が接続されており、第２の電極には第２のバイアス電源が接続されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２１－１５８１３４号公報

発明の概要

発明が解決しようとする課題

[0004]　本開示は、基板に対するプラズマ処理の径方向における均一性を改善する技術を提供する。

課題を解決するための手段

[0005]　一つの例示的実施形態において、プラズマ処理装置が提供される。プラズマ処理装置は、チャンバ、基板支持部、プラズマ生成部、及びバイアス電源システムを含む。基板支持部は、チャンバ内に配置されている。基板支持部は、基板支持面、エッジリング支持面、第１の電極、及び第２の電極を含む

。エッジリング支持面は、基板支持面を取り囲む。第１の電極は、基板支持面の下方に配置されている。第２の電極は、エッジリング支持面の下方に配置されている。プラズマ生成部は、チャンバ内でガスからプラズマを生成するように構成されている。バイアス電源システムは、第１の電極及び第２の電極に電気的に結合されている。バイアス電源システムは、少なくとも一つの直流電源、第１のスイッチング回路、第２のスイッチング回路、及び単一の信号発生器を含む。第１のスイッチング回路は、少なくとも一つの直流電源及びグランドの各々と第１の電極との間で電気的に接続されている。第２のスイッチング回路は、少なくとも一つの直流電源及びグランドの各々と第２の電極との間で電気的に接続されている。単一の信号発生器は、第１の電極を少なくとも一つの直流電源とグランドに交互に接続させるよう第１のスイッチング回路を制御し、且つ、第２の電極を少なくとも一つの直流電源とグランドに交互に接続させるよう第２のスイッチング回路を制御するためのパルス制御信号を発生するように構成されている。

発明の効果

[0006] 一つの例示的実施形態によれば、基板に対するプラズマ処理の径方向における均一性を改善する技術が提供される。

図面の簡単な説明

[0007] [図1]プラズマ処理システムの構成例を説明するための図である。

[図2]容量結合型のプラズマ処理装置の構成例を説明するための図である。

[図3]一つの例示的実施形態に係るプラズマ処理装置における基板支持部及び電源を示す図である。

[図4]一つの例示的実施形態に係るバイアス電源システムを示す図である。

[図5]一つの例示的実施形態に係るバイアス電源システムに関連するタイミングチャートである。

[図6]一つの例示的実施形態に係るプラズマ処理方法を示す流れ図である。

[図7]一つの例示的実施形態に係るバイアス電源システムにおいて採用され得る複数のスイッチング素子の接続を示す図である。

[図8]別の例示的実施形態に係るプラズマ処理装置における基板支持部及び電源を示す図である。

[図9]更に別の例示的実施形態に係るプラズマ処理装置における基板支持部及び電源を示す図である。

[図10]本明細書に記載の動作をコンピュータ上で実施する処理回路のブロック図である。

発明を実施するための形態

[0008] 以下、図面を参照して種々の例示的実施形態について詳細に説明する。なお、各図面において同一又は相当の部分に対しては同一の符号を附すこととする。

[0009] 図１は、プラズマ処理システムの構成例を説明するための図である。一実施形態において、プラズマ処理システムは、プラズマ処理装置１及び制御部２を含む。プラズマ処理システムは、基板処理システムの一例であり、プラズマ処理装置１は、基板処理装置の一例である。プラズマ処理装置１は、プラズマ処理チャンバ１０、基板支持部１１及びプラズマ生成部１２を含む。プラズマ処理チャンバ１０は、プラズマ処理空間を有する。また、プラズマ処理チャンバ１０は、少なくとも１つの処理ガスをプラズマ処理空間に供給するための少なくとも１つのガス供給口と、プラズマ処理空間からガスを排出するための少なくとも１つのガス排出口とを有する。ガス供給口は、後述するガス供給部２０に接続され、ガス排出口は、後述する排気システム４０に接続される。基板支持部１１は、プラズマ処理空間内に配置され、基板を支持するための基板支持面を有する。

[0010] プラズマ生成部１２は、プラズマ処理空間内に供給された少なくとも１つの処理ガスからプラズマを生成するように構成される。プラズマ処理空間において形成されるプラズマは、容量結合プラズマ（ＣＣＰ：Ｃａｐａｃｉｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ）、誘導結合プラズマ（ＩＣＰ：Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ）、ＥＣＲプラズマ（Ｅｌｅｃｔｒｏｎ－Ｃｙｃｌｏｔｒｏｎ－Ｒｅｓｏｎａｎｃｅ Ｐｌａｓ

ｍａ）、ヘリコン波励起プラズマ（ＨＷＰ：Ｈｅｌｉｃｏｎ Ｗａｖｅ Ｐｌａｓｍａ）、又は、表面波プラズマ（ＳＷＰ：Ｓｕｒｆａｃｅ Ｗａｖｅ Ｐｌａｓｍａ）等であってもよい。また、ＡＣ（Ａｌｔｅｒｎａｔｉｎｇ Ｃｕｒｒｅｎｔ）プラズマ生成部及びＤＣ（Ｄｉｒｅｃｔ Ｃｕｒｒｅｎｔ）プラズマ生成部を含む、種々のタイプのプラズマ生成部が用いられてもよい。一実施形態において、ＡＣプラズマ生成部で用いられるＡＣ信号（ＡＣ電力）は、１００ｋＨｚ～１０ＧＨｚの範囲内の周波数を有する。従って、ＡＣ信号は、ＲＦ（Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ）信号及びマイクロ波信号を含む。一実施形態において、ＲＦ信号は、１００ｋＨｚ～１５０ＭＨｚの範囲内の周波数を有する。

[0011] 制御部２は、本開示において述べられる種々の工程をプラズマ処理装置１に実行させるコンピュータ実行可能な命令を処理する。制御部２は、ここで述べられる種々の工程を実行するようにプラズマ処理装置１の各要素を制御するように構成され得る。一実施形態において、制御部２の一部又は全てがプラズマ処理装置１に含まれてもよい。制御部２は、処理部２ａ１、記憶部２ａ２及び通信インターフェース２ａ３を含んでもよい。制御部２は、例えばコンピュータ２ａにより実現される。処理部２ａ１は、記憶部２ａ２からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部２ａ２に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。取得されたプログラムは、記憶部２ａ２に格納され、処理部２ａ１によって記憶部２ａ２から読み出されて実行される。媒体は、コンピュータ２ａに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース２ａ３に接続されている通信回線であってもよい。処理部２ａ１は、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）であってもよい。記憶部２ａ２は、ＲＡＭ（Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、ＲＯＭ（Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）、ＨＤＤ（Ｈａｒｄ Ｄｉｓｋ Ｄｒｉｖｅ）、ＳＳＤ（Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｒｉｖｅ）、又はこれら

の組み合わせを含んでもよい。通信インターフェース２ａ３は、ＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）等の通信回線を介してプラズマ処理装置１との間で通信してもよい。

[0012] 以下に、プラズマ処理装置１の一例としての容量結合型のプラズマ処理装置の構成例について説明する。図２は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[0013] 容量結合型のプラズマ処理装置１は、プラズマ処理チャンバ１０、ガス供給部２０、電源３０及び排気システム４０を含む。また、プラズマ処理装置１は、基板支持部１１及びガス導入部を含む。ガス導入部は、少なくとも１つの処理ガスをプラズマ処理チャンバ１０内に導入するように構成される。ガス導入部は、シャワーヘッド１３を含む。基板支持部１１は、プラズマ処理チャンバ１０内に配置される。シャワーヘッド１３は、基板支持部１１の上方に配置される。一実施形態において、シャワーヘッド１３は、プラズマ処理チャンバ１０の天部（ｃｅｉｌｉｎｇ）の少なくとも一部を構成する。プラズマ処理チャンバ１０は、シャワーヘッド１３、プラズマ処理チャンバ１０の側壁１０ａ及び基板支持部１１により規定されたプラズマ処理空間１０ｓを有する。プラズマ処理チャンバ１０は接地される。シャワーヘッド１３及び基板支持部１１は、プラズマ処理チャンバ１０の筐体とは電気的に絶縁される。

[0014] 基板支持部１１は、本体部１１１及びリングアセンブリ１１２を含む。本体部１１１は、基板Ｗを支持するための中央領域１１１ａと、リングアセンブリ１１２を支持するための環状領域１１１ｂとを有する。ウェハは基板Ｗの一例である。本体部１１１の環状領域１１１ｂは、平面視で本体部１１１の中央領域１１１ａを囲んでいる。基板Ｗは、本体部１１１の中央領域１１１ａ上に配置され、リングアセンブリ１１２は、本体部１１１の中央領域１１１ａ上の基板Ｗを囲むように本体部１１１の環状領域１１１ｂ上に配置される。従って、中央領域１１１ａは、基板Ｗを支持するための基板支持面とも呼ばれ、環状領域１１１ｂは、リングアセンブリ１１２を支持するための

リング支持面とも呼ばれる。

[0015] 一実施形態において、本体部１１１は、基台１１１０及び静電チャック１１１１を含む。基台１１１０は、導電性部材を含む。基台１１１０の導電性部材は下部電極として機能し得る。静電チャック１１１１は、基台１１１０の上に配置される。静電チャック１１１１は、セラミック部材１１１１ａとセラミック部材１１１１ａ内に配置される静電電極１１１１ｂとを含む。セラミック部材１１１１ａは、中央領域１１１ａを有する。一実施形態において、セラミック部材１１１１ａは、環状領域１１１ｂも有する。なお、環状静電チャックや環状絶縁部材のような、静電チャック１１１１を囲む他の部材が環状領域１１１ｂを有してもよい。この場合、リングアセンブリ１１２は、環状静電チャック又は環状絶縁部材の上に配置されてもよく、静電チャック１１１１と環状絶縁部材の両方の上に配置されてもよい。また、後述するＲＦ電源３１及び／又はＤＣ電源３２に結合される少なくとも１つのＲＦ／ＤＣ電極がセラミック部材１１１１ａ内に配置されてもよい。この場合、少なくとも１つのＲＦ／ＤＣ電極が下部電極として機能する。後述するバイアスＲＦ信号及び／又はＤＣ信号が少なくとも１つのＲＦ／ＤＣ電極に供給される場合、ＲＦ／ＤＣ電極はバイアス電極とも呼ばれる。なお、基台１１１０の導電性部材と少なくとも１つのＲＦ／ＤＣ電極とが複数の下部電極として機能してもよい。また、静電電極１１１１ｂが下部電極として機能してもよい。従って、基板支持部１１は、少なくとも１つの下部電極を含む。

[0016] リングアセンブリ１１２は、１又は複数の環状部材を含む。一実施形態において、１又は複数の環状部材は、１又は複数のエッジリングと少なくとも１つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。

[0017] また、基板支持部１１は、静電チャック１１１１、リングアセンブリ１１２及び基板のうち少なくとも１つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路１１１０ａ、又はこれらの組み合わせを含んでもよい。流路１１１０

ａには、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路１１１０ａが基台１１１０内に形成され、１又は複数のヒータが静電チャック１１１１のセラミック部材１１１１ａ内に配置される。また、基板支持部１１は、基板Ｗの裏面と中央領域１１１ａとの間の間隙に伝熱ガスを供給するように構成された伝熱ガス供給部を含んでもよい。

[0018] シャワーヘッド１３は、ガス供給部２０からの少なくとも１つの処理ガスをプラズマ処理空間１０ｓ内に導入するように構成される。シャワーヘッド１３は、少なくとも１つのガス供給口１３ａ、少なくとも１つのガス拡散室１３ｂ、及び複数のガス導入口１３ｃを有する。ガス供給口１３ａに供給された処理ガスは、ガス拡散室１３ｂを通過して複数のガス導入口１３ｃからプラズマ処理空間１０ｓ内に導入される。また、シャワーヘッド１３は、少なくとも１つの上部電極を含む。なお、ガス導入部は、シャワーヘッド１３に加えて、側壁１０ａに形成された１又は複数の開口部に取り付けられる１又は複数のサイドガス注入部（ＳＧＩ：Ｓｉｄｅ　Ｇａｓ　Ｉｎｊｅｃｔｏｒ）を含んでもよい。

[0019] ガス供給部２０は、少なくとも１つのガスソース２１及び少なくとも１つの流量制御器２２を含んでもよい。一実施形態において、ガス供給部２０は、少なくとも１つの処理ガスを、それぞれに対応のガスソース２１からそれぞれに対応の流量制御器２２を介してシャワーヘッド１３に供給するように構成される。各流量制御器２２は、例えばマスフローコントローラ又は圧力制御式の流量制御器を含んでもよい。さらに、ガス供給部２０は、少なくとも１つの処理ガスの流量を変調又はパルス化する少なくとも１つの流量変調デバイスを含んでもよい。

[0020] 電源３０は、少なくとも１つのインピーダンス整合回路を介してプラズマ処理チャンバ１０に結合されるＲＦ電源３１を含む。ＲＦ電源３１は、少なくとも１つのＲＦ信号（ＲＦ電力）を少なくとも１つの下部電極及び／又は少なくとも１つの上部電極に供給するように構成される。これにより、プラズマ処理空間１０ｓに供給された少なくとも１つの処理ガスからプラズマが

形成される。従って、ＲＦ電源３１は、プラズマ生成部１２の少なくとも一部として機能し得る。また、バイアスＲＦ信号を少なくとも１つの下部電極に供給することにより、基板Wにバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板Wに引き込むことができる。

[0021] 一実施形態において、ＲＦ電源３１は、第１のＲＦ生成部３１ａ及び第２のＲＦ生成部３１ｂを含む。第１のＲＦ生成部３１ａは、少なくとも１つのインピーダンス整合回路を介して少なくとも１つの下部電極及び／又は少なくとも１つの上部電極に結合され、プラズマ生成用のソースＲＦ信号（ソースＲＦ電力）を生成するように構成される。一実施形態において、ソースＲＦ信号は、１０ＭＨｚ～１５０ＭＨｚの範囲内の周波数を有する。一実施形態において、第１のＲＦ生成部３１ａは、異なる周波数を有する複数のソースＲＦ信号を生成するように構成されてもよい。生成された１又は複数のソースＲＦ信号は、少なくとも１つの下部電極及び／又は少なくとも１つの上部電極に供給される。

[0022] 第２のＲＦ生成部３１ｂは、少なくとも１つのインピーダンス整合回路を介して少なくとも１つの下部電極に結合され、バイアスＲＦ信号（バイアスＲＦ電力）を生成するように構成される。バイアスＲＦ信号の周波数は、ソースＲＦ信号の周波数と同じであっても異なっていてもよい。一実施形態において、バイアスＲＦ信号は、ソースＲＦ信号の周波数よりも低い周波数を有する。一実施形態において、バイアスＲＦ信号は、１００ｋＨｚ～６０ＭＨｚの範囲内の周波数を有する。一実施形態において、第２のＲＦ生成部３１ｂは、異なる周波数を有する複数のバイアスＲＦ信号を生成するように構成されてもよい。生成された１又は複数のバイアスＲＦ信号は、少なくとも１つの下部電極に供給される。また、種々の実施形態において、ソースＲＦ信号及びバイアスＲＦ信号のうち少なくとも１つがパルス化されてもよい。

[0023] また、電源３０は、プラズマ処理チャンバ１０に結合されるＤＣ電源３２を含んでもよい。ＤＣ電源３２は、第１のＤＣ生成部３２ａ及び第２のＤＣ生成部３２ｂを含む。一実施形態において、第１のＤＣ生成部３２ａは、少

なくとも１つの下部電極に接続され、第１のＤＣ信号を生成するように構成される。生成された第１のＤＣ信号は、少なくとも１つの下部電極に印加される。一実施形態において、第２のＤＣ生成部３２ｂは、少なくとも１つの上部電極に接続され、第２のＤＣ信号を生成するように構成される。生成された第２のＤＣ信号は、少なくとも１つの上部電極に印加される。

[0024] 種々の実施形態において、第１及び第２のＤＣ信号がパルス化されてもよい。この場合、電圧パルスのシーケンスが少なくとも１つの下部電極及び／又は少なくとも１つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、ＤＣ信号から電圧パルスのシーケンスを生成するための波形生成部が第１のＤＣ生成部３２ａと少なくとも１つの下部電極との間に接続される。従って、第１のＤＣ生成部３２ａ及び波形生成部は、電圧パルス生成部を構成する。第２のＤＣ生成部３２ｂ及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも１つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、１周期内に１又は複数の正極性電圧パルスと１又は複数の負極性電圧パルスとを含んでもよい。なお、第１及び第２のＤＣ生成部３２ａ，３２ｂは、ＲＦ電源３１に加えて設けられてもよく、第１のＤＣ生成部３２ａが第２のＲＦ生成部３１ｂに代えて設けられてもよい。

[0025] 排気システム４０は、例えばプラズマ処理チャンバ１０の底部に設けられたガス排出口１０ｅに接続され得る。排気システム４０は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、プラズマ処理空間１０ｓ内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。

[0026] 以下、図３を参照する。図３は、一つの例示的実施形態に係るプラズマ処理装置における基板支持部及び電源を示す図である。図３に示す基板支持部１１並びに電源及び当該電源に関連する構成は、プラズマ処理装置１において採用され得る。

[0027] 上述したように、基板支持部１１は、基台１１１０及び静電チャック１１１１を含んでいる。第１のＲＦ生成部３１ａは、基台１１１０に整合器３１ａｍを介して電気的に接続されていてもよい。

[0028] 基板支持部１１は、第１の領域Ｒ１及び第２の領域Ｒ２を含んでいる。図３において、第１の領域Ｒ１と第２の領域Ｒ２の境界は、破線で示されている。第１の領域Ｒ１は、軸線ＡＸに交差する領域であり、略円盤形状を有する。軸線ＡＸは、基板支持部１１の中心軸線であり、チャンバ１０の中心軸線に一致し得る。第１の領域Ｒ１は、その上面として、上述の基板支持面１１１ａを含む。第２の領域Ｒ２は、第１の領域Ｒ１を囲むように延在している。基板Ｗは、基板支持面１１１ａ上に載置され、第１の領域Ｒ１上で支持される。第２の領域Ｒ２は、軸線ＡＸの周りの環状の領域である。第２の領域Ｒ２は、その上面として、上述のリング支持面１１１ｂを含む。リングアセンブリ１１２に含まれるエッジリングＥＲは、リング支持面１１１ｂ上に載置され、第２の領域Ｒ２上で支持される。基板Ｗは、エッジリングＥＲによって囲まれた領域内に配置される。

[0029] 基板支持部１１は、第１の電極ＢＥ１及び第２の電極ＢＥ２を含む。第１の電極ＢＥ１は、基板支持面１１１ａの下方で延在しており、第１の領域Ｒ１内に配置されている。第１の電極ＢＥ１は、導電性材料から形成された膜であってもよい。第１の電極ＢＥ１は、略円形の平面形状を有していてもよい。第１の電極ＢＥ１は、その中心が軸線ＡＸ上に位置するように配置され得る。

[0030] 第２の電極ＢＥ２は、少なくともリング支持面１１１ｂの下方で延在しており、少なくとも第２の領域Ｒ２内で延在している。第２の電極ＢＥ２は、導電性材料から形成された膜であってもよい。第２の電極ＢＥ２は、略環状の平面形状を有していてもよい。第２の電極ＢＥ２は、その中心が軸線ＡＸ上に位置するように配置され得る。一実施形態においては、第２の電極ＢＥ２の内縁領域は、第１の電極ＢＥ１のエッジ領域の下方、且つ、第１の領域Ｒ１内で延在していてもよい。即ち、第２の電極ＢＥ２の内縁領域は、縦方

向又は鉛直方向（軸線ＡＸが延びる方向）において第１の電極ＢＥ１と重なるように、第１の領域Ｒ１内で延在していてもよい。

[0031] 図３に示すように、静電チャック１１１１は、誘電体部１１１１ｄを含んでいてもよい。誘電体部１１１１ｄは、上述のセラミック部材１１１１ａであり得る。誘電体部１１１１ｄの中央部分は、第１の領域Ｒ１を構成していてもよく、その上面として、基板支持面１１１ａを有していてもよい。誘電体部１１１１ｄの周縁部分は、第２の領域Ｒ２を構成していてもよく、その上面として、リング支持面１１１ｂを有していてもよい。

[0032] 静電チャック１１１１は、静電電極１１１１ｂの一部として、チャック電極ＣＥ１を含んでいてもよい。チャック電極ＣＥ１は、誘電体部１１１１ｄ内且つ第１の領域Ｒ１内に配置される。チャック電極ＣＥ１は、導電性材料から形成された膜であってもよい。チャック電極ＣＥ１は、略円形の平面形状を有していてもよい。チャック電極ＣＥ１は、その中心が軸線ＡＸ上に位置するように配置され得る。チャック電極ＣＥ１は、基板支持面１１１ａと第１の電極ＢＥ１との間で延在し得る。

[0033] また、静電チャック１１１１は、静電電極１１１１ｂの別の一部として、チャック電極ＣＥ２及びＣＥ３を含んでいてもよい。チャック電極ＣＥ２及びＣＥ３の各々は、誘電体部１１１１ｄ内且つ第２の領域Ｒ２内に配置される。チャック電極ＣＥ２及びＣＥ３の各々は、導電性材料から形成された膜であってもよい。チャック電極ＣＥ２及びＣＥ３の各々は、軸線ＡＸの周りで周方向に延びていてもよく、略環状の平面形状を有していてもよい。チャック電極ＣＥ２は、チャック電極ＣＥ３に対して内側に配置されている。即ち、チャック電極ＣＥ２と軸線ＡＸとの間の径方向の距離は、チャック電極ＣＥ３と軸線ＡＸとの間の径方向の距離よりも小さい。また、チャック電極ＣＥ２及びＣＥ３の各々は、リング支持面１１１ｂと第２の電極ＢＥ２との間で延在し得る。

[0034] プラズマ処理装置１は、直流電源４１ｐを更に含んでいてもよい。直流電源４１ｐは、スイッチ４１ｓを介してチャック電極ＣＥ１に電気的に接続さ

れている。直流電源４１ｐとチャック電極ＣＥ１との間には、フィルタ４１ｆが更に接続されていてもよい。フィルタ４１ｆは、ソースＲＦ信号のようなＲＦ信号を遮断するか、減衰させるように構成されたローパスフィルタである。直流電源４１ｐからの電圧がチャック電極ＣＥ１に印加されると、静電チャック１１１１と基板Wとの間で静電引力が発生する。基板Wは、発生した静電引力により、第１の領域Ｒ１に引きつけられて第１の領域Ｒ１によって保持される。

[0035] プラズマ処理装置１は、直流電源４２ｐ及び４３ｐを更に含んでいてもよい。直流電源４２ｐは、スイッチ４２ｓを介してチャック電極ＣＥ２に電気的に接続されている。直流電源４２ｐとチャック電極ＣＥ２との間には、フィルタ４２ｆが更に接続されていてもよい。フィルタ４２ｆは、ソースＲＦ信号のようなＲＦ信号を遮断するか、減衰させるように構成されたローパスフィルタである。直流電源４３ｐは、スイッチ４３ｓを介してチャック電極ＣＥ３に電気的に接続されている。直流電源４３ｐとチャック電極ＣＥ３との間には、フィルタ４３ｆが更に接続されていてもよい。フィルタ４３ｆは、ソースＲＦ信号のようなＲＦ信号を遮断するか、減衰させるように構成されたローパスフィルタである。直流電源４２ｐ、４３ｐからの電圧がチャック電極ＣＥ２、ＣＥ３に印加されると、静電チャック１１１１とエッジリングＥＲとの間で静電引力が発生する。エッジリングＥＲは、発生した静電引力により、第２の領域Ｒ２に引きつけられて第２の領域Ｒ２によって保持される。なお、チャック電極ＣＥ２とチャック電極ＣＥ３には、それらの間に電位差が生じるように電圧が印加され得る。即ち、第２の領域Ｒ２は、双極型の静電チャックを構成していてもよい。

[0036] プラズマ処理装置１は、上述の第１のＤＣ生成部３２ａとしてバイアス電源システム５０を更に含んでいる。バイアス電源システム５０は、第１の電極ＢＥ１及び第２の電極ＢＥ２に電気的に結合されている。バイアス電源システム５０は、少なくとも一つの直流電源、第１のスイッチング回路６１、第２のスイッチング回路６２、及び単一の信号発生器７０を含んでいる。

[0037] 第１のスイッチング回路６１は、少なくとも一つの直流電源及びグランドの各々と第１の電極ＢＥ１との間で電気的に接続されている。第２のスイッチング回路６２は、少なくとも一つの直流電源及びグランドの各々と第２の電極ＢＥ２との間で電気的に接続されている。図３に示す例では、バイアス電源システム５０は、少なくとも一つの直流電源として、直流電源５１及び直流電源５２を含んでいる。直流電源５１は、第１のスイッチング回路６１を介して、第１の電極ＢＥ１に電気的に接続されている。直流電源５２は、第２のスイッチング回路６２を介して、第２の電極ＢＥ２に電気的に接続されている。直流電源５１及び直流電源５２の各々は、可変直流電源であってもよい。なお、バイアス電源システム５０は、少なくとも一つの直流電源として、単一の直流電源を含んでいてもよい。

[0038] 信号発生器７０は、第１のスイッチング回路６１及び第２のスイッチング回路６２を制御するために、パルス制御信号を発生するように構成されている。信号発生器７０は、水晶発信器のような発信器を含む単一のクロック発生器を含んでいてもよく、当該クロック発生器に同期したパルス制御信号を生成し得る。信号発生器７０は、後述する処理回路１３０のように構成されていてもよく、専用回路として構成されていてもよい。

[0039] 信号発生器７０によって発生されるパルス制御信号は、第１の電極ＢＥ１を少なくとも一つの直流電源とグランドに交互に接続させ、且つ、第２の電極ＢＥ２を少なくとも一つの直流電源とグランドに交互に接続させる。これにより、バイアス電源システム５０は、第１の電極ＢＥ１及び第２の電極ＢＥ２のそれぞれに、電気バイアスとして電圧パルスのシーケンスを供給する。電圧パルスのシーケンスは、チャンバ１０内のプラズマからイオンを基板Ｗ及びエッジリングＥＲに引き込むために、第１の電極ＢＥ１及び第２の電極ＢＥ２に供給される。

[0040] バイアス電源システム５０では、単一の信号発生器７０からのパルス制御信号により第１のスイッチング回路６１及び第２のスイッチング回路６２が制御されて、第１の電極ＢＥ１及び第２の電極ＢＥ２に供給される電圧パル

スのシーケンスが生成される。したがって、電圧パルスのシーケンスに応じた基板Ｗの電圧波形と電圧パルスのシーケンスに応じたエッジリングＥＲの電圧波形との間の位相差が低減される。故に、プラズマ処理装置１によれば、基板Ｗに対するプラズマ処理の径方向における均一性が改善される。

[0041] 以下、図４を参照する。図４は、一つの例示的実施形態に係るバイアス電源システムを示す図である。一実施形態において、バイアス電源システム５０は、図４に示す構成を有していてもよい。即ち、第１のスイッチング回路６１は、少なくとも一つの第１のスイッチング素子６１１及び少なくとも一つの第２のスイッチング素子６１２を含んでいてもよい。図４に示すように、第１のスイッチング回路６１は、一つの第１のスイッチング素子６１１及び一つの第２のスイッチング素子６１２を含んでいてもよい。

[0042] また、第２のスイッチング回路６２は、少なくとも一つの第３のスイッチング素子６２３及び少なくとも一つの第４のスイッチング素子６２４を含んでいてもよい。図４に示すように、第２のスイッチング回路６２は、一つの第３のスイッチング素子６２３及び一つの第４のスイッチング素子６２４を含んでいてもよい。少なくとも一つの第１のスイッチング素子６１１、少なくとも一つの第２のスイッチング素子６１２、少なくとも一つの第３のスイッチング素子６２３、及び少なくとも一つの第４のスイッチング素子６２４の各々は、ＦＥＴのようなトランジスタから構成され得る。

[0043] 第１のスイッチング素子６１１は、制御端子６１１ｃを含む。第１のスイッチング素子６１１は、第１の端子及び第２の端子を更に含む。制御端子６１１ｃは、信号発生器７０に接続されている。一実施形態では、制御端子６１１ｃは、上述のパルス制御信号のための信号発生器７０の出力７０ａに接続されている。第１のスイッチング素子６１１は、制御端子６１１ｃに与えられるパルス制御信号に応じて、その開閉を切り替えるように構成されている。即ち、第１のスイッチング素子６１１は、制御端子６１１ｃに与えられるパルス制御信号に応じて、その第１の端子及び第２の端子との間の導通とそれらの間の接続の切断を切り替えるように構成されている。

[0044] 第１のスイッチング素子６１１は、直流電源５１の負極とノード６１ｎａとの間で接続されている。第１のスイッチング素子６１１の第１の端子は、直流電源５１の負極に接続されており、第１のスイッチング素子６１１の第２の端子は、ノード６１ｎａに接続されている。ノード６１ｎａは、ノード６１ｎｂに接続されている。

[0045] 第２のスイッチング素子６１２は、制御端子６１２ｃを含む。第２のスイッチング素子６１２は、第１の端子及び第２の端子を更に含む。制御端子６１２ｃは、信号発生器７０に接続されている。一実施形態では、制御端子６１２ｃは、上述のパルス制御信号の反転信号のための信号発生器７０の出力７０ｂに接続されている。第２のスイッチング素子６１２は、制御端子６１２ｃに与えられる反転信号に応じて、その開閉を切り替えるように構成されている。即ち、第２のスイッチング素子６１２は、制御端子６１２ｃに与えられる反転信号に応じて、その第１の端子及び第２の端子との間の導通とそれらの間の接続の切断を切り替えるように構成されている。

[0046] 第２のスイッチング素子６１２は、直流電源５１の正極及びグランドの各々とノード６１ｎａとの間で接続されている。第２のスイッチング素子６１２の第１の端子は、ノード６１ｎａに接続されており、第２のスイッチング素子６１２の第２の端子は、直流電源５１の正極及びグランドに接続されている。

[0047] 第１のスイッチング回路６１は、ダイオード６１ｄａ及びダイオード６１ｄｂを更に含んでいてもよい。ダイオード６１ｄａのアノードは、直流電源５１の負極及び第１のスイッチング素子６１１の第１の端子に接続されている。ダイオード６１ｄａのカソードは、ノード６１ｎｂに接続されている。ダイオード６１ｄｂのアノードは、ノード６１ｎｂに接続されている。ダイオード６１ｄｂのカソードは、直流電源５１の正極、グランド、及び、第２のスイッチング素子６１２の第２の端子に接続されている。第１のスイッチング回路６１は、インダクタ６１ｉを更に含んでいてもよく、インダクタ６１ｉは、ノード６１ｎａとノード６１ｎｂとの間で接続されていてもよい。

ノード６１ｎｂは、第１の電極ＢＥ１に電気的に接続されている。第１の電極ＢＥ１は、抵抗６１ｒを介して、第１の電極ＢＥ１に電気的に接続されていてもよい。なお、第１の電極ＢＥ１と第１のスイッチング回路６１の出力（ノード６１ｎｂ又は抵抗６１ｒの第１の電極ＢＥ１側の端部）との間には、ソースＲＦ信号のようなＲＦ信号を遮断するか減衰させるローパスフィルタが接続されていてもよい。

[0048] 第３のスイッチング素子６２３は、制御端子６２３ｃを含む。第３のスイッチング素子６２３は、第１の端子及び第２の端子を更に含む。制御端子６２３ｃは、信号発生器７０に接続されている。一実施形態では、制御端子６２３ｃは、上述のパルス制御信号のための信号発生器７０の出力７０ａに接続されている。第３のスイッチング素子６２３は、制御端子６２３ｃに与えられるパルス制御信号に応じて、その開閉を切り替えるように構成されている。即ち、第３のスイッチング素子６２３は、制御端子６２３ｃに与えられるパルス制御信号に応じて、その第１の端子及び第２の端子との間の導通とそれらの間の接続の切断を切り替えるように構成されている。

[0049] 第３のスイッチング素子６２３は、直流電源５２の負極とノード６２ｎａとの間で接続されている。第３のスイッチング素子６２３の第１の端子は、直流電源５２の負極に接続されており、第３のスイッチング素子６２３の第２の端子は、ノード６２ｎａに接続されている。ノード６２ｎａは、ノード６２ｎｂに接続されている。

[0050] 第４のスイッチング素子６２４は、制御端子６２４ｃを含む。第４のスイッチング素子６２４は、第１の端子及び第２の端子を更に含む。制御端子６２４ｃは、信号発生器７０に接続されている。一実施形態では、制御端子６２４ｃは、上述のパルス制御信号の反転信号のための信号発生器７０の出力７０ｂに接続されている。第４のスイッチング素子６２４は、制御端子６２４ｃに与えられる反転信号に応じて、その開閉を切り替えるように構成されている。即ち、第４のスイッチング素子６２４は、制御端子６２４ｃに与えられる反転信号に応じて、その第１の端子及び第２の端子との間の導通とそ

れらの間の接続の切断を切り替えるように構成されている。

[0051] 第４のスイッチング素子６２４は、直流電源５２の正極及びグランドの各々とノード６２ｎａとの間で接続されている。第４のスイッチング素子６２４の第１の端子は、ノード６２ｎａに接続されており、第４のスイッチング素子６２４の第２の端子は、直流電源５２の正極及びグランドに接続されている。

[0052] 第２のスイッチング回路６２は、ダイオード６２ｄａ及びダイオード６２ｄｂを更に含んでいてもよい。ダイオード６２ｄａのアノードは、直流電源５２の負極及び第３のスイッチング素子６２３の第１の端子に接続されている。ダイオード６２ｄａのカソードは、ノード６２ｎｂに接続されている。ダイオード６２ｄｂのアノードは、ノード６２ｎｂに接続されている。ダイオード６２ｄｂのカソードは、直流電源５２の正極、グランド、及び、第４のスイッチング素子６２４の第２の端子に接続されている。第２のスイッチング回路６２は、インダクタ６２ｉを更に含んでいてもよく、インダクタ６２ｉは、ノード６２ｎａとノード６２ｎｂとの間で接続されていてもよい。ノード６２ｎｂは、第２の電極ＢＥ２に電気的に接続されている。第２の電極ＢＥ２は、抵抗６２ｒを介して、第２の電極ＢＥ２に電気的に接続されていてもよい。第２の電極ＢＥ２と第２のスイッチング回路６２の出力（ノード６２ｎｂ又は抵抗６２ｒの第２の電極ＢＥ２側の端部）との間には、ソースＲＦ信号のようなＲＦ信号を遮断するか減衰させるローパスフィルタが接続されていてもよい。

[0053] 図４に示すように、第１のスイッチング回路６１の出力（ノード６１ｎｂ又は抵抗６１ｒの第１の電極ＢＥ１側の端部）は、ダイオード６２ｄｂのカソードに接続されていてもよい。この場合には、直流電源５２の正極は、グランドに接続されていなくてもよい。この場合には、第２のスイッチング回路６２から出力される電圧パルスは、直流電源５１の負の出力電圧値と直流電源５２の負の出力電圧値の和の出力電圧値を有する。なお、第１のスイッチング回路６１の出力（ノード６１ｎｂ又は抵抗６１ｒの第１の電極ＢＥ１

側の端部）は、ダイオード６２ｄｂのカソードに接続されていなくてもよい。

[0054] 以下、図５を参照する。図５は、一つの例示的実施形態に係るバイアス電源システムに関連するタイミングチャートである。図５は、パルス制御信号のレベル、反転信号のレベル、第１及び第３のスイッチング素子の状態、第２及び第４のスイッチング素子の状態、第１のスイッチング回路６１の出力電圧、及び第２のスイッチング回路６２の出力電圧を示している。

[0055] 図５に示すように、信号発生器７０は、パルス制御信号及び反転信号の各々が第１のレベルと第２のレベルとの間で交互に遷移するように、パルス制御信号及び反転信号を発生してもよい。なお、パルス制御信号及び反転信号それぞれの第１のレベルは互いに異なっていてもよい。また、パルス制御信号及び反転信号それぞれの第２のレベルは互いに異なっていてもよい。

[0056] 第１のスイッチング素子６１１及び第３のスイッチング素子６２３は、パルス制御信号が第１のレベルＬ１を有するときに閉状態（導通状態）となり、パルス制御信号が第２のレベルＬ２を有するときに開状態（切断状態）となる。第２のスイッチング素子６１２及び第４のスイッチング素子６２４は、反転信号が第１のレベルＬ１を有するときに閉状態となり、反転信号が第２のレベルＬ２を有するときに開状態となる。これにより、図５に示すように、第１のスイッチング回路６１から第１の電極ＢＥ１に印加される電圧パルス及び第２のスイッチング回路６２から第２の電極ＢＥ２に印加される電圧パルスは、互いに同期し、且つ、それらの位相差が解消される。

[0057] 一実施形態においては、第１の電気的パスの長さと第２の電気的パスの長さは互いに略同一であってもよい。第１の電気的パスは、バイアス電源システム５０の少なくとも一つの直流電源（例えば直流電源５１の負極）と第１の電極ＢＥ１とを互いに電気的に接続する電気的パスである。第２の電気的パスは、当該少なくとも一つの直流電源（例えば直流電源５２の負極）と第２の電極ＢＥ２とを互いに電気的に接続する電気的パスである。この場合には、第１のスイッチング回路６１から第１の電極ＢＥ１に印加される電圧パ

ルスと第２のスイッチング回路６２から第２の電極ＢＥ２に印加される電圧パルスの間の位相差が更に低減される。

[0058] 一実施形態においては、第１の電極ＢＥ１と基板支持面１１１ａとの間の鉛直方向に沿った距離と第２の電極ＢＥ２とリング支持面１１１ｂとの間の鉛直方向に沿った距離は、互いに略同一であってもよい。この場合には、第１のスイッチング回路６１から第１の電極ＢＥ１に印加される電圧パルスと第２のスイッチング回路６２から第２の電極ＢＥ２に印加される電圧パルスの間の位相差が更に低減される。

[0059] 一実施形態においては、上述したように、第１の電極ＢＥ１のエッジ領域と第２の電極ＢＥ２の内縁領域は、鉛直方向において互いに重なるように配置されていてもよい。この場合には、第１のスイッチング回路６１から出力される電圧パルスの一部は、エッジリングＥＲに結合され、第２のスイッチング回路６２から出力される電圧パルスの一部が、基板Ｗに結合される。これにより、基板Ｗに対するプラズマ処理の径方向における均一性が更に改善される。

[0060] また、一実施形態において、第１のスイッチング回路６１及び第２のスイッチング回路６２は、単一の部材６５内に形成されていてもよい。部材６５は、単一の筐体であってもよく、或いは、単一の回路基板であってもよい。即ち、第１のスイッチング回路６１及び第２のスイッチング回路６２は、単一の筐体内に配置されていてもよい。或いは又は加えて、第１のスイッチング回路６１及び第２のスイッチング回路６２は、単一の回路基板に形成されていてもよい。

[0061] 以下、図６を参照して、一つの例示的実施形態に係るプラズマ処理方法について説明する。図６に示すプラズマ処理方法（以下、「方法ＭＴ」という）は、プラズマ処理装置１に適用され得る。方法ＭＴにおいて、プラズマ処理装置１の各部は制御部２によって制御され得る。なお、方法ＭＴは、プラズマ処理装置１以外のプラズマ処理装置、例えば、後述する種々の別の実施形態に係るプラズマ処理装置にも適用され得る。

[0062] 方法ＭＴは、工程ＳＴａで開始する。工程ＳＴａでは、基板Wが基板支持面１１１ａ上に載置される。基板Wは、静電チャック１１１１上で、エッジリングＥＲによって囲まれた領域内に配置される。基板Wは、静電チャック１１１１によって保持される。

[0063] 工程ＳＴｂでは、チャンバ１０内でプラズマが生成される。工程ＳＴｂでは、ガス供給部２０からチャンバ１０内にガスが供給される。工程ＳＴｂでは、排気システム４０によってチャンバ１０内の圧力が指定された圧力に減圧される。工程ＳＴｂでは、プラズマ生成部１２によってチャンバ１０内のガスからプラズマが生成される。一実施形態では、チャンバ１０内のガスからプラズマを生成するために、第１のＲＦ生成部３１ａからソースＲＦ信号が供給される。

[0064] 工程ＳＴｃでは、チャンバ１０内のプラズマから基板W及びエッジリングＥＲにイオンを引き込むために、バイアス電源システム５０から第１の電極ＢＥ１及び第２の電極ＢＥ２に電圧パルスのシーケンスが供給される。工程ＳＴｃでは、バイアス電源システム５０において電圧パルスのシーケンスを発生するよう、単一の信号発生器７０から第１のスイッチング回路６１及び第２のスイッチング回路６２にパルス制御信号が与えられる。

[0065] 以下、図７を参照する。図７は、一つの例示的実施形態に係るバイアス電源システムにおいて採用され得る複数のスイッチング素子の接続を示す図である。図７に示す複数のスイッチング素子ＳＷは、直列的及び／又は並列的に接続されている。複数のスイッチング素子ＳＷを含むスイッチング素子群は、少なくとも一つの第１のスイッチング素子６１１、少なくとも一つの第２のスイッチング素子６１２、少なくとも一つの第３のスイッチング素子６２３、及び少なくとも一つの第４のスイッチング素子６２４のうち一つ以上として用いられ得る。複数のスイッチング素子ＳＷが直列的に接続されていると、スイッチング素子群の耐電圧が高くなる。また、複数のスイッチング素子ＳＷが並列的に接続されていると、スイッチング素子群の許容電流が高くなる。

[0066] 具体的には、バイアス電源システム５０は、少なくとも一つの第１のスイッチング素子６１１として、複数の第１のスイッチング素子６１１を含んでいてもよい。複数の第１のスイッチング素子６１１は、第１の電極ＢＥ１と少なくとも一つの直流電源（例えば直流電源５１の負極）との間で、複数のスイッチング素子ＳＷのように直列的及び／又は並列的に接続されていてもよい。

[0067] また、バイアス電源システム５０は、少なくとも一つの第３のスイッチング素子６２３として、複数の第３のスイッチング素子６２３を含んでいてもよい。複数の第３のスイッチング素子６２３は、第２の電極ＢＥ２と少なくとも一つの直流電源（例えば直流電源５２の負極）との間で、複数のスイッチング素子ＳＷのように直列的及び／又は並列的に接続されていてもよい。

[0068] また、バイアス電源システム５０は、少なくとも一つの第２のスイッチング素子６１２として、複数の第２のスイッチング素子６１２を含んでいてもよい。複数の第２のスイッチング素子６１２は、第１の電極ＢＥ１とグランドとの間で、複数のスイッチング素子ＳＷのように直列的及び／又は並列的に接続されていてもよい。

[0069] また、バイアス電源システム５０は、少なくとも一つの第４のスイッチング素子６２４として、複数の第４のスイッチング素子６２４を含んでいてもよい。複数の第４のスイッチング素子６２４は、第２の電極ＢＥ２とグランドとの間で、複数のスイッチング素子ＳＷのように直列的及び／又は並列的に接続されていてもよい。

[0070] 以下、図８を参照する。図８は、別の例示的実施形態に係るプラズマ処理装置における基板支持部及び電源を示す図である。以下、図８に示すプラズマ処理装置１Ａについて、プラズマ処理装置１に対する相違点の観点から説明する。なお、図８において、直流電源４１ｐ，４２ｐ，４３ｐ、スイッチ４１ｓ，４２ｓ，４３ｓ，及びフィルタ４１ｆ，４２ｆ，４３ｆは省略されている。

[0071] プラズマ処理装置１Ａにおいて、基板支持部１１は、第３の電極ＢＥ３を

更に含んでいる。第３の電極ＢＥ３は、基板支持面１１１ａの下方且つ第１の領域Ｒ１内で、第１の電極ＢＥ１を囲むように延在している。第３の電極ＢＥ３は、第１の電極ＢＥ１から離れている。第３の電極ＢＥ３は、導電性材料から形成された膜であってもよい。第３の電極ＢＥ３は、略環状の平面形状を有していてもよい。第３の電極ＢＥ３は、その中心が軸線ＡＸ上に位置するように配置され得る。プラズマ処理装置１Ａでは、第１の電極ＢＥ１の代わりに第３の電極ＢＥ３のエッジ領域と第２の電極ＢＥ２の内縁領域が、鉛直方向において互いに重なり合うように配置されていてもよい。

[0072] プラズマ処理装置１Ａは、バイアス電源システム５０に代わるバイアス電源システム５０Ａを含んでいる。バイアス電源システム５０Ａは、第３のスイッチング回路６３を更に含む。第３のスイッチング回路６３の回路構成は、第１のスイッチング回路６１及び第２のスイッチング回路６２の回路構成と同様である。第３のスイッチング回路６３は、少なくとも一つの直流電源（例えば、直流電源５３の負極）及びグランドの各々と第３の電極ＢＥ３との間で電気的に接続されている。単一の信号発生器７０は、第３の電極ＢＥ３を少なくとも一つの直流電源（例えば、直流電源５３の負極）とグランドに交互に接続させるよう第３のスイッチング回路６３を制御するために上述のパルス制御信号を発生する。また、単一の信号発生器７０は、第１のスイッチング回路６１及び第２のスイッチング回路６２と同様に第３のスイッチング回路６３の制御のために、上述の反転信号を第３のスイッチング回路６３に更に与えてもよい。

[0073] なお、第３の電極ＢＥ３と基板支持面１１１ａとの間の鉛直方向に沿った距離は、第１の電極ＢＥ１と基板支持面１１１ａとの間の鉛直方向に沿った距離と同一であってもよい。また、少なくとも一つの直流電源（例えば、直流電源５３の負極）と第３の電極ＢＥ３とを互いに接続する第３の電気的パスの長さは、上述の第１の電気的パス及び第２の電気的パスの各々の長さと略同一であってもよい。また、第３のスイッチング回路６３は、第１のスイッチング回路６１及び第２のスイッチング回路６２と共に上述の部材６５内

に配置されていてもよい。

[0074] 以下、図９を参照する。図９は、更に別の例示的実施形態に係るプラズマ処理装置における基板支持部及び電源を示す図である。図９に示すように、プラズマ処理装置１において、第２の電極ＢＥ２は、第２の領域Ｒ２内のみで延在していてもよい。即ち、第２の電極ＢＥ２は、第１の領域Ｒ１内で第１の電極ＢＥ１と縦方向において互いに重なっていなくてもよい。また、プラズマ処理装置１Ａにおいても、第２の電極ＢＥ２は、第２のＲ２内のみで延在していてもよい。即ち、第２の電極ＢＥ２は、第１の領域Ｒ１内で第３の電極ＢＥ３と縦方向において互いに重なっていなくてもよい。

[0075] 以下、制御部２及び／又は信号発生器７０のようなプラズマ処理装置１における一つ以上の処理回路として用いられ得る処理回路の例について説明する。図１０は、本明細書に記載の動作をコンピュータ上で実施する処理回路のブロック図である。図１０は、任意のコンピュータ上の制御処理を制御するために使用され得る処理回路１３０を図示している。フローチャートにおける記述又はブロックは、処理の特定の論理機能又はステップを実施するための一つ以上の実行可能な命令を含むモジュール、セグメント、又はコードの一部を表すものである。当業者によって理解されるように、関連する機能に応じて、略同時、又は逆の順序等、図示又は記載の順序とは異なる順序で実行可能な機能を有する別の実施例が、本開示の例示的実施形態の範囲内に含まれる。本明細書に記載の様々な要素、特徴、及び処理は互いに独立に使用されてもよく、様々な方法で組み合わせられてもよい。考えられ得るあらゆる組合せ及び部分的な組合せが、本開示の範囲に含まれ得る。

[0076] 図１０では、処理回路１３０は、上述／後述の一つ以上の制御処理を実施するＣＰＵ１２００を含む。処理データ及び命令は、メモリ１２０２に格納されてもよい。これらの処理データ及び命令は、ハードディスクドライブ（ＨＤＤ:Hard Disk Drive）や可搬記憶媒体等の記憶媒体ディスク１２０４に格納されても、遠隔で格納されてもよい。更に、特許請求の範囲に記載する本開示は、本発明による処理の命令が格納されるコンピュータ可読媒体の形

態によって限定されるものではない。例えば、これらの命令は、ＣＤ、ＤＶＤ、フラッシュメモリ、ＲＡＭ、ＲＯＭ、ＰＲＯＭ、ＥＰＲＯＭ、ＥＥＰＲＯＭ、ハードディスク、又は処理回路１３０が通信するサーバ及び／又はコンピュータ等の任意の他の情報処理装置に格納されてもよい。

[0077] 更に、特許請求の範囲に記載する本開示は、ユーティリティアプリケーション、バックグラウンドデーモン、オペレーティングシステムの構成要素、又はそれらの組合せとして提供されてもよく、ＣＰＵ１２００及びマイクロソフトウィンドウズ（登録商標）、ＵＮＩＸ（登録商標）、Ｓｏｌａｒｉｓ（登録商標）、ＬＩＮＵＸ（登録商標）、Ａｐｐｌｅ　ＭＡＣ－ＯＳ等の当業者に既知のオペレーティングシステムと連動して実行されてもよい。

[0078] 処理回路１３０を構築するハードウェア要素は、様々な回路要素によって実現することができる。更に、上述の実施形態の各機能は、一つ以上の処理回路を含む回路によって実施することができる。図１０に示すように、処理回路は、特定のプログラムがなされた処理装置、例えば処理装置（ＣＰＵ）１２００を含む。処理回路はまた、特定用途向け回路（ＡＳＩＣ: application specific integrated circuit）や記載の機能を実施するように構成された従来の回路部品等のデバイスを含む。

[0079] 図１０では、処理回路１３０は上述の処理を実施するＣＰＵ１２００を含む。処理回路１３０は、汎用コンピュータ又は特定の専用機であってもよい。一実施形態では、処理装置１２００がプラズマ生成部１２及びガス供給部２０の制御、或いは又は加えて、バイアス電源システム５０の制御を行うようにプログラミングされている場合には、処理回路１３０は特定の専用機として機能する。

[0080] 或いは又は更に、ＣＰＵ１２００は、当業者には理解されるように、ＦＰＧＡ、ＡＳＩＣ、ＰＬＤ上で、又は離散した論理回路を用いて実装されてもよい。更に、ＣＰＵ１２００は、上述の本発明の処理の命令を並行して実施するように協働する複数の処理装置として実施してもよい。

[0081] 図１０の処理回路１３０はまた、ネットワーク１２２８とインターフェー

ス接続するためのネットワーク制御器１２０６、例えば米国インテル株式会社のIntel Ethernet PROネットワークインターフェースカード等を含む。ネットワーク１２２８は、理解可能なように、インターネット等のパブリックネットワーク、ＬＡＮやＷＡＮ等のプライベートネットワーク、又はそれらの任意の組合せでよく、また、ＰＳＴＮやＩＳＤＮ等のサブネットワークを含んでもよい。ネットワーク１２２８はまた、イーサネットネットワーク等のような有線でもよく、ＥＤＧＥ、３Ｇ、４Ｇ無線セルラシステムを含むセルラネットワーク等の無線でもよい。無線ネットワークはまた、Wi-Fi、Bluetooth（登録商標）、又は他の任意の既知の無線通信形態でもよい。

[0082] 処理回路１３０は、モニタ等の表示装置１２１０とインターフェース接続するためのグラフィックカードやグラフィックアダプタ等の表示装置制御器１２０８を更に含む。汎用Ｉ／Ｏインターフェース１２１２が、キーボード及び／又はマウス１２１４、並びに表示装置１２１０と一体、又は別体のタッチパネル１２１６とインターフェース接続されている。汎用Ｉ／Ｏインターフェースはまた、プリンタ及びスキャナ等の様々な周辺機器１２１８に接続されている。

[0083] 記憶装置制御器１２２４は、ＩＳＡ、ＥＩＳＡ、ＶＥＳＡ、ＰＣＩ等の通信バス１２２６を介して記憶媒体ディスク１２０４に接続され、処理回路１３０のすべての構成要素が互いに接続されている。表示装置１２１０、キーボード及び／又はマウス１２１４、並びに表示装置制御器１２０８、記憶装置制御器１２２４、ネットワーク制御器１２０６、音声制御器１２２０、及び汎用Ｉ／Ｏインターフェース１２１２の一般的な特徴及び機能については、本明細書では簡略化のために既知のものとして説明を省略する。

[0084] 本開示で記載する例示的な回路要素は、他の要素と置換え可能であり、本明細書に記載の例と異なる構造を有してもよい。更に、本明細書に記載の特徴を実施するように構成された回路は、複数の回路ユニット（例えば、チップ）で実施されても、又はこれらの特徴が単一のチップセットの回路に組みこまれてもよい。

[0085] 本明細書に記載の機能及び特徴はまた、システム上で分散配置された様々な構成要素によって実行されてもよい。例えば、一つ以上の処理装置がこれらのシステムの機能を実行してもよく、その場合、処理装置はネットワーク内で通信している複数の構成要素にわたって分散して配置される。分散配置された構成要素として、様々なヒューマンインターフェース及び通信装置（表示モニタ、スマートフォン、タブレット、個人情報端末（ＰＤＡ:Personal Digital Assistant）等）に加えて、処理を共有できる一つ以上のクライアント機及びサーバ機が含まれ得る。ネットワークは、ＬＡＮやＷＡＮ等のプライベートネットワークでも、インターネット等のパブリックネットワークでもよい。システムへの入力は、ユーザによる直接入力によって受け付けても、リアルタイムで又はバッチ処理として遠隔に受け付けてもよい。更に、実施例の一部を上述のものと同一ではないモジュール又はハードウェア上で実施してもよい。したがって、他の実施例も特許請求の範囲に含まれる。

[0086] 以上、種々の例示的実施形態について説明してきたが、上述した例示的実施形態に限定されることなく、様々な追加、省略、置換、及び変更がなされてもよい。また、異なる実施形態における要素を組み合わせて他の実施形態を形成することが可能である。

[0087] 例えば、チャック電極ＣＥ１は、第１の電極ＢＥ１を兼ねていてもよい。或いは又は加えて、チャック電極ＣＥ２及びＣＥ３のうち一方又は双方が、第２の電極ＢＥ２を兼ねていてもよい。

[0088] 以下、プラズマ処理装置１の評価のために行った第１及び第２の実験例について説明する。第１の実験例では、図９に示すプラズマ処理装置１を用いてサンプル基板の膜に対するプラズマエッチングを行った。即ち、第１の実験例では、単一の信号発生器７０からのパルス制御信号によって第１及び第２のスイッチング回路を制御することにより生成した電圧パルスのシーケンスを、第１の電極ＢＥ１及び第２の電極ＢＥ２に供給した。第２の実験例では、プラズマ処理装置１と同様のプラズマ処理装置を用いて、第１の実験例と同一構成のサンプル基板の膜に対するプラズマエッチングを行った。但し

、第２の実験例で用いたプラズマ処理装置は、第１のスイッチング回路６１及び第２のスイッチング回路６２が独立した二つの信号発生器からの二つのパルス制御信号によってそれぞれ制御される点でプラズマ処理装置１と異なっていた。即ち、第２の実験例では、プラズマエッチングの際に、二つの信号発生器のうち一方からのパルス制御信号によって第１のスイッチング回路６１を制御することにより生成した電圧パルスのシーケンスを第１の電極ＢＥ１に供給した。また、第２の実験例では、プラズマエッチングの際に、二つの信号発生器のうち他方からの別のパルス制御信号によって第２のスイッチング回路６２を制御することにより生成した電圧パルスのシーケンスを第２の電極ＢＥ２に供給した。

[0089] 第１の実験例及び第２の実験例の各々では、サンプル基板の中央領域とエッジ領域のそれぞれに形成されたホールの深さを求めた。そして、サンプル基板の中央領域とエッジ領域のそれぞれに形成されたホールの深さから、中央領域のエッチングレートに対するエッジ領域のエッチングレートの比の値を求めた。また、サンプル基板の中央領域とエッジ領域の各々に形成されたホールの上端開口部における真円度を求めた。なお、真円度は、基板の径方向におけるホールの幅に対する当該径方向に直交する方向における当該ホールの幅の比の値である。

[0090] 第１の実験例では、エッチングレートの比の値は０．９７であり、真円度は０．９４９であった。一方、第２の実験例では、エッチングレートの比の値は０．７６であり、真円度は０．４９２であった。かかる第１の実験例及び第２の実験例から、プラズマ処理装置１によれば、基板に対するプラズマ処理の径方向における均一性を改善することが可能であることが確認された。

[0091] ここで、本開示に含まれる種々の例示的実施形態を、以下の［Ｅ１］～［Ｅ１９］に記載する。

[0092] ［Ｅ１］

チャンバと、

前記チャンバ内に配置された基板支持部であり、

基板支持面と、

前記基板支持面を取り囲むエッジリング支持面と、

前記基板支持面の下方に配置された第１の電極と、

前記エッジリング支持面の下方に配置された第２の電極と、

を含む、該基板支持部と、

前記チャンバ内でガスからプラズマを生成するように構成されたプラズマ生成部と、

前記第１の電極及び前記第２の電極に電気的に結合されたバイアス電源システムと、

を備え、

前記バイアス電源システムは、

少なくとも一つの直流電源と、

前記少なくとも一つの直流電源及びグランドの各々と前記第１の電極との間で電気的に接続された第１のスイッチング回路と、

前記少なくとも一つの直流電源及びグランドの各々と前記第２の電極との間で電気的に接続された第２のスイッチング回路と、

前記第１の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第１のスイッチング回路を制御し、且つ、前記第２の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第２のスイッチング回路を制御するためのパルス制御信号を発生するように構成された単一の信号発生器と、

を含む、プラズマ処理装置。

[0093] ［Ｅ２］

前記第１のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記少なくとも一つの直流電源との間で電気的に接続された少なくとも一つの第１のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記グランドとの間で電気的に接続された少なくとも一つの第２のスイッチング素子と、

を含み、

前記第２のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記少なくとも一つの直流電源との間で電気的に接続された少なくとも一つの第３のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記グランドとの間で電気的に接続された少なくとも一つの第４のスイッチング素子と、

を含む、

Ｅ１に記載のプラズマ処理装置。

[0094] ［Ｅ３］

前記バイアス電源システムは、

前記少なくとも一つの第１のスイッチング素子として、前記第１の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第１のスイッチング素子を含み、

前記少なくとも一つの第３のスイッチング素子として、前記第２の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第３のスイッチング素子を含む、

Ｅ２に記載のプラズマ処理装置。

[0095] ［Ｅ４］

前記少なくとも一つの第１のスイッチング素子の前記制御端子及び前記少なくとも一つの第３のスイッチング素子の前記制御端子は、前記パルス制御信号のための前記信号発生器の出力に接続されており、

前記少なくとも一つの第２のスイッチング素子の前記制御端子及び前記少なくとも一つの第４のスイッチング素子の前記制御端子は、前記パルス制御

信号の反転信号のための前記信号発生器の出力に接続されている、

Ｅ２又はＥ３に記載のプラズマ処理装置。

[0096] ［Ｅ５］

前記信号発生器は、前記パルス制御信号及び前記反転信号の各々が第１のレベルと第２のレベルとの間で交互に遷移するよう、前記パルス制御信号及び前記反転信号を発生するように構成されており、

前記少なくとも一つの第１のスイッチング素子及び前記少なくとも一つの第３のスイッチング素子は、前記パルス制御信号が前記第１のレベルを有するときに閉状態となり、前記パルス制御信号が前記第２のレベルを有するときに開状態となるように構成されており、

前記少なくとも一つの第２のスイッチング素子及び前記少なくとも一つの第４のスイッチング素子は、前記反転信号が前記第１のレベルを有するときに閉状態となり、前記反転信号が前記第２のレベルを有するときに開状態となるように構成されている、

Ｅ４に記載のプラズマ処理装置。

[0097] ［Ｅ６］

前記少なくとも一つの直流電源と前記第１の電極とを互いに電気的に接続する電気的パスの長さと前記少なくとも一つの直流電源と前記第２の電極とを互いに電気的に接続する電気的パスの長さは、互いに略同一である、Ｅ１～Ｅ５の何れか一項に記載のプラズマ処理装置。

[0098] ［Ｅ７］

前記第１のスイッチング回路及び前記第２のスイッチング回路は、単一の筐体内又は単一の基板に設けられている、Ｅ１～Ｅ６の何れか一項に記載のプラズマ処理装置。

[0099] ［Ｅ８］

前記基板支持部は、前記基板支持面及び前記リング支持面を有する誘電体部を含み、

前記第１の電極と前記基板支持面との間の鉛直方向に沿った距離と前記第

２の電極と前記リング支持面との間の鉛直方向に沿った距離は、互いに略同一である、

Ｅ１～Ｅ６の何れか一項に記載のプラズマ処理装置。

[0100] ［Ｅ９］

前記第１の電極のエッジ領域と前記第２の電極の内縁領域は、鉛直方向において互いに重なり合うように配置されている、Ｅ１～Ｅ８の何れか一項に記載のプラズマ処理装置。

[0101] ［Ｅ１０］

前記基板支持部は、前記第１の電極を囲むように、前記基板支持面の下方に配置された第３の電極を含み、

前記バイアス電源システムは、前記少なくとも一つの直流電源及びグランドの各々と前記第３の電極との間で電気的に接続された第３のスイッチング回路を更に含み、

前記単一の信号発生器は、前記第３の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第３のスイッチング回路を制御するために前記パルス制御信号を発生するように構成されている、

Ｅ１～Ｅ８の何れか一項に記載のプラズマ処理装置。

[0102] ［Ｅ１１］

前記第１のスイッチング回路は、前記少なくとも一つの直流電源の負極と前記第１の電極との間で電気的に接続されており、

前記第２のスイッチング回路は、前記少なくとも一つの直流電源の前記負極と前記第２の電極との間で電気的に接続されている、

Ｅ１～Ｅ１０の何れか一項に記載のプラズマ処理装置。

[0103] ［Ｅ１２］

前記バイアス電源システムは、前記少なくとも一つの直流電源として第１の直流電源及び第２の直流電源を含み、

前記第１のスイッチング回路は、前記第１の直流電源と前記第１の電極との間で電気的に接続されており、

前記第２のスイッチング回路は、前記第２の直流電源と前記第２の電極との間で電気的に接続されている、

Ｅ１～Ｅ１２の何れか一項に記載のプラズマ処理装置。

[0104] ［Ｅ１３］

少なくとも一つの直流電源と、

前記少なくとも一つの直流電源及びグランドの各々とプラズマ処理装置のチャンバ内の基板支持部の基板支持面の下方に配置された該基板支持部の第１の電極との間で電気的に接続された第１のスイッチング回路と、

前記少なくとも一つの直流電源及びグランドの各々と前記基板支持面を取り囲む前記基板支持部のリング支持面の下方に配置された第２の電極との間で電気的に接続された第２のスイッチング回路と、

前記第１の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第１のスイッチング回路を制御し、且つ、前記第２の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第２のスイッチング回路を制御するためのパルス制御信号を発生するように構成された単一の信号発生器と、

を含む、バイアス電源システム。

[0105] ［Ｅ１４］

前記第１のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記少なくとも一つの直流電源との間で電気的に接続された少なくとも一つの第１のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記グランドとの間で電気的に接続された少なくとも一つの第２のスイッチング素子と、

を含み、

前記第２のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記少

なくとも一つの直流電源との間で電気的に接続された少なくとも一つの第３のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記グランドとの間で電気的に接続された少なくとも一つの第４のスイッチング素子と、

を含む、

Ｅ１３に記載のバイアス電源システム。

[0106] ［Ｅ１５］

前記少なくとも一つの第１のスイッチング素子として、前記第１の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第１のスイッチング素子を含み、

前記少なくとも一つの第３のスイッチング素子として、前記第２の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第３のスイッチング素子を含む、

Ｅ１４に記載のバイアス電源システム。

[0107] ［Ｅ１６］

前記少なくとも一つの第１のスイッチング素子の前記制御端子及び前記少なくとも一つの第３のスイッチング素子の前記制御端子は、前記パルス制御信号のための前記信号発生器の出力に接続されており、

前記少なくとも一つの第２のスイッチング素子の前記制御端子及び前記少なくとも一つの第４のスイッチング素子の前記制御端子は、前記パルス制御信号の反転信号のための前記信号発生器の出力に接続されている、

Ｅ１４又はＥ１５に記載のバイアス電源システム。

[0108] ［Ｅ１７］

前記信号発生器は、前記パルス制御信号及び前記反転信号の各々が第１のレベルと第２のレベルとの間で交互に遷移するよう、前記パルス制御信号及び前記反転信号を発生するように構成されており、

前記少なくとも一つの第１のスイッチング素子及び前記少なくとも一つの

第３のスイッチング素子は、前記パルス制御信号が前記第１のレベルを有するときに閉状態となり、前記パルス制御信号が前記第２のレベルを有するときに開状態となるように構成されており、

前記少なくとも一つの第２のスイッチング素子及び前記少なくとも一つの第４のスイッチング素子は、前記反転信号が前記第１のレベルを有するときに閉状態となり、前記反転信号が前記第２のレベルを有するときに開状態となるように構成されている、

Ｅ１６に記載のバイアス電源システム。

[0109] ［Ｅ１８］

前記第１のスイッチング回路及び前記第２のスイッチング回路は、単一の筐体内又は単一の基板に設けられている、Ｅ１３～Ｅ１７の何れか一項に記載のバイアス電源システム。

[0110] ［Ｅ１９］

（ａ）プラズマ処理装置のチャンバ内の基板支持部の基板支持面上に基板を載置する工程であり、該基板支持部は、前記基板支持面、該基板支持部を取り囲むリング支持面、該基板支持面の下方に配置された第１の電極、及び該リング支持面の下方に配置された第２の電極を含む、該工程と、

（ｂ）前記チャンバ内でプラズマを生成する工程と、

（ｃ）前記プラズマから前記基板支持面上の基板及び前記リング支持面上のエッジリングにイオンを引き込むために、バイアス電源システムから前記第１の電極及び前記第２の電極に電圧パルスのシーケンスを供給する工程と、

を含み、

前記バイアス電源システムは、

少なくとも一つの直流電源と、

前記少なくとも一つの直流電源及びグランドの各々と前記第１の電極との間で電気的に接続された第１のスイッチング回路と、

前記少なくとも一つの直流電源及びグランドの各々と前記第２の電極と

の間で電気的に接続された第２のスイッチング回路と、

前記第１の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第１のスイッチング回路を制御し、且つ、前記第２の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第２のスイッチング回路を制御するためのパルス制御信号を発生するように構成された単一の信号発生器と、

を含み、

前記（ｃ）は、前記バイアス電源システムにおいて前記電圧パルスのシーケンスを発生するよう、前記単一の信号発生器から前記第１のスイッチング回路及び前記第２のスイッチング回路に前記パルス制御信号を与えることを含む、

プラズマ処理方法。

[0111] 以上の説明から、本開示の種々の実施形態は、説明の目的で本明細書で説明されており、本開示の範囲及び主旨から逸脱することなく種々の変更をなし得ることが、理解されるであろう。したがって、本明細書に開示した種々の実施形態は限定することを意図しておらず、真の範囲と主旨は、添付の特許請求の範囲によって示される。

符号の説明

[0112] １…プラズマ処理装置、１０…チャンバ、１１…基板支持部、１１１ａ…基板支持面、１１１ｂ…リング支持面、ＢＥ１…第１の電極、ＢＥ２…第２の電極、１２…プラズマ生成部、５０…バイアス電源システム、５１，５２…直流電源、６１…第１のスイッチング回路、６２…第２のスイッチング回路、７０…信号発生器。

請求の範囲

[請求項1] チャンバと、

前記チャンバ内に配置された基板支持部であり、

基板支持面と、

前記基板支持面を取り囲むエッジリング支持面と、

前記基板支持面の下方に配置された第１の電極と、

前記エッジリング支持面の下方に配置された第２の電極と、

を含む、該基板支持部と、

前記チャンバ内でガスからプラズマを生成するように構成されたプラズマ生成部と、

前記第１の電極及び前記第２の電極に電気的に結合されたバイアス電源システムと、

を備え、

前記バイアス電源システムは、

少なくとも一つの直流電源と、

前記少なくとも一つの直流電源及びグランドの各々と前記第１の電極との間で電気的に接続された第１のスイッチング回路と、

前記少なくとも一つの直流電源及びグランドの各々と前記第２の電極との間で電気的に接続された第２のスイッチング回路と、

前記第１の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第１のスイッチング回路を制御し、且つ、前記第２の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第２のスイッチング回路を制御するためのパルス制御信号を発生するように構成された単一の信号発生器と、

を含む、プラズマ処理装置。

[請求項2] 前記第１のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記少なくとも一つの直流電源との間で電気的に接続された少なくと

も一つの第１のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記グランドとの間で電気的に接続された少なくとも一つの第２のスイッチング素子と、

を含み、

前記第２のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記少なくとも一つの直流電源との間で電気的に接続された少なくとも一つの第３のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記グランドとの間で電気的に接続された少なくとも一つの第４のスイッチング素子と、

を含む、

請求項１に記載のプラズマ処理装置。

[請求項3] 前記バイアス電源システムは、

前記少なくとも一つの第１のスイッチング素子として、前記第１の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第１のスイッチング素子を含み、

前記少なくとも一つの第３のスイッチング素子として、前記第２の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第３のスイッチング素子を含む、

請求項２に記載のプラズマ処理装置。

[請求項4] 前記少なくとも一つの第１のスイッチング素子の前記制御端子及び前記少なくとも一つの第３のスイッチング素子の前記制御端子は、前記パルス制御信号のための前記信号発生器の出力に接続されており、

前記少なくとも一つの第２のスイッチング素子の前記制御端子及び前記少なくとも一つの第４のスイッチング素子の前記制御端子は、前記パルス制御信号の反転信号のための前記信号発生器の出力に接続さ

れている、

請求項２に記載のプラズマ処理装置。

[請求項5] 前記信号発生器は、前記パルス制御信号及び前記反転信号の各々が第１のレベルと第２のレベルとの間で交互に遷移するよう、前記パルス制御信号及び前記反転信号を発生するように構成されており、

前記少なくとも一つの第１のスイッチング素子及び前記少なくとも一つの第３のスイッチング素子は、前記パルス制御信号が前記第１のレベルを有するときに閉状態となり、前記パルス制御信号が前記第２のレベルを有するときに開状態となるように構成されており、

前記少なくとも一つの第２のスイッチング素子及び前記少なくとも一つの第４のスイッチング素子は、前記反転信号が前記第１のレベルを有するときに閉状態となり、前記反転信号が前記第２のレベルを有するときに開状態となるように構成されている、

請求項４に記載のプラズマ処理装置。

[請求項6] 前記少なくとも一つの直流電源と前記第１の電極とを互いに電気的に接続する電気的パスの長さと前記少なくとも一つの直流電源と前記第２の電極とを互いに電気的に接続する電気的パスの長さは、互いに略同一である、請求項１～５の何れか一項に記載のプラズマ処理装置。

[請求項7] 前記第１のスイッチング回路及び前記第２のスイッチング回路は、単一の筐体内又は単一の基板に設けられている、請求項１～５の何れか一項に記載のプラズマ処理装置。

[請求項8] 前記基板支持部は、前記基板支持面及び前記リング支持面を有する誘電体部を含み、

前記第１の電極と前記基板支持面との間の鉛直方向に沿った距離と前記第２の電極と前記リング支持面との間の鉛直方向に沿った距離は、互いに略同一である、

請求項１～５の何れか一項に記載のプラズマ処理装置。

[請求項9] 前記第１の電極のエッジ領域と前記第２の電極の内縁領域は、鉛直方向において互いに重なり合うように配置されている、請求項１～５の何れか一項に記載のプラズマ処理装置。

[請求項10] 前記基板支持部は、前記第１の電極を囲むように、前記基板支持面の下方に配置された第３の電極を含み、

前記バイアス電源システムは、前記少なくとも一つの直流電源及びグランドの各々と前記第３の電極との間で電気的に接続された第３のスイッチング回路を更に含み、

前記単一の信号発生器は、前記第３の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第３のスイッチング回路を制御するために前記パルス制御信号を発生するように構成されている、

請求項１～５の何れか一項に記載のプラズマ処理装置。

[請求項11] 前記第１のスイッチング回路は、前記少なくとも一つの直流電源の負極と前記第１の電極との間で電気的に接続されており、

前記第２のスイッチング回路は、前記少なくとも一つの直流電源の前記負極と前記第２の電極との間で電気的に接続されている、

請求項１～５の何れか一項に記載のプラズマ処理装置。

[請求項12] 前記バイアス電源システムは、前記少なくとも一つの直流電源として第１の直流電源及び第２の直流電源を含み、

前記第１のスイッチング回路は、前記第１の直流電源と前記第１の電極との間で電気的に接続されており、

前記第２のスイッチング回路は、前記第２の直流電源と前記第２の電極との間で電気的に接続されている、

請求項１～５の何れか一項に記載のプラズマ処理装置。

[請求項13] 少なくとも一つの直流電源と、

前記少なくとも一つの直流電源及びグランドの各々とプラズマ処理装置のチャンバ内の基板支持部の基板支持面の下方に配置された該基

板支持部の第１の電極との間で電気的に接続された第１のスイッチング回路と、

前記少なくとも一つの直流電源及びグランドの各々と前記基板支持面を取り囲む前記基板支持部のリング支持面の下方に配置された第２の電極との間で電気的に接続された第２のスイッチング回路と、

前記第１の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第１のスイッチング回路を制御し、且つ、前記第２の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第２のスイッチング回路を制御するためのパルス制御信号を発生するように構成された単一の信号発生器と、

を含む、バイアス電源システム。

[請求項14] 前記第１のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記少なくとも一つの直流電源との間で電気的に接続された少なくとも一つの第１のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第１の電極と前記グランドとの間で電気的に接続された少なくとも一つの第２のスイッチング素子と、

を含み、

前記第２のスイッチング回路は、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記少なくとも一つの直流電源との間で電気的に接続された少なくとも一つの第３のスイッチング素子と、

前記信号発生器に接続された制御端子を有し、前記第２の電極と前記グランドとの間で電気的に接続された少なくとも一つの第４のスイッチング素子と、

を含む、

請求項１３に記載のバイアス電源システム。

[請求項15] 前記少なくとも一つの第１のスイッチング素子として、前記第１の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第１のスイッチング素子を含み、

前記少なくとも一つの第３のスイッチング素子として、前記第２の電極と前記少なくとも一つの直流電源との間で直列的及び／又は並列的に接続された複数の第３のスイッチング素子を含む、

請求項１４に記載のバイアス電源システム。

[請求項16] 前記少なくとも一つの第１のスイッチング素子の前記制御端子及び前記少なくとも一つの第３のスイッチング素子の前記制御端子は、前記パルス制御信号のための前記信号発生器の出力に接続されており、

前記少なくとも一つの第２のスイッチング素子の前記制御端子及び前記少なくとも一つの第４のスイッチング素子の前記制御端子は、前記パルス制御信号の反転信号のための前記信号発生器の出力に接続されている、

請求項１４に記載のバイアス電源システム。

[請求項17] 前記信号発生器は、前記パルス制御信号及び前記反転信号の各々が第１のレベルと第２のレベルとの間で交互に遷移するよう、前記パルス制御信号及び前記反転信号を発生するように構成されており、

前記少なくとも一つの第１のスイッチング素子及び前記少なくとも一つの第３のスイッチング素子は、前記パルス制御信号が前記第１のレベルを有するときに閉状態となり、前記パルス制御信号が前記第２のレベルを有するときに開状態となるように構成されており、

前記少なくとも一つの第２のスイッチング素子及び前記少なくとも一つの第４のスイッチング素子は、前記反転信号が前記第１のレベルを有するときに閉状態となり、前記反転信号が前記第２のレベルを有するときに開状態となるように構成されている、

請求項１６に記載のバイアス電源システム。

[請求項18] 前記第１のスイッチング回路及び前記第２のスイッチング回路は、

単一の筐体内又は単一の基板に設けられている、請求項１３～１７の何れか一項に記載のバイアス電源システム。

[請求項19] （ａ）プラズマ処理装置のチャンバ内の基板支持部の基板支持面上に基板を載置する工程であり、該基板支持部は、前記基板支持面、該基板支持部を取り囲むリング支持面、該基板支持面の下方に配置された第１の電極、及び該リング支持面の下方に配置された第２の電極を含む、該工程と、

（ｂ）前記チャンバ内でプラズマを生成する工程と、

（ｃ）前記プラズマから前記基板支持面上の基板及び前記リング支持面上のエッジリングにイオンを引き込むために、バイアス電源システムから前記第１の電極及び前記第２の電極に電圧パルスのシーケンスを供給する工程と、

を含み、

前記バイアス電源システムは、

少なくとも一つの直流電源と、

前記少なくとも一つの直流電源及びグランドの各々と前記第１の電極との間で電気的に接続された第１のスイッチング回路と、

前記少なくとも一つの直流電源及びグランドの各々と前記第２の電極との間で電気的に接続された第２のスイッチング回路と、

前記第１の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第１のスイッチング回路を制御し、且つ、前記第２の電極を前記少なくとも一つの直流電源とグランドに交互に接続させるよう前記第２のスイッチング回路を制御するためのパルス制御信号を発生するように構成された単一の信号発生器と、

を含み、

前記（ｃ）は、前記バイアス電源システムにおいて前記電圧パルスのシーケンスを発生するよう、前記単一の信号発生器から前記第１のスイッチング回路及び前記第２のスイッチング回路に前記パルス制御

信号を与えることを含む、

プラズマ処理方法。