明　細　書

発明の名称

デイジタル信号符号化方法及び装置、デイジタル信号記録媒体、デイジタル信号復号化方法及び装置

技術分野

本発明はデイジタル信号符号化方法及び装置、デイジタル信号記録媒体、デイジタル信号復号化方法及び装置に関し、デイジタル信号を誤り訂正符号を付加して符号化し復号化するものに適用して好適なものである。

背景技術

従来、コンパクトデイスク（ＣＤ）においては、オーデイオ信号がデイジタル化されてＣＤ規格に応じた符号化方法で符号化されて記録されている。ＣＤの信号フオーマットを図１４に示す。１フレームは１バイトのサブコードと24バイトの実データ、各４バイトのＣ１、Ｃ２誤り訂正符号（ＣＩＲＣ（Cross Interleave Reed-Solomon Code））の合計33バイトより構成されている。また１フレームの先頭にはフレーム同期信号が付加されている。これによりサブコードを除いた全データ量に占める誤り訂正符号の割合、すなわち冗長度は８バイト／32バイトであり25〔%〕になる。

またＣＤの信号フオーマットの場合、図１５に示すように、98フレームで１ブロツクが形成され、これが１セクタと呼ばれる。この１セクタの実データは2352バイトである。また１セクタの先頭の２フレームのサブコードには、Ｓ０、Ｓ１という固有のパターンが記録されており、これによりセクタの先頭が判別される。なお誤り訂正符号ＣＩＲＣは、２段のリードソロモン符号、すなわちＣ１、Ｃ２符号をインターリーブで結合したものである。

このＣＤの符号化／復号化装置の構成を図１６に示す。まず符号化装置におい

て、デイジタルオーデイオのデータは、Ｌ、Ｒ各チヤンネルの６サンプル分すなわち24バイトが１つの単位となつて、ＣＩＲＣ符号化回路１に入力される。このＣＩＲＣ符号化回路１は、図１７に示すような回路で構成されている。すなわち偶数サンプル遅延回路２１、スクランブル回路２２は、偶数番目のサンプルのデータをそれぞれ２フレーム分遅延させ、データの並び換えを行う。これは、訂正不能が生じた場合、隣接データより訂正不能で欠落した部分を補間し、聴感上目立たなくするためである。

またＣ２符号符号化部２３は、元の符号24バイトに対しＣ２パリテイの４バイトを算出して加える。インターリーバ２４は、最大遅延が 108フレームにおよぶインターリーブをかける。Ｃ１符号符号化部２５は、元の符号とＣ２パリテイを含めた28バイトに対し４バイトのＣ１パリテイを算出して加え、この結果全データ長が32バイトになる。

奇数シンボル遅延回路２６は、奇数番目のシンボルのみをさらに１フレーム分遅延させる。遅延させる理由は、ランダムエラーが２バイトにまたがつて発生した場合、その影響が１つのＣ１符号系列上において１シンボルにしかおよばないようにするためである。インバータ２７は、パリテイの極性を反転させ、これによりすべてのデータが誤りで０になつた場合に、誤りなしと判断されることを防ぐようになされている。

このようにして得られたＣＩＲＣの符号化出力は、サブコード付加回路２で32バイト毎に１バイトのサブコードが付加される。ここで上述のセクタ先頭を示すコードＳ０、Ｓ１もサブコードとして付加される。そして次のＥＦＭ（Eight Fourteen Modulation ）変調回路３でＥＦＭ変調され、フレーム同期信号付加回路４においてフレーム先頭にフレーム同期信号が付加されて、カツテイング装置５に送られる。カツテイング装置５によりマスタリングが行なわれ、このようにしてＣＤ規格に応じてデイジタルオーデイオ信号が記録されたデイスク６が製造される。

一方復号化装置においては、復号化として符号化の逆の処理を行なう。すなわ

ちデイスク６から読まれた信号は、ＲＦアンプ７を経て、フレーム同期信号検出分離回路８にて、フレーム同期信号が検出されて分離される。次にＥＦＭ復調回路９でＥＦＭ復調され、サブコード検出分離回路１０で１フレームの先頭のサブコードが検出されて分離され、ＣＩＲＣ復号化回路１１に入力される。このサブコード検出分離回路１０では、コードＳ０、Ｓ１を検出することにより、セクタの先頭を判別する。このＣＩＲＣ復号化回路１１は、図１８に示すような回路で構成され、１フレーム分32バイトが入される。

すなわち偶数シンボル遅延回路３１は、１フレーム分の32バイトのうち偶数番目のシンボルを１フレーム分遅延させる。次のパリテイ反転回路３２はパリテイを反転させる。Ｃ１符号復号化部３３はＣ１符号を用いて誤り訂正処理を行う。これよりＣ１パリテイを除いた28バイトが、次のデインターリーバ３４に送られデインターリーブされる。Ｃ２符号復号化部３５は、Ｃ２符号を用いて誤り訂正処理を行う。これによりＣ２パリテイを除いた24バイトが次のデスクランブル回路３６に送られ、スクランブルが解かれる。奇数サンプル遅延回路３７はスクランブルが解かれたデータの奇数番目のサンプルを２フレーム分遅延させ、このようにして１フレーム分24バイトのデータが出力される。

ここで、Ｃ１符号系列、Ｃ２符号系列、及び実際にデイスクに記録されるデータの関係を図１８及び図１９を用いて説明する。図１９において横方向は、Ｃ１符号系列であり、この順にＣ１符号による誤り訂正がなされる。実際のデイスク上には、Ｄ０、Ｄ１、Ｄ２の順にデータが記録されているものとすると、先ず、偶数シンボル遅延回路３１には、並列にＤ０、Ｄ１、Ｄ２……が入力される。偶数シンボル遅延回路３１では、偶数番目のシンボル即ち、Ｄ１、Ｄ３、Ｄ５……が１フレーム遅延されるため、ある時点でのＣ１符号復号化部３３の入口には、図１９において横方向に示すＣ１符号系列の１フレーム分のシンボル、例えばＤ３２、Ｄ１、Ｄ３４、Ｄ３……Ｄ２９、Ｄ６２、Ｄ３１が、並列に入力される。したがって、デイスクから読み出されたデータと、Ｃ１符号系列の関係は、図１９に示すようにジグザグになる。この関係を式で表すと以下のようになる。ｉを

Ｃ１符号系列番号、ｊをＣ１符号内のシンボル番号とする。ｋをデイスク上に記録されたシンボルの順番として、シンボルをＤｋで表すとする。（ｉ、ｊ）は次式

$$i = (k / 32) + (k \bmod 2)$$
$$j = k \bmod 32 \quad \cdots\cdots (1)$$

のように表される。ただし、ここでの除算は、小数点以下の端数は切捨てるものとする。またｍｏｄは除算の剰余を表す。これらの定義は以下の式でも同様である。

一方、デインターリーバ３４において、Ｃ１符号復号化部３３からの出力に対して最大１０８フレームに及ぶ遅延がかけられるため、Ｃ２符号復号化部３５の入口おいては、図１９の点線の矢印で示したように、Ｃ１符号系列の４系列おきに１シンボルずつ取り出されたシンボル列が、Ｃ２符号系列として入力されることになる。したがって、Ｃ２符号を用いて誤り訂正を行うためには、デイスクからＣ１符号系列の１０８フレーム分のシンボルを読み出さなければならない。尚本願では、Ｃ２符号系列の誤り訂正に必要なＣ１符号系列のフレームをインターリーブ拘束長と呼び、ＣＤの場合はインターリーブ拘束長は１０８フレームとなる。

ところで上述したようにＣＤで使用されているＣＩＲＣは、ランダムエラー、バーストエラー両方に有効な誤り訂正符号であるが、その訂正能力には限界があり、デイジタル信号を高密度で記録しようとすると、訂正不能を起こし易い。また、デイスクにより多くのデータを記録しようとしても、全データ量に占める誤り訂正符号の割合、すなわち冗長度がすでに決まつているので、記録できるデータ量には限界がある。

またＣＤの規格では、フレームの順番を区別する情報を持つていない。従つて、バーストエラーで何フレームかが連続して読出し不能となつた場合、失われたフ

レーム数がいくつであるか知る方法はなく、その結果Ｃ２符号訂正ができず、結局訂正不能になつてしまう問題があつた。

発明の開示

本発明は以上の点を考慮してなされたもので、デイジタル信号に誤り訂正符号を付して符号化し復号化する際に、簡易な構成で誤り訂正能力を向上し得ると共に冗長度を削減し得るデイジタル信号符号化方法及び装置、デイジタル信号記録媒体、デイジタル信号復号化方法及び装置を提案しようとするものである。

かかる課題を解決するため本発明においては、デイジタル信号を誤り訂正符号を付して符号化するデイジタル信号符号化方法において、少なくとも入力デイジタル信号の第１の符号系列を用いて求められた第１のパリテイを、入力デイジタル信号に付加し、隣接する複数の第１の符号系列からそれぞれ１シンボルずつずらして取り出された複数のシンボルに相当する第２の符号系列を用いて求められた第２のパリテイを、入力デイジタル信号に付加し、第１及び第２のパリテイが付加された入力デイジタル信号を第２の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列するようにした。

また、本発明においては、デイジタル信号を誤り訂正符号を付して符号化するデイジタル信号符号化装置において、少なくとも入力デイジタル信号の第１の符号系列を用いて求められた第１のパリテイを、入力デイジタル信号に付加する手段と、隣接する複数の上記第１の符号系列からそれぞれ１シンボルずつずらして取り出された複数のシンボルに相当する第２の符号系列を用いて求められた第２のパリテイを、入力デイジタル信号に付加する手段と、第１及び第２のパリテイが付加された入力デイジタル信号を第２の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列する手段とを設けるようにした。

また、本発明においては、誤り訂正符号を付して符号化された符号化デイジタル信号が記録されたデイジタル信号記録媒体において、符号化デイジタル信号は、少なくとも入力デイジタル信号の第１の符号系列を用いて求められた第１のパリ

テイを、入力デイジタル信号に付加し、隣接する複数の第1の符号系列からそれぞれ1シンボルずつずらして取り出された複数のシンボルに相当する第2の符号系列を用いて求められた第2のパリテイを、入力デイジタル信号に付加し、第1及び第2のパリテイが付加された入力デイジタル信号を第2の符号系列のシンボルの並びがデイジタル信号記録媒体上のシンボルの並びと一致しないように配列することにより生成されるようにした。

また、本発明においては、少なくとも入力デイジタル信号の第1の符号系列を用いて求められた第1のパリテイを、入力デイジタル信号に付加し、隣接する複数の第1の符号系列からそれぞれ1シンボルずつずらして取り出された複数のシンボルに相当する第2の符号系列を用いて求められた第2のパリテイを、入力デイジタル信号に付加し、第1及び第2のパリテイが付加された入力デイジタル信号を第2の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列することにより生成された符号化デイジタル信号を復号化するデイジタル信号復号化方法において、伝送路から供給された符号化デイジタル信号を並び換え、当該並び換えられた符号化デイジタル信号を、第1のパリテイを用いて第1の符号系列の方向に第1の誤り訂正を行い、並び換えられた符号化デイジタル信号を、第2のパリテイを用いて第2の符号系列の方向に第2の誤り訂正を行うようにした。

また、本発明においては、少なくとも入力デイジタル信号の第1の符号系列を用いて求められた第1のパリテイを、入力デイジタル信号に付加し、隣接する複数の第1の符号系列からそれぞれ1シンボルずつずらして取り出された複数のシンボルに相当する第2の符号系列を用いて求められた第2のパリテイを、入力デイジタル信号に付加し、第1及び第2のパリテイが付加された入力デイジタル信号を第2の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列することにより生成された符号化デイジタル信号を復号化するデイジタル信号復号化装置において、伝送路から供給された符号化デイジタル信号を並び換える手段と、当該並び換えられた符号化デイジタル信号を、第1のパリテ

イを用いて第１の符号系列の方向に第１の誤り訂正を行う手段と、並び換えられた符号化デイジタル信号を、第２のパリテイを用いて第２の符号系列の方向に第２の誤り訂正を行う手段とを設けるようにした。

デイジタル信号を誤り訂正符号を付して符号化する際に、符号長、訂正パリテイ数、インターリーブ拘束長をコンパクトデイスク規格より増して符号化するようにしたことにより、コンパクトデイスク規格に比して冗長度を低減して、記録可能なデータ量を増加し得、かくして、デイジタル信号に誤り訂正符号を付して符号化し復号化する際に、簡易な構成で誤り訂正能力を向上し得ると共に冗長度を削減し得る。

図面の簡単な説明

図１は本発明によるデイジタル信号の符号化及び復号化方法によるＣ１符号の１符号長の構成を示す略線図である。

図２はＬフォーマットのインターリーブの説明に供する略線図である。

図３はＳフォーマットのインターリーブの説明に供する略線図である。

図４は本発明によるデイジタル信号の符号化及び復号化方法によるセクタ構造の説明に供する略線図である。

図５（Ａ）及び５（Ｂ）はデイスク上の記録順番とＣ１符号の順番を示す略線図である。

図６はデイスク上の記録順番とＣ１符号の順番を示す略線図である。

図７は本発明によるデイジタル信号符号化装置の一実施例を示すブロック図である。

図８は図７のデイジタル信号符号化装置におけるＬフォーマットの誤り訂正符号符号化処理部の構成を示すブロック図である。

図９は図７のデイジタル信号符号化装置におけるＳフォーマットの誤り訂正符号符号化処理部の構成を示すブロック図である。

図１０は本発明によるデイジタル信号復号化装置の一実施例を示すブロック図

である。

図１１はバーストエラーの訂正処理の説明に供する略線図である。

図１２は図１０のデイジタル信号復号化装置におけるＬフォーマットの誤り訂正符号復号化処理部の構成を示すブロック図である。

図１３は図１０のデイジタル信号復号化装置におけるＳフォーマットの誤り訂正符号復号化処理部の構成を示すブロック図である。

図１４は従来のコンパクトデイスクにおけるＣ１符号の１符号長の構成を示す略線図である。

図１５は従来のコンパクトデイスクにおけるセクタ構造を示す略線図である。

図１６は従来のコンパクトデイスクの符号化及び復号化装置を示すブロック図である。

図１７は従来のコンパクトデイスクの符号化装置の誤り訂正符号符号化処理部の構成を示すブロック図である。

図１８は従来のコンパクトデイスクの復号化装置の誤り訂正符号復号化処理部の構成を示すブロック図である。

図１９は従来のコンパクトデイスクにおけるデイスク上の記録順番とＣ１符号の順番を示す略線図である。

発明を実施するための最良の形態

まず、実施例を詳述する前に、インターリーブの目的について示しておく。インターリーブは、デイスク上での数シンボル連続するバーストエラーをＣ２方向でランダムエラーに見えるように分散させるものである。ところで、本実施例においては、後述するように、Ｃ１符号系列の長さを、ＣＤの３２シンボルに比較してかなり長い１３６シンボルとしている。ＣＤは、Ｃ１符号系列が３２シンボルと短いので、上記の目的を達成するために、上述したように、Ｃ１符号系列の４フレームおきにシンボルをとりだしＣ２符号系列としている。このように、Ｃ１符号系列を横方向に並べた場合に、Ｃ１符号系列とＣ２符号系列とのなす角が

大きい場合を深いインターリーブと呼ぶ。本実施例においては、Ｃ１符号系列が長いため、深いインターリーブを行わなくても、上記の目的を達成することができる。

まずＣＤに使用されているＣＩＲＣのインターリーブを単純に浅くし、Ｃ２符号系列を、図１９に示すＣ２'符号化系列となるようにすることを考える。この場合、Ｃ２'符号系列は、図１９に示す通りＤ０を先頭に隣合うシンボル間が、３３シンボルとなるようなインターリーブであり、連続する各Ｃ１符号系列から１シンボルずつ取り出したことになる。以下に示す実施例では、Ｃ１符号系列が長いため、実際には、Ｃ２'符号系列の各シンボルの間隔はこれより長いものとなり、ＣＤの深いインターリーブと同様に上記の目的を達成することができる。

ただし、このようなインターリーブを行うと、Ｄ０とＤ１、Ｄ６６とＤ６７等はＣ２'符号上で隣合い、かつデイスク上でも隣合うシンボルとなる。Ｃ１符号系列が長くても、同様のことが言える。インターリーブは、数シンボル連続する誤りを、Ｃ２符号上で分散させるのが本来の目的であるから、このようにデイスク上のシンボル順と、Ｃ２'符号上のシンボル順が一致するのは好ましくなく、Ｃ２'符号の訂正能力が悪化する。以降の実施例では、デイスク上のシンボル順と、Ｃ２'符号上のシンボル順が一致しないようになされている。

以下図面について、本発明の一実施例を詳述する。

（１）デイジタル信号の符号化方法

この実施例によるデイジタル信号の符号化方法においては、インターリーブ拘束長を長くしてバーストエラー訂正能力を向上させたフォーマットをＬフォーマットと呼び、拘束長を短くしてバーストエラー訂正能力を必要最小限にし、処理速度を上げたフォーマットをＳフォーマットと呼ぶ。

このデイジタル信号の符号化方法で図１は全体としてＣ１符号を示し、符号長は 136シンボル、データは 116シンボル、末尾の８シンボルがＣ１パリテイ中央の12シンボルがＣ２パリテイである。符号の先頭部には、同期検出用のシンクが配され、シンクに続いて例えば１ビットのフォーマットＩＤが配される。このフ

オーマットＩＤによつて、Ｌフォーマットかフォーマットかどちらかが表される。以下、Ｃ１符号の１符号長分を１フレームと呼ぶ。フォーマットＩＤに続くデータの先頭１シンボルに、フレームＩＤが配されている。ここでフレームＩＤはＣ１符号に含まれており、Ｃ１符号訂正によつて誤り訂正ができる。

Ｌフォーマットによるインターリーブを図２に示す。このＬフォーマットにおいて、Ｃ２符号は符号長が 128シンボルで、 128個のＣ１符号にわたりインターリーブされている。Ｃ２符号で全パリテイシンボルを使用して訂正すると、Ｃ２符号中の12シンボルの誤りが訂正できる。これは、Ｃ１符号12個に相当し、1632シンボルのバーストエラーまで訂正できる。

これに対してＳフォーマットによるインターリーブを図３に示す。Ｃ１符号はＬフォーマットと全く同じである。Ｃ２符号は、符号長がＬフォーマットと同じく 128シンボルであるが、43番目のＣ１符号で折り返されるようなインターリーブになつており、拘束長はＬフォーマットの約１／３である。Ｌフォーマットと同じくＣ２符号中の12シンボルの誤りが訂正できるとすると、Ｃ１符号４個分、すなわち 544シンボルのバーストエラーまで訂正できる。

冗長度はＣＤの25〔％〕に比べて、このフォーマットは14.7〔％〕である。またＣＤでは、パリテイ数がＣ１、Ｃ２とも４シンボルだが、このフォーマットでは各々８、12シンボルで、いわゆるＬＤＣ（Long Distance Code）なので訂正能力はＣＤに比べ格段的に向上できる。

このフォーマットにおけるセクタ構造を図４に示す。Ｃ１符号が18個で１セクタを構成する。パリテイを除いたデータ部分は2088シンボルあり、そのうち、フレームＩＤが18シンボル、セクタヘツダが18シンボル、誤り検出用符号（ＥＤＣ（Error Detection Code））が４シンボル、残り2048シンボルが実データとなる。つまり１シンボルを１バイトとすると、１セクタは２ｋバイトである。フレームＩＤには、セクタの先頭フレームより、０、１、２、……、17と番号が記録されている。これはセクタ毎に繰り返される。

次に、この実施例のデイジタル信号のＣ２符号系列のシンボルの並びとデイス

ク上のシンボルの並びが一致しないようにするために、符号化時に奇数番目のシンボルを遅延させた場合について述べる。図５（Ａ）は本実施例におけるＣ１符号系列、Ｃ２符号系列、及び実際にディスクに記録されるデータの関係を示す。横方向にデータが読み出されＣ１符号訂正が行なわれる。上述した図１９と同様に、Ｃ１符号順をｉ、Ｃ１符号内のシンボルの順番をｊ、ディスク上のシンボルをＤｋで表す。ｉ、ｊは次式

$$i = (k / 136) + (k \bmod 2)$$
$$j = 68 \cdot (k \bmod 2) + ((k \bmod 136) / 2) \quad \cdots\cdots (2)$$

のように表される。

すなわち、ｋが偶数である奇数番目のシンボルをＣ１符号の前半に並べ、ｋが奇数である偶数番目を次のＣ１符号の後半に並べる。このように遅延を行なうことで、ディスク上のデータ順とＣ２符号のそれが一致しなくなり、バーストエラーの影響を小さくすることができる。このような遅延は、後述する図８において遅延部３０６を設けることにより実現できる。この例では、Ｃ１符号を２分割してシンボルを並べたが、２分割に限るものではなく、例えば図６に示すように４分割でもよい。この場合、ｉ、ｊは次式

$$i = (k / 136) + (k \bmod 2)$$
$$j = 34 \cdot (k \bmod 4) + ((k \bmod 136) / 4) \quad \cdots\cdots (3)$$

のようになる。このようにすれば図５（Ａ）の場合と同様に、ディスク上のデータ順とＣ２符号順とを一致しないようにできる。

また、図５（Ａ）においては、奇数番目のシンボルを遅延させているが、偶数番目のシンボルを遅延させてもよい。この場合のＣ１符号系列、Ｃ２符号系列、及び実際にディスクに記録されるデータの関係は、図５（Ｂ）に示すようになる。

奇数番目のシンボルを遅延させた場合、図５（Ａ）に示すように、Ｃ２符号系列内の隣接するシンボルが、デイスク上のシンボルの並びと一致してしまう部分が残つてしまう（例えばＤ２７０、Ｄ２７１）が、偶数シンボルを遅延させた図５（Ｂ）の場合、そのようなことは起こらないため、図５（Ｂ）の方がよりエラー訂正能力が向上できる。尚、図５（Ｂ）の場合の（ｉ，ｊ）は、次式によって示すことができる。

$$i = (k / 136) - (k \bmod 2) + 1$$
$$j = 68 \cdot (k \bmod 2) + ((k \bmod 136) / 2) \quad \cdots\cdots (4)$$

（２）デイジタル信号の符号化装置及び復号化装置

ここで上述したデイジタル信号の符号化方法を実現するデイジタル信号符号化装置と、これに対応するデイジタル信号復号化装置の実施例を説明する。まず図７に、この実施例のデイジタル信号符号化装置の構成を示す。このデイジタル信号符号化装置では、フオーマツト切り替え信号で、ＬフオーマツトかＳフオーマツトかの選択を行なう。入力にはフレーム先頭にフレームＩＤが付加されたデータが入力される。

入力信号はまずメモリ１０１に入力され、Ｃ１又はＣ２符号の順に誤り訂正回路１０２に送られて誤り訂正符号が付加され、再びメモリ１０１に書き込まれる。次にＥＦＭ変調回路１０４に送られる。これらメモリの書き込みアドレス及び読み出しアドレスの発生等は、メモリ制御部１０３が、フオーマツト切り替え信号により選択されたフオーマツトに応じて制御する。

図８は図５（Ａ）のＬフオーマツトの場合に、入力データがメモリ１０１及び誤り訂正回路１０２で処理される過程を示したものである。入力データはａ０～ａ115 までの 116シンボルが１まとまりとして処理される。まず遅延部３０１で偶数番目のシンボルが、１符号長分遅延される。次にインターリーバ３０２によりインターリーブが施され、図２で示したＣ２符号順に並び替えられ、Ｃ２符号

符号化部３０３でＣ２訂正パリテイが計算され付加される。

そしてデインターリーバ３０４で元の順序に戻され、Ｃ１符号符号化部３０５でＣ１訂正パリテイが計算され付加された後、遅延部３０６で奇数番目のシンボルが遅延される。その後インバータ３０７でＣ１及びＣ２の訂正パリテイシンボルのみが反転されてｂ０～ｂ135 までの 136シンボルが出力される。デイスク１０７にはｂ０、ｂ１、ｂ２、……の順に記録される。尚、１５（Ｂ）のＬフォーマットは、図８おいて遅延部３０６を、ｂ０、ｂ２、ｂ４……ｂ132 、ｂ134 側に設けるかわりに、ｂ１、ｂ３、ｂ５……ｂ133 、ｂ135 側に設けることにより実現できる。

図９は上述と同様にＳフォーマットの場合を示す。Ｌフォーマットと異なるのは、インターリーバ４０２とデインターリーバ４０４のみである。遅延部４０１は遅延部３０１と、Ｃ２符号符号化部４０３はＣ２符号符号化部３０３と、Ｃ１符号符号化部４０５はＣ１符号符号化部３０５と、遅延部４０６は遅延部３０６と、インバータ４０７はインバータ３０７と同じ構成である。インターリーバ４０２の遅延量ｇ（ｘ）、デインターリーバ４０３の遅延量ｆ（ｘ）は次式

$$f(x) = x \bmod 43$$
$$g(x) = 42 - f(127 - x) \qquad \cdots\cdots (5)$$

のようになる。これにより、図３で示したようなＣ２符号順が得られる。

メモリ１０１よりＥＦＭ変調回路１０４に送られたデータは、ＥＦＭ変調され、次のシンク／フォーマットＩＤ付加回路１０５で、シンクと選択されたフォーマットのフォーマットＩＤが付加される。次にカッテイング装置１０６に送られてデイスク１０７が製造される。

この実施例のデイジタル信号の符号化方法は、コンピユータデータの他、画像の圧縮データ等の記録再生に使用されることを前提としているため、誤り訂正不能が生じたときに、その不能部分が広範囲に拡大しないよう配慮されている。す

なわち元のデータ順、つまりａ０～ａ115 の順番にデイスク１０７にデータが記録されるように、インターリーバを通してからＣ２符号を付加し、その後デインターリーバで元の順序に戻すという処理が行なわれる。さらに偶数シンボルと奇数シンボルの遅延量が同じとなるように遅延部３０１が設けられている。

図８を例にあげて説明すると、ａ０は、インターリーバ３０２によって、127フレーム遅延され、更に、遅延部３０６によって１フレーム遅延される。しがって、ａ０がｂ０として出力される時には、合計 128（＝ 127+1）フレーム遅延されることになる。また、ａ２は、インターリーバ３０２によって、126 フレーム遅延され、デインターリーバ３０４によって１フレーム遅延され、更に遅延部３０６によって１フレーム遅延される。しがって、ａ２がｂ２として出力される時には、合計 128（＝ 126+1+1）フレーム遅延されることになる。ａ４、ａ６……ａ１１２、ａ１１４についても同様であり、図中偶数で示される奇数番目のシンボルの遅延量は、それぞれ 128フレームとなる。

一方図中奇数で示される偶数番目のシンボルは、もし、遅延部３０１が無いとすると、ａ１は、インターリーバ３０２によって、57フレーム遅延され、更に、デインターリーバ３０４によって70フレーム遅延される。しがって、ａ１がｂ５として出力される時には、合計 127（＝ 57+70）フレーム遅延されることになる。また、ａ３は、インターリーバ３０２によって56フレーム遅延され、デインターリーバ３０４によって71フレーム遅延される。したがって、ａ３がｂ７として出力される時には、合計 127（＝ 56+71）フレーム遅延されることになる。ａ５、ａ７……ａ１１３、ａ１１５についても同様であり、偶数番目のシンボルの遅延量は、それぞれ 127フレームとなる。

結局奇数番目のシンボルと偶数番目のシンボルとの遅延量の差は１フレームであり、この遅延量を吸収するために遅延部３０１が設けてある。このように構成すると、元のデータ順とデイスク上に記録されるデータ順とが一致するため、ＣＤのように元のデータ順をシヤフリングする場合に比べて、訂正不能部分の拡大を防ぐことができる。

ただし、遅延部３０１は無くても良い。この場合、ディスク上に記録されるデータ順は、Ｃ１符号系列のデータ順と一致することになり、元のデータ順とは完全には一致しないが、ＣＤのように元のデータ順をシャフリングする場合に比べると、ある程度元のデータ順が維持されるため、訂正不能部分の拡大を防ぐことができる。尚エンコーダ側に遅延部３０１を設けない場合、デコーダ側に遅延部５０７を設けないことはもちろんである。

一方ディジタル信号復号化装置は図１０に示すように構成され、ディスク１０７より読み出された信号は、ＲＦアンプ２０１を経て、シンク／フォーマットＩＤ検出分離回路２０２でシンクとフォーマットＩＤが検出分離される。そしてフォーマットＩＤによりＬフォーマットかＳフォーマットかを区別し、フォーマット判別信号を後段のメモリ制御部２０６に送る。シンク／フォーマットＩＤ検出分離回路２０２で、シンクとフォーマットＩＤが除かれたデータは、ＥＦＭ復調回路２０３で復調されメモリ２０４に取り込まれる。

メモリ制御部２０６は、シンク／フォーマットＩＤ検出分離回路２０２より出力されたフォーマット判別信号により、ＬフォーマットかＳフォーマットかを知り、それに応じてメモリの書き込み読み出しアドレス等を制御する。メモリ２０４に取り込まれたデータは、Ｃ１符号の順に並び変えられて、誤り訂正回路２０５に送られ、訂正された符号が再びメモリ２０４に書き込まれる。Ｃ１符号訂正が終わつた符号は、Ｃ２符号の順に読み出されて、同じく誤り訂正回路２０５で訂正されて、再びメモリ２０４に書き込まれる。誤り訂正が終わつたデータはメモリ２０４より出力される。これらの制御はメモリ制御部２０６が行う。

次にバーストエラーで連続数フレームが失われた場合の対策を説明する。Ｃ１符号訂正後の符号をメモリ２０４に書き込む際、符号先頭のフレームＩＤがメモリ制御部２０６に出力される。メモリ制御部２０６はフレームＩＤの連続性を関しする。図１１はメモリ２０４にＣ１符号訂正の済んだ符号が書き込まれていくようすを示す。以下フレームＩＤが１のフレームをフレーム１とする。フレーム４、５、６、７が順に書き込まれ、次の４フレームがバーストエラーで失われＣ

１符号訂正不能になり、フレーム１２より再び訂正が可能になつたとする。

ここで、もしメモリ２０４上でフレーム４の次にフレーム１２を続けて書き込むと、Ｃ２符号は４シンボル寸詰まりとなり訂正不能になる。これを防ぐため、次のような対策を施す。すなわち、バーストエラー直前のフレーム７と、バーストエラー直後のフレーム１２の差分を計算すると、失われたフレーム数が４フレームであることが分かる。図中括弧で囲つたフレームＩＤはバーストエラーで欠損したフレームを表す。

そしてこの４フレーム分のメモリ領域を空けて、５フレーム目よりフレーム１２を書き込んでいく。こうすることでＣ２符号上は、４シンボルの誤りとなり訂正ができる。このようにメモリ制御部２０は、バーストエラーで数フレームが失われてもＣ２符号訂正が破綻しないように、常にフレームＩＤを監視し、Ｃ１符号を書き込むアドレスを適宜切り替えていく。

図１２は図５（Ａ）のＬフォーマットの場合のデータが、メモリ２０４及び誤り訂正回路２０５で処理される過程を示したものである。入力データはｂ０～ｂ135 までの 136シンボルが１まとまりとして処理される。まずインバータ５０１でＣ１及びＣ２パリテイが反転され、遅延部５０２で偶数番目のシンボルが１符号長分遅延される。その後Ｃ１符号復号部５０３でＣ１符号訂正され、インターリーバ５０４でインターリーブされ、Ｃ２符号復号部５０５でＣ２符号訂正される。

この後デインターリーバ５０６でデインターリーブされ、遅延部５０７で奇数番目のシンボルが１符号長分遅延されて出力ａ０～ａ115 を得る。ここでインターリーバ５０４はインターリーバ３０２と、またデインターリーバ５０６はデインターリーバ３０４と同じものである。尚、図５（Ｂ）のＬフォーマットは、図１２において遅延部５０２をｂ１、ｂ３、ｂ５……ｂ133 、ｂ135 側に設けるかわりに、ｂ０、ｂ２、ｂ４……ｂ132 、ｂ134 側に設けることにより実現できる。

図１３は上述と同様にＳフォーマットの場合を示す。Ｌフォーマットと異なるのは、インターリーバ６０４とデインターリーバ６０６のみである。インバータ

６０１はインバータ５０１と、遅延部６０２は遅延部５０２と、Ｃ１符号復号部６０３はＣ１符号復号部５０３と、Ｃ２符号復号部６０５はＣ２符号復号部５０５と、遅延部６０７は遅延部５０７と同じである。またインターリーバ６０４の遅延量ｇ（ｘ）はインターリーバ４０２と、デインターリーバ６０６の遅延量ｆ（ｘ）はデインターリーバ４０４とそれぞれ同じである。

尚、図８、図９の各遅延部及びインターリーバにおける処理は、実際には、メモリ制御部１０３が、メモリ１０１の書き込みアドレス、読出しアドレス、書き込みタイミング、読出しタイミングを制御することによって実現することができる。同様に図１２、図１３の各遅延部及びデインターリーバにおける処理は実際には、メモリ制御部２０６が、メモリ２０４の書き込みアドレス、読出しアドレス、書き込みタイミング、読出しタイミングを制御することによって実現することができる。例えば、デイスク１０７から再生されたＤ０、Ｄ２、Ｄ３……のデータをそれぞれ、図５（Ａ）に示す（ｉ，ｊ）をメモリの書き込みアドレスとして対応する位置に格納し、これを横方向に順次読み出してやれば、例えば、ｉ＝１に対応するＤ１３６、Ｄ１３８……Ｄ２７０、Ｄ１、Ｄ３……Ｄ１３３、Ｄ１３５を読み出してやれば、図１２の遅延部５０２における偶数番目のシンボルの遅延処理を行ったことになる。また、Ｌフォーマットとｓフォーマットの切り換えも、メモリ制御部１０３及びメモリ制御部２０６の制御方法を切り換えることにより実現することができる。

以上の構成によれば、ＣＤ規格に比べて符号長、誤り訂正パリテイ数を増やし、インターリーブ拘束長を長くしたことにより、ランダムエラー及びバーストエラーに対して誤り訂正能力を格段的に向上し得、またＣＤ規格に比べて冗長度が減ることにより、実際に記録できるデータ量を増加し得、かくしてデイジタル信号に誤り訂正符号を付して符号化し復号化する際に、簡易な構成で誤り訂正能力を向上し得ると共に冗長度を削減し得る。

さらに上述の構成によれば、符号長、誤り訂正パリテイ数は同じで、インターリーブ拘束長のみ異なるフォーマットを用意し、フォーマットＩＤによりそれら

を識別するようにしたことにより、符号化装置、復号化装置を複雑にすることなく、複数のフォーマットに対応できる。またフォーマットＩＤによる識別により、複数のフォーマットを１枚のデイスクに混在させて記録再生が可能となる。

さらに上述の構成によれば、奇数番目又は偶数番目のシンボルの遅延量を工夫してＣ２符号順とデイスク上のデータ順が一致しないようにしたので、バーストエラー訂正能力の悪化を防ぐことができる。さらにフレームＩＤを付加したことで、バーストエラーで数フレーム連続で失つた場合も、そのフレーム数が正確にわかるので、Ｃ２符号訂正が支障なく行え、誤り訂正ができる。

（３）他の実施例

上述の実施例においては、Ｃ１符号１符号長すなわち１フレーム長を 136シンボルとし、Ｃ１パリテイ及びＣ２パリテイをそれぞれ８シンボル及び12シンボルとし、インターリーブ拘束長を 128シンボルとしたが、１フレーム長や、パリテイ長、インターリーブ拘束長は、これに限らず、必要に応じて種々選定することができ、例えばＳフォーマットの拘束長をＬフォーマットの拘束長の半分にしても上述の実施例と同様の効果を実現できる。さらにＣ１パリテイを符号末尾に配し、Ｃ２パリテイを符号中央に配したが、パリテイの配置はこれに限らず、符号のどこに配されても良い。

例えば、Ｌフォーマットにおいて、Ｃ１符号符号長すなわち１フレーム長を170シンボルとし、Ｃ１パリテイ及びＣ２パリテイをそれぞれ８シンボル及び14シンボルとし、インターリーブ拘束長を 138フレームとし、Ｃ１パリテイ及びＣ２パリテイを符号末尾に配置するようにしてもよい。

また、上述の実施例においては、ＬフォーマットとＳフォーマットを選択可能とし、選択した方のフォーマットを識別するためのフォーマットＩＤを設けているが、ＬフォーマットとＳフォーマットはそれぞれ独立に存在し得るものであり、はじめから、どちらか一方のみを採用するフォーマットも、本発明の範囲に含まれるものである。尚、この場合はフォーマットＩＤは不要である。

上述の実施例においては、シンクの後に続く１ビットにフォーマットＩＤを付加した場合について述べたが、フォーマットＩＤの配置はこれに限らず、例えばセクタヘッダ内部にフォーマットＩＤを設けても良い。またフレームＩＤは、１セクタ単位で周期的に繰り返すようにしたが、これに代え、数セクタ単位の周期で繰り返すようにしても良く、あるいは、セクタとは無関係に例えば０から 255 までを周期的に繰り返すようにしても良い。

上述の実施例においては、デイジタル信号の記録媒体としてコンパクトデイスクのような読み出し専用の光デイスクを前提にした場合について述べたが、本発明はこれに限らず、光磁気デイスクや磁気デイスクや磁気テープのような書き込み可能なメデイアを用いるデイジタル信号符号化方法及び装置、デイジタル信号記録媒体、デイジタル信号復号化方法及び装置にも広く適用して好適なものである。

上述のように本発明によれば、コンパクトデイスク規格に比較して、符号長、誤り訂正パリテイ数を増やし、インターリーブ拘束長を長くしたことにより、ランダムエラー及びバーストエラーに対して誤り訂正能力を向上し得ると共に、コンパクトデイスク規格に比べ、冗長度を減すことができ、その分実際に記録できるデータ量を増加し得るデイジタル信号符号化方法及び装置、デイジタル信号記録媒体、デイジタル信号復号化方法及び装置を実現できる。

さらに本発明によれば、符号長や訂正パリテイ数は同じでインターリーブ拘束長のみ異なるフォーマットを用意し、フォーマットＩＤによつて識別するようにしたことにより、符号化装置や復号化装置を複雑にすることなく、複数のフォーマットに対応し得、またフォーマットＩＤで識別することにより、複数のフォーマットを１つのメデイアに混在させて記録し再生できるデイジタル信号符号化方法及び装置、デイジタル信号記録媒体、デイジタル信号復号化方法及び装置を実現できる。

さらに本発明によれば、奇数シンボルの遅延量を工夫してＣ２符号順とデイスク上のデータ順が一致しないようにしたことにより、バーストエラー訂正能力の

悪化を防ぐことができ、またフレームＩＤを付加するようにしたことにより、バーストエラーで数フレーム連続で失つても、そのフレーム数を検出して支障なくＣ２符号訂正を行い誤り訂正し得るデイジタル信号符号化方法及び装置、デイジタル信号記録媒体、デイジタル信号復号化方法及び装置を実現できる。

産業上の利用可能性

本発明のデイジタル信号符号化方法及び装置は、ＤＶＤ（デイジタルビデオデイスク）の記録装置に利用できる。また本発明のデイジタル信号復号化方法及び装置は、ＤＶＤの再生装置に利用できる。また本発明のデイジタル記録媒体は、ＤＶＤとして利用できる。

請 求 の 範 囲

* C L M S *

1．デイジタル信号を誤り訂正符号を付して符号化するデイジタル信号符号化方法において、

少なくとも入力デイジタル信号の第1の符号系列を用いて求められた第1のパリテイを、入力デイジタル信号に付加し、

隣接する複数の上記第1の符号系列からそれぞれ1シンボルずつずらして取り出された複数のシンボルに相当する第2の符号系列を用いて求められた第2のパリテイを、上記入力デイジタル信号に付加し、

上記第1及び第2のパリテイが付加された上記入力デイジタル信号を上記第2の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列する

ことを特徴とするデイジタル信号符号化方法。

2．上記第1及び第2の符号系列の符号長、上記第1のパリテイ、上記第2のパリテイ、及びインターリーブ拘束長が、それぞれコンパクトデイスク規格より長い

ことを特徴とする請求の範囲第1項に記載のデイジタル信号符号化方法。

3．上記第2の符号系列は、所定の数の上記第1の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第1項に記載のデイジタル信号符号化方法。

4．上記第2の符号系列は、所定の数の上記第1の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第1項に記載のデイジタル信号符号化方法。

5．符号長及びパリテイ数が同一で、インターリーブ拘束長が異なる複数のフオーマツトの中から、1つを選択し、

上記選択されたフオーマツトを識別するための識別情報を符号化する

ことを特徴とする請求の範囲第1項に記載のデイジタル信号符号化方法。

6．上記第１の符号系列のそれぞれに識別番号を付加する

ことを特徴とする請求の範囲第１項に記載のデイジタル信号符号化方法。

7．デイジタル信号を誤り訂正符号を付して符号化するデイジタル信号符号化装置において、

少なくとも入力デイジタル信号の第１の符号系列を用いて求められた第１のパリテイを、入力デイジタル信号に付加する手段と、

隣接する複数の上記第１の符号系列からそれぞれ１シンボルずつずらして取り出された複数のシンボルに相当する第２の符号系列を用いて求められた第２のパリテイを、上記入力デイジタル信号に付加する手段と、

上記第１及び第２のパリテイが付加された上記入力デイジタル信号を上記第２の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列する手段と

を有することを特徴とするデイジタル信号符号化装置。

8．上記第１及び第２の符号系列の符号長、上記第１のパリテイ、上記第２のパリテイ、及びインターリーブ拘束長が、それぞれコンパクトデイスク規格より長い

ことを特徴とする請求の範囲第７項に記載のデイジタル信号符号化装置。

9．上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第７項に記載のデイジタル信号符号化装置。

10．上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第７項に記載のデイジタル信号符号化装置。

11．符号長及び訂正パリテイが同一で、インターリーブ拘束長が異なる複数のフオーマットの中から選択されたフオーマットを識別するための識別情報を符号化する手段を有する

ことを特徴とする請求の範囲第７項に記載のデイジタル信号符号化装置。

12. 上記第１の符号系列のそれぞれに識別番号を付加する手段を有する

ことを特徴とする請求の範囲第７項に記載のデイジタル信号符号化装置。

13. 誤り訂正符号を付して符号化された符号化デイジタル信号が記録されたデイジタル信号記録媒体において、上記符号化デイジタル信号は、

少なくとも入力デイジタル信号の第１の符号系列を用いて求められた第１のパリテイを、入力デイジタル信号に付加し、

隣接する複数の上記第１の符号系列からそれぞれ１シンボルずつずらして取り出された複数のシンボルに相当する第２の符号系列を用いて求められた第２のパリテイを、上記入力デイジタル信号に付加し、

上記第１及び第２のパリテイが付加された上記入力デイジタル信号を上記第２の符号系列のシンボルの並びが上記デイジタル信号記録媒体上のシンボルの並びと一致しないように配列する

ことにより生成される

ことを特徴とするデイジタル信号記録媒体。

14. 上記第１の符号系列の符号長、上記第１のパリテイ、上記第２のパリテイ、及びインターリーブ拘束長が、それぞれコンパクトデイスク規格より長い

ことを特徴とする請求の範囲第１３項に記載のデイジタル信号記録媒体。

15. 上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第１３項に記載のデイジタル信号記録媒体。

16. 上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第１３項に記載のデイジタル信号記録媒体。

17. 符号長及び訂正パリテイが同一で、インターリーブ拘束長が異なる複数のフオーマツトの中から選択されたフオーマツトを識別するための識別情報が記録された

ことを特徴とする請求の範囲第１３項に記載のデイジタル信号記録媒体。

18. 上記第１の符号系列のそれぞれに識別番号が付加された

ことを特徴とする請求の範囲第１３項に記載のデイジタル信号記録媒体。

19. 少なくとも入力デイジタル信号の第１の符号系列を用いて求められた第１のパリテイを、入力デイジタル信号に付加し、隣接する複数の上記第１の符号系列からそれぞれ１シンボルずつずらして取り出された複数のシンボルに相当する第２の符号系列を用いて求められた第２のパリテイを、上記入力デイジタル信号に付加し、上記第１及び第２のパリテイが付加された上記入力デイジタル信号を上記第２の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列することにより生成された符号化デイジタル信号を復号化するデイジタル信号復号化方法において、

上記伝送路から供給された符号化デイジタル信号を並び換え、

上記並び換えられた符号化デイジタル信号を、上記第１のパリテイを用いて上記第１の符号系列の方向に第１の誤り訂正を行い、

上記並び換えられた符号化デイジタル信号を、上記第２のパリテイを用いて上記第２の符号系列の方向に第２の誤り訂正を行う

ことを特徴とするデイジタル信号復号化方法。

20. 上記第１及び第２の符号系列の符号長、上記第１のパリテイ、上記第２のパリテイ、及びインターリーブ拘束長が、それぞれコンパクトデイスク規格より長い

ことを特徴とする請求の範囲第１９項に記載のデイジタル信号復号化方法。

21. 上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第１９項に記載のデイジタル信号復号化方法。

22. 上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第１９項に記載のデイジタル信号復号化方法。

23. 符号長及びパリテイ数が同一で、インターリーブ拘束長が異なる複数のフオ

ーマットの中から選択されたフォーマットを識別するための識別情報を検出し、

上記識別情報に基づいて誤り訂正処理を制御する

ことを特徴とする請求の範囲第１９項に記載のデイジタル信号復号化方法。

24. 上記第１の符号系列のそれぞれに付加された識別番号を検出し、

上記識別番号に基づいて誤り訂正処理を制御する

ことを特徴とする請求の範囲第１９項に記載のデイジタル信号復号化方法。

25. 少なくとも入力デイジタル信号の第１の符号系列を用いて求められた第１のパリテイを、入力デイジタル信号に付加し、隣接する複数の上記第１の符号系列からそれぞれ１シンボルずつずらして取り出された複数のシンボルに相当する第２の符号系列を用いて求められた第２のパリテイを、上記入力デイジタル信号に付加し、上記第１及び第２のパリテイが付加された上記入力デイジタル信号を上記第２の符号系列のシンボルの並びが記録媒体上のシンボルの並びと一致しないように配列することにより生成された符号化デイジタル信号を復号化するデイジタル信号復号化装置において、

上記伝送路から供給された符号化デイジタル信号を並び換える手段と、

上記並び換えられた符号化デイジタル信号を、上記第１のパリテイを用いて上記第１の符号系列の方向に第１の誤り訂正を行う手段と、

上記並び換えられた符号化デイジタル信号を、上記第２のパリテイを用いて上記第２の符号系列の方向に第２の誤り訂正を行う手段と

を有することを特徴とするデイジタル信号復号化装置。

26. 上記第１及び第２の符号系列の符号長、上記第１のパリテイ、上記第２のパリテイ、及びインターリーブ拘束長が、それぞれコンパクトデイスク規格より長い

ことを特徴とする請求の範囲第２５項に記載のデイジタル信号復号化装置。

27. 上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第２５項に記載のデイジタル信号復号化装置。

28. 上記第２の符号系列は、所定の数の上記第１の符号系列に対して、折り返しを含まない

ことを特徴とする請求の範囲第２５項に記載のデイジタル信号復号化装置。

29. 符号長及びパリテイ数が同一で、インターリーブ拘束長が異なる複数のフォーマットの中から選択されたフォーマットを識別するための識別情報を検出する手段と、

上記識別情報に基づいて誤り訂正処理を制御する手段と

を有することを特徴とする請求の範囲第２５項に記載のデイジタル信号復号化装置。

30. 上記第１の符号系列のそれぞれに付加された識別番号を検出する手段と、

上記識別番号に基づいて誤り訂正処理を制御する手段と

を有することを特徴とする請求の範囲第２５項に記載のデイジタル信号復号化装置。

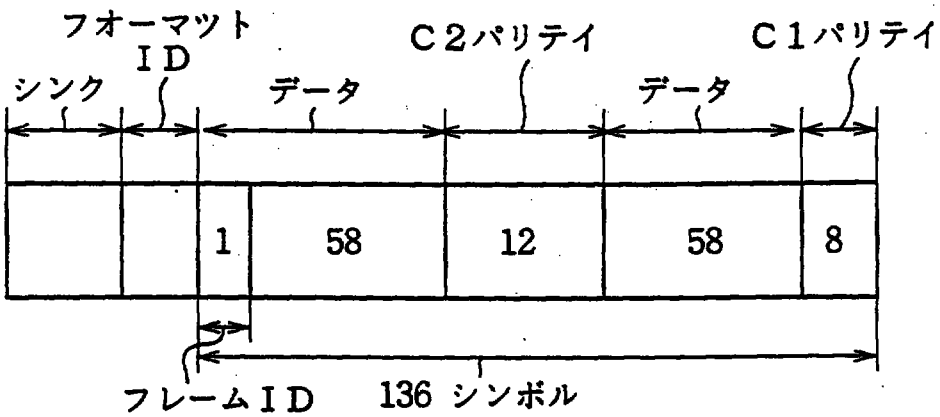

フォーマット
ＩＤ
シンク
データ
Ｃ２パリティ
データ
Ｃ１パリティ
1
58
12
58
8
フレームＩＤ
136 シンボル

図１

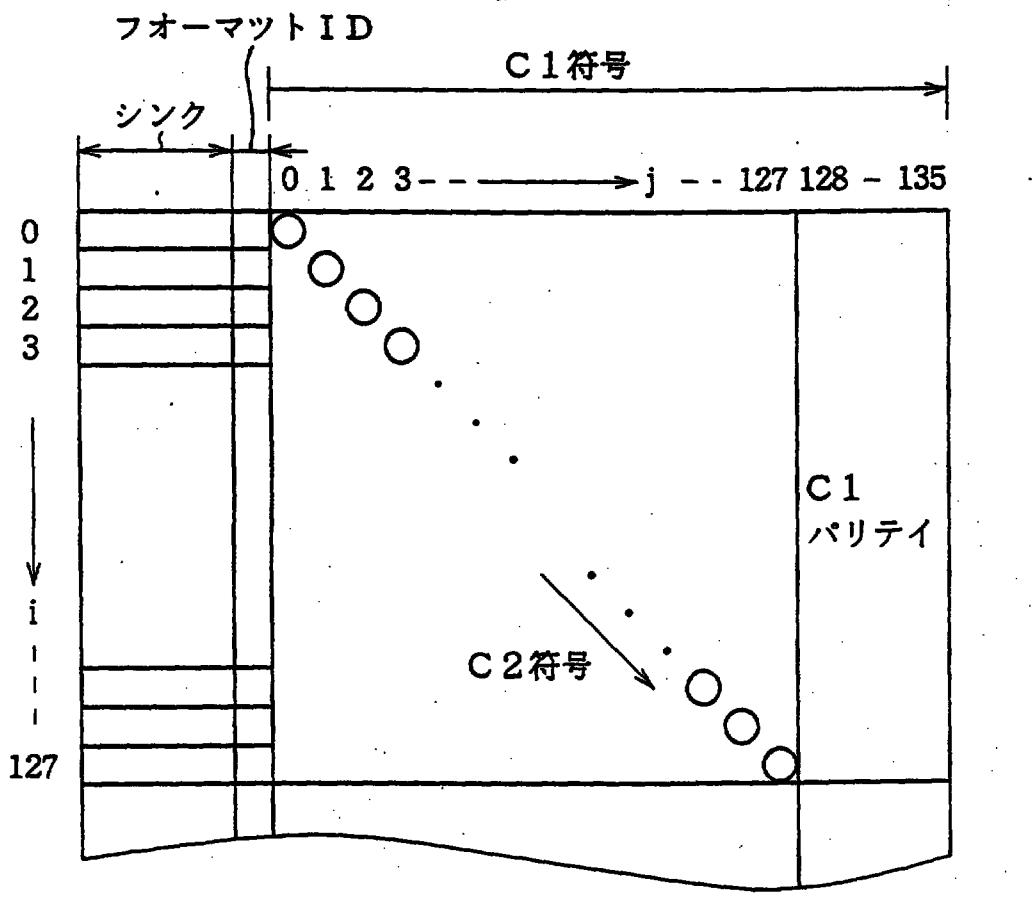

フォーマットＩＤ
Ｃ１符号
シンク
0 1 2 3 - - → j - - 127 128 - 135
0
1
2
3
i
127
Ｃ１
パリティ
Ｃ２符号

図２

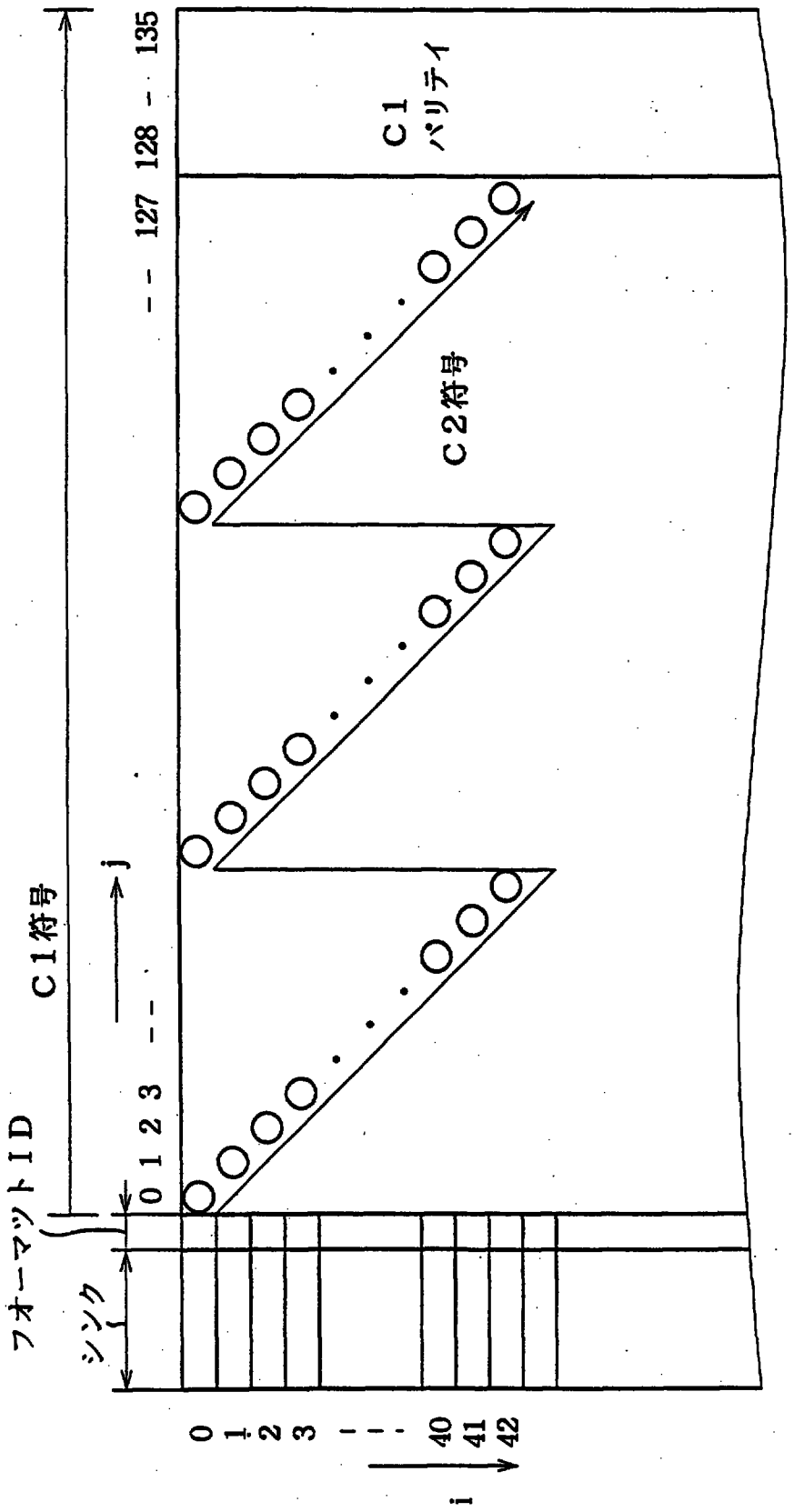

C1
パリティ
C2符号
C1符号
フォーマットID
シンク
0 1 2 3 -- 127 128 -- 135
0 1 2 3 -- 40 41 42
j
i

図3

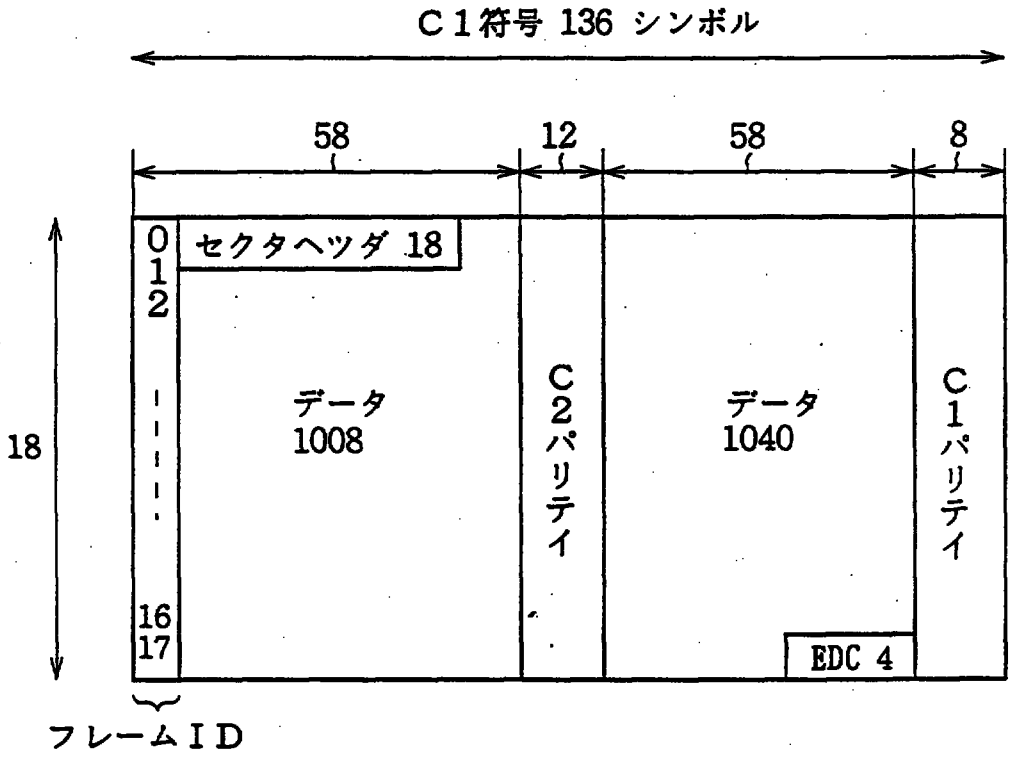
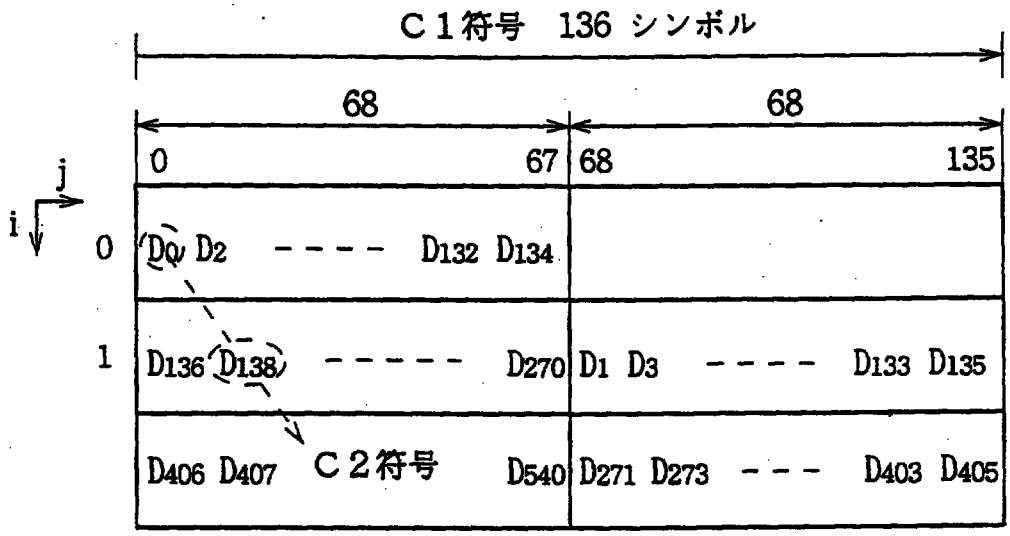

C1符号 136 シンボル
58
12
58
8
0
1
2
セクタヘツダ 18
データ
1008
C2パリテイ
データ
1040
C1パリテイ
18
16
17
EDC 4
フレームID

図4

(A)


C1符号 136 シンボル
68
68
0
67
68
135
j
i
0
1
D0 D2 ----- D132 D134
D136 D138 ------ D270
D1 D3 ---- D133 D135
D406 D407
C2符号
D540
D271 D273 --- D403 D405

(B)

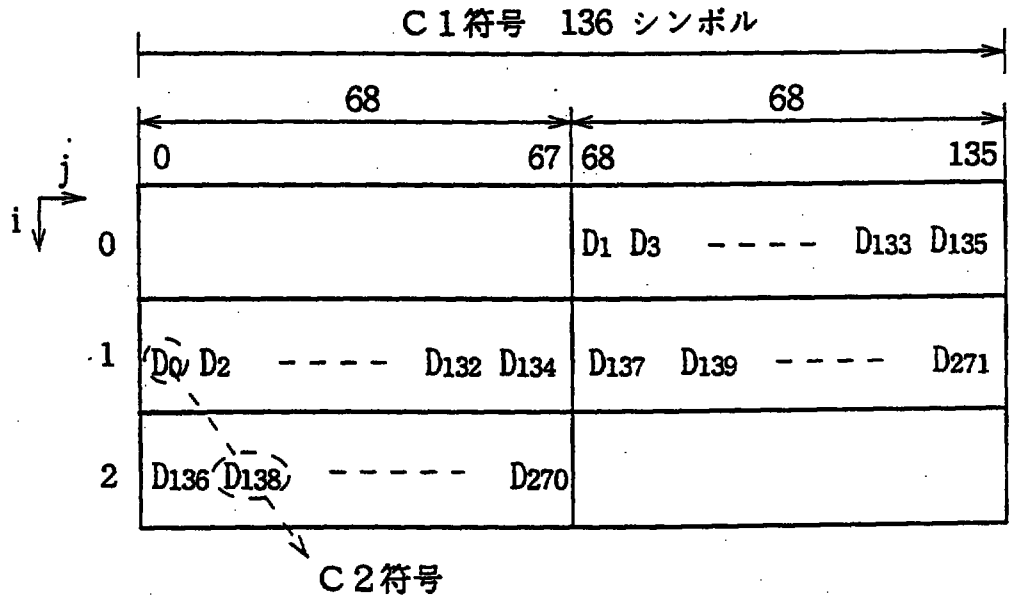

C1符号 136 シンボル
68
68
0
67
68
135
j
i
0
1
2
D1 D3 ---- D133 D135
D0 D2 ----- D132 D134
D137 D139 ---- D271
D136 D138 ------ D270
C2符号

図5

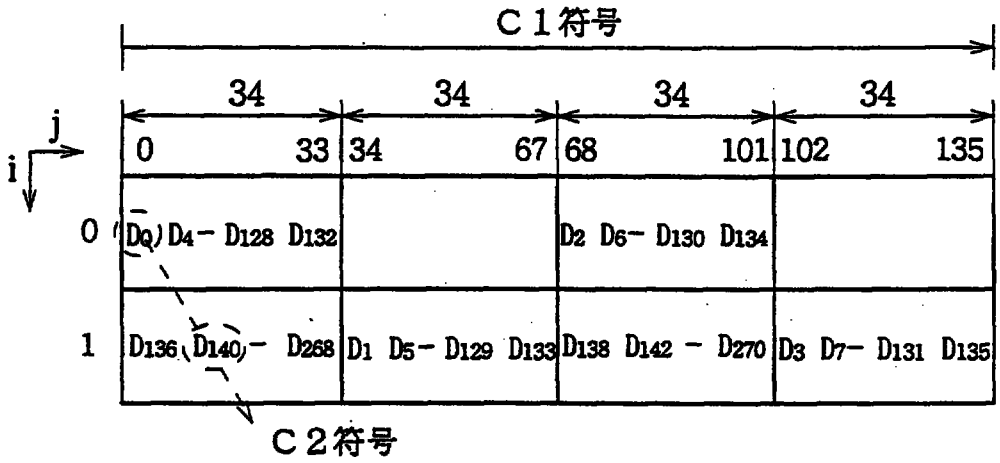

C１符号
34
34
34
34
j
i
0
33
34
67
68
101
102
135
0
D0 D4 – D128 D132
D2 D6 – D130 D134
1
D136 D140 – D268
D1 D5 – D129 D133
D138 D142 – D270
D3 D7 – D131 D135
C２符号

図６

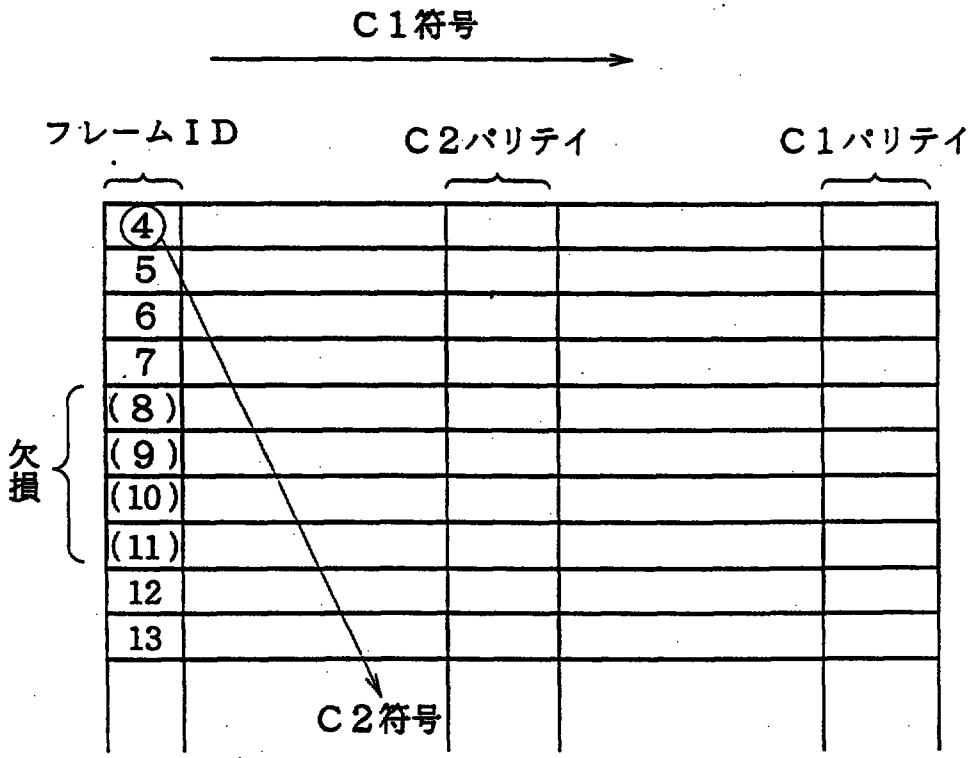

C１符号
フレームＩＤ
C２パリティ
C１パリティ
④
5
6
7
(８)
(９)
(10)
(11)
12
13
欠損
C２符号

図１１

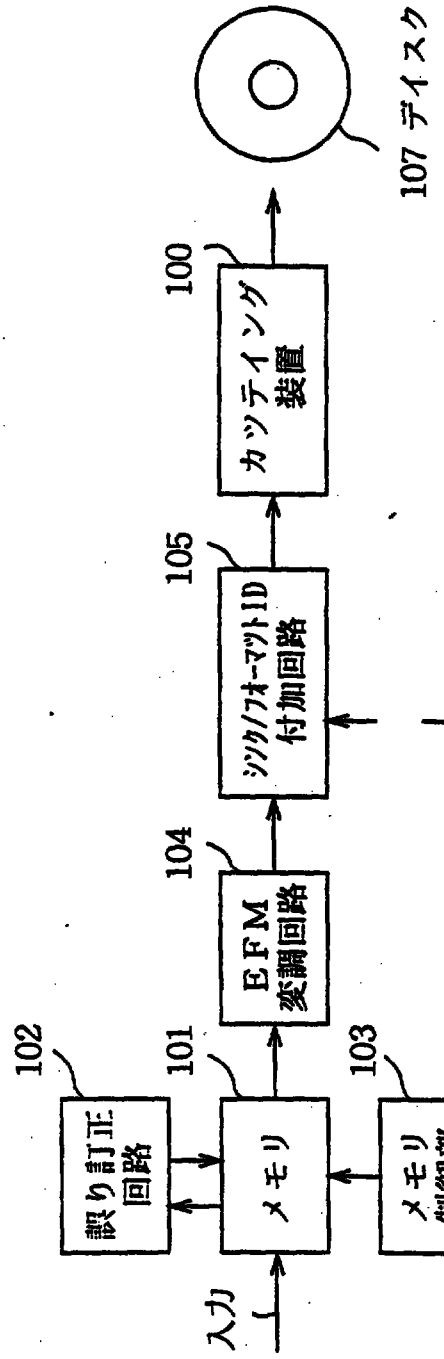

107 ディスク
100
カッティング装置
105
シンク/フォーマットID付加回路
104
EFM変調回路
102
誤り訂正回路
101
メモリ
103
メモリ制御部
入力
フォーマット切り替え信号

図7

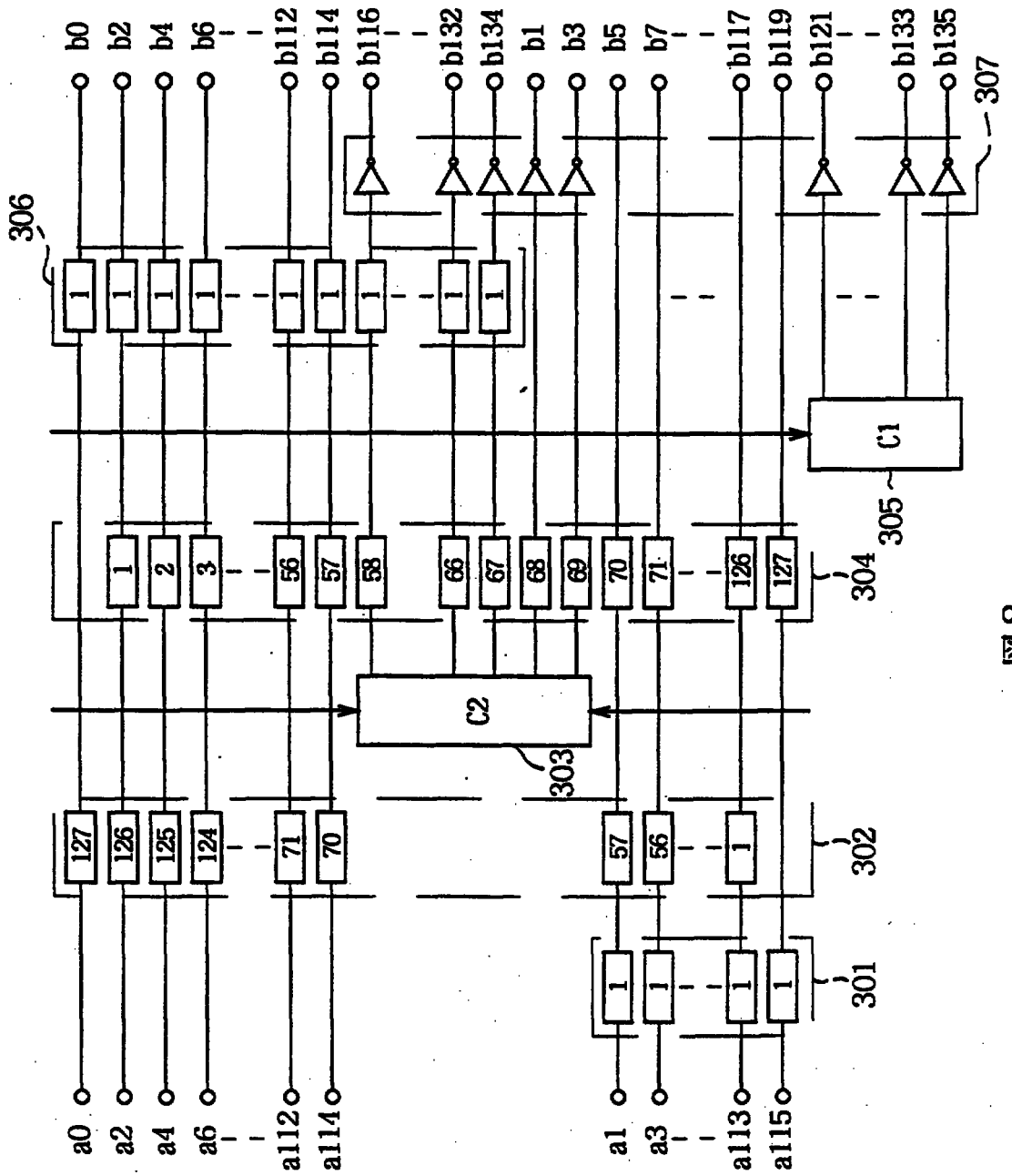

b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135
307
306
C1
305
304
C2
303
302
301
a0
a2
a4
a6
a112
a114
a1
a3
a113
a115

図 8

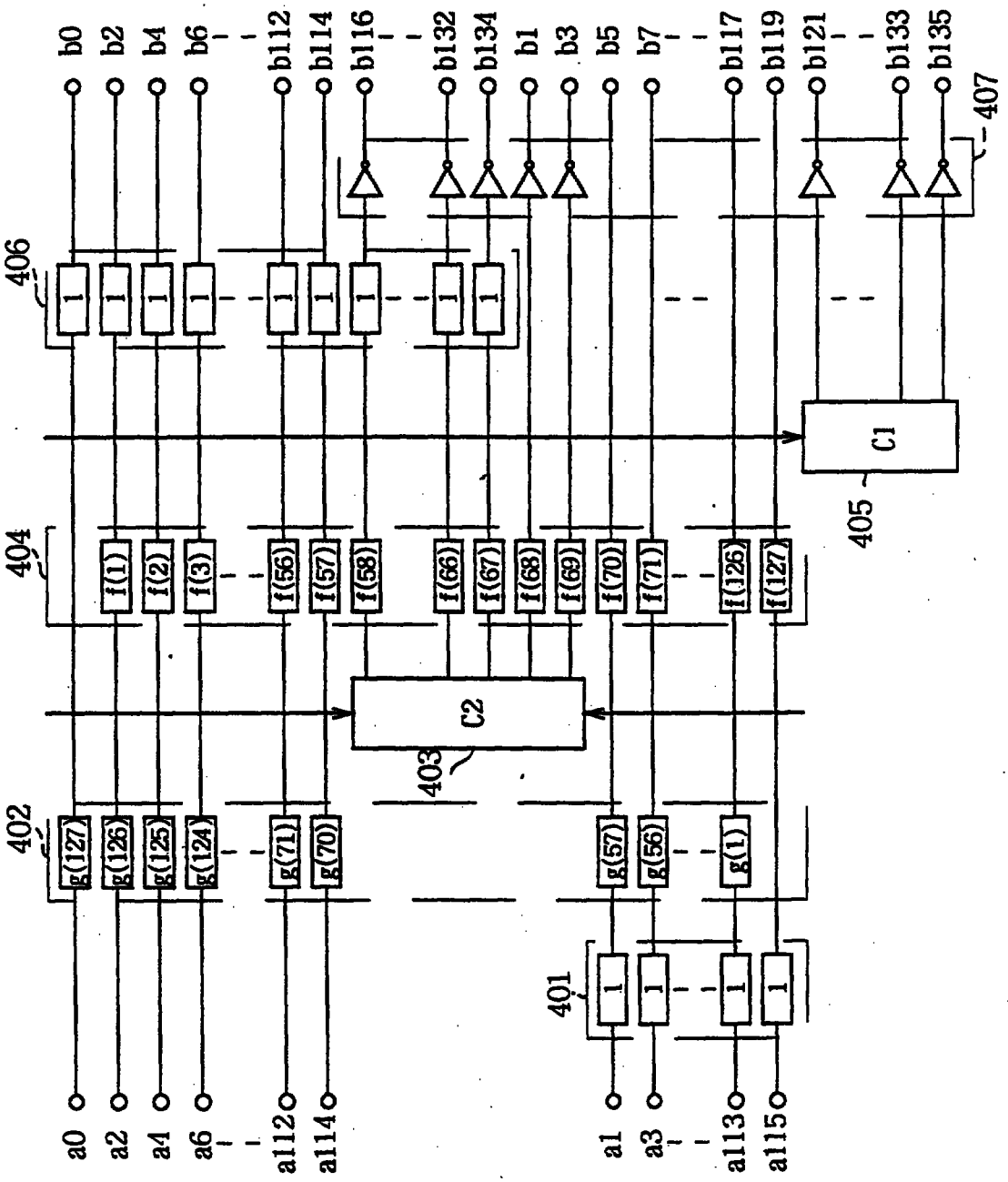

b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135
407
406
404
402
401
403
405
C1
C2
a0
a2
a4
a6
a112
a114
a1
a3
a113
a115

図9

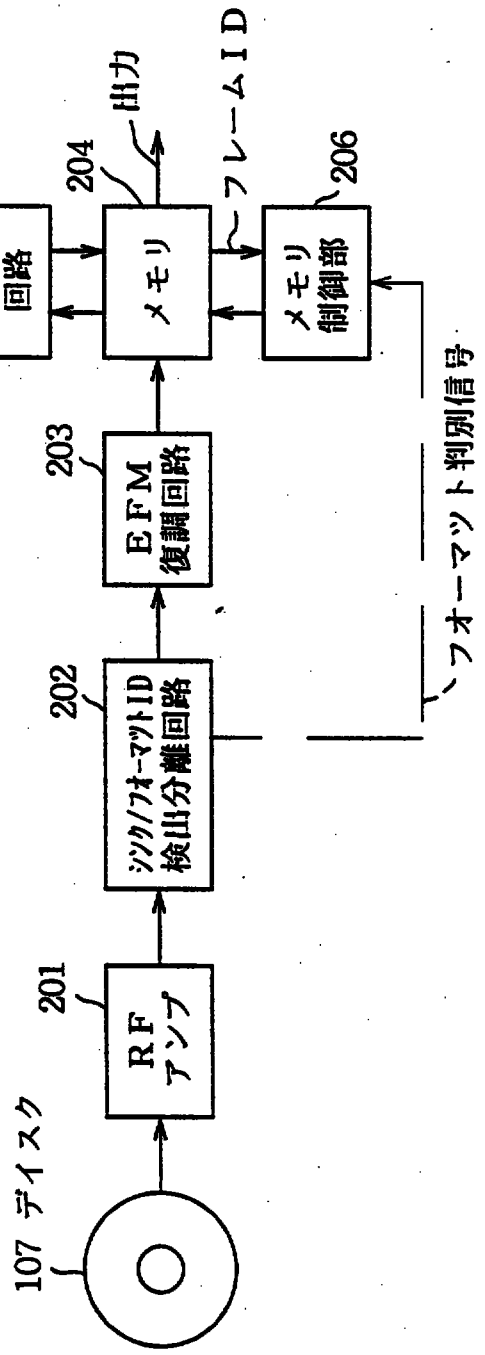

107 ディスク
201 RF アンプ
202 シンク/フォーマットID 検出分離回路
203 EFM 復調回路
204 メモリ
205 誤り訂正 回路
206 メモリ 制御部
出力
フレームID
フォーマット判別信号

図１０

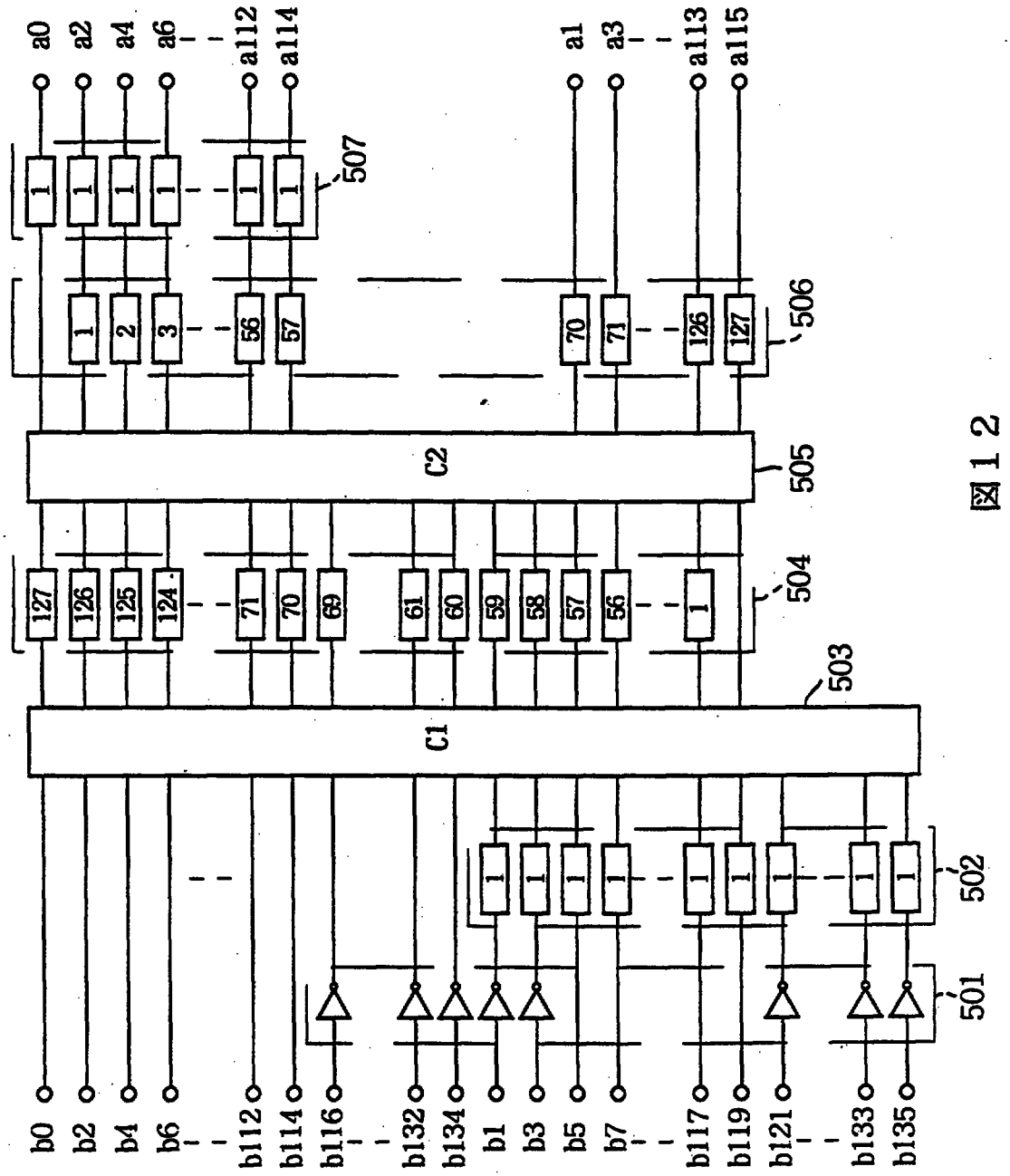

a0
a2
a4
a6
a112
a114
a1
a3
a113
a115
507
506
505
504
503
502
501
C2
C1
b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135

図12

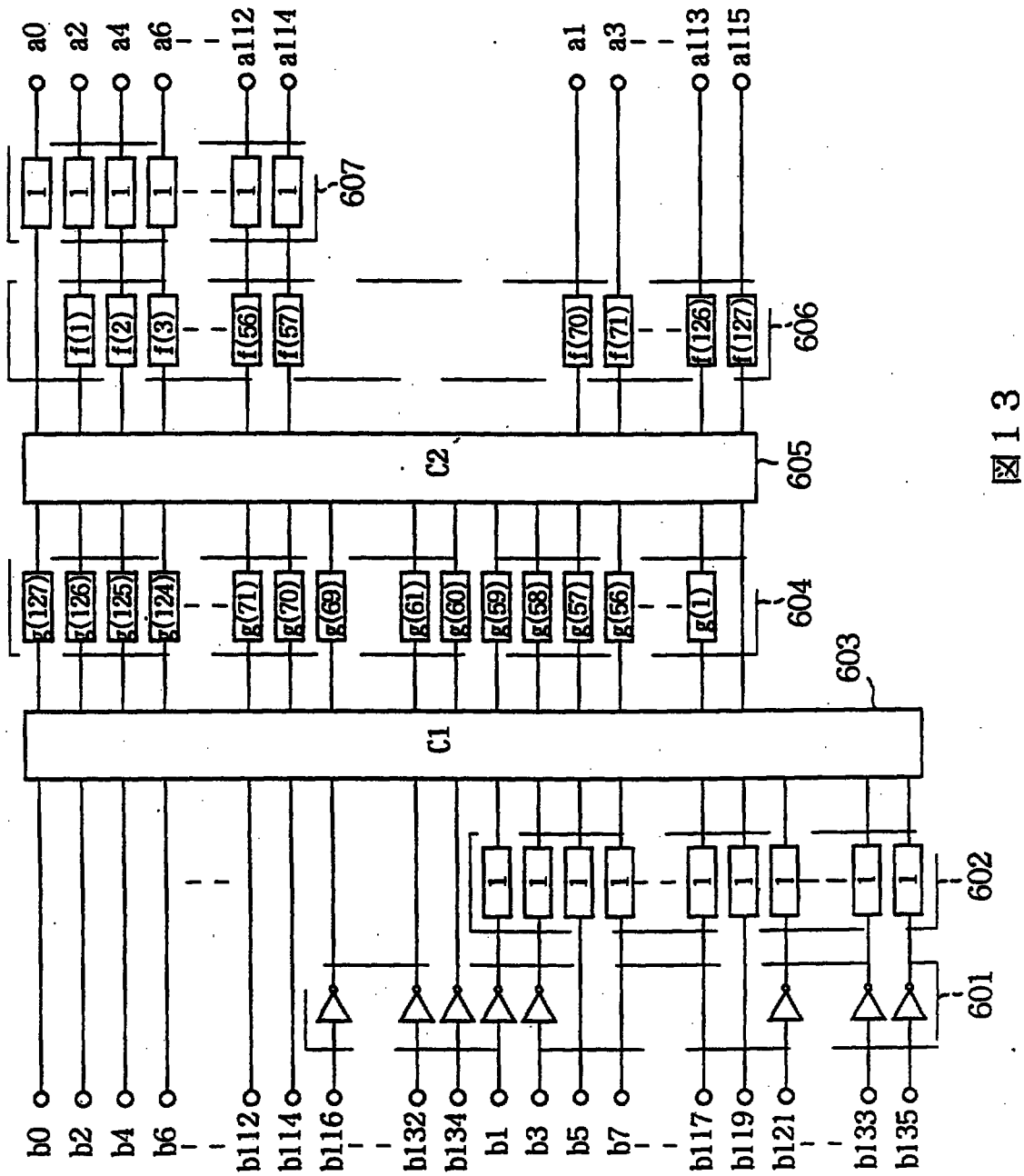

a0
a2
a4
a6
a112
a114
a1
a3
a113
a115
607
606
605
604
603
602
601
C2
C1
f(1)
f(2)
f(3)
f(56)
f(57)
f(70)
f(71)
f(126)
f(127)
g(127)
g(126)
g(125)
g(124)
g(71)
g(70)
g(69)
g(61)
g(60)
g(59)
g(58)
g(57)
g(56)
g(1)
b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135

図13

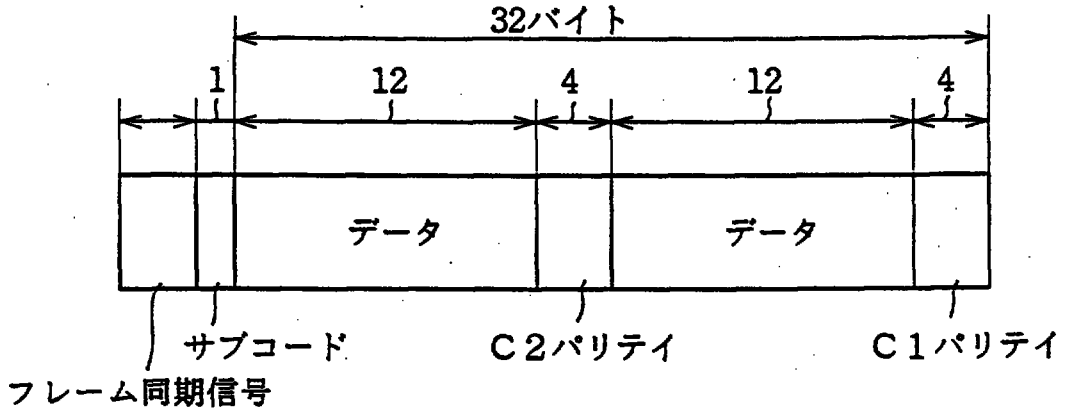

32バイト
1
12
4
12
4
データ
データ
サブコード
C2パリティ
C1パリティ
フレーム同期信号

図14

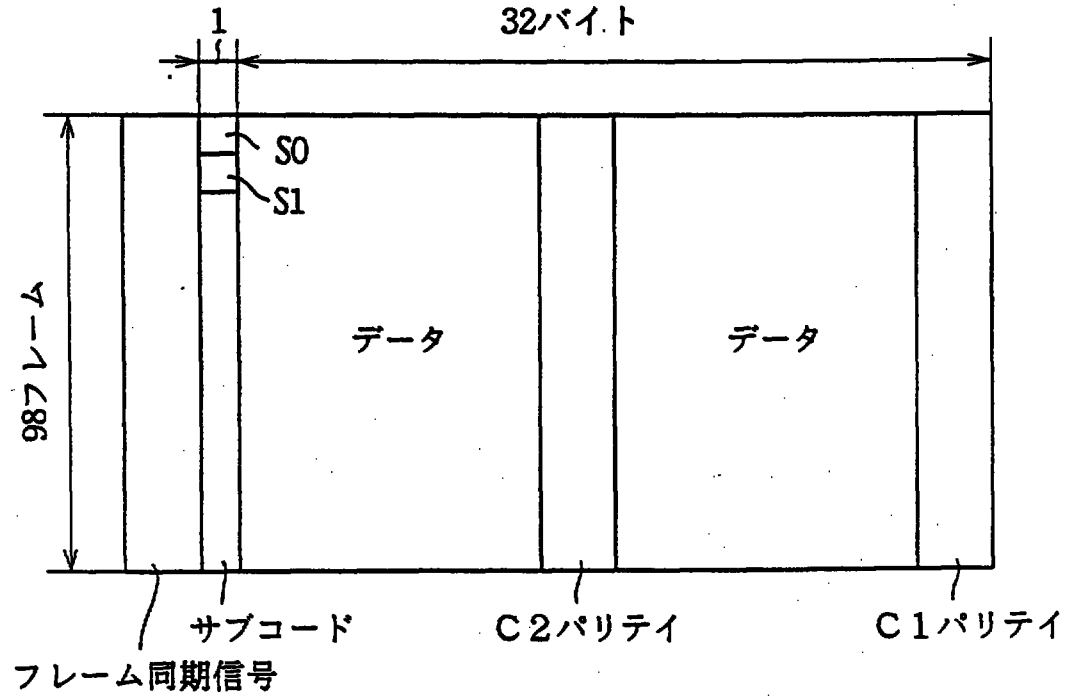

1
32バイト
S0
S1
98フレーム
データ
データ
サブコード
C2パリティ
C1パリティ
フレーム同期信号

図15

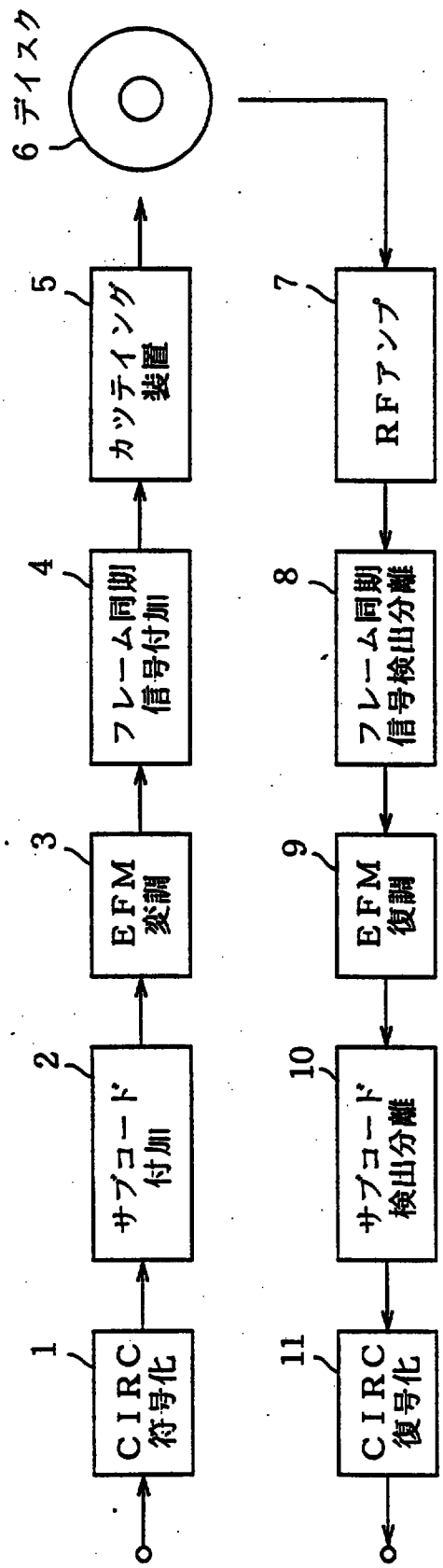

6 ディスク
5
カッティング装置
4
フレーム同期信号付加
3
EFM変調
2
サブコード付加
1
CIRC符号化
7
RFアンプ
8
フレーム同期信号検出分離
9
EFM復調
10
サブコード検出分離
11
CIRC復号化

図16

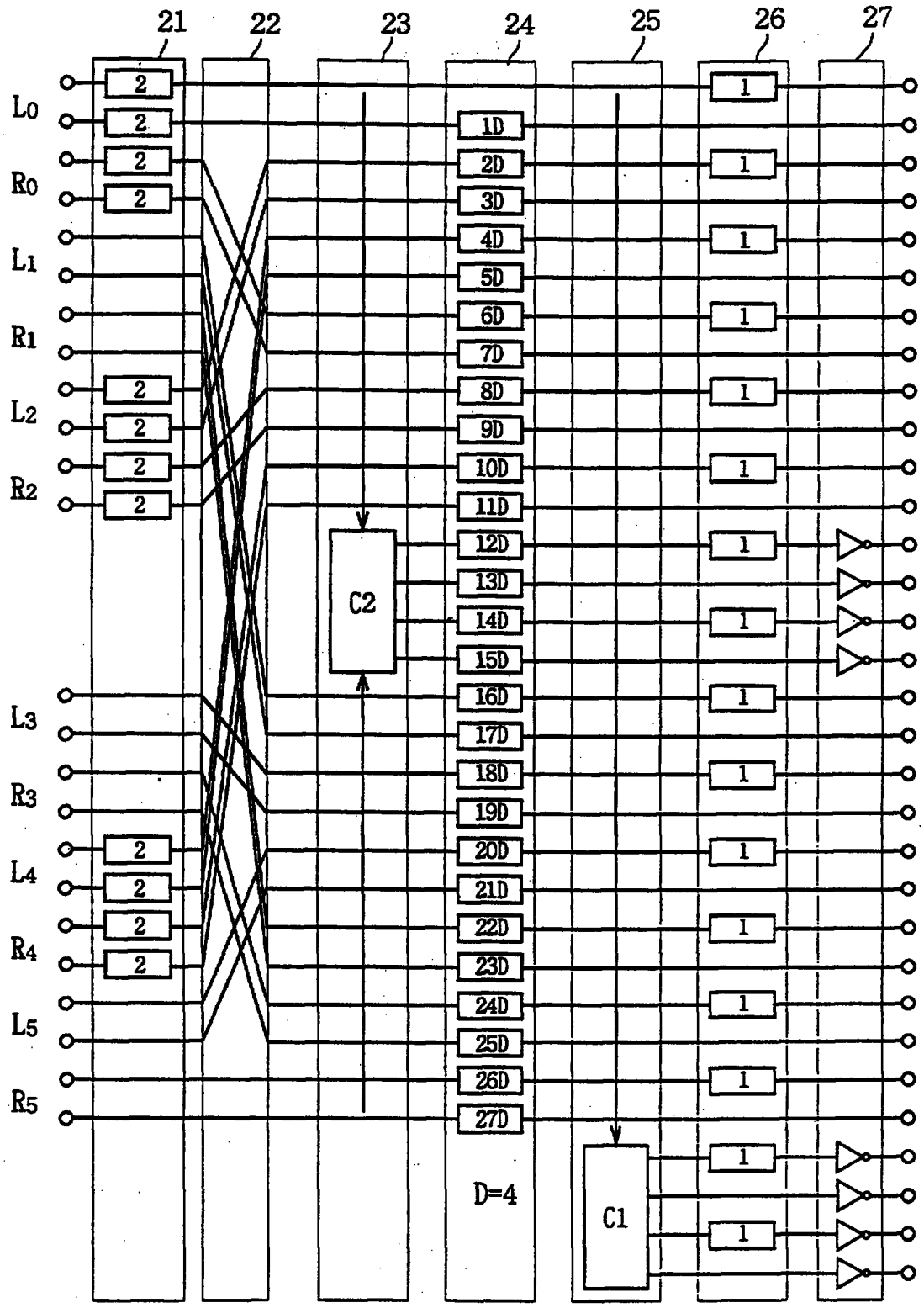

21
22
23
24
25
26
27
L0
R0
L1
R1
L2
R2
L3
R3
L4
R4
L5
R5
2
1D
2D
3D
4D
5D
6D
7D
8D
9D
10D
11D
12D
13D
14D
15D
16D
17D
18D
19D
20D
21D
22D
23D
24D
25D
26D
27D
1
C2
C1
D=4

図17

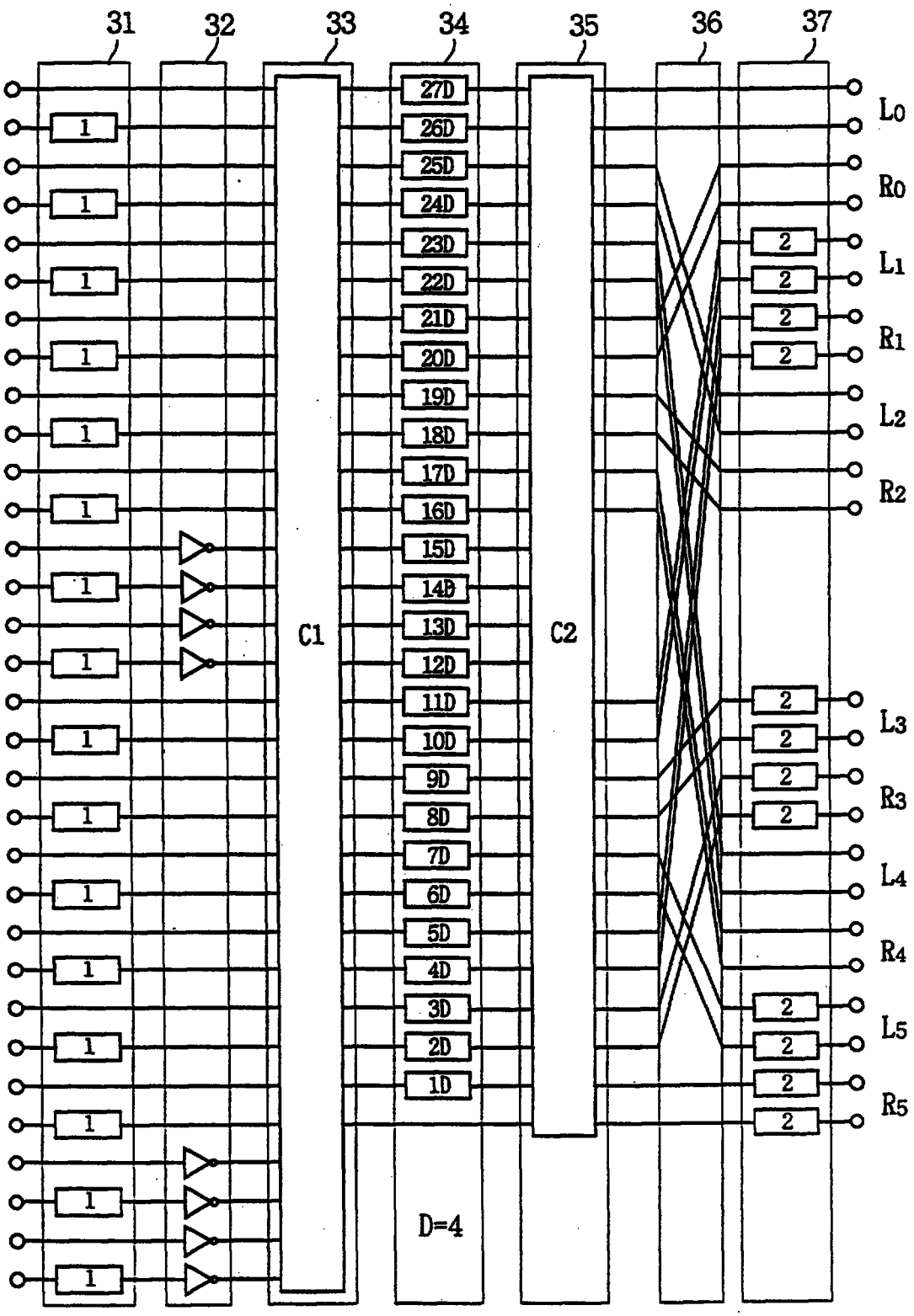

31
32
33
34
35
36
37
C1
C2
D=4
27D
26D
25D
24D
23D
22D
21D
20D
19D
18D
17D
16D
15D
14D
13D
12D
11D
10D
9D
8D
7D
6D
5D
4D
3D
2D
1D
L0
R0
L1
R1
L2
R2
L3
R3
L4
R4
L5
R5

図18

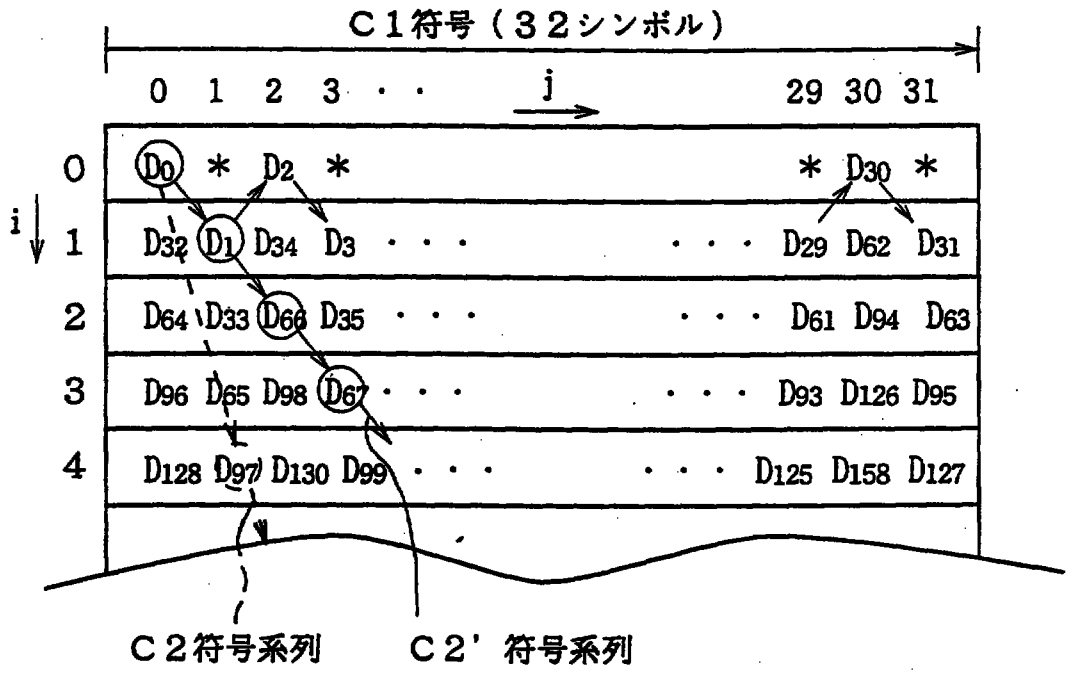

C1符号（32シンボル）
0 1 2 3 ・・ j 29 30 31
i
0
1
2
3
4
D0 * D2 * * D30 *
D32 D1 D34 D3 ・・・ ・・・ D29 D62 D31
D64 D33 D66 D35 ・・・ ・・・ D61 D94 D63
D96 D65 D98 D67 ・・・ ・・・ D93 D126 D95
D128 D97 D130 D99 ・・・ ・・・ D125 D158 D127
C2符号系列
C2'符号系列

図19

符 号 の 説 明

１……ＣＩＲＣ符号化回路、２……サブコード付加回路、３、１０４……ＥＦＭ変調回路、４……フレーム同期信号付加回路、５、１０６……カッテイング装置、６、１０７……デイスク、７、２０１……ＲＦアンプ、８……フレーム同期信号検出分離回路、９、２０３……ＥＦＭ復調回路、１０……サブコード検出分離回路、１１……ＣＩＲＣ復号化回路、２１……偶数サンプル遅延回路、２２……スクランブル回路、２３、３０３、４０３……Ｃ２符号符号化部、２４、３０２、４０２、５０４、６０４……インターリーバ、２５、３０５、４０５……Ｃ１符号符号化部、２６……奇数シンボル遅延回路、２７、３２、３０７、４０７、５０１、６０１……インバータ、３１……偶数シンボル遅延回路、３３、５０３、６０３……Ｃ１符号復号部、３４、３０４、４０４、５０６、６０６……デインターリーバ、３５、５０５、６０５……Ｃ２符号復号部、３６……デスクランブル回路、３７……奇数サンプル遅延回路、１０１、２０４……メモリ、１０２、２０５……誤り訂正回路、１０３、２０６……メモリ制御部、１０５……シンク／フォーマットＩＤ付加回路、２０２……シンク／フォーマットＩＤ検出分離回路、３０１、３０６、４０１、４０６、５０２、５０７、６０２、６０７……遅延部。

(1)

DESCRIPTION

Title of Invention

Digital Signal Encoding Method and Apparatus, Digital Signal Recording Medium, and Digital Signal Decoding Method and Apparatus

Technical Field

The present invention relates to a digital signal encoding method and apparatus, a digital signal recording medium, and a digital signal decoding method and apparatus, and is applicable to an apparatus for encoding and decoding a digital signal by adding an error correction code.

Background Art

Heretofore, in a compact disc (CD), an audio signal is converted into a digital signal so that the signal is encoded and recorded in accordance with a CD standard. A signal format of the CD is shown in Fig. 14. One frame comprises one byte long subcode, 24 bytes long actual data, and 4 bytes long C1 error correction code and 4 bytes long C2 error correction code (CIRC (Cross Interleave Reed-Solomon Code)) which amount to a total of 33 bytes. In addition, at the head of the one frame, a frame synchronization signal is added. Consequently, a ratio of the error correction codes which occupies in the total size of data

excluding subcodes, namely the redundancy is 8 bytes/32 bytes, or 25%.

In addition, in the case of a signal format of the CD, as shown in Fig. 15, one block is formed of 98 frames which is called one sector. Actual data in this one sector is 2352 bytes long. In the two frames long subcode at the head of the one sector, peculiar patterns referred to as S0 and S1 are recorded so that the head of the sector can be differentiated. Incidentally, the error correction code CIRC is what connects two stages of Reed Solomon Codes, namely C1 and C2 codes with the interleave.

A structure of this CD encoding/decoding apparatus is shown in Fig. 16. At the outset, in the encoding apparatus, six samples portion of each channel L and R, or 24 bytes constitutes one unit of the digital audio data so that the data is input to the CIRC encoding circuit 1. The CIRC encoding circuit 1 comprises a circuit shown in Fig. 17. More specifically, an even number sample delay circuit 21 and a scramble circuit 22 delays by two frame portions even-numbered sample data respectively to change the arrangement thereof. This is intended to interpolate defect portion that cannot be corrected with adjacent data and to obscure the data in acoustic sense when the error cannot be corrected.

Furthermore, C2 code encoding portion 23 calculates 4 bytes of C2 parity to be added to the 24 bytes of the original code.

The interleaver 24 offers interleaves whose maximum delay extends over 108 frames. The C1 code encoding portion 25 calculates 4 bytes long C1 parity to be added to 28 bytes long data including the original code and C2 parity, so that the total length of data becomes 32 bytes.

The odd number symbol delay circuit 26 delays by another one frame portion only the odd-numbered symbol. The reason for such a delay is that when a random error is generated over 2 bytes the effect is given to only one symbol in one series of C1 codes. The inverter 27 inverts a polarity of the parity to prevent a judgement that no error is generated when an error in all the data becomes zero.

A subcode adding circuit 2 adds one byte long subcode to a CIRC encoding output thus obtained for each of 32 bytes. Here, above-described codes S0 and S1 indicating the head of the sector are also added as the subcodes. And the codes are EFM modulated with the subsequent EFM (Eight Fourteen Modulation) modulating circuit 3, and a frame synchronization signal is added to a head of the frame in the frame synchronization signal adding circuit 4 to be sent to a cutting apparatus 5. The cutting apparatus 5 performs mastering so that a disc 6 in which a digital audio signal is recorded in accordance with the CD standard is manufactured.

On the other hand, the decoding apparatus performs a process which is opposite to the encoding process for decoding the

signals. More specifically, the signal read from the disc 6 is separated with a frame synchronization detecting and separating circuit 8 via an RF amplifier 7 with the detection of the frame synchronization signal. Subsequently, the EFM demodulation circuit 9 demodulates the signal, and the subcode detecting and separating circuit 10 detects and separates the subcode at the head of the one frame to be input to the CIRC decoding circuit 11. The subcode detecting and separating circuit 10 differentiates the head of the sector by detecting the codes S0 and S1. This CIRC decoding circuit 11 comprises a circuit shown in Fig. 18 so that one frame portion of 32 bytes are input.

More specifically, an even number symbol delay circuit 31 delays by one frame even-numbered symbol out of the 32 bytes. The subsequent parity inverting circuit 32 inverts the parity. The C1 code decoding circuit 33 uses a C1 code to correct an error. This allows 28 bytes long data excluding C1 parity to be sent to the subsequent deinterleaver 34 to be deinterleaved. The C2 code decoding portion 35 uses the C2 code to correct an error. This allows 24 bytes excluding C2 parity to be sent to the subsequent descramble circuit 36 to be descrambled. The odd number sample delay circuit 37 delays by two frame portion odd-numbered sample of the descrambled data thereby outputting one frame portion of 24 bytes long data.

Here, relations between the C1 code series, C2 code series, and data actually recorded on the disc is explained by using

Figs. 18 and 19. A horizontal direction in Fig. 19 is a C1 code series in which an error is corrected with the C1 code in this order. Assuming that data is recorded on the actual data in the order of D0, D1 and D2, at the outset D0, D1, D2 ... data is input in parallel to the even number symbol delay circuit 31. In the even number symbol delay circuit 31, since even-numbered symbols such as D1, D3, D5 ... are delayed by one frame, at the entrance of the C1 code decoding portion 33 at the certain time, one frame portion of symbols in the C1 code series shown in the horizontal direction in Fig. 19 for example, D32, D1, D34, D3 ... D29, D62 and D31 are input in parallel. Consequently, relations between data read out from the disc and the C1 code series exhibit a zigzag shape as shown in Fig. 19. The relations will be as follows when the relations is represented in an equation. Let "i" designate a C1 code series number, "j" a symbol number in the C1 code. Let "k" designate a symbol order recorded on the disc. Then the symbol is designated by "Dk". Then (i, j) can be represented in the following equations:

$$i=(k/32) + (k \bmod 2)$$
$$j=K \bmod 32 \qquad \ldots\ldots (1)$$

However, the fractions less than a decimal point are rounded down in division. In addition, symbol "mod" in the aforementioned equations designate a surplus in the division.

These definitions are the same with the following equations.

On the other hand, in the deinterleaver 34, since an output from the C1 code decoding portion 33 is delayed by 108 frames at most, at the entrance of the C2 code decoding portion 35 a symbol series taken out by one symbol for every four series of C1 code series is input as a C2 code series as shown in Fig. 19 with the dotted arrow. Consequently, when an error is corrected by using the C2 code, symbols in 108 frame portions in the C1 code series from the disc must be read out. Incidentally, in the present application, C1 code series frame which is required for the error correction in the C2 code series is referred to as an interleave constraint length. With the CD, the interleave constraint length has 108 frames.

By the way, as described above, the CIRC used in the CD is an error correction code which is effective for both a random error and burst error. However, the correction capability is limited. When the digital signal is to be recorded in high density, it often happens that the error cannot be corrected. In addition, when a larger size of data is to be recorded on the disc, the ratio of error correction code which occupies the total size of data, or the redundancy is already determined. Thus the size of data that can be recorded is limited.

Furthermore, in the CD standard, no information is available which differentiates the order of frames. Thus, there is a problem in which when a certain frame cannot be read out

connectively due to a burst error, no method is available which allows detecting the number of defected frames with the result that the C2 code cannot be corrected and correction cannot be performed at all.

Disclosure of Invention

The present invention has been made in view of the aforementioned point, and the invention is intended to provide digital signal encoding method and apparatus, a digital signal recording medium, and digital signal decoding method and apparatus which are capable of improving error correction capabilities and reducing the redundancy with a simple structure when a digital signal is encoded and decoded by adding an error correction code.

To solve such a problem, according to the present invention, a digital signal encoding method for encoding a digital signal by adding an error correction code comprises: adding to an input digital signal a first parity obtained by using at least a first encoding series of the input digital signal; adding to the input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from the adjacent plurality of first code series by shifting each symbol by one symbol; and arranging an input digital signal to which the first and the second parity are added so that an arrangement of symbols in the second code series does not agree

with the arrangement of symbols on a recording medium.

Furthermore, according to the present invention, a digital signal encoding apparatus for encoding a digital signal by adding an error correction code comprises: means for adding to an input digital signal a first parity obtained by using at least a first code series of an input digital signal; means for adding to an input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from the aforementioned plurality of adjacent first code series by shifting each symbol by one symbol and means for arranging the input digital signal to which the first and the second parity are added so that the arrangement of symbols in the second code series does not agree with the arrangement of symbols on a recording medium.

Furthermore, according to the present invention, in a digital signal recording medium recorded an encoding digital signal encoded by adding an error correction code, the encoding digital signal is generated by adding to an input digital signal a first parity obtained by using at least a first code series of input digital signal and then adding to the input digital signal a second parity obtained by using a second code series which corresponds to the plurality of symbols taken out from the plurality of adjacent first code series by shifting each symbols by one symbol thereby arranging the input digital signal to which the first and the second parity are added so that the arrangement

of symbols in the second code series does not agree with the arrangement of symbols on a digital signal recording medium.

Furthermore, according to the present invention, in a digital signal decoding method for decoding an encoding digital signal generated by adding to the input digital signal the first parity obtained by using at least the first code series of the input digital signal, adding to the input digital signal the second parity obtained by using the second code series which corresponds to the plurality of symbols taken out from the plurality of adjacent first code series by shifting each the symbols by one symbol thereby arranging an input digital signal to which the first and the second parity are added so that the arrangement of symbols in the second code series does not agree with the arrangement of symbols on the recording medium, an encoding digital signal supplied from the transmission channel are rearranged, the encoding digital signal thus rearranged is subjected to a first error correction in the direction of the first code series by using the first parity, and the encoding digital signal thus rearranged is subjected to the second error correction in the direction of the second code series by using the second parity.

Furthermore, according to the present invention, a digital signal decoding apparatus for decoding an encoding digital signal generated by adding to the input digital signal the first parity obtained by using at least the first code series of the input

digital signal, adding to the input digital signal the second parity obtained by using the second code series which corresponds to the plurality of symbols taken out from the plurality of adjacent first code series by shifting each symbols by one symbol thereby arranging an input digital signal to which the first and the second parity are added so that the arrangement of symbols in the second code series does not agree with the arrangement of symbols on the recording medium, comprises: means for rearranging an encoding digital signal supplied from a transmission channel; means for subjecting thus rearranged encoding digital signal to the first error correction in the direction of the first code series by using the first parity; and means for subjecting the rearranged encoding digital signal to the second error correction in the direction of the second code series by using the second parity.

When the digital signal is encoded by adding an error correction code, the code length, the correction parity number and the interleave constraint length are increased to a level more than the compact disc standard. Consequently, the redundancy is reduced compared with the compact disc standard to increase a size of data that can be recorded, so that an error correction capabilities can be improved with a simple structure and the redundancy can be eliminated when the digital signal is encoded and decoded by adding an error correction code.

Brief Description of Drawings

Fig. 1 is a schematic diagram showing a structure of one code length of a C1 code by a method for encoding and decoding a digital signal according to the present invention.

Fig. 2 is a schematic diagram explaining the interleave in an L format.

Fig. 3 is a schematic diagram explaining the interleave in an S format.

Fig. 4 is a schematic diagram explaining a sector structure by a method for encoding and decoding a digital signal according to the present invention.

Fig. 5 (A) and 5 (B) are schematic diagrams showing a recording order on a disc and an order of a C1 code.

Fig. 6 is a schematic diagram showing a recording order on the disc and the order of the C1 code.

Fig. 7 is a block diagram showing a digital signal encoding apparatus according to one embodiment of the present invention.

Fig. 8 is a block diagram showing a structure of an error correction code encoding process portion in the L format in the digital signal encoding apparatus of Fig. 7.

Fig. 9 is a block diagram showing a structure of an error correction code encoding process portion in the S format in the digital signal encoding apparatus of Fig. 7.

Fig. 10 is a block diagram showing a digital signal decoding apparatus according to one embodiment of the present invention.

Fig. 11 is a schematic diagram explaining the burst error correction process.

Fig. 12 is a block diagram showing a structure of an error correction code decoding process portion in the L format in the digital signal decoding apparatus of Fig. 10.

Fig. 13 is a block diagram showing a structure of an error correction code decoding process portion in the S format in the digital signal decoding apparatus of Fig. 10.

Fig. 14 is a schematic diagram showing a structure of one code length of the C1 code in the conventional compact disc.

Fig. 15 is a schematic diagram showing a structure of a sector in the conventional compact disc.

Fig. 16 is a block diagram showing an encoding and decoding apparatus of the conventional compact disc.

Fig. 17 is a block diagram showing a structure of an error correction code encoding process portion in the encoding apparatus of the conventional compact disc.

Fig. 18 is a block diagram showing a structure of an error correction code decoding process portion in the decoding apparatus of the conventional compact disc.

Fig. 19 is a schematic diagram showing a recording order on the disc and the order of the C1 code in the conventional compact disc.

Best Mode for Carrying Out the Invention

An object of the interleave will be explained at the outset before describing an embodiment of the present invention. The interleave serves to distribute burst errors that continue over several symbols on a disc so that the burst errors can be observed as random errors in a direction of C2. By the way, in the present embodiment as described later, the length of the C1 code series is set to 136 symbols which is considerably long compared with 32 symbols of a CD. Since the CD is short with a 32 symbols of C1 code series, symbols are taken out for every four frames of C1 code series to be a C2 code series as described above to attain the aforementioned object. Thus, when the C1 code series is arranged in the horizontal direction, an angle formed by the C1 code series and the C2 code series is referred to as a deep interleave when the angle is large. In the present embodiment, since the C1 code series is long, the aforementioned object can be attained without performing the deep interleave.

In the beginning, the interleave in CIRC used in the CD is rendered simply shallow. Then it is thought that the C2 code series constitutes a C2' code series shown in Fig. 19. In this case, the C2' code series is an interleave such that 33 symbols are inserted between adjacent symbols with D0 being disposed at the head thereof as shown in Fig. 19. With such a structure, one symbol is taken out from each of consecutive C1 code series. In the embodiment shown hereinbelow, since the C1 code series is long, a space between each of the symbols in the C2' code series

is actually longer than this, the aforementioned object can be attained like the deep interleave of the CD.

When such an interleave is performed, D0 and D1, and D66 and D67 or the like become symbols which are located adjacent to each other on the C2' code series and arranged adjacent to each other on the disc, too. The same thing can be said even when the C1 code series is long. The original object of the interleave is to distribute errors that continue over several symbols on the C2 code series. Thus it is not preferable that a symbol order on the disc agrees with a symbol order on the C2' code with the result that the correction capabilities of the C2' code get worse. In embodiments that will be described hereinafter, the symbol order on the disc does not agree with the symbol order on the C2' code.

One embodiment of the present invention will be described in detail with respect to the drawings hereinbelow.

(1) Method for Encoding a Digital Signal

In a method for encoding a digital signal according to the present embodiment, a format in which the interleave constraint length is lengthened and a burst error correction capability is improved is referred to as an L format whereas a format in which the constraint length is shortened and the burst error correction capability is minimized to a required degree to raise a process speed is referred to as an S format.

In a method for encoding a digital signal, Fig. 1 shows a C1 code as a whole wherein the code length comprises 136 symbols, data comprises 116 symbols, 8 symbols at the end constitute a center of C1 parity, and 12 symbols at the center constitute a C2 parity. At the head of the code, a sync for synchronization detection is arranged, and, for example, one bit long format ID is arranged following a sync. This format ID describes which is the format of the two, an L format or an S format. One code length of the C1 code is referred to as one frame hereinbelow. A frame ID is arranged in one symbol at the head of the data following the format ID. Here, the frame ID is included in the C1 code. Then an error can be corrected with the C1 code correction.

The interleave in the L format is shown in Fig. 2. In this L format, the C2 code has a code length of 128 symbols, and 128 symbols of C1 codes are interleaved. When an error is corrected by using a total parity symbol with the C2 code, an error in 12 symbols in the C2 code can be corrected. This corresponds to 12 C1 codes so that burst errors in 1632 symbols can be corrected.

The interleave by the S format with respect to this point is shown in Fig. 3. The C1 code is completely the same as the L format. The C2 code has a code length of 128 symbols like the L format. The C2 code is interleaved that can be folded with the 43rd C1 code. The constraint length thereof is one third of the L format. When it is possible to correct an error in 12 symbols

in the C2 code like the L format, the burst error in four portions of the C1 code, namely 544 symbols can be corrected.

The redundancy in this format is 14.7% as compared with 25% in the CD. In addition, in the CD, the codes C1 and C2 have a parity number of four symbols. However, in this format, the codes C1 and C2 have a parity number of 8 symbols and 12 symbols respectively. Since the codes are so-called LDC (Long Distance Code), the correction capability can be remarkably improved as compared with the CD.

A sector structure in this format is shown in Fig. 4. Eighteen C1 codes constitute one sector. A data portion excluding a parity comprises 2088 symbols. Out of 2088 symbols, the frame ID comprises 18 symbols, the sector head comprises 18 symbols, an error detection code (EDC) comprises 4 symbols. The remaining 2048 symbols constitute actual data. In other words, when one symbol comprises one byte, one sector comprises 2k bytes. Numbers are recorded in the frame ID in an order of 0, 1, 2, ... , 17 from the head frame of the sector. This is repeated for each of the sectors.

A case will be described in which odd-numbered symbol is delayed at the encoding time so that an arrangement of symbols in the C2 code series of the digital signal in this embodiment does not agree with a symbol arrangement on the disc. Fig. 5 (A) shows a relation among the C1 code series, the C2 code series and data actually recorded on the disc according to the present

embodiment. Data is read in the horizontal direction so that the C1 code is corrected. Like the aforementioned Fig. 19, the C1 code order is designated by symbol "i", a symbol order in the C1 code is designated by symbol "j", and a symbol on the disc is designated by "Dk". The symbols "i" and "j" are represented in the following equation:

$$i = (K/ 136) + (k \bmod 2)$$
$$j = 68 \cdot (k \bmod 2) + ((k \bmod 136)/2) \quad \ldots\ldots (2)$$

More specifically, odd-numbered symbol in which "k" is an even number is arranged in the first half of the C1 code whereas even-numbered symbol in which "k" is an odd number is arranged in the latter half of the subsequent C1 code. In such a delay, the data order on the disc does not agree with the data order of the C2 code so that the effect of the burst error can be minimized. Such a delay can be actualized by providing a delay portion 306 shown in Fig. 8 that will be described later. In this example, symbols are arranged by dividing into two the C1 code. However the division is not limited to two part division. For example, the code may be divided into four parts as shown in Fig. 6. In such a case, "i" and "j" are represented in the following equations:

$$i = (k/136) + (k \bmod 2)$$

$$j = 34 \cdot (k \bmod 4) + ((k \bmod 136)/4) \quad \ldots\ldots (3)$$

In such an operation, it is possible to arrange the structure so that the data order on the disc does not agree with the C2 code order.

Furthermore, in Fig. 5 (A), odd-numbered symbol is delayed, but even-numbered symbol may be delayed. Relations among the C1 code series, the C2 code series and data actually recorded on the disc is such that is shown in Fig. 5 (B).

When odd-numbered symbol is delayed, as shown in Fig. 5 (A), a portion remains in which adjacent symbols in the C2 code series agree with an arrangement of symbols on the disc (for example, D270 and D271). In the case of Fig. 5 (B) in which even-numbered symbol is delayed, no such phenomenon is generated with the result that the error correction capability can be improved. Incidentally, with respect to a case shown in Fig. 5 (B), (i, j) can be shown in the following equation:

$$i = (k/ 136) - (k \bmod 2) + 1$$
$$j = 68 \cdot (k \bmod 2) + ((k \bmod 136)/2) \quad \ldots\ldots (4)$$

(2) Digital Signal Encoding Apparatus and Digital Signal Decoding Apparatus

There will be described an embodiment of a digital signal encoding apparatus for realizing a method for encoding the

aforementioned digital signal and an embodiment of a digital signal decoding apparatus which corresponds to the digital signal encoding apparatus. In the beginning, a structure of the digital signal encoding apparatus according to the present invention is shown in Fig. 7. This digital signal encoding apparatus selects either the L format or the S format with a format switching signal. Data to which the frame ID is added to the head of the frame is input to input the format.

An input signal is input to a memory 101 in the beginning. Either C1 code or C2 code is sent to an error correction circuit 102 in this order and an error correction code is added thereto and is written into the memory 101 again. Then the code is sent to an EFM modulation circuit 104. The generation of a writing address and a reading address in these memories is controlled in accordance with the format selected with the format switching signal by the memory control portion 103.

Fig. 8 shows a case in which input data is processed with the memory 101 and the error correction circuit 102 in the case of the L format of Fig. 5 (A). The input data is processed in such a manner that 116 symbols from a0 to a115 are collected in one group. In the beginning, even-numbered symbol is delayed by one code length at the delay portion 301. Then the symbols are interleaved with an interleaver 302 so that the symbols are rearranged in an order of the C2 code shown in Fig. 2, and a C2 correction parity is calculated and added at the C2 code encoding

portion 303.

Then after the symbols are brought back to the original order with a deinerleaver 304, and the C1 correction parity is calculated and added at the C1 code encoding portion 305, odd-numbered symbol is delayed at the delay portion 306. After that, only correction symbol parities of C1 and C2 codes are inverted at the inverter 307 so that 136 symbols from b0 to b 135 are output. The symbols are recorded on the disc 107 in an order of b0, b1, b2, ... Incidentally, the L format in Fig.5(B) can be realized by providing the delay portion 306 on the side of b1, b3, b5 ..... b133, b135 instead of providing the same portion 306 on the side of b0, b2, b4 .... b132, b134 in Fig. 8.

Fig. 9 shows a case of the S format like the aforementioned case. The case shown in Fig. 9 is different from the aforementioned case of the L format only in an interleaver 402 and a deinterleaver 404. A delay portion 401 has the same structure as the delay portion 301. A C2 code encoding portion 403 has the same structure as the C2 code encoding portion 303. A C1 code encoding portion 405 has the same structure as the C1 code encoding portion 305. A delay portion 406 has the same structure as the delay portion 306. An inverter 407 has the same structure as the inverter 307. A delay quantity g(x) of the interleaver 402 and a delay quantity f(x) of the deinterleaver 403 are represented in the following equations.

$$f(x) = x \bmod 43$$

$$g(x) = 42 - f(127 - x) \quad \ldots\ldots (5)$$

This provides a C2 code order as shown in Fig. 3.

The data sent from the memory 101 to the EFM modulation circuit 104 is EFM modulated and the sync and the format ID of the selected format are added in the subsequent sync/format ID adding circuit 105. Then the data is sent to a cutting device 106 so that the disc 107 is manufactured.

Since the digital signal encoding method in the present embodiment is based on an assumption that the digital signal is used for recording and reproducing computer data, and compressed data or the like, it is considered that a portion where an error cannot be corrected is not extended to a wide scope when an error cannot be corrected. The C2 code is added via an interleaver so that data is recorded on a disc 107 in the original data order, namely in the order of a0 to a115. After that the data is brought back to the original order with the deinterleaver. Furthermore, a delay portion 301 is provided so that the delay quantity of the even number symbol becomes equal to the quantity of the odd number symbol.

The embodiment will be explained with respect to Fig. 8. The symbol a0 is delayed by 127 frames with the interleaver 302, and then is further delayed by one frame with the delay portion 306. Therefore, when the symbol a0 is output as b0, the data order is delayed by a total of 128 (= 127 + 1) frames. Further,

the data order a2 is delayed by 126 frames with the interleaver 302, and then is further delayed by one frame with the deinterleaver 304. The same symbol is still further delayed by one frame with the delay portion 306. Therefore, when the symbol a2 is output as b2, the symbol is delayed by a total of 128 (= 126 + 1 + 1) frames. The same thing holds of other symbols such as a4, a6, ... a112, and a114. The delay quantity of the odd-numbered symbol represented by an even number in Fig. 8 is 128 frame in respective cases.

On the other hand, the even-numbered symbol represented by an odd number in the Fig. 8 is delayed as follows. When the delay portion 301 is not provided, the symbol a1 is delayed by 57 frames with the interleaver 302. The symbol a1 is further delayed by 70 frames with the deinterleaver 304. Consequently, when the symbol a1 is output as b5, the same symbol is delayed by a total of 127 (= 57 + 70) frames. Further, the symbol a3 is delayed by 56 frames with the interleaver 302. The symbol a3 is delayed by 71 frames with the deinterleaver 304. Consequently, when the symbol a3 is output as b7, the same symbol is delayed by a total of 127 (= 56 + 71) frames. The same thing holds true of other symbols such as a5, a7 ... ... a113, and a115. The delay quantity of even-numbered symbol is 127 frames in respective cases.

The difference in the delay quantity between the odd-numbered symbol and even-numbered symbol is one frame. To absorb

this delay quantity, the delay portion 301 is provided. When the delay portion is constituted in such a manner, the original data order agrees with the data order recorded on the disc. Thus, an expansion of the portion that cannot be corrected can be prevented in comparison with the case that the original data order is shuffled like the CD.

However, the delay portion 301 may not be provided. In this case, the data order recorded on the disc agrees with the data order of the C1 code series. Although the data order recorded on the disc does not agree with the original data order completely, the original data order is maintained to a certain degree in comparison with the case that the original data order is shuffled like the CD. Thus, the expansion of the portion that cannot be corrected can be prevented. Incidentally it goes without saying that a delay portion 507 is not provided on the side of a decoder when the delay portion 301 is not provided on the side of an encoder.

On the other hand, the digital signal decoding apparatus is constituted as shown in Fig. 10. A signal read out from the disc 107 passes through an RF amplifier 201 to be detected and separated into a sync and format ID with a sync/format ID detecting and separating circuit 202. Then the signal is differentiated to determine whether the signal is in the L format or in the S format. Then a format differentiation signal is sent to a memory controller 206 on the rear column. The data deprived

of the sync and the format ID at the sync/format ID detecting and separating circuit 202 is demodulated with the EFM demodulation circuit 203 and is incorporated into the memory 204.

The memory controller 206 detects whether the data is in the L format or in the S format with the format differentiation signal output from the sync/format ID detecting and separating circuit 202. In accordance with the detection, the memory controller 206 controls the writing and reading addresses of the memory. The data incorporated into the memory 204 is rearranged into an order of C1 codes and is sent to an error correction circuit 205. Then the corrected code is then written into the memory 204 again. The code that has been subjected to the C1 code correction is read out in the order of C2 code. The code is further corrected with the error correction circuit 205 in the same manner and is written into the memory 204 again. The data that has been subjected to the error correction is output from the memory 204. These controls are performed by the memory controller 206.

Subsequently, countermeasures against a case in which consecutive number frames are lost in a burst error will be explained. When the code after the C1 code correction is written into the memory 204, the frame ID at the head of the code is output to the memory controller 206. The memory controller 206 monitors the continuity of the frame ID. Fig. 11 shows how the code after the C1 code correction is written into the memory 204.

A frame having 1 as the frame ID is referred to as frame 1 hereinafter. Suppose that frames 4, 5, 6, and 7 are written into the memory and then the subsequent four frames are lost in the burst error so that the C1 code cannot be corrected and the same C1 code can be corrected again with the frame 12.

Here, when the frame 12 is written immediately after the frame 4 on the memory 204, C2 code is suspended for 4 symbols so that the code cannot be corrected. To prevent it, the following countermeasures is provided. That is, when a difference is calculated between the frame 7 immediately before the burst error and the frame 12 immediately after the burst error, it is possible to detect that the lost number of frames is 4 frames. The frame ID surrounded by a bracket in Fig. 11 represents the lost frames in the burst error.

Then four frame portions of a memory area is provided so the frame 12 will be written from the 5th frame. With such an operation, four symbols error can be generated and corrected on the C2 code. In this manner, the memory controller 20 constantly monitors the frame ID to appropriately switch the address to which the C1 code is written so that the C2 code can be corrected even if several frames are lost in the burst error.

Fig. 12 shows a process in which data in the L format shown in Fig. 5 (A) is processed at the memory 204 and the error correction circuit 205. With respect to the input data, 136 symbols from b0 to b135 are processed as one group. In the

beginning, C1 and C2 parities are inverted with the inverter 501 and even-numbered symbol is delayed by a length of one code at the delay portion 502. After that, the C1 code is corrected at the C1 code decoding portion 503, and is interleaved with the interleaver 504. Then the C2 code is corrected at the C2 code decoding portion 505.

After this the code is deinterleaved with the deinterleaver 506. Then odd-numbered symbol is delayed by a length of one code with the delay portion 507 to provide outputs a0 to a115. Here the interleaver 504 is the same as the interleaver 302, and the deinterleaver 506 is the same as the deinterleaver 304. Incidentally, the L format shown in Fig. 5 (B) can be realized by providing the delay portion 502 on the side of b0, b2, b4 ... ... b132 and b134 instead of providing the same portion on the side of b1, b3, b5 ... ... b133 and b135 in the Fig. 12.

Fig. 13 shows a case of the S format in the same manner as the aforementioned case. The S format is different from the L format only in the interleaver 604 and the deinterleaver 606. The inverter 601 is the same as the inverter 501. The delay portion 602 is the same as the delay portion 502. The C1 code decoding portion 603 is the same as the C1 code decoding portion 503. The C2 code decoding portion 605 is the same as the C2 code decoding portion 505. The delay portion 607 is the same as the delay portion 507. In addition, the delay quantity g(x) of the interleaver 604 is the same as the counterpart of the interleaver

402. The delay quantity f(x) of the deinterleaver 606 is the same as the counterpart of the deinterleaver 404.

Incidentally, the process at each of the delay portions and interleavers shown in Figs. 8 and 9 can actually be realized when the memory controller 103 controls the writing address, the reading address, the writing timing and the reading timing of the memory 101. In the same manner, the process at each of the delay portions and deinterleavers shown in Figs. 12 and 13 can actually be realized when the memory controller 206 controls the writing address, the reading address, the writing timing and the reading timing of the memory 204. For example, when data D0, D2, D3 ... reproduced from the disc 107 is respectively stored in a position which corresponds to (i, j) shown in Fig. 5 (A) as the writing address of the memory and is subsequently read out in the horizontal direction, namely when data D136, D138 ... ... D270, D1, D3 ... ... D133 and D135 which corresponds to i=1 is read out, even-numbered symbol in the delay portion 502 of Fig. 12 is delay processed. In addition, the switching of the L format and the S format can be realized by switching the control method of the memory controller 103 and the memory controller 206.

In the above structure, error correction capabilities can be remarkably improved with respect to the random error and the burst error by increasing the code length and the error correction parity number and lengthening the interleave constraint length as compared with the CD standard. Further, the

quantity of data that can be recorded actually can be increased by reducing the redundancy as compared with the CD standard. Thus, when the digital signal is encoded and decoded by adding an error correction code, the error correction capabilities can be improved and the redundancy can be reduced with a simple structure.

Further, in the aforementioned structure, formats having the same code length and the same error correction parity number and different interleave constraint length are prepared so that those formats are differentiated with the format ID. Consequently, the aforementioned structure can correspond to a plurality of formats without complicating the encoding apparatus and the decoding apparatus. With the differentiation with the format ID, a plurality of formats can be mixed on one disc and can be recorded and reproduced.

Further, in the aforementioned structure, the delay quantity of the odd-numbered symbol and even-numbered symbol are devised so that the C2 code order does not agree with the data order on the disc thereby preventing the worsening of the burst error correcting capabilities. Further, by adding the frame ID, when consecutive several frames are lost in the burst error, the number of frames can be accurately detected so that an error in the C2 code can be corrected without any trouble.

(3) Other Embodiments

In the aforementioned embodiments, the length of C1 code, namely one frame length is set to 136 symbols, and C1 parity and C2 parity are set to 8 symbols and 12 symbols respectively. The interleave constraint length is set to 128 symbols. However, one frame length, the parity length and the interleave constraint length are not limited thereto. Those length can be selected in accordance with the necessary. For example, even if the interleave constraint length of the S format is the half length of the counterpart of the L format, the same effect as the aforementioned embodiments. Further, C1 parity is arranged at the end of the code and C2 parity is arranged at the center of the code in the aforementioned embodiments, but the arrangements are not limited thereto. The parities can be arranged everywhere of the code.

For example, in the L format, the length of C1 code, namely one frame length may be set to 170 symbols, and C1 parity and the C2 parity may be set to 8 symbols and 14 symbols respectively. The interleave constraint length can be set to 138 frames. The C1 parity and the C2 parity can be arranged at the end of the code.

Furthermore, in the aforementioned embodiment, the L format and the S format can be selected. A format ID for differentiating the selected format is provided, but the L format and the S format can independently exist. So a format in which either of the two is adopted at the outset is included in the

scope of the present invention. Incidentally, the format ID is not required in this case.

In the aforementioned embodiment, there is described a case in which the format ID is added to one bit following the sync. The arrangement of the format ID is not limited thereto. For example, the format ID may be provided inside of the sector head. Further, the frame ID is set so that the frame ID is repeated cyclically in a unit of one sector. Instead of this, the frame ID can be repeated cyclically in a unit of several sectors. Alternatively, frames, for example, from 0 to 255 can be repeated irrespective of sectors.

In the aforementioned embodiment, there is described a case in which a read-only optical disc such as a compact disc or the like is presupposed as a recording medium of a digital signal. The present invention is not limited thereto. The present invention is preferably applied to digital signal encoding method and apparatus, a digital signal recording medium and digital signal decoding method and apparatus which use a writable medium such as magneto-optical discs, magnetic discs, or magnetic tapes.

As described above, the present invention provides digital signal encoding method and apparatus, a digital signal recording medium, and digital signal decoding method and apparatus which are capable of improving error correction capabilities with respect to random errors and burst errors and reducing the redundancy as compared with the CD standard to increase the

quantity of data that can be actually recorded by increasing the code length and the error correction parity number and lengthening the interleave constraint length as compared with the CD standard.

Furthermore, the present invention provides digital signal encoding method and apparatus, a digital signal recording medium, and digital signal decoding method and apparatus which are capable of corresponding to a plurality of formats without complicating the encoding apparatus and the decoding apparatus by preparing formats having the same code length and correction parity number, and different interleave constraint length, differentiating the formats with the format ID and which are capable of mixing a plurality of formats into one medium to be recorded and reproduced by differentiating the formats with the format ID.

Furthermore, in accordance with the present invention, the burst error correcting capabilities are prevented from getting worse by arranging the apparatus so that the C2 code order does not agree with the data order on the disc by devising an odd number delay quantity. Furthermore, in accordance with the present invention, there is provided digital signal encoding method and apparatus, a digital signal recording medium and digital signal decoding method and apparatus which are capable of detecting the number of frames and correcting an error in the C2 code without any trouble even when several consecutive frames are

lost in the burst error by adding the frame ID.

Industrial Applicability

The digital encoding method and apparatus of the present invention can be used for a DVD (digital video disc) recording apparatus. In addition, the digital signal decoding method and apparatus of the present invention can be used for the DVD reproducing apparatus. Further, the digital recording medium of the present invention can be used as the DVD.

* C L M S *

THIS SHEET HAS BEEN REPLACED

CLAIMS

1. A digital signal encoding method for encoding a digital signal by adding an error correction code thereto, said method comprising the steps of:

adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal;

adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol; and

arranging said input digital signal to which said first and said second parity are added so that an arrangement of said second code series symbols does not agree with the arrangement of symbols on a recording medium.

2. The digital signal encoding method according to claim 1 wherein

a code length of said first and second code series, said first parity, said second parity and an interleave constraint length are respectively longer than the compact disc standard.

3. The digital signal encoding method according to claim 1 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

This Sheet Has Been Replaced

4. The digital signal encoding method according to claim 1 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

5. The digital signal encoding method according to claim 1 wherein:

one format is selected from a plurality of formats having the same code length and the parity number and different interleave constraint length; and

identification information for identifying said selected format is encoded.

6. The digital signal encoding method according to claim 1 wherein

an identification number is added to said each of first code series.

7. A digital signal encoding apparatus for encoding a digital signal by adding an error correction code thereto, said apparatus comprising:

means for adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal;

means for adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol;

* C L M S *

THIS SHEET HAS BEEN REPLACED

and

means for arranging said input digital signal to which said first and second parities are added so that an arrangement of symbols in said second code series does not agree with an arrangement of symbols on a recording medium.

8. The digital signal encoding apparatus according to claim 7 wherein

a code length of said first and second code series, said first parity, said second parity and an interleave constraint length are respectively longer than the compact disc standard.

9. The digital signal encoding apparatus according to claim 7 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

10. The digital signal encoding apparatus according to claim 7 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

11. The digital signal encoding apparatus according to claim 7 wherein

the apparatus has means for encoding identification information for identifying the format selected from a plurality of formats having the same code length and the correction parity and different interleave constraint length.

12. The digital signal encoding apparatus according to claim 7

This Sheet Has Been Replaced

* C L M S *

THIS SHEET HAS BEEN REPLACED

wherein

the apparatus has means for adding an identification number to said each first code series respectively.

13. A digital signal recording medium in which encoding digital signal encoded by adding an error correction code is recorded, said encoding digital signal is generated by; adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal;

adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol; and

arranging said input digital signal to which said first and said second parity are added so that an arrangement of said second code series symbols does not agree with the arrangement of symbols on said digital signal recording medium.

14. The digital signal recording medium according to claim 13 wherein

the code length of said first code series, said first parity, said second parity and the interleave constraint length are respectively longer than the compact disc standard.

15. The digital signal recording medium according to claim 13 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

This Sheet Has Been Replaced

* C L M S *

THIS SHEET HAS BEEN REPLACED

16. The digital signal recording medium according to claim 13 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

17. The digital signal recording medium according to claim 13 wherein

identification information is recorded for differentiating a format selected from a plurality of formats having the same code length and correction parity and a different interleave constraint length.

18. The digital signal recording medium according to claim 13 wherein

an identification number is added to each of said first code series.

19. A digital signal decoding method for decoding an encoding digital signal generated by adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal, adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol, and arranging the said input digital signal to which said first and second parities are added so that an arrangement of symbols of said second code series does not agree with an arrangement of symbols on the recording medium, said

This Sheet Has Been Replaced

* C L M S *

THIS SHEET HAS BEEN REPLACED

method comprising the steps of:

rearranging an encoding digital signal supplied from said transmission channel;

subjecting said rearranged encoding digital signal to a first error correction in a direction of said first code series by using said first parity; and

subjecting said rearranged encoding digital signal to a second error correction in a direction of said second code series by using said second parity.

20. The digital signal decoding method according to claim 19 wherein

the code length of said first and second code series, said first parity, said second parity and the interleave constraint length is longer than the compact disc standard respectively.

21. The digital signal decoding method according to claim 19 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

22. The digital signal decoding method according to claim 19 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

23. The digital signal decoding method according to claim 19 wherein

identification information is detected for differentiating a

This Sheet Has Been Replaced

* C L M S *

THIS SHEET HAS BEEN REPLACED

format selected from a plurality of formats having the same code length and parity number and different interleave constraint length, and error correction process is controlled on the basis of said identification information.

24. The digital signal decoding method according to claim 19 wherein

an identification number added to said first code series respectively is detected and an error correction process is controlled on the basis of said identification number.

25. A digital signal decoding apparatus for decoding an encoding digital signal generated by adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal, adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol, and arranging said input digital signal to which said first and second parities are added so that an arrangement of symbols of said second code series does not agree with an arrangement of symbols on the recording medium, said apparatus comprising:

means for rearranging an encoding digital signal supplied from said transmission channel;

means for subjecting said rearranging encoding digital signal to a first error correction in a direction of said first

This Sheet Has Been Replaced

* C L M S *

THIS SHEET HAS BEEN REPLACED

code series by using said first parity; and

means for subjecting said rearranged encoding digital signal to a second error correction in a direction of said second code series by using said second parity.

26. The digital signal decoding apparatus according to claim 25 wherein

the code length of said first and second code series, said first parity, said second parity and the interleave constraint length are respectively longer than the compact disc standard.

27. The digital signal decoding apparatus according to claim 25 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

28. The digital signal decoding apparatus according to claim 25 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

29. The digital signal decoding apparatus according to claim 25 comprising:

means for detecting identification information for differentiating a format selected from a plurality of formats having the same code length and the parity number and a different interleave constraint length; and

means for controlling an error correction process on the basis of said identification information.

This Sheet Has Been Replaced

* C L M S *

THIS SHEET HAS BEEN REPLACED

30. The digital signal decoding apparatus according to claim 25 comprising:

means for detecting an identification number added respectively to said first code series; and

means for controlling an error correction process on the basis of said identification number.

This Sheet Has Been Replaced

ABSTRACT

The present invention provides digital signal encoding method and apparatus, a digital signal recording medium, and digital signal decoding method and apparatus which improve error correcting capabilities and reduce redundancy with a simple structure when the digital signal is encoded and decoded by adding an error correction code. By increasing the code length, the correction parity number, and the interleave constraint length more than the compact disc standard when the digital signal is encoded by adding an error correction code, the redundancy can be reduced and the size of data that can be recorded can be increased.

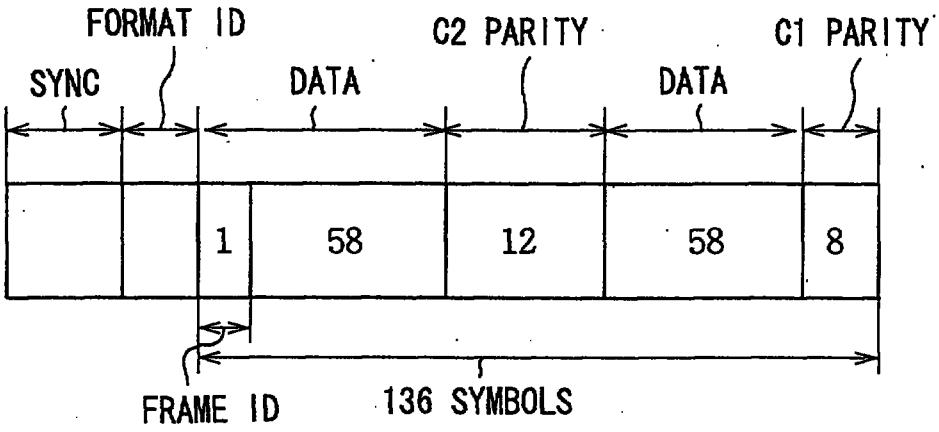

FORMAT ID
SYNC
DATA
C2 PARITY
DATA
C1 PARITY
1
58
12
58
8
FRAME ID
136 SYMBOLS

FIG. 1

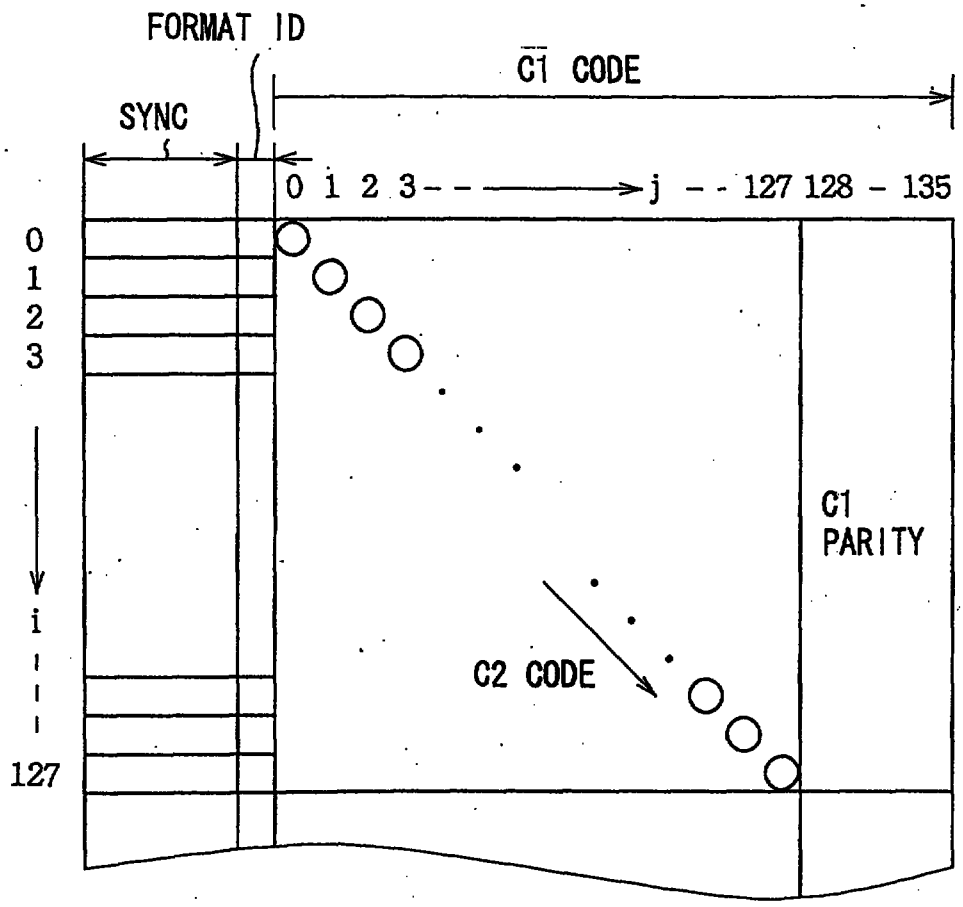

FORMAT ID
SYNC
C1 CODE
0 1 2 3 - - → j - - 127 128 - 135
0
1
2
3
i
127
C1
PARITY
C2 CODE

FIG. 2

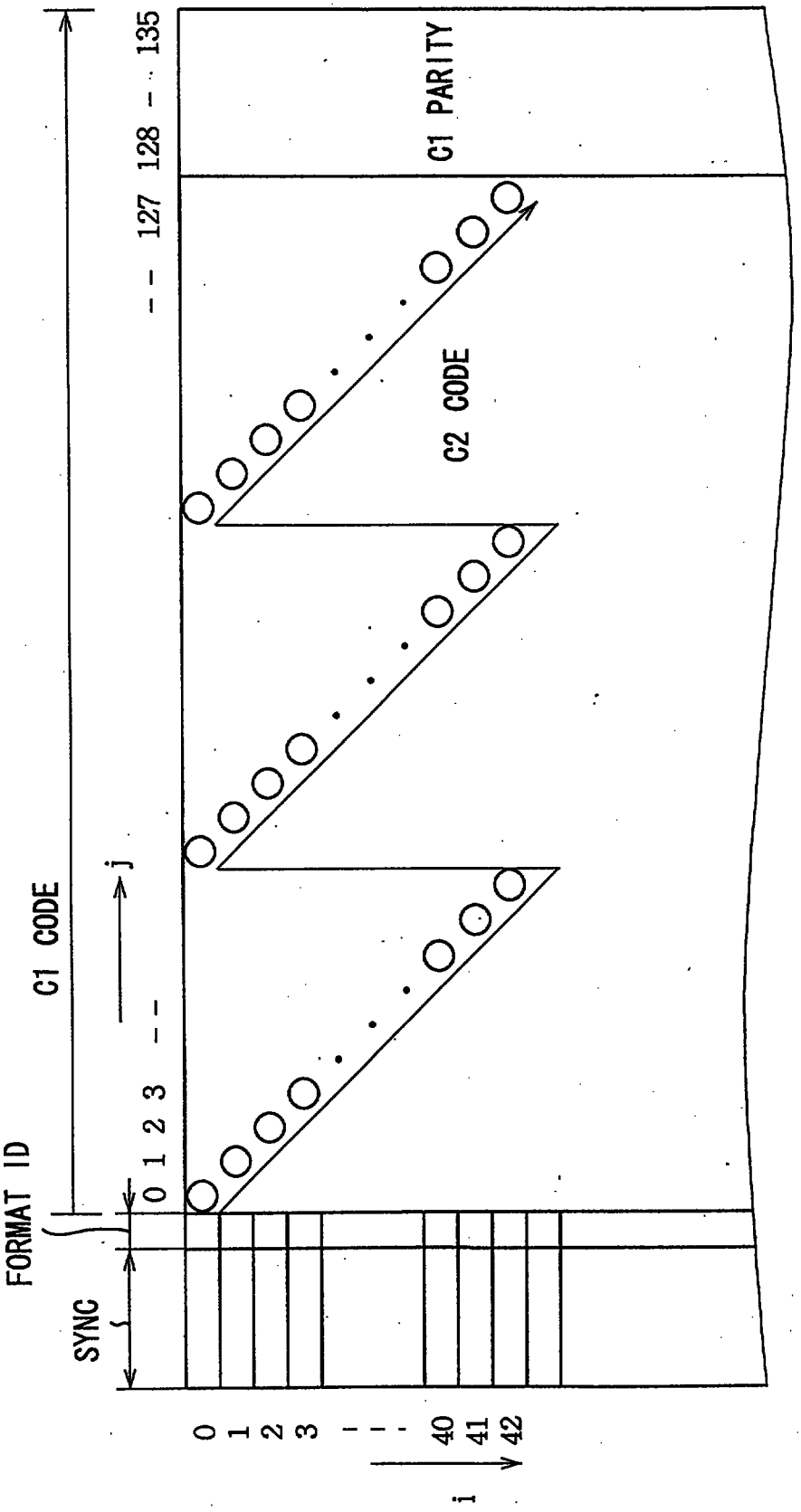

C1 PARITY
C2 CODE
C1 CODE
FORMAT ID
SYNC
0 1 2 3 -- 127 128 -- 135
j
0 1 2 3 -- 40 41 42
i

FIG. 3

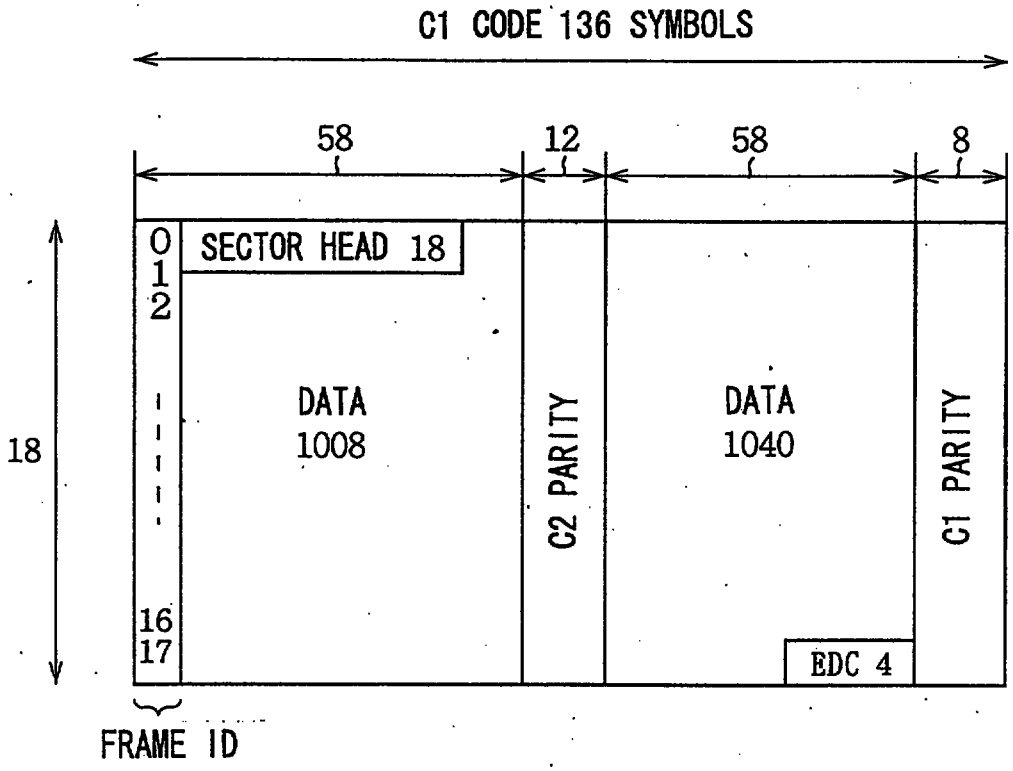
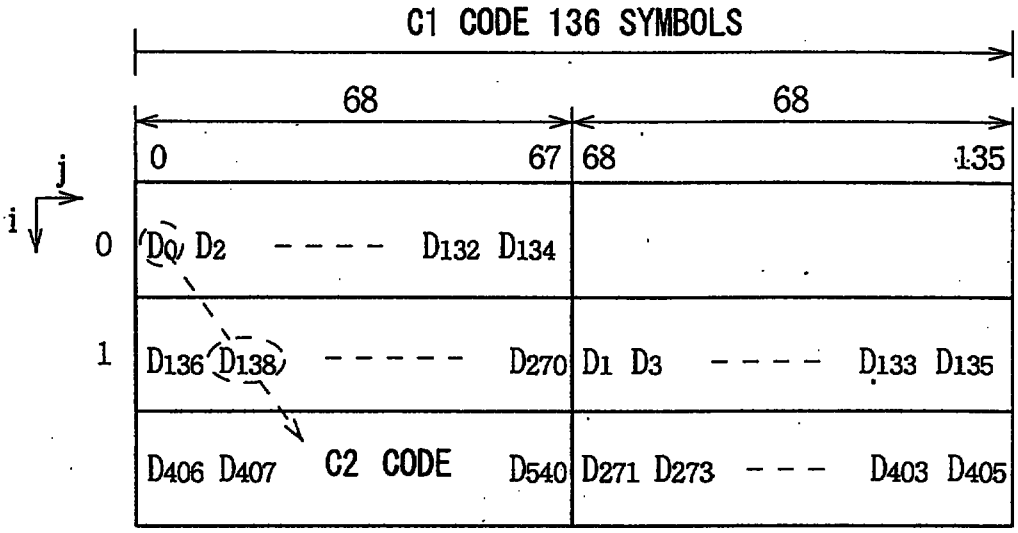

C1 CODE 136 SYMBOLS
58
12
58
8
18
0
1
2
16
17
SECTOR HEAD 18
DATA
1008
C2 PARITY
DATA
1040
C1 PARITY
EDC 4
FRAME ID

FIG. 4

(A)


C1 CODE 136 SYMBOLS
68
68
0
67
68
135
j
i
0
1
D0 D2 ----- D132 D134
D136 D138 ------ D270
D1 D3 ---- D133 D135
D406 D407
C2 CODE
D540
D271 D273 --- D403 D405

(B)

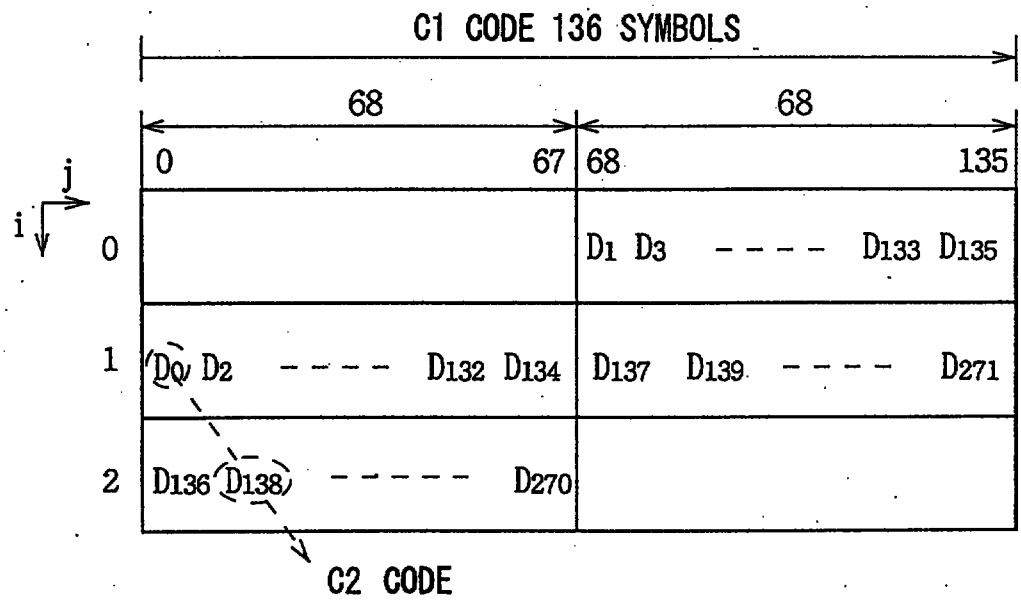

C1 CODE 136 SYMBOLS
68
68
0
67
68
135
j
i
0
1
2
D1 D3 ---- D133 D135
D0 D2 ----- D132 D134
D137 D139 ---- D271
D136 D138 ------ D270
C2 CODE

FIG. 5

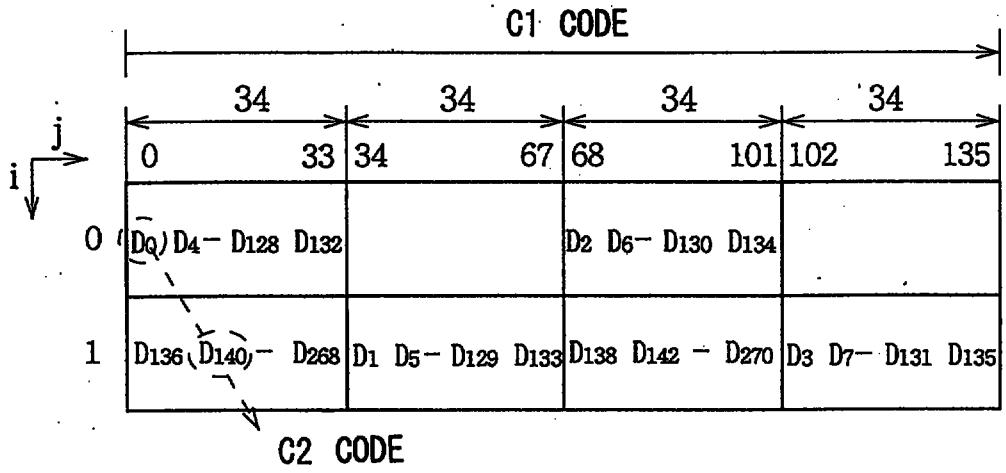

C1 CODE
34
34
34
34
j
i
0
33
34
67
68
101
102
135
0
D0 D4 – D128 D132
D2 D6 – D130 D134
1
D136 D140 – D268
D1 D5 – D129 D133
D138 D142 – D270
D3 D7 – D131 D135
C2 CODE

FIG. 6

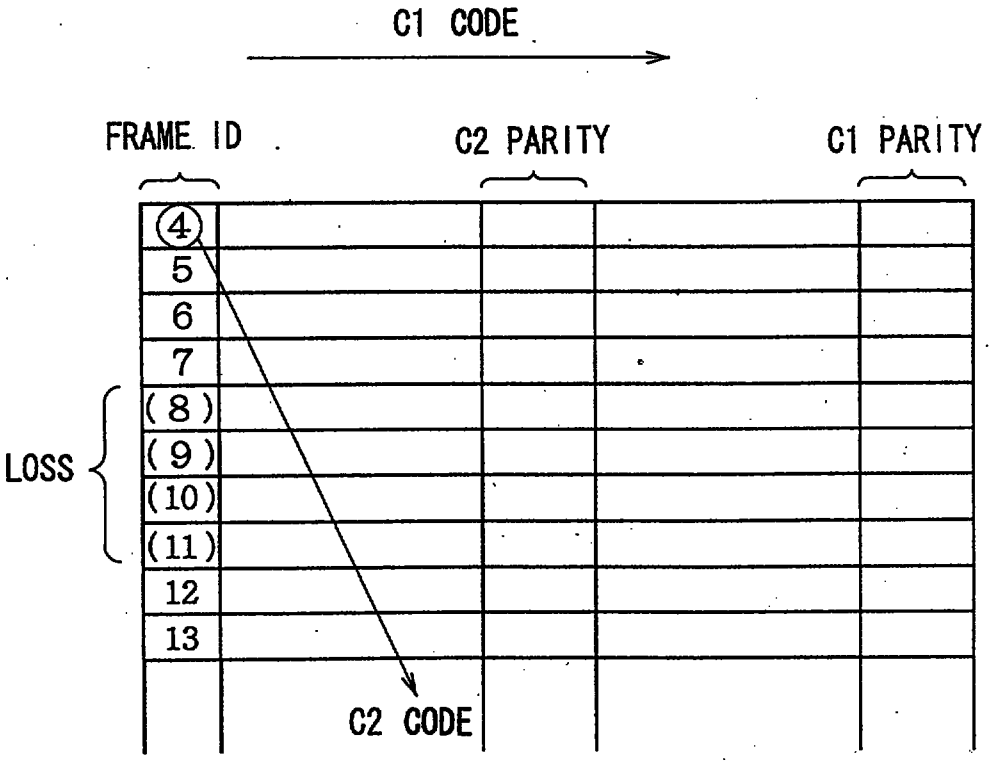

C1 CODE
FRAME ID
C2 PARITY
C1 PARITY
4
5
6
7
8
9
10
11
12
13
LOSS
C2 CODE

FIG. 11

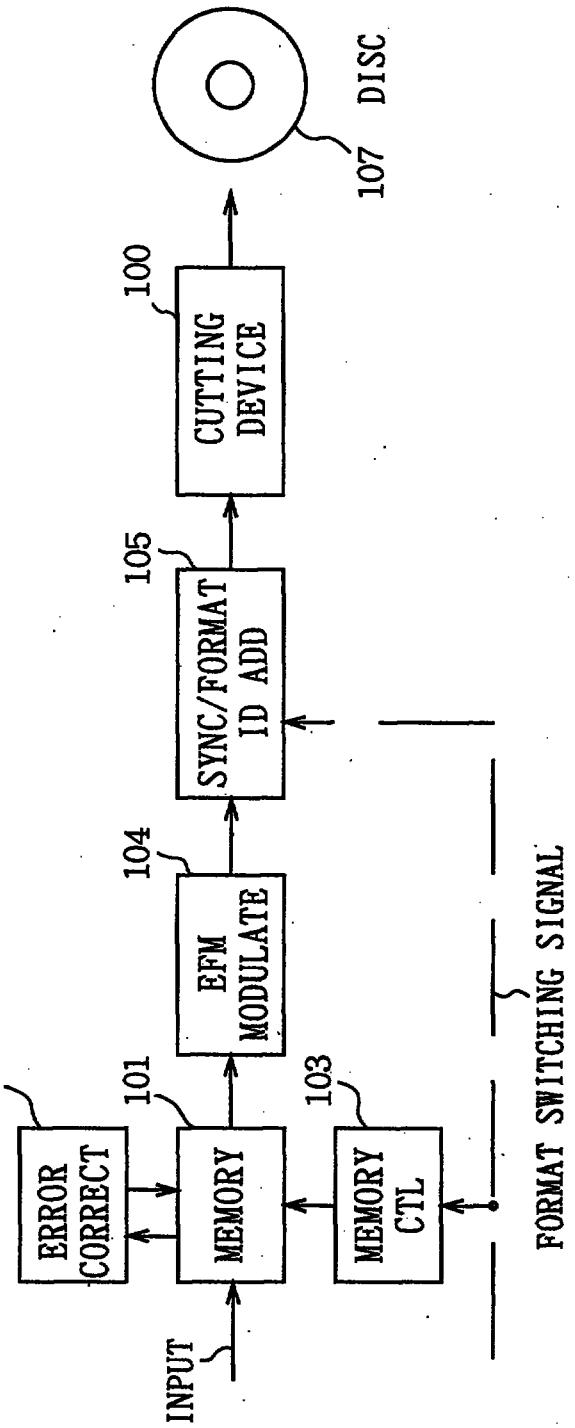

INPUT
ERROR CORRECT
MEMORY
MEMORY CTL
EFM MODULATE
SYNC/FORMAT ID ADD
CUTTING DEVICE
DISC
FORMAT SWITCHING SIGNAL
101
102
103
104
105
100
107

FIG. 7

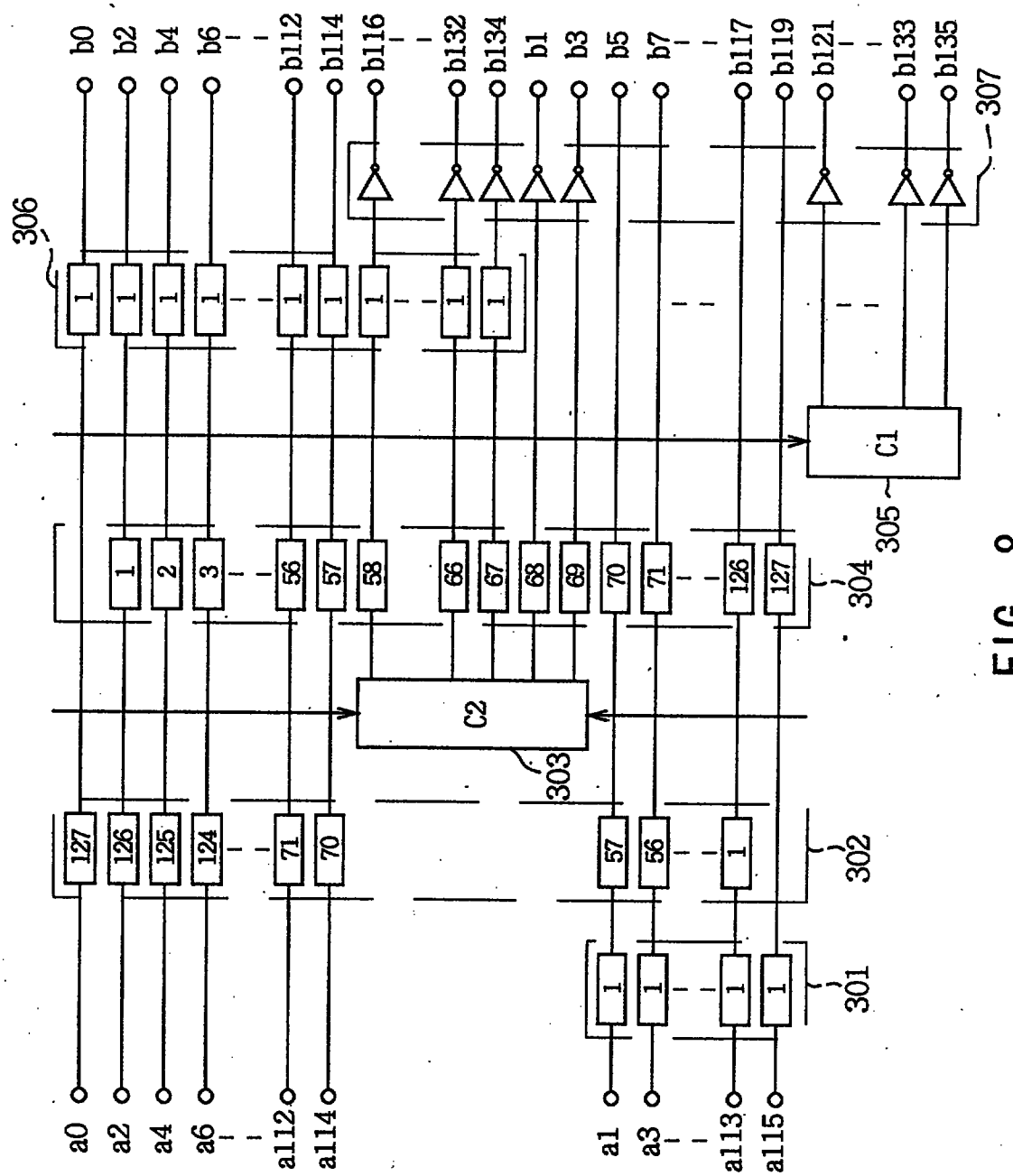

b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135
307
306
C1
305
304
C2
303
302
301
a0
a2
a4
a6
a112
a114
a1
a3
a113
a115

FIG. 8

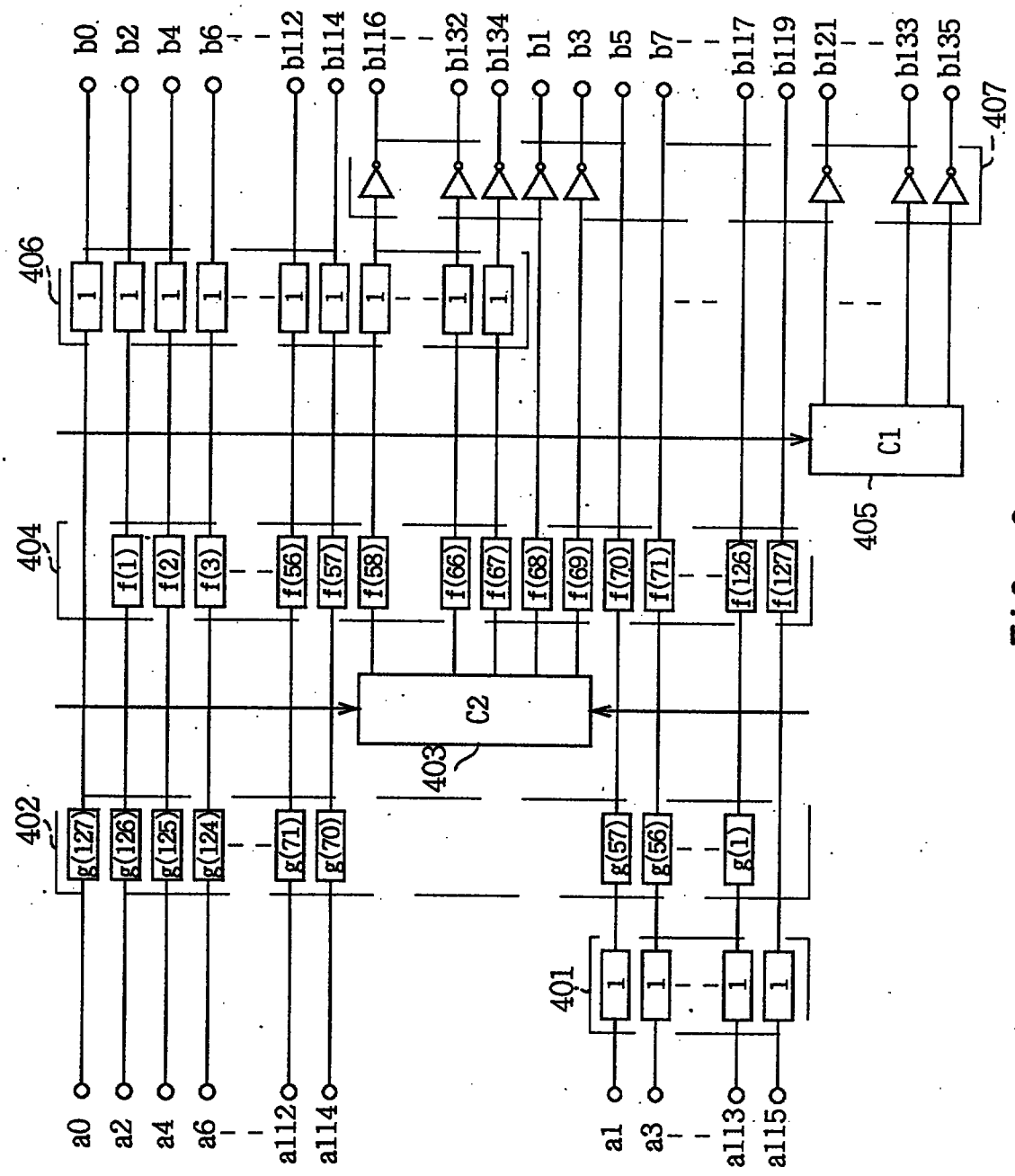

b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135
407
406
1
404
f(1)
f(2)
f(3)
f(56)
f(57)
f(58)
f(66)
f(67)
f(68)
f(69)
f(70)
f(71)
f(126)
f(127)
C1
405
C2
403
402
g(127)
g(126)
g(125)
g(124)
g(71)
g(70)
g(57)
g(56)
g(1)
401
a0
a2
a4
a6
a112
a114
a1
a3
a113
a115

FIG. 9

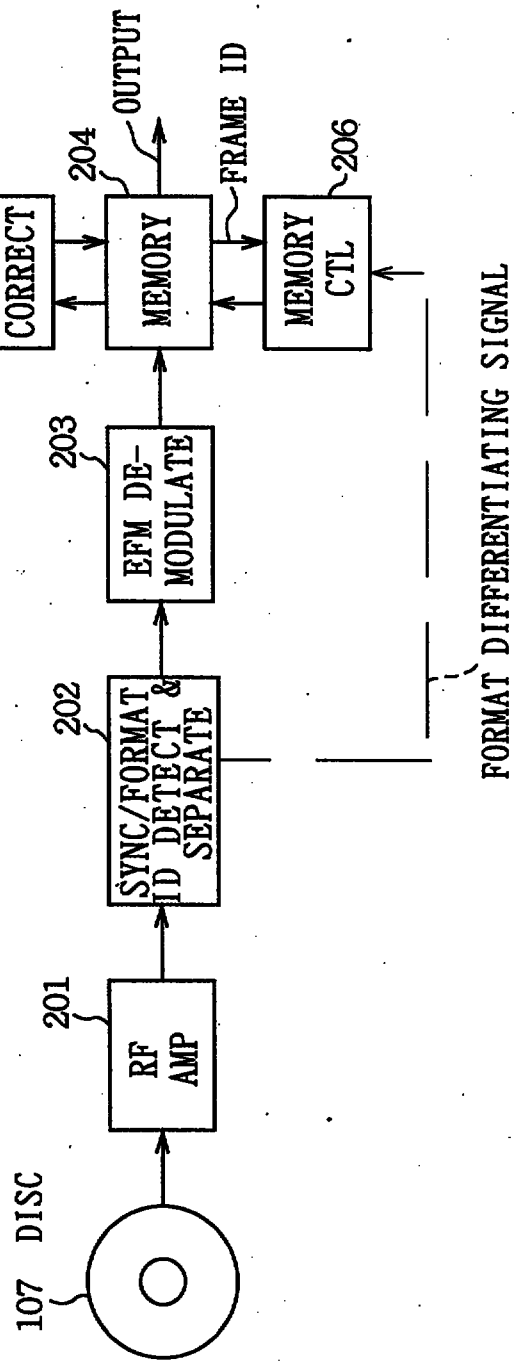

107 DISC
201 RF AMP
202 SYNC/FORMAT ID DETECT & SEPARATE
203 EFM DE-MODULATE
204 MEMORY
205 ERROR CORRECT
206 MEMORY CTL
OUTPUT
FRAME ID
FORMAT DIFFERENTIATING SIGNAL

FIG. 10

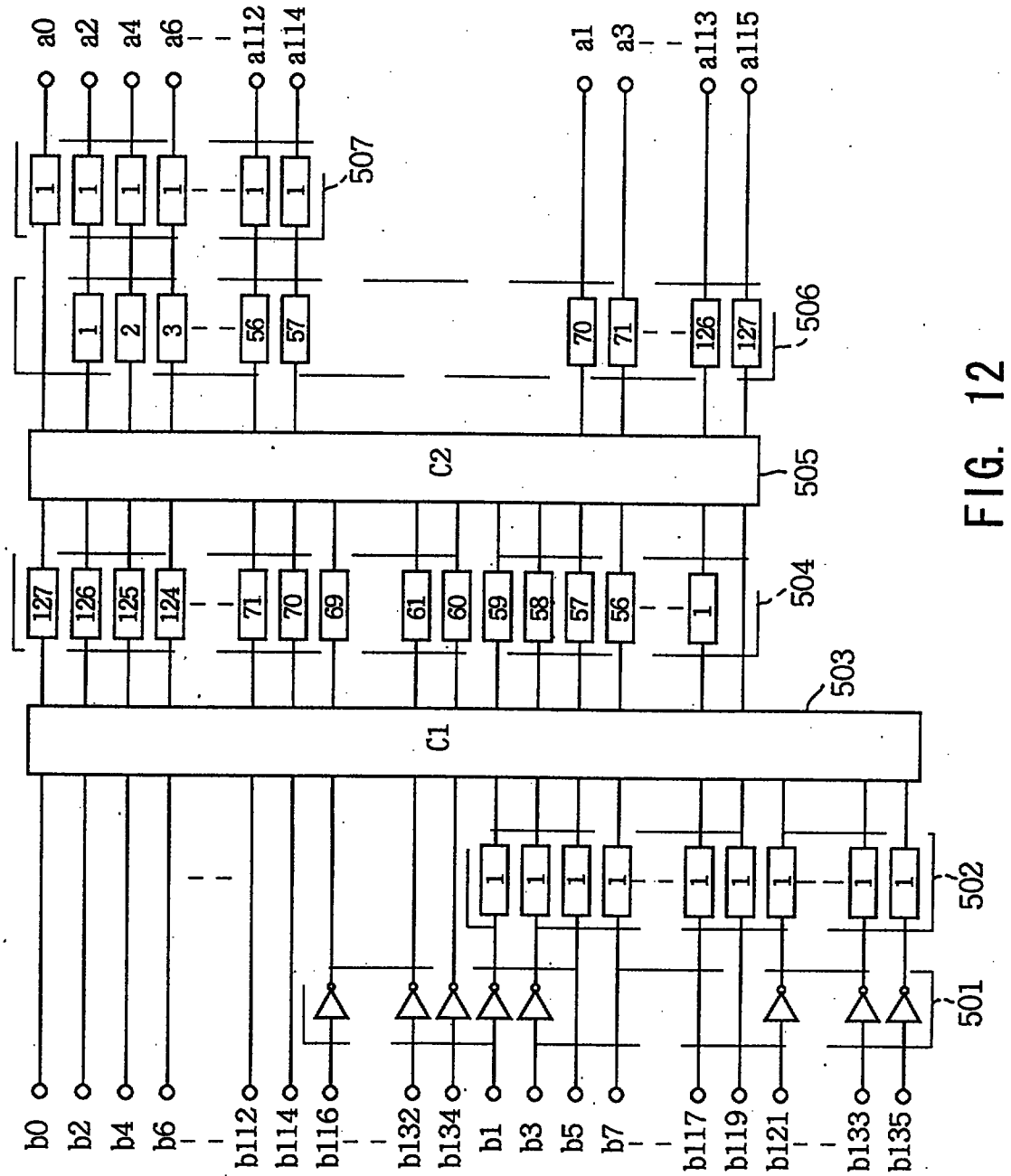

a0
a2
a4
a6
a112
a114
a1
a3
a113
a115
507
506
505
504
503
502
501
C2
C1
b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135

FIG. 12

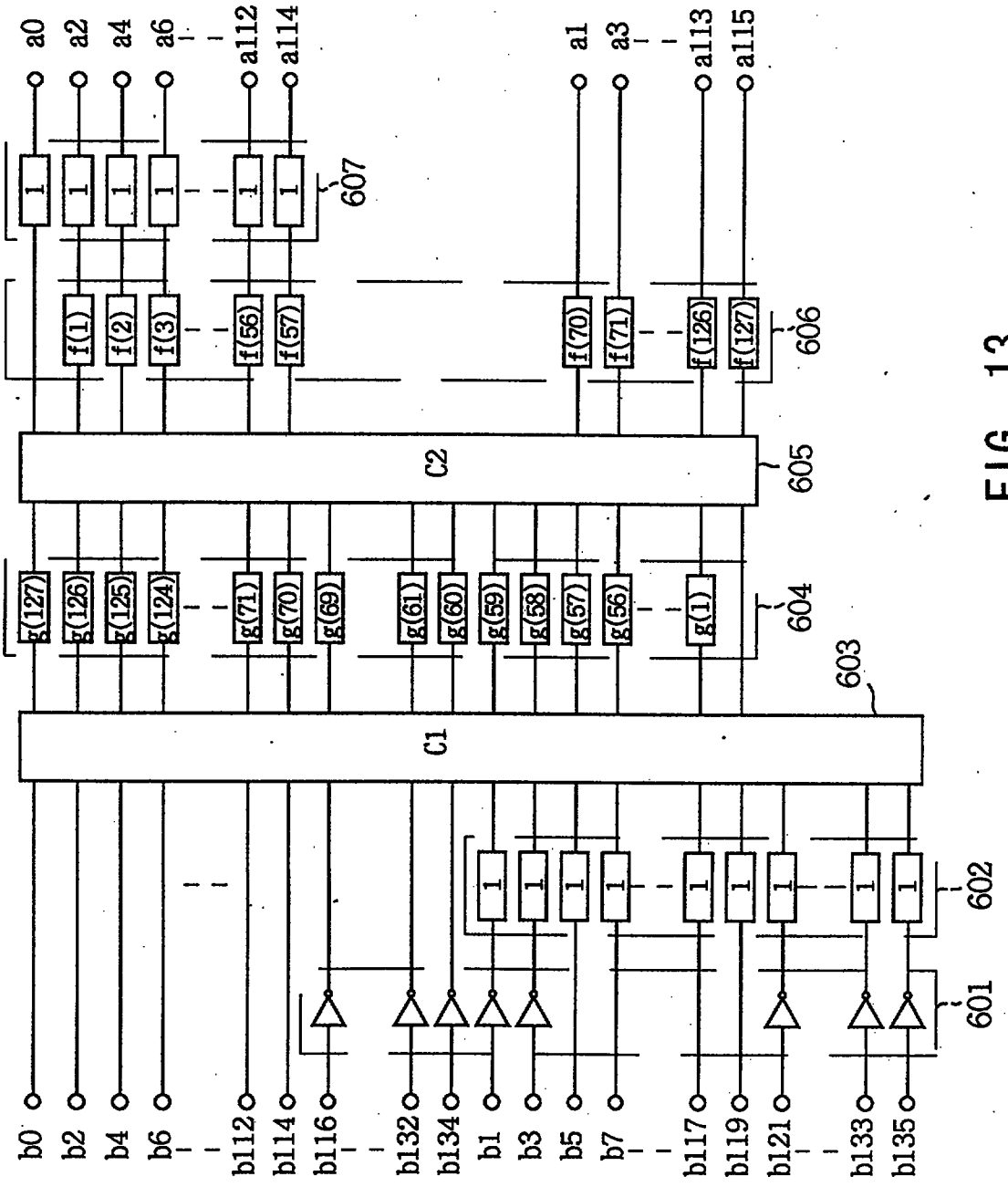

a0
a2
a4
a6
a112
a114
a1
a3
a113
a115
607
f(1)
f(2)
f(3)
f(56)
f(57)
f(70)
f(71)
f(126)
f(127)
606
C2
605
g(127)
g(126)
g(125)
g(124)
g(71)
g(70)
g(69)
g(61)
g(60)
g(59)
g(58)
g(57)
g(56)
g(1)
604
603
C1
602
601
b0
b2
b4
b6
b112
b114
b116
b132
b134
b1
b3
b5
b7
b117
b119
b121
b133
b135

FIG. 13

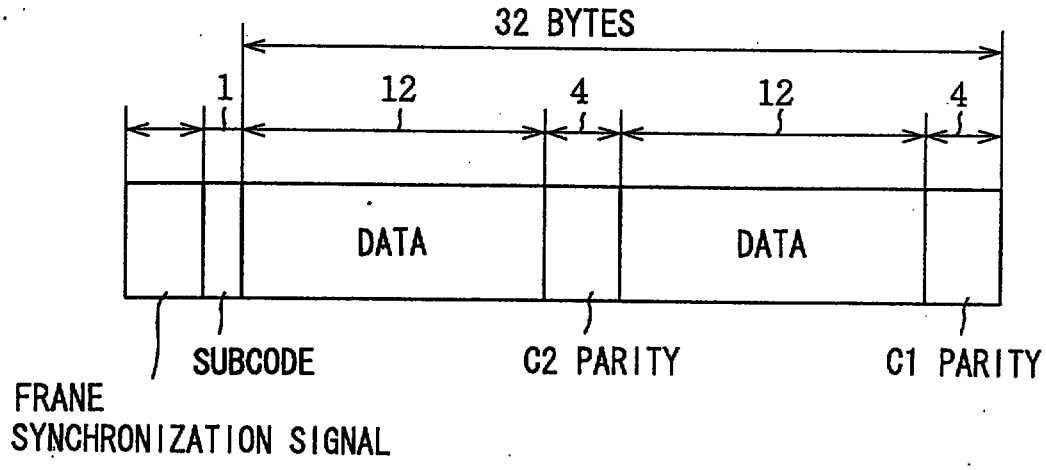

32 BYTES
1
12
4
12
4
DATA
DATA
SUBCODE
C2 PARITY
C1 PARITY
FRANE
SYNCHRONIZATION SIGNAL

FIG. 14

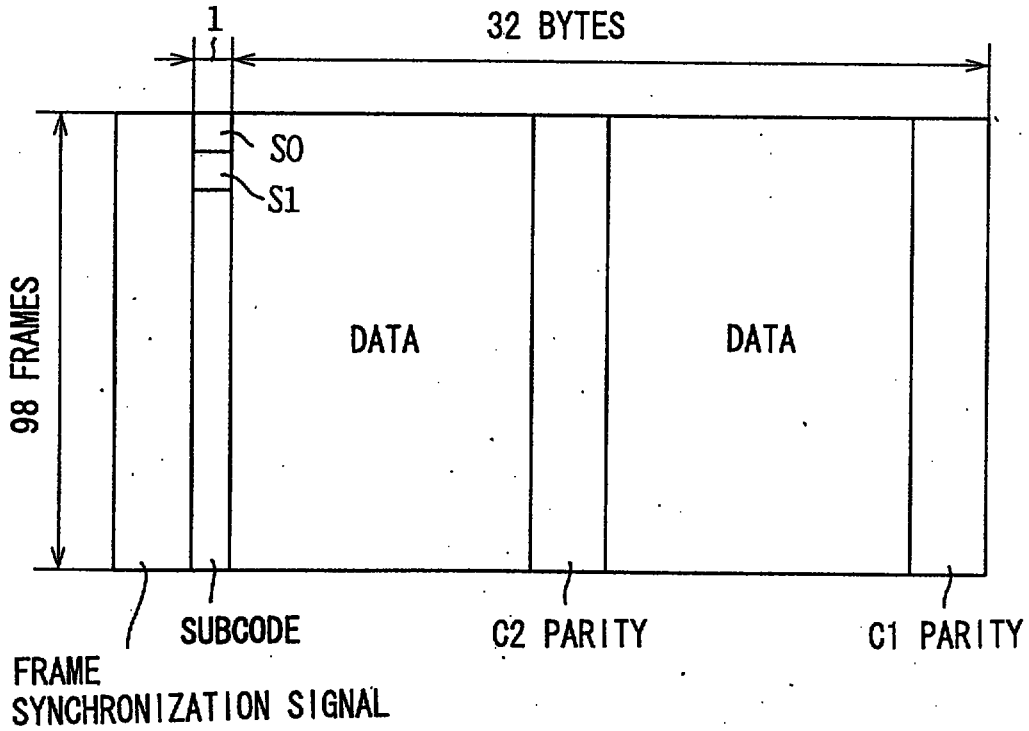

1
32 BYTES
S0
S1
98 FRAMES
DATA
DATA
SUBCODE
C2 PARITY
C1 PARITY
FRAME
SYNCHRONIZATION SIGNAL

FIG. 15

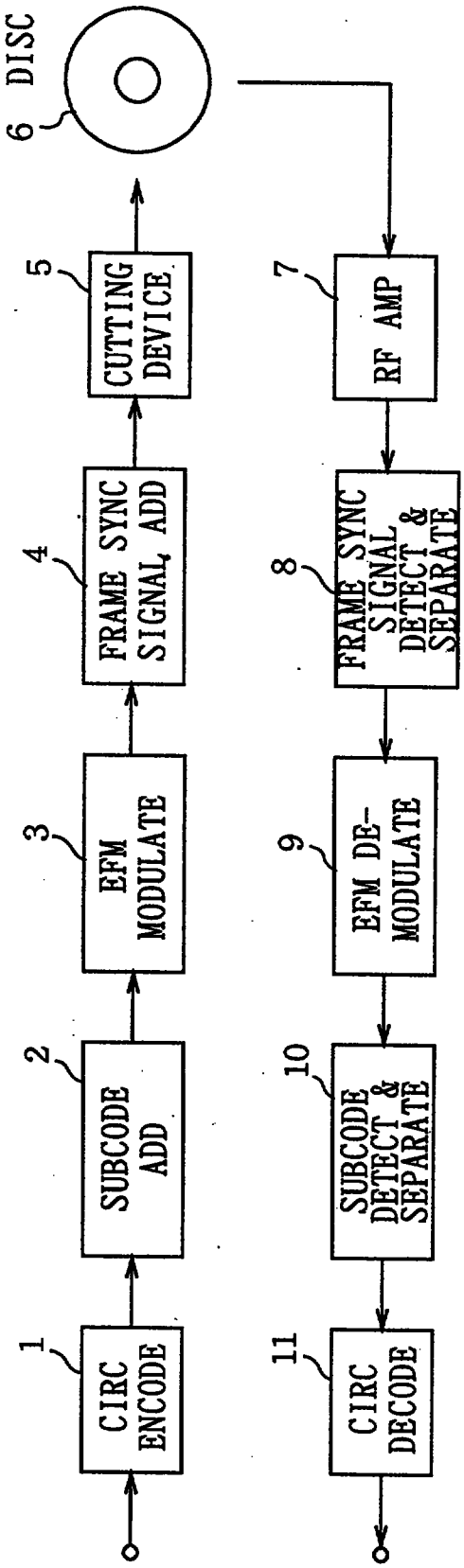

1
CIRC ENCODE
2
SUBCODE ADD
3
EFM MODULATE
4
FRAME SYNC SIGNAL ADD
5
CUTTING DEVICE
6 DISC
7
RF AMP
8
FRAME SYNC SIGNAL DETECT & SEPARATE
9
EFM DE-MODULATE
10
SUBCODE DETECT & SEPARATE
11
CIRC DECODE

FIG. 16

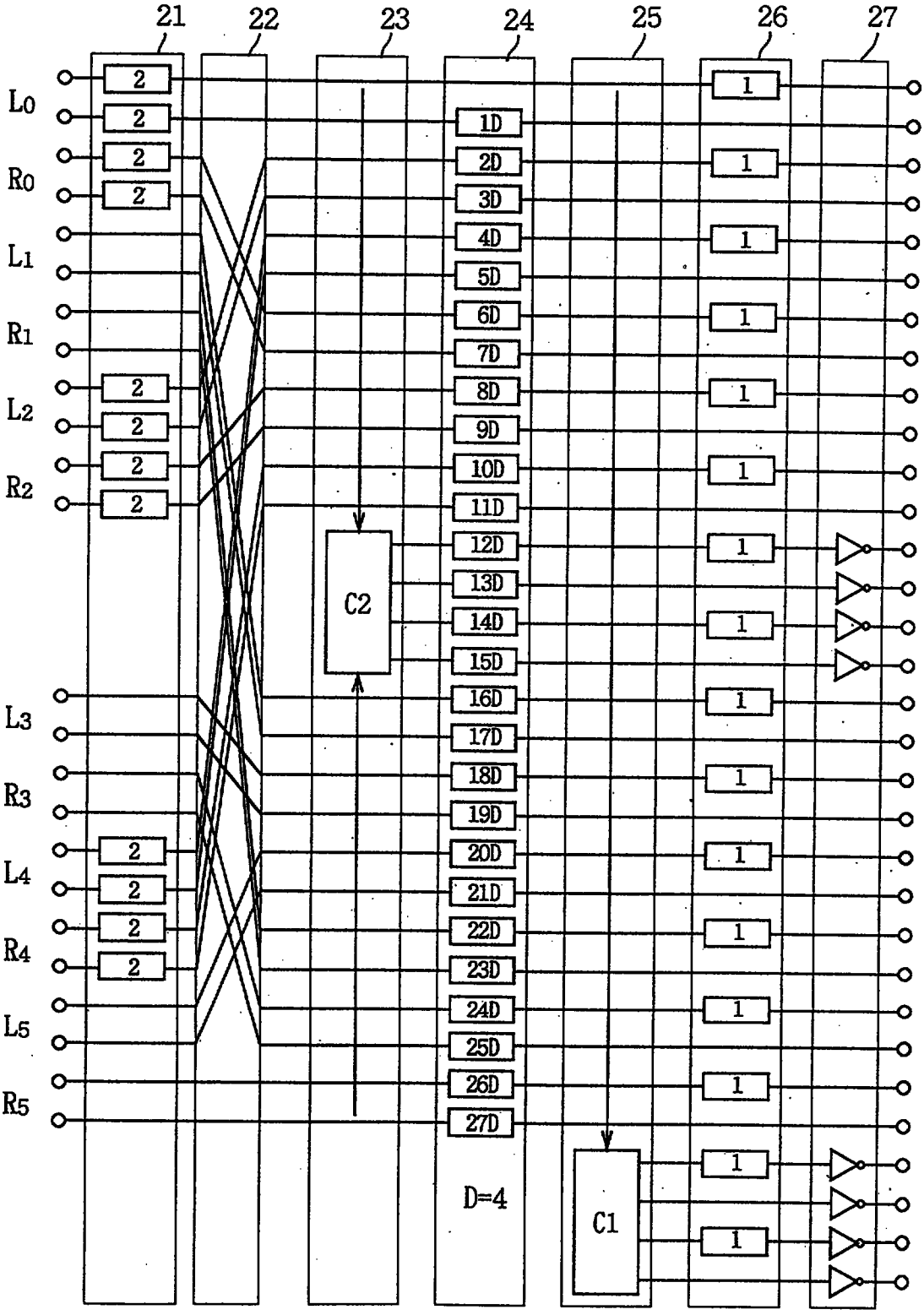

21
22
23
24
25
26
27
L0
R0
L1
R1
L2
R2
L3
R3
L4
R4
L5
R5
2
1D
2D
3D
4D
5D
6D
7D
8D
9D
10D
11D
12D
13D
14D
15D
16D
17D
18D
19D
20D
21D
22D
23D
24D
25D
26D
27D
1
C2
C1
D=4

FIG. 17

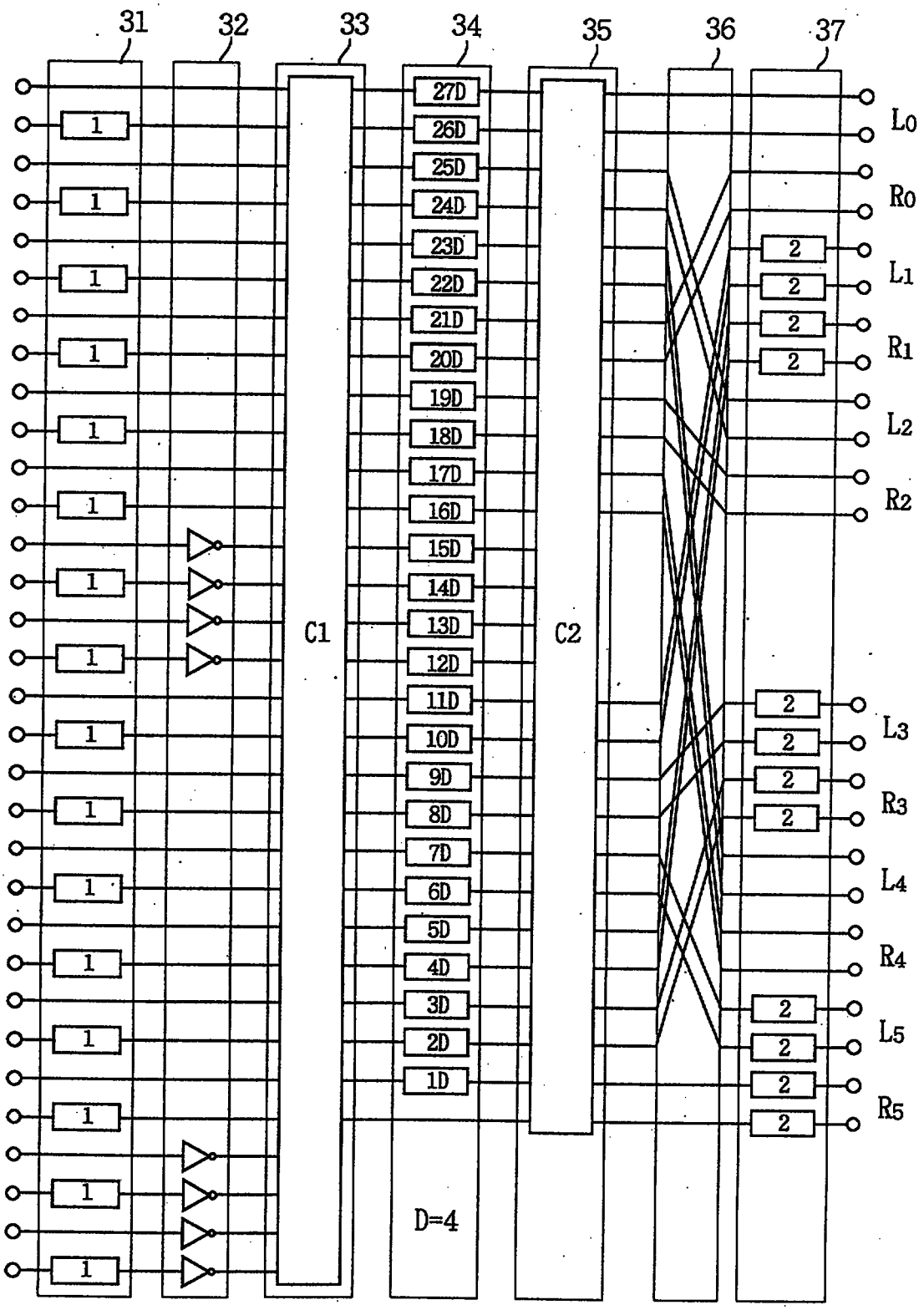

31
32
33
34
35
36
37
1
27D
26D
25D
24D
23D
22D
21D
20D
19D
18D
17D
16D
15D
14D
13D
12D
11D
10D
9D
8D
7D
6D
5D
4D
3D
2D
1D
C1
C2
D=4
2
L0
R0
L1
R1
L2
R2
L3
R3
L4
R4
L5
R5

FIG. 18

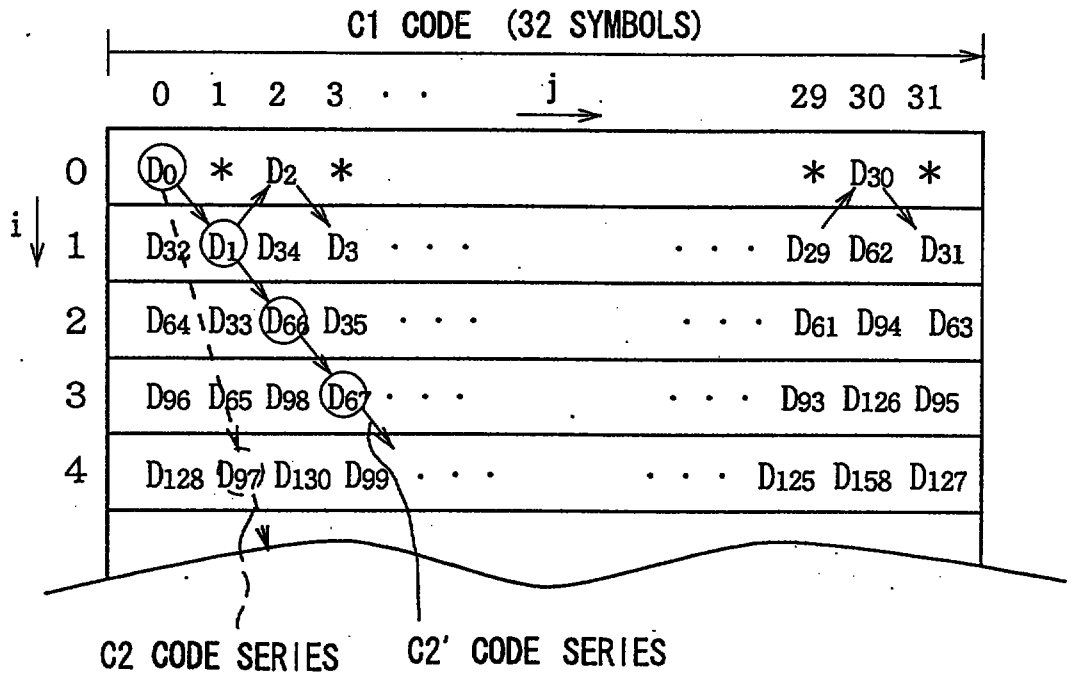

C1 CODE (32 SYMBOLS)
0 1 2 3 · · j 29 30 31
i
0
1
2
3
4
D0 * D2 * * D30 *
D32 D1 D34 D3 · · · · · · D29 D62 D31
D64 D33 D66 D35 · · · · · · D61 D94 D63
D96 D65 D98 D67 · · · · · · D93 D126 D95
D128 D97 D130 D99 · · · · · · D125 D158 D127
C2 CODE SERIES
C2' CODE SERIES

FIG. 19

DESCRIPTION OF REFERENCE NUMERALS

1... CIRC encoding circuit, 2... subcode adding circuit, 3, 104... EFM modulation circuit, 4... frame synchronization signal adding circuit, 5, 106... cutting device, 6, 107... disc, 7, 201... RF amplifier, 8... frame synchronization signal detecting and separating circuit, 9, 203... EFM demodulating circuit, 10... subcode detecting and separating circuit, 11... CIRC decoding circuit, 21... even number sample delay circuit, 22... scramble circuit, 23, 303, 403... C2 code encoding portion, 24, 302, 402, 504, 604... interleaver, 25, 305, 405... C1 code encoding portion, 26... odd number symbol delay circuit, 27, 32, 307, 407, 501, 601... inverter, 31... even number symbol delay circuit, 33, 503, 603... C1 code decoding portion, 34, 304, 404, 506, 606... deinterleaver, 35, 505, 605... C2 code decoding portion, 36... descramble circuit, 37... odd number sample delay circuit, 101, 204... memory, 102, 205... error correcting circuit, 103, 206... memory controller, 105... sync/format ID adding circuit, 202... sync/format ID detecting and separating circuit, 301, 306, 401, 406, 502, 507, 602, 607... delay portion.

(2)

VERIFICATION OF TRANSLATION

I, Shigemoto Tanabe, a member of Tanabe Patent Office, of 11-11-508, Jingumae 1-chome, Shibuya-ku, Tokyo, Japan,

declare as follows:

1. That I am well acquainted with both the English and Japanese languages, and

2. That the attached document is a true and correct translation made by me to the best of my knowledge and belief of:-

The specification accompanying the Application No. 6-056680 for a Patent made in Japan filed on 1 March 1994.

Transl of PD1

21 September, 1995 Shigemoto Tanabe

Shigemoto Tanabe

[Name of Document] Patent Application
[Reference Number] S94013602
[Filing Date] March 1, 1994
[Destination] Commissioner, Patent Office WATARU ASO
[International Patent Classification]
G11B 20/12
[Title of the Invention]
DIGITAL SIGNAL ENCODING METHOD AND APPARATUS, DIGITAL SIGNAL RECORDING MEDIUM, AND DIGITAL SIGNAL DECODING METHOD AND APPARATUS
[Number of Claims] 20
[Inventor]
[Address] c/o SONY CORPORATION
7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo
[Name] JUN YONEMITSU
[Inventor]
[Address] c/o SONY CORPORATION
7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo
[Name] RYUICHI IWAMURA
[Inventor]
[Address] c/o SONY CORPORATION
7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo
[Name] YASUSHI FUJINAMI
[Inventor]
[Address] c/o SONY CORPORATION
7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo
[Name] KATSUJI IGARASHI
[Patent Applicant]
[Identification Number] 000002185
[Name] SONY CORPORATION
[Representative] NORIO OHGA
[Agent]
[Identification Number] 100082740
[Patent Attorney]
[Name] SHIGEMOTO TANABE
[Indication of Charge]

[Payment Fee] 21,000

[Inventory of Filed]

[Name of Object] Specification 1

[Name of Object] Drawing 1

[Name of Object] Abstract 1

[Number of General Power of Attorney] 9116338

Amended

* C L M S *

REPLACEMENT SHEET
Date : 27 SEP 1996

CLAIMS

1. A digital signal encoding method for encoding a digital signal by adding an error correction code thereto, said method comprising the steps of:

adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal;

adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol; and

arraying said input digital signal to which said first and said second parity are added so that an array of said second code series symbols does not agree with the array of symbols on a recording medium.

2. The digital signal encoding method according to claim 1 wherein

a code length of said first and second code series, said first parity, said second parity and an interleave constraint length are respectively longer than the compact disc standard.

3. The digital signal encoding method according to claim 1 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

REPLACEMENT SHEET
Date : 27 SEP 1996

and

means for arraying said input digital signal to which said first and second parities are added so that an array of symbols in said second code series does not agree with an array of symbols on a recording medium.

8. The digital signal encoding apparatus according to claim 7 wherein

a code length of said first and second code series, said first parity, said second parity and an interleave constraint length are respectively longer than the compact disc standard.

9. The digital signal encoding apparatus according to claim 7 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

10. The digital signal encoding apparatus according to claim 7 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

11. The digital signal encoding apparatus according to claim 7 wherein

the apparatus has means for encoding identification information for identifying the format selected from a plurality of formats having the same code length and the correction parity and different interleave constraint length.

12. The digital signal encoding apparatus according to claim 7

* C L M S *

REPLACEMENT SHEET
Date 27 SEP 1996

wherein

the apparatus has means for adding an identification number to said each first code series respectively.

13. A digital signal recording medium in which encoding digital signal encoded by adding an error correction code is recorded, said encoding digital signal is generated by; adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal;

adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol; and

arraying said input digital signal to which said first and said second parity are added so that an array of said second code series symbols does not agree with the array of symbols on said digital signal recording medium.

14. The digital signal recording medium according to claim 13 wherein

the code length of said first code series, said first parity, said second parity and the interleave constraint length are respectively longer than the compact disc standard.

15. The digital signal recording medium according to claim 13 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

* C L M S *

REPLACEMENT SHEET
Date 27 SEP 1996

16. The digital signal recording medium according to claim 13 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

17. The digital signal recording medium according to claim 13 wherein

identification information is recorded for differentiating a format selected from a plurality of formats having the same code length and correction parity and a different interleave constraint length.

18. The digital signal recording medium according to claim 13 wherein

an identification number is added to each of said first code series.

19. A digital signal decoding method for decoding an encoding digital signal generated by adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal, adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol, and arraying the said input digital signal to which said first and second parities are added so that an array of symbols of said second code series does not agree with an array of symbols on the recording medium, said

* C L M S *

REPLACEMENT SHEET
Date : 27 SEP 1996

method comprising the steps of:

re-arraying an encoding digital signal supplied from said transmission channel;

subjecting said re-arrayed encoding digital signal to a first error correction in a direction of said first code series by using said first parity; and

subjecting said re-arrayed encoding digital signal to a second error correction in a direction of said second code series by using said second parity.

20. The digital signal decoding method according to claim 19 wherein

the code length of said first and second code series, said first parity, said second parity and the interleave constraint length is longer than the compact disc standard respectively.

21. The digital signal decoding method according to claim 19 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

22. The digital signal decoding method according to claim 19 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

23. The digital signal decoding method according to claim 19 wherein

identification information is detected for differentiating a

* C L M S *

REPLACEMENT SHEET
Date : 27 SEP 1996

format selected from a plurality of formats having the same code length and parity number and different interleave constraint length, and error correction process is controlled on the basis of said identification information.

24. The digital signal decoding method according to claim 19 wherein

an identification number added to said first code series respectively is detected and an error correction process is controlled on the basis of said identification number.

25. A digital signal decoding apparatus for decoding an encoding digital signal generated by adding to an input digital signal a first parity obtained by using at least a first code series of the input digital signal, adding to said input digital signal a second parity obtained by using a second code series which corresponds to a plurality of symbols taken out from said plurality of adjacent first code series by shifting the symbols by one symbol, and arraying said input digital signal to which said first and second parities are added so that an array of symbols of said second code series does not agree with an array of symbols on the recording medium, said apparatus comprising:

means for re-arraying an encoding digital signal supplied from said transmission channel;

means for subjecting said re-arrayed encoding digital signal to a first error correction in a direction of said first

* C L M S *

REPLACEMENT SHEET
Date 27 SEP 1996

code series by using said first parity; and

means for subjecting said re-arrayed encoding digital signal to a second error correction in a direction of said second code series by using said second parity.

26. The digital signal decoding apparatus according to claim 25 wherein

the code length of said first and second code series, said first parity, said second parity and the interleave constraint length are respectively longer than the compact disc standard.

27. The digital signal decoding apparatus according to claim 25 wherein

said second code series excludes a folding with respect to a predetermined number of said first code series.

28. The digital signal decoding apparatus according to claim 25 wherein

said second code series includes a folding with respect to a predetermined number of said first code series.

29. The digital signal decoding apparatus according to claim 25 comprising:

means for detecting identification information for differentiating a format selected from a plurality of formats having the same code length and the parity number and a different interleave constraint length; and

means for controlling an error correction process on the basis of said identification information.

* C L M S *

REPLACEMENT SHEET
Date 27 SEP 1996

30. The digital signal decoding apparatus according to claim 25 comprising:

means for detecting an identification number added respectively to said first code series; and

means for controlling an error correction process on the basis of said identification number.

31. The digital signal encoding method for encoding a digital signal by adding an error correction code thereto, wherein

C1 code is divided into plural, one of symbols at odd number or even number on a recording medium is delayed in comparison with the other remained symbol and set in order at the position of said divided C1 code so that the alignment of symbols on the recording medium is differed from the alignment of symbols of second code order.