

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明の実施形態は、半導体装置およびその製造方法に関する。

背景技術

[0002] 高集積化を図ることを目的として積層化されたメモリセルから構成される３次元メモリなどの半導体装置が開発されている。このような積層化の進行に伴って、あるウェハの金属パッドと別のウェハの金属パッドとを貼合プロセスにより接合することで３次元メモリが製造されることがある。このような半導体装置において、集積度のさらなる向上のために配線を細くしたり、配線長を短縮するために細い配線上にプラグを形成し、上層の配線に接続する場合がある。このような場合、プラグとその対応する配線との位置合わせが困難になることや、プラグとその他の配線とがショートしやすくなることなどが問題となる。同様の問題は、３次元メモリ以外の半導体装置の配線上にプラグを形成する場合にも起こり得る。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１０－１２９６８６号公報

特許文献２：特開平９－２８３６１７号公報

特許文献３：特開２０１８－４１９６３号公報

発明の概要

発明が解決しようとする課題

[0004] 配線上にプラグを好適に形成可能な半導体装置およびその製造方法を提供する。

課題を解決するための手段

[0005] 一の実施形態によれば、半導体装置は、第１絶縁膜と、前記第１絶縁膜内に設けられた複数の配線とを備える。前記装置はさらに、前記第１絶縁膜お

よび前記複数の配線上に設けられた第2絶縁膜と、前記複数の配線のうちの第1配線上に設けられ、前記第2絶縁膜内で前記第1配線に対して上方向に突出した形状を有する導電体を備える。前記装置はさらに、前記第1配線上に前記導電体を介して設けられたプラグを備える。前記装置はさらに、前記プラグの上方に設けられ、前記プラグと電氣的に接続された第1パッドを備える。前記装置はさらに、前記第1パッド上に設けられ、前記第1パッドと電氣的に接続された第2パッドを備える。

図面の簡単な説明

- [0006] [図1]第1実施形態の半導体装置の構造を示す断面図である。
- [図2]第1実施形態の柱状部の構造を示す断面図である。
- [図3]第1実施形態の半導体装置の製造方法を示す断面図である。
- [図4]第1実施形態のアレイチップの構造を示す断面図である。
- [図5]第1実施形態のアレイウェハの製造方法を示す断面図(1/4)である。
- [図6]第1実施形態のアレイウェハの製造方法を示す断面図(2/4)である。
- [図7]第1実施形態のアレイウェハの製造方法を示す断面図(3/4)である。
- [図8]第1実施形態のアレイウェハの製造方法を示す断面図(4/4)である。
- [図9]第2実施形態の半導体装置の構造を説明するための断面図と平面図である。
- [図10]第2実施形態の半導体装置の構造を説明するための断面図と平面図である。
- [図11]第2実施形態の半導体装置の構造を示す平面図である。
- [図12]第2実施形態の半導体装置の構造を示す断面図である。
- [図13]第2実施形態の半導体装置の構造を模式的に示す平面図である。
- [図14]第2実施形態の半導体装置の製造方法を示す平面図(1/2)である。
- [図15]第2実施形態の半導体装置の製造方法を示す平面図(2/2)である。

発明を実施するための形態

- [0007] 以下、本発明の実施形態を、図面を参照して説明する。図1から図15において、同一または類似の構成には同一の符号を付し、重複する説明は省略

する。

[0008] (第1実施形態)

図1は、第1実施形態の半導体装置の構造を示す断面図である。図1の半導体装置は、アレイチップ1と回路チップ2が貼り合わされた3次元メモリである。

[0009] アレイチップ1は、複数のメモリセルを含むメモリセルアレイ11と、メモリセルアレイ11上の絶縁層12（例えばシリコン窒化膜）と、絶縁層12上の絶縁層13（例えばシリコン酸化膜）と、メモリセルアレイ11下の層間絶縁膜14とを備えている。

[0010] 回路チップ2は、絶縁層15を介してアレイチップ1下に設けられている。回路チップ2は、層間絶縁膜16と、層間絶縁膜16下の基板17とを備えている。基板17は例えば、シリコン基板などの半導体基板である。図1は、基板17の表面に平行で互いに垂直なX方向およびY方向と、基板17の表面に垂直なZ方向とを示している。本明細書においては、+Z方向を上方向として取り扱い、-Z方向を下方向として取り扱うが、-Z方向は、重力方向と一致していても一致していなくてもよい。

[0011] アレイチップ1は、メモリセルアレイ11内の電極層として、複数のワード線WLと、ソース線SLと、選択ゲートSGとを備えている。図1は、メモリセルアレイ11の階段構造部21を示している。図1に示すように、各ワード線WLは、コンタクトプラグ22を介してワード配線層23と電氣的に接続され、ソース線SLは、コンタクトプラグ24を介してソース配線層25と電氣的に接続され、選択ゲートSGは、コンタクトプラグ26を介して選択ゲート配線層27と電氣的に接続されている。ワード線WL、ソース線SL、および選択ゲートSGを貫通する柱状部CLは、プラグ28を介してビット線BLと電氣的に接続されている。

[0012] 回路チップ2は、複数のトランジスタ31を備えている。各トランジスタ31は、基板17上にゲート絶縁膜を介して設けられたゲート電極32と、基板17内に設けられた不図示のソース拡散層およびドレイン拡散層とを備

えている。回路チップ2はさらに、これらのトランジスタ31のソース拡散層またはドレイン拡散層上に設けられた複数のプラグ33と、これらのプラグ33上に設けられ、複数の配線を含む配線層34と、配線層34上に設けられ、複数の配線を含む配線層35とを備えている。絶縁層15内に設けられた複数の金属パッド36は、配線層35上に設けられている。アレイチップ1は、これらの金属パッド36上に設けられ、複数の配線を含む配線層37を備えている。本実施形態の各ワード線WLや各ビット線BLは、それぞれ対応する配線層37と電氣的に接続されている。

[0013] アレイチップ1はさらに、不図示のビアプラグを介して配線層37と電氣的に接続されたパッド41と、パッド41上に設けられた外部接続電極42と、外部接続電極42上に設けられた外部接続パッド43とを備えている。外部接続パッド43は、はんだボール、金属バンプ、ボンディングワイヤなどを介して実装基板や他の装置に接続可能である。

[0014] 図2は、第1実施形態の柱状部CLの構造を示す断面図である。

[0015] 図2に示すように、メモリセルアレイ11は、層間絶縁膜14上に交互に積層された複数のワード線WLと複数の絶縁層51とを備えている。各ワード線WLは、例えばW（タングステン）層である。各絶縁層51は、例えばシリコン酸化膜である。

[0016] 柱状部CLは、ブロック絶縁膜52と、電荷蓄積層53と、トンネル絶縁膜54と、チャネル半導体層55と、コア絶縁膜56とを備えている。電荷蓄積層53は、例えばシリコン窒化膜であり、ワード線WLおよび絶縁層51の側面にブロック絶縁膜52を介して形成されている。チャネル半導体層55は、例えばシリコン層であり、電荷蓄積層53の側面にトンネル絶縁膜54を介して形成されている。ブロック絶縁膜52、トンネル絶縁膜54、およびコア絶縁膜56の例は、シリコン酸化膜や金属絶縁膜である。

[0017] 図3は、第1実施形態の半導体装置の製造方法を示す断面図である。

[0018] 図3は、複数個のアレイチップ1を含むアレイウェハW1と、複数個の回路チップ2を含む回路ウェハW2とを示している。図3はさらに、アレイウ

エハW1の下面に設けられた第1絶縁層61および複数の第1金属パッド62と、回路ウェハW2の上面に設けられた第2絶縁層71および複数の第2金属パッド72とを示している。各第1金属パッド62は、配線層37の下面に設けられ、各第2金属パッド72は、配線層35の上面に設けられている。また、アレイウェハW1は、絶縁層13上に基板18を備えている。

[0019] なお、図3では、層間絶縁膜14の下面に第1絶縁層61が形成されているが、第1絶縁層61は層間絶縁膜14に含まれ一体化していてもよい。同様に、図3では、層間絶縁膜16の上面に第2絶縁層71が形成されているが、第2絶縁層71は層間絶縁膜16に含まれ一体化していてもよい。

[0020] まず、アレイウェハW1と回路ウェハW2とを機械的圧力により貼り合わせる。これにより、第1絶縁層61と第2絶縁層71とが接着され、絶縁層15が形成される。次に、アレイウェハW1および回路ウェハW2を400℃でアニールする。これにより、第1金属パッド62と第2金属パッド72とが接合され、複数の金属パッド36が形成される。

[0021] その後、基板18をCMP (Chemical Mechanical Polishing) やウェットエッチングにより除去し、アレイウェハW1および回路ウェハW2を複数のチップに切断する。このようにして、図1の半導体装置が製造される。なお、外部接続電極42と外部接続パッド43は、例えば基板18の除去後にパッド41上に形成される。

[0022] なお、本実施形態ではアレイウェハW1と回路ウェハW2とを貼り合わせているが、代わりにアレイウェハW1同士を貼り合わせてもよい。図1～図3を参照して前述した内容や、図4～図15を参照して後述する内容は、アレイウェハW1同士の貼合にも適用可能である。アレイウェハW1はメモリウェハとも呼ばれ、回路ウェハW2はCMOSウェハとも呼ばれる。

[0023] 図4は、第1実施形態のアレイチップ1の構造を示す断面図である。ただし、図4の上方向と下方向は、図1の上方向と下方向とは逆になっている点に留意されたい。図4は、図1に示すアレイチップ1を上下反転させた状態を示している。これは、後述する図5～図15でも同様である。

- [0024] 図4に示すように、アレイチップ1は、第1絶縁膜の一例である第1層間絶縁膜101と、複数の金属配線102と、第2絶縁膜の一例であるストッパ絶縁膜103と、導電体の一例である金属バンプ104と、スペーサ絶縁膜105と、第2層間絶縁膜106と、ビアプラグ107と、金属配線108と、第3層間絶縁膜109とを備えている。図4はさらに、アレイチップ1内の第1絶縁層61および第1金属パッド62と、回路チップ2内の第2金属パッド72とを示している。
- [0025] 第1層間絶縁膜101は、例えばSiO₂膜（シリコン酸化膜）であり、第2層間絶縁膜106や第3層間絶縁膜109と共に上述の層間絶縁膜14を構成している。金属配線102は、例えばCu（銅）配線であり、第1層間絶縁膜101内に形成されている。本実施形態の金属配線102は、上述のビット線BLである。
- [0026] ストッパ絶縁膜103は、例えばSiN膜（シリコン窒化膜）であり、第1層間絶縁膜101および金属配線102上に形成されている。符号103aは、これらの金属配線102のうちの1本の金属配線102上に形成された開口部を示している。以下、この1本の金属配線102を「第1金属配線102」と呼ぶ。符号S1は、第1金属配線102の上面を示す。符号S2は、ストッパ絶縁膜103の上面を示す。
- [0027] 金属バンプ104は、例えばCu、CoWPB、CoWB、またはSnで形成されており（Coはコバルト、Bはボロン、Pはリン、Snはスズを表す）、ストッパ絶縁膜103の開口部103a内に形成されている。具体的には、金属バンプ104は、上述の第1金属配線102上に形成されており、第1金属配線102に対して上方向に突出した形状を有している。金属バンプ104の平面形状は例えば、円形や正方形やこれらに近い形状である。本実施形態の金属バンプ104は、第1金属配線102上にめっきにより形成される。符号E2は、金属バンプ104の上端（最上部）を示す。
- [0028] スペーサ絶縁膜105は、例えばプラズマSiN膜であり、ストッパ絶縁膜103の上面S2や、ストッパ絶縁膜103の開口部103a内でストッ

パ絶縁膜103と金属バンプ104との間に形成される。第2層間絶縁膜106は、例えばSiO₂膜であり、スペーサ絶縁膜105上に形成されている。

[0029] ビアプラグ107は、第2層間絶縁膜106内でストップパ絶縁膜103、金属バンプ104、およびスペーサ絶縁膜105上に形成されており、第1金属配線102上に金属バンプ104を介して形成されている。ビアプラグ107は、ストップパ絶縁膜103、金属バンプ104、およびスペーサ絶縁膜105の表面に形成されたバリアメタル層107aと、これらの表面にバリアメタル層107aを介して形成されたプラグ材層107bとを含んでいる。バリアメタル層107aは、例えばTi（チタン）またはTa（タンタル）を含有する導電層であり、プラグ材107bは、例えばW（タングステン）層である。ビアプラグ107の平面形状は例えば、金属バンプ104と同様に円形や正方形やこれらに近い形状であるが、ビアプラグ107の上面の面積の方が、金属バンプ104の下面の面積よりも広く設定されている。符号E1は、金属バンプ104とビアプラグ107との接触面の下端（最下部）を示す。

[0030] 金属配線108は、ビアプラグ107上に形成されている。第3層間絶縁膜109は、第2層間絶縁膜106上に金属配線108を覆うように形成されている。第1絶縁層61は、第3層間絶縁膜109上に形成されている。

[0031] 第1金属パッド62は、第1絶縁層61内で金属配線108上に形成され、ビアプラグ107の上方に位置し、金属配線108を介してビアプラグ107と電氣的に接続されている。本実施形態の第1金属パッド62の上面の面積は、図4では分かりやすさのためにビアプラグ107の上面の面積と同程度に描かれているが、実際はビアプラグ107の上面の面積の2倍以上（例えば10倍以上）に設定されている。

[0032] 第2金属パッド72は、上述の第2絶縁層71内で第1金属パッド62上に形成され、第1金属パッド62と電氣的に接続されている。本実施形態の第2金属パッド72の下面の面積は、第1金属パッド62の上面の面積とほ

ば同じである。

[0033] 以上のように、本実施形態のビアプラグ107は、第1金属配線102上に金属バンプ104を介して形成されている。そのため、ビアプラグ107とその下位配線との接触面が、第1金属配線102の上面S1よりも高く持ち上げられている。具体的には、金属バンプ104とビアプラグ107との接触面の下端E1が、第1金属配線102の上面S1よりも高い位置に設けられている。

[0034] これにより、第1金属配線102用のビアプラグ107と、第1金属配線102以外の金属配線102との間の距離を、上下方向に広くとることが可能となり、これらの間のショートや、ストッパ絶縁膜103の経時劣化を抑制することが可能となる。本実施形態によれば、金属配線102が細い場合や、金属配線102間の距離が狭い場合でも、この距離を上下方向に広くとることで、上記のショートや経時劣化を効果的に抑制することができる。また、本実施形態によれば、ビアプラグ107用のリソグラフィの位置合わせ精度が低くても上記のショートを抑制しやすくなるため、リソグラフィのコストを低減することが可能となる。

[0035] 金属バンプ104は、開口部103a内に収まってもよいが、開口部103aから上方向にはみ出ていることが望ましい。そのため、本実施形態では、金属バンプ104の上端E2が、ストッパ絶縁膜103の上面S2よりも高い位置に設けられ、金属バンプ104とビアプラグ107との接触面の下端E1が、金属バンプ104の上端E2よりも低い位置に設けられている。これにより、第1金属配線102用のビアプラグ107と、第1金属配線102以外の金属配線102とのショートマージンをより広く確保することが可能となる。

[0036] 本実施形態の金属配線102は、ビット線BLであり、上述の柱状部CLの付近などに配置されている。一般に、柱状部CLの付近では、ビット線BLが細く、ビット線BL間の距離も狭い。しかしながら、本実施形態によれば、細い金属配線102上にもビアプラグ107を形成できるため、柱状部

CLの付近の金属配線102上にビアプラグ107を形成することができ、その結果、金属配線102の配線長を短縮することができる。理由は、柱状部CLから遠くの地点まで金属配線102を延ばして、その地点上にビアプラグ107を形成する必要がなくなるからである。これにより、半導体装置の集積度をさらに向上させることや、金属配線102間の静電容量を低減することが可能となる。本実施形態ではさらに、第1金属パッド62をビアプラグ107の真上（+Z方向）に配置することで、第1金属パッド62とビアプラグ107との間の配線長を短縮することや、半導体装置の集積度をさらに向上させることが可能となる。

[0037] 図5から図8は、第1実施形態のアレイウェハW1の製造方法を示す断面図である。

[0038] まず、第1層間絶縁膜101内に複数の金属配線102を形成し、第1層間絶縁膜101とこれらの金属配線102上にストッパ絶縁膜103を形成する（図5(a)）。ストッパ絶縁膜103の厚さは、例えば20～30nmである。

[0039] 次に、ストッパ絶縁膜103上にレジスト膜111を形成し、リソグラフィおよびエッチングによりレジスト膜111に開口部111aを形成する（図5(b)）。次に、エッチングにより開口部111a内のストッパ絶縁膜103を除去して、ストッパ絶縁膜103に開口部103aを形成する（図5(c)）。その後、レジスト膜111は除去される。

[0040] 次に、ストッパ絶縁膜103の開口部103a内に露出した金属配線102上に、金属バンプ104を形成する（図6(a)）。本実施形態の金属バンプ104は、金属配線102上に無電解めっきにより形成される。その結果、金属バンプ104は、金属配線102に対して上方向に突出した形状を有するよう成長する。図6(a)では、金属バンプ104の上端E2が、ストッパ絶縁膜103の上面S2よりも高い位置に位置している。図6(a)に示す2つの金属バンプ104下の2本の金属配線102は、第1金属配線102に相当する。

- [0041] 本実施形態の金属バンプ104はめっきにより形成されるため、開口部103aが金属配線102と少しずれて形成された場合でも、金属配線102上に金属バンプ104を自己整合的に形成することができる。各金属バンプ104は、金属配線102の上面のみに選択的に形成されてもよいし、開口部103a内の第1層間絶縁膜101および金属配線102の上面全体に形成されてもよい。
- [0042] 次に、不図示の基板18の全面に、スペーサ絶縁膜105を形成する(図6(b))。その結果、スペーサ絶縁膜105が、第1層間絶縁膜101、ストッパ絶縁膜103、金属バンプ104の表面や、開口部103a内でストッパ絶縁膜103と金属バンプ104との隙間に形成される。スペーサ絶縁膜105の形成前にこの隙間が存在しない場合や他の層で埋まっている場合には、スペーサ絶縁膜105を形成しなくてもよい。スペーサ絶縁膜105の厚さは、例えば2~3nmである。
- [0043] 次に、スペーサ絶縁膜105上に第2層間絶縁膜106を形成する(図6(c))。次に、第2層間絶縁膜106上に下地層112とレジスト膜113とを順に形成する(図7(a))。下地層112の例は、有機膜や、反射防止膜(例えばSiO₂膜)や、これらを含む積層膜である。
- [0044] 次に、リソグラフィおよびエッチングによりレジスト膜113に開口部113aを形成する(図7(b))。次に、エッチングにより開口部113a内の下地層112を除去して、下地層112に開口部112aを形成する(図7(b))。
- [0045] 次に、エッチングにより開口部112a内の第2層間絶縁膜106を除去して、第2層間絶縁膜106に開口部106aを形成する(図8(a))。さらには、開口部106a内のスペーサ絶縁膜105を除去する(図8(a))。その結果、開口部106a内に金属バンプ104が露出する。
- [0046] 次に、開口部106a内にバリアメタル層107aとプラグ材層107bとを順に形成する(図8(b))。その結果、金属配線102上に金属バンプ104を介してビアプラグ107が形成される。その後、下地層112が除

去され、レジスト膜 113 が残存していればレジスト膜 113 も除去される。

[0047] 図 8(b)は、右側のビアプラグ 107 が、位置ずれを起こして形成された様子を示している。このような位置ずれが起こっても、上述のようにビアプラグ 107 と金属配線 102 との間の距離が遠いため、これらの間のショートや、ストッパ絶縁膜 103 の経時劣化を抑制することができる。よって、図 7(b)の工程でのリソグラフィの位置合わせ精度が低くてもよい、リソグラフィのコストを低減することができる。例えば、図 7(b)の工程で ArF リソグラフィや KrF リソグラフィを採用してもよい。

[0048] その後、金属配線 108、第 3 層間絶縁膜 109、第 1 絶縁層 61、第 1 金属パッド 62 などが形成されて、アレイチップ 1 が製造される。さらには、図 3 に示す方法が実施されて、本実施形態の半導体装置が製造される。

[0049] 以上のように、本実施形態では、金属配線 102 上に金属バンプ 104 を介してビアプラグ 107 を形成する。よって、本実施形態によれば、ビアプラグ 107 と金属配線 102 とのショートやストッパ絶縁膜 103 の経時劣化を抑制できるなど、金属配線 102 上にビアプラグ 104 を好適に形成することが可能となる。

[0050] なお、本実施形態のビアプラグ 107 は、種々の方法で形成可能であり、例えば、シングルダマシンにより形成してもデュアルダマシンにより形成してもよい。また、ビアプラグ 107 は、金属バンプ 104 と同様にめっきにより形成してもよい。また、本実施形態では、図 6(b)の工程と図 6(c)の工程との間に、スペーサ絶縁膜 105 や金属バンプ 104 の表面を CMP (Chemical Mechanical Polishing) により研磨してもよい。この場合、ストッパ絶縁膜 103 の上面が露出されるまで CMP を行うことが望ましい。

[0051] (第 2 実施形態)

図 9 は、第 2 実施形態の半導体装置の構造を説明するための断面図と平面図である。

[0052] 図 9(a)と図 9(b)はそれぞれ、図 5(c)の工程を示す断面図と平面図で

ある。図9(c)は、図6(a)と同様に、第1金属配線102上に形成された金属バンプ104を示す断面図である。

[0053] 図10は、第2実施形態の半導体装置の構造を説明するための断面図と平面図である。

[0054] 図10(a)から図10(c)はそれぞれ、図9(a)から図9(c)に対応している。ただし、図9(c)の金属バンプ104は、太い第1金属配線102上に形成され、図10(c)の金属バンプ104は、細い第1金属配線102上に形成されている。

[0055] 上述のように、第1実施形態の方法によれば、細い第1金属配線102上にも金属バンプ104を形成することが可能である。しかしながら、細い第1金属配線102上に金属バンプ104を形成すると、金属バンプ104の成長速度が遅くなるなどのデメリットが生じる。そこで、本実施形態では、第1実施形態のメリットを享受しつつ、太い第1金属配線102上に金属バンプ104を形成することが可能な方法を説明する。

[0056] 図11は、第2実施形態の半導体装置の構造を示す平面図である。

[0057] 本実施形態の半導体装置は、X方向に延びる複数の配線L1と、複数の柱状部CLと、複数のプラグ28とを備えている。各プラグ28は、コンタクトプラグ28aと、コンタクトプラグプラグ28a上に設けられたビアプラグ28bとを含んでいる。1つの柱状部CLと、この柱状部CL上の1つのコンタクトプラグ28aと、このコンタクトプラグプラグ28a上の1つのビアプラグ28bは、1つの柱状構造を構成しており、本実施形態の半導体装置は、このような形状を有する柱状構造を複数備えている。

[0058] 図11はさらに、図4と同様に、金属配線102a～102dを含む複数の金属配線102と、金属配線102c上に設けられた金属バンプ104と、金属バンプ104上に設けられたビアプラグ107とを示している。これらの金属配線102は、Y方向に延びており、ビアプラグ28b上に設けられている。

[0059] 本実施形態の各金属配線102は、第1幅(W)を有する第1部分P1お

よび第2部分P2と、第1部分P1と第2部分P2との間に設けられ、第1幅より太い第2幅(3W)を有する第3部分P3とを備えている。本実施形態では、この第3部分P3を金属バンプ104の配置用に使用する。図11は、金属配線102cの第3部分P3上に設けられた金属バンプ104を示している。本実施形態の第2幅は、第1幅の3倍に設定されているが、その他の値に設定されていてもよい。

[0060] 本実施形態では、各金属配線102の大部分の幅が第1幅であり、各金属配線102の一部の幅が第2幅である。しかしながら、金属バンプ104をこの第2幅の部分上に形成するため、金属バンプ104の成長速度は速くなる。このように、本実施形態によれば、細い金属配線102により集積度を高くしつつ、金属バンプ104の成長速度を速くすることができる。

[0061] 以下、金属配線102cを例として、各金属配線102の形状の詳細を説明する。

[0062] 金属配線102cにおいて、第1部分P1は、Y方向に延び、第3部分P3の右上の角で第3部分P3に接続されている。また、第2部分P2は、Y方向に延び、第3部分P3の左下の角で第3部分P3に接続されている。以下、右上の角を第1箇所と呼び、左下の角を第2箇所と呼ぶ。金属配線102cにおいて、第1箇所P1の位置と第2箇所P2の位置は、X方向に互いにずれており、具体的には、2WのX座標だけずれている。

[0063] 金属配線102dは、金属配線102cの+X方向において金属配線102cと隣接している。金属配線102dの第3部分P3の位置は、金属配線cの第3部分P3の位置に対し-Y方向にずれている。一方、金属配線102bは、金属配線102cの-X方向において金属配線102cと隣接している。金属配線102bの第3部分P3の位置は、金属配線cの第3部分P3の位置に対し+Y方向にずれている。±Y方向は第1方向の例であり、±X方向は第2方向の例である。

[0064] このような配置には、例えば、各金属配線102に第3部分P3を設けつつ、金属配線102が占める領域を狭くすることができるという利点がある

。なお、書き込み時などにメモリセルアレイ 11 内のある柱状部 CL を選択する場合には、1 本のビット線 BL および 1 本の選択ゲート SG を選択して行う必要があり、これらのビット線 BL および選択ゲート SG に電氣的に接続される柱状部 CL は 1 つに限定される必要がある。そのため、図 11 における第 3 部分 P3 の下には、柱状部 CL、コンタクトプラグ 28a、およびビアプラグ 28b を含む柱状構造だけでなく、柱状構造からコンタクトプラグ 28a および／またはビアプラグ 28b が省略された構造が設けられている。この構造内の柱状部 CL は、電氣的に活性しないダミー柱状部となる。或いは、図 11 における第 3 部分 P3 の下には、柱状構造から少なくとも柱状部 CL が省略された構造が設けられていてもよい。

[0065] 図 12 は、第 2 実施形態の半導体装置の構造を示す断面図である。

[0066] 図 12 は、図 4 と同様の断面を示している。ただし、金属バンプ 104 下の第 1 金属配線 102 の幅が 3W であることに留意されたい。これは、第 1 金属配線 102 の第 3 部分 P3 の断面を示している。

[0067] 図 13 は、第 2 実施形態の半導体装置の構造を模式的に示す平面図である。

[0068] 図 13 は、上述の選択ゲート SG を示している。これらの選択ゲート SG は、X 方向に延びており、Y 方向に互いに隣接している。図 13 では、各金属配線 102（ビット線 BL）の第 3 部分 P3 が、いずれかの選択ゲート SG 上に配置されている。

[0069] 図 14 および図 15 は、第 2 実施形態の半導体装置の製造方法を示す平面図である。以下、第 1 から第 3 部分 P1～P3 を備える金属配線 102 の形成方法を説明する。

[0070] まず、上述の第 1 層間絶縁膜 101 上に、Y 方向に延びる複数本の第 1 芯材ライン 121 を形成する（図 14(a)）。各第 1 芯材ライン 121 は、第 1 幅（W）を有する部分と、第 2 幅（3W）を有する部分とを備えている。これらの第 1 芯材ライン 121 は例えば、リソグラフィやスリミングを利用して形成される。

[0071] 次に、これらの第1芯材ライン121の側面に、Y方向に延びる複数本の第2芯材ライン122を形成する(図14(b))。各第2芯材ライン122は、第1芯材ライン121の第2幅の部分付近に屈曲部分を有する形状を有している。

[0072] 次に、第1芯材ライン121を除去する(図15(a))。次に、第2芯材ライン122間の隙間にダマシンにより複数の金属配線102を形成する(図15(b))。その結果、各金属配線102は、第1から第3部分P1~P3を備える形状に形成される。本実施形態では、第2芯材ライン122は第1層間絶縁膜101の一部として使用される。

[0073] 以上のように、本実施形態では、各金属配線102が、第1幅を有する部分と、第1幅よりも太い第2幅を有する部分とを備え、金属バンプ104が、第2幅を有する部分上に形成される。よって、本実施形態によれば、第1実施形態のメリットを享受しつつ、太い金属配線102上に金属バンプ104を形成することが可能となる。

[0074] 以上、いくつかの実施形態を説明したが、これらの実施形態は、例としてのみ提示したものであり、発明の範囲を限定することを意図したものではない。本明細書で説明した新規な装置および方法は、その他の様々な形態で実施することができる。また、本明細書で説明した装置および方法の形態に対し、発明の要旨を逸脱しない範囲内で、種々の省略、置換、変更を行うことができる。添付の特許請求の範囲およびこれに均等な範囲は、発明の範囲や要旨に含まれるこのような形態や変形例を含むように意図されている。

符号の説明

- [0075] 1 : アレイチップ、2 : 回路チップ、
11 : メモリセルアレイ、12 : 絶縁層、13 : 絶縁層、14 : 層間絶縁膜、
15 : 絶縁層、16 : 層間絶縁膜、17 : 基板、18 : 基板、
21 : 階段構造部、22 : コンタクトプラグ、23 : ワード配線層、
24 : コンタクトプラグ、25 : ソース配線層、

26 : コンタクトプラグ、27 : 選択ゲート配線層、28 : プラグ、
28a : コンタクトプラグ、28b : ビアプラグ、
31 : トランジスタ、32 : ゲート電極、33 : プラグ、
34 : 配線層、35 : 配線層、36 : 金属パッド、37 : 配線層、
41 : パッド、42 : 外部接続電極、43 : 外部接続パッド、
51 : 絶縁層、52 : ブロック絶縁膜、53 : 電荷蓄積層、
54 : トンネル絶縁膜、55 : チャンネル半導体層、56 : コア絶縁膜、
61 : 第1絶縁層、62 : 第1金属パッド、
71 : 第2絶縁層、72 : 第2金属パッド、
101 : 第1層間絶縁膜、102 : 金属配線、102a : 金属配線、
102b : 金属配線、102c : 金属配線、102d : 金属配線、
103 : ストップ絶縁膜、103a : 開口部、104 : 金属バンプ、
105 : スペース絶縁膜、106 : 第2層間絶縁膜、106a : 開口部、
107 : ビアプラグ、107a : バリアメタル層、107b : プラグ材層
、
108 : 金属配線、109 : 第3層間絶縁膜、
111 : レジスト膜、111a : 開口部、112 : 下地層、
112a : 開口部、113 : レジスト膜、113a : 開口部、
121 : 第1芯材ライン、122 : 第2芯材ライン

請求の範囲

- [請求項1] 第1絶縁膜と、
前記第1絶縁膜内に設けられた複数の配線と、
前記第1絶縁膜および前記複数の配線上に設けられた第2絶縁膜と、
、
前記複数の配線のうちの第1配線上に設けられ、前記第2絶縁膜内で前記第1配線に対して上方向に突出した形状を有する導電体と、
前記第1配線上に前記導電体を介して設けられたプラグと、
前記プラグの上方に設けられ、前記プラグと電氣的に接続された第1パッドと、
前記第1パッド上に設けられ、前記第1パッドと電氣的に接続された第2パッドと、
を備える半導体装置。
- [請求項2] 前記導電体と前記プラグとの接触面の下端は、前記第1配線の上面よりも高い位置に設けられている、請求項1に記載の半導体装置。
- [請求項3] 前記導電体と前記プラグとの接触面の下端は、前記導電体の上端よりも低い位置に設けられている、請求項1または2に記載の半導体装置。
- [請求項4] 前記プラグの上面の面積は、前記導電体の下面の面積よりも広い、請求項3に記載の半導体装置。
- [請求項5] 前記複数の配線は、第1幅を有する部分と、前記第1幅よりも太い第2幅を有する部分とを備え、
前記導電体は、前記第2幅を有する部分上に設けられている、請求項3に記載の半導体装置。
- [請求項6] 前記複数の配線の各々は、第1幅を有する第1および第2部分と、前記第1部分と前記第2部分との間に設けられ、前記第1幅よりも太い第2幅を有する第3部分とを備え、
前記導電体は、前記第1配線の前記第3部分上に設けられている、

請求項 3 に記載の半導体装置。

[請求項7] 前記第 1 部分は、第 1 方向に延び、前記第 3 部分に第 1 箇所で接続されており、

前記第 2 部分は、前記第 1 方向に延び、前記第 3 部分に第 2 箇所
で接続されており、

前記第 1 箇所の位置と前記第 2 箇所の位置は、前記第 1 方向に垂直な第 2 方向に互いにずれている、請求項 6 に記載の半導体装置。

[請求項8] 前記複数の配線は、前記第 1 配線に隣接する第 2 配線を含み、
前記第 2 配線の前記第 3 部分の位置は、前記第 1 配線の前記第 3 部分の位置に対し前記第 1 方向にずれている、請求項 7 に記載の半導体装置。

[請求項9] 第 1 絶縁膜内に複数の配線を形成し、
前記第 1 絶縁膜および前記複数の配線上に第 2 絶縁膜を形成し、
前記第 2 絶縁膜に開口部を形成し、
前記第 2 絶縁膜の前記開口部内で前記複数の配線のうちの第 1 配線
上に、前記第 1 配線に対して上方向に突出した形状を有する導電体を
形成し、
前記第 1 配線上に前記導電体を介してプラグを形成し、
前記プラグの上方に、前記プラグと電氣的に接続された第 1 パッド
を形成し、
前記第 1 パッドを含む第 1 ウェハに第 2 パッドを含む第 2 ウェハを
貼り合わせて、前記第 1 パッドに前記第 2 パッドを接合する、
ことを含む半導体装置の製造方法。

[請求項10] 前記導電体は、前記第 1 配線上にめっきにより形成される、請求項 9 に記載の半導体装置の製造方法。

[請求項11] 前記複数の配線は、第 1 幅を有する部分と、前記第 1 幅よりも太い第 2 幅を有する部分とを備え、
前記導電体は、前記第 2 幅を有する部分上に形成される、請求項 9

または 10 に記載の半導体装置の製造方法。

- [請求項12] 前記複数の配線の各々は、第 1 幅を有する第 1 および第 2 部分と、
前記第 1 部分と前記第 2 部分との間に設けられ、前記第 1 幅よりも太
い第 2 幅を有する第 3 部分とを備え、
前記導電体は、前記第 1 配線の前記第 3 部分上に形成される、請求
項 9 または 10 に記載の半導体装置の製造方法。