

明 細 書

発明の名称：メモリデバイス

技術分野

[0001] 実施形態は、メモリデバイスに関する。

背景技術

[0002] データを不揮発に記憶することが可能なメモリデバイスとして、NORフラッシュメモリが知られている。NORフラッシュメモリのようなメモリデバイスにおいては、高集積化、大容量化のために、3次元のメモリ構造が検討されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2020/0219572号明細書

発明の概要

発明が解決しようとする課題

[0004] メモリの集積度を向上させる。

課題を解決するための手段

[0005] 実施形態のメモリデバイスは、第1方向に互いに離れてこの順に並ぶ第1半導体層、第1導電体層、第2半導体層、及び第2導電体層と、上記第1方向に延び、上記第1半導体層及び上記第2半導体層と接し、上記第1導電体層及び上記第2導電体層と交差する第1半導体膜と、上記第1導電体層と上記第1半導体膜との間に設けられた第1メモリ膜と、上記第2導電体層と上記第1半導体膜との間に設けられた第2メモリ膜と、を備える。

図面の簡単な説明

[0006] [図1]実施形態に係るメモリデバイスを含むメモリシステムの構成の一例を示すブロック図。

[図2]実施形態に係るメモリデバイスが備えるメモリセルアレイの回路構成の

一例を示す回路図。

[図3]実施形態に係るメモリセルアレイの平面レイアウトの一例を示す平面図

。

[図4]実施形態に係るメモリセルアレイのメモリ領域における平面レイアウトの一例を示す平面図。

[図5]実施形態に係るメモリセルアレイの断面構造の一例を示す、図4のV－V線に沿った断面図。

[図6]実施形態に係るメモリセルアレイが備えるメモリセルトランジスタの断面構造の一例を示す、図5のVⅠ－VⅠ線に沿った断面図。

[図7]実施形態に係るメモリセルアレイの引出領域における平面レイアウトの一例を示す平面図。

[図8]実施形態に係るメモリセルアレイの断面構造の一例を示す、図7のVⅠⅠ－VⅠⅠ線に沿った断面図。

[図9]実施形態に係るメモリデバイスにおける書込み動作で各種配線に印加される電圧の一例を示す回路図。

[図10]実施形態に係るメモリデバイスにおける読出し動作で各種配線に印加される電圧の一例を示す回路図。

[図11]実施形態に係るメモリデバイスにおける消去動作で各種配線に印加される電圧の第1例を示す回路図。

[図12]実施形態に係るメモリデバイスにおける消去動作で各種配線に印加される電圧の第2例を示す回路図。

[図13]実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す断面図。

[図14]実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す断面図。

[図15]実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す断面図。

[図16]実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す

断面図。

[図17]実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す断面図。

[図18]実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す断面図。

[図19]実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す断面図。

[図20]変形例に係るメモリセルアレイの断面構造の一例を示す断面図。

発明を実施するための形態

[0007] 以下に、実施形態について図面を参照して説明する。図面の寸法及び比率は、必ずしも現実のものと同じとは限らない。

[0008] なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付す。同様の構成を有する要素同士を特に区別する場合、同一符号の末尾に、互いに異なる文字又は数字を付加する場合がある。

[0009] [実施形態]

1. 構成

1. 1 メモリシステム

実施形態に係るメモリシステムの構成について説明する。

[0010] 図1は、実施形態に係るメモリデバイスを含むメモリシステムの構成の一例を示すブロック図である。メモリシステム1は、記憶装置である。メモリシステム1は、データの書込み動作、及び読出し動作を実行する。メモリシステム1は、メモリコントローラ2及びメモリデバイス3を含む。

[0011] メモリコントローラ2は、例えば、SoC (system-on-a-chip) のような集積回路で構成される。メモリコントローラ2は、外部の図示せぬホスト機器からの要求に基づいて、メモリデバイス3を制御する。具体的には、例えば、書込み動作に際して、メモリコントローラ2は、書き込むデータをメモリデバイス3に送信する。読出し動作に際して、メモリコントローラ2は、メモリデバイス3から読み出されたデータを受信する。また、メモリコント

ローラ 2 は、メモリデバイス 3 を制御する。具体的には、例えば、メモリコントローラ 2 は、メモリデバイス 3 内の或る記憶領域に書き込まれたデータを、別の記憶領域に書き換えた後、消去する。

[0012] メモリデバイス 3 は、不揮発性メモリである。メモリデバイス 3 は、例えば、NOR フラッシュメモリである。メモリデバイス 3 は、不揮発にデータを記憶する。

[0013] 1. 2 メモリデバイス

引き続き、図 1 に示すブロック図を参照して、実施形態に係るメモリデバイスの内部構成について説明する。メモリデバイス 3 は、入出力回路 11、レジスタ 12、シーケンサ 13、電圧生成回路 14、ドライバセット 15、メモリセルアレイ 16、ロウデコーダ 17、及びセンスアンプモジュール 18 を備える。

[0014] 入出力回路 11 は、メモリコントローラ 2 との間で、各種信号を送受信する。入出力回路 11 が送受信する信号は、例えば、コマンド CMD、アドレス ADD、及びデータ DAT を含む。コマンド CMD は、メモリコントローラ 2 がメモリデバイス 3 に指示する動作を特定する。アドレス ADD は、メモリデバイス 3 における記憶領域を特定する。データ DAT は、メモリデバイス 3 に書き込まれるデータ（書込みデータ）、又はメモリデバイス 3 から読み出されたデータ（読出しデータ）を含む。

[0015] 入出力回路 11 は、アドレス ADD 及びコマンド CMD、並びに書込みデータ DAT を、それぞれレジスタ 12 及びセンスアンプモジュール 18 に送信する。入出力回路 11 は、読出しデータ DAT を、センスアンプモジュール 18 から受信する。

[0016] レジスタ 12 は、アドレス ADD、及びコマンド CMD を記憶する。

[0017] シーケンサ 13 は、レジスタ 12 に記憶されたコマンド CMD に基づき、メモリデバイス 3 全体の動作を制御する。

[0018] 電圧生成回路 14 は、書込み動作、読出し動作、消去動作等で使用される電圧を生成する。

[0019] ドライバセット 15 は、電圧生成回路 14 によって生成された電圧を、メモリセルアレイ 16、ロウデコーダ 17、及びセンスアンプモジュール 18 に供給する。

[0020] メモリセルアレイ 16 は、複数のブロック B L K、並びに複数のビット線、複数のソース線、及び複数のワード線を含む。図 1 の例では、メモリセルアレイ 16 が 4 つのブロック B L K 0、B L K 1、B L K 2、及び B L K 3 を含む場合が示される。ブロック B L K は、例えば、メモリセルアレイ 16 内の所定のデータ容量に対応する記憶領域である。各ブロック B L K は、複数のメモリセルトランジスタを含む。各メモリセルトランジスタは、ビット線、ソース線、及びワード線を選択することによって特定される。メモリセルアレイ 16 の詳細な構成については後述する。

[0021] ロウデコーダ 17 は、レジスタ 12 内のアドレス A D D に基づいて、ブロック B L K 0 ~ B L K 3 のいずれかを選択する。ロウデコーダ 17 は、レジスタ 12 内のアドレス A D D に基づいて、選択されたブロック B L K におけるワード線を更に選択する。

[0022] センスアンプモジュール 18 は、レジスタ 12 内のアドレス A D D に基づいて、ビット線及びソース線の組を選択する。センスアンプモジュール 18 は、書込み動作において、選択されたビット線を介して、書込みデータ D A T をメモリセルアレイ 16 に転送する。センスアンプモジュール 18 は、読出し動作において、選択されたビット線を介して、メモリセルトランジスタの閾値電圧をセンスする。そして、センスアンプモジュール 18 は、センス結果に基づいて、読出しデータ D A T を生成する。

[0023] 1. 3 メモリセルアレイの回路構成

図 2 は、実施形態に係るメモリデバイスが備えるメモリセルアレイの回路構成の一例を示す回路図である。図 2 では、メモリセルアレイ 16 に含まれる複数のブロック B L K のうちの 1 個のブロック B L K が示される。図 2 に示すように、メモリセルアレイ 16 は、例えば、4 本のワード線 W L 0 ~ W L 3、(m + 1) 本のソース線 S L 0 ~ S L m、及び 16 本のビット線 B L

0～BL 15に接続される（ m は、2以上の整数）。なお、図2では、 m が2以上の場合について示しているが、これに限られず、0又は1でもよい。

[0024] ブロックBLKは、複数のストリングユニットSUを含む。各ストリングユニットSUは、複数のNORストリングNSを含む。各NORストリングNSは、複数のメモリセルトランジスタMTを含む。各メモリセルトランジスタMTは、制御ゲート及び電荷蓄積層を含む。各メモリセルトランジスタMTは、データを不揮発に記憶する。図2では、各ブロックBLKが4個のストリングユニットSU0～SU3を含み、各ストリングユニットSUが（ $m+1$ ）個のNORストリングNS0～NS m を含み、各NORストリングNSが4個のメモリセルトランジスタMT0～MT3を含む場合が示される。

[0025] 各NORストリングNSにおいて、メモリセルトランジスタMT0～MT3は、直列接続される。各メモリセルトランジスタMTの第1端は、対応するビット線BLに接続される。

[0026] 具体的には、ストリングユニットSU0において、各メモリセルトランジスタMT0の第1端は、ビット線BL0に共通接続される。ストリングユニットSU0において、各メモリセルトランジスタMT1の第1端及び各メモリセルトランジスタMT0の第2端は、ビット線BL1に共通接続される。ストリングユニットSU0において、各メモリセルトランジスタMT2の第1端及び各メモリセルトランジスタMT1の第2端は、ビット線BL2に共通接続される。ストリングユニットSU0において、各メモリセルトランジスタMT3の第1端及び各メモリセルトランジスタMT2の第2端は、ビット線BL3に共通接続される。

[0027] ストリングユニットSU1において、各メモリセルトランジスタMT0の第1端は、ビット線BL4に共通接続される。ストリングユニットSU1において、各メモリセルトランジスタMT1の第1端及び各メモリセルトランジスタMT0の第2端は、ビット線BL5に共通接続される。ストリングユニットSU1において、各メモリセルトランジスタMT2の第1端及び各メ

メモリセルトランジスタMT 1の第2端は、ビット線BL 6に共通接続される。ストリングユニットSU 1において、各メモリセルトランジスタMT 3の第1端及び各メモリセルトランジスタMT 2の第2端は、ビット線BL 7に共通接続される。

[0028] ストリングユニットSU 2において、各メモリセルトランジスタMT 0の第1端は、ビット線BL 8に共通接続される。ストリングユニットSU 2において、各メモリセルトランジスタMT 1の第1端及び各メモリセルトランジスタMT 0の第2端は、ビット線BL 9に共通接続される。ストリングユニットSU 2において、各メモリセルトランジスタMT 2の第1端及び各メモリセルトランジスタMT 1の第2端は、ビット線BL 10に共通接続される。ストリングユニットSU 2において、各メモリセルトランジスタMT 3の第1端及び各メモリセルトランジスタMT 2の第2端は、ビット線BL 11に共通接続される。

[0029] ストリングユニットSU 3において、各メモリセルトランジスタMT 0の第1端は、ビット線BL 12に共通接続される。ストリングユニットSU 3において、各メモリセルトランジスタMT 1の第1端及び各メモリセルトランジスタMT 0の第2端は、ビット線BL 13に共通接続される。ストリングユニットSU 3において、各メモリセルトランジスタMT 2の第1端及び各メモリセルトランジスタMT 1の第2端は、ビット線BL 14に共通接続される。ストリングユニットSU 3において、各メモリセルトランジスタMT 3の第1端及び各メモリセルトランジスタMT 2の第2端は、ビット線BL 15に共通接続される。

[0030] また、各NORストリングNSは、対応するソース線SLに接続される。

[0031] 具体的には、各ストリングユニットSUのNORストリングNS 0のメモリセルトランジスタMT 3の第2端は、ソース線SL 0に共通接続される。各ストリングユニットSUのNORストリングNS 1のメモリセルトランジスタMT 3の第2端は、ソース線SL 1に共通接続される。各ストリングユニットSUのNORストリングNS mのメモリセルトランジスタMT 3の第

2 端は、ソース線 S L m に共通接続される。

[0032] また、各 NOR ストリング NS において、各メモリセルトランジスタ MT は、対応するワード線 WL に接続される。

[0033] 具体的には、各ストリングユニット S U の各 NOR ストリング NS のメモリセルトランジスタ MT 0 のゲートは、ワード線 WL 0 に共通接続される。各ストリングユニット S U の各 NOR ストリング NS のメモリセルトランジスタ MT 1 のゲートは、ワード線 WL 1 に共通接続される。各ストリングユニット S U の各 NOR ストリング NS のメモリセルトランジスタ MT 2 のゲートは、ワード線 WL 2 に共通接続される。各ストリングユニット S U の各 NOR ストリング NS のメモリセルトランジスタ MT 3 のゲートは、ワード線 WL 3 に共通接続される。

[0034] 以上のような構成がブロック B L K 毎に繰り返される。ワード線 WL 0 ~ WL 3 及びビット線 B L 0 ~ B L 15 は、例えば、ブロック B L K 毎に独立に設けられる。ソース線 S L 0 ~ S L m は、例えば、ブロック B L K 間で共有される。

[0035] なお、実施形態に係るメモリデバイス 3 が備えるメモリセルアレイ 16 の回路構成は、以上で説明した構成に限定されない。例えば、各ブロック B L K が含むストリングユニット S U の個数は、任意の個数に設計され得る。各ストリングユニット S U が含む NOR ストリング NS の個数は、任意の個数に設計されうる。各 NOR ストリング NS が含むメモリセルトランジスタ MT の個数は、任意の個数に設計され得る。

[0036] 1. 4 メモリセルアレイの構造

以下に、実施形態に係るメモリデバイスが備えるメモリセルアレイの構造の一例について説明する。なお、以下で参照される図面において、X 方向はワード線 WL 及びビット線 B L の延伸方向に対応する。Y 方向はソース線 S L の延伸方向に対応する。Z 方向はメモリデバイス 3 の形成に使用される半導体基板の表面に対する鉛直方向に対応する。平面図において、図を見易くするために、ハッチングが適宜付加される。平面図に付加されたハッチング

は、ハッチングが付加された構成要素の素材や特性とは必ずしも関連していない。断面図において、図を見易くするために、構成の図示が適宜省略される。

[0037] 1. 4. 1 平面レイアウトの概要

図3は、実施形態に係るメモリセルアレイの平面レイアウトの一例を示す平面図である。図3では、4個のブロックBLK0～BLK3に対応する領域が示される。図3に示すように、メモリセルアレイ16は、積層配線構造、並びに複数の部材SLTa及びSLTbを含む。

[0038] 積層配線構造は、ワード線WL及びビット線BLを含む複数の配線が積層された構造体である。積層配線構造の平面レイアウトは、例えば、X方向において、メモリ領域MA、並びに引出領域HA1及びHA2に分割される。メモリ領域MAは、積層配線構造のうち、複数のNORストリングNSが形成される領域である。引出領域HA1及びHA2は、複数のワード線WLとロウデコーダ17との間の接続、及び複数のビット線BLとセンスアンプモジュール18との間の接続に使用される領域である。引出領域HA1及びHA2は、メモリ領域MAを挟む。

[0039] 複数の部材SLTaの各々は、X方向に沿って延びる板状の絶縁体である。複数の部材SLTaは、Y方向に並ぶ。各部材SLTaは、メモリ領域MA並びに引出領域HA1及びHA2を横切るように積層配線構造を分断する。2個の部材SLTaによって分断された積層配線構造が、1個のブロックBLKに対応する。

[0040] 複数の部材SLTbの各々は、X方向に沿って延びる板状の絶縁体である。隣り合う2個の部材SLTaの間において、3個の部材SLTbがY方向に並ぶ。各部材SLTaは、メモリ領域MA並びに引出領域HA1及びHA2を横切るように積層配線構造を分断する。2個の部材SLTb、又は1個の部材SLTa及び1個の部材SLTbによって分断された積層配線構造が、1個のストリングユニットSUに対応する。

[0041] 以上で説明されたメモリセルアレイ16の平面レイアウトが、Y方向に繰

り返し配置される。なお、メモリセルアレイ 16 の平面レイアウトは、上述した平面レイアウトに限定されない。例えば、2 個の部材 S L T a の間に配置される部材 S L T b の数は、1 個のブロック B L K に含まれるストリングユニット S U の数に応じて変更される。

[0042] 1. 4. 2 メモリ領域

次に、実施形態に係るメモリセルアレイのメモリ領域における構成について説明する。

[0043] 1. 4. 2. 1 平面レイアウト

図 4 は、実施形態に係るメモリセルアレイのメモリ領域における詳細な平面レイアウトの一例を示す平面図である。図 4 では、メモリ領域 M A のうち、1 個のブロック B L K (すなわちストリングユニット S U 0 ~ S U 3) と、当該ブロック B L K を挟む 2 個の部材 S L T a と、を含む領域の一部が示される。図 4 に示すように、メモリ領域 M A において、メモリセルアレイ 16 は、複数のソースピラー S P、複数のコンタクト C V a、及び複数のソース線 S L を含む。

[0044] ソースピラー S P は、例えば、積層配線構造内に設けられた柱状の構造体である。各ソースピラー S P は、1 個の N O R ストリング N S として機能する。複数のソースピラー S P は、例えば、隣り合う 2 個の部材 S L T a の間の領域においてマトリクス状に配置される。具体的には、1 個のブロック B L K において、X 方向に並ぶ複数のソースピラー S P が、Y 方向に 4 列に並ぶ。そして、隣り合う 2 列のソースピラー S P の間に、部材 S L T b が配置される。

[0045] 複数のソース線 S L は、X 方向に並ぶ。各ソース線 S L は、Y 方向に延びる。各ソース線 S L は、平面視において、ストリングユニット S U 毎に、少なくとも 1 個のソースピラー S P と重なるように配置される。図 4 の例では、平面視において、1 本のソース線 S L が、ストリングユニット S U 毎に 1 個のソースピラー S P と重なるように配置される場合が示される。ソースピラー S P と、平面視において当該ソースピラー S P と重なるように配置され

るソース線SLとの間は、コンタクトC V aを介して接続される。

[0046] 1. 4. 2. 2 断面構造

図5は、実施形態に係るメモリセルアレイのメモリ領域における断面構造の一例を示す、図4のV-V線に沿った断面図である。図5では、ストリングユニットSU0~SU2のYZ面に沿った断面構造が示される。図5に示すように、メモリ領域MAにおいて、メモリセルアレイ16は、半導体基板20、絶縁体層30及びINS、積層配線構造LS、複数の半導体膜40、複数の導電体層41及び42、並びに複数の絶縁体膜50及び51を更に含む。

[0047] 半導体基板20は、例えばシリコン基板である。半導体基板20の上面上には、絶縁体層30が設けられる。絶縁体層30は、例えば、酸化シリコンを含む。半導体基板20及び絶縁体層30には、例えば、ロウデコーダ17及びセンスアンプモジュール18等を使用される回路が形成される。

[0048] 絶縁体層30の上面上には、積層配線構造LSが設けられる。積層配線構造LSを構成する各層は、XY平面に沿って広がった板状の構造を有する。積層配線構造LSは、複数の絶縁体膜50及び51の各々によって分断される。

[0049] 複数の絶縁体膜50及び51の各々は、XZ平面に沿って広がった板状の絶縁体である。複数の絶縁体膜50及び51の各々は、例えば、酸化シリコンを含む。絶縁体膜50及び51はそれぞれ、部材SLTa及びSLTbとして使用される。

[0050] 複数の半導体膜40の各々は、Z方向に延びる柱状の半導体である。複数の半導体膜40の各々は、例えば、リン(P)又はヒ素(As)等のN型不純物を含むポリシリコンを含む。複数の半導体膜40の各々は、積層配線構造LSを貫通する。複数の半導体膜40の各々の下端は、絶縁体層30に達する。半導体膜40は、ソースピラーSPとして使用される。

[0051] 各半導体膜40の上部には、半導体部40aが形成される。半導体部40aは、N型不純物を含むポリシリコンを含む。半導体部40aにおけるN型

不純物の濃度は、半導体膜40におけるN型不純物の濃度よりも高い。

- [0052] 複数の半導体膜40の各々の上面上には、導電体層41が設けられる。導電体層41は、Z方向に延びる。導電体層41は、コンタクトCVaとして使用される。導電体層41と半導体部40aとの間は、オーミック接合によって電氣的な抵抗が低減される。
- [0053] 各導電体層41の上面上には、対応する1個の導電体層42が接する。導電体層42は、Y方向に延びる。導電体層42は、ソース線SLとして使用される。1個の導電体層42は、部材SLTa及びSLTbによって区切られた空間のそれぞれにおいて、1個のコンタクトCVaと接する。導電体層41及び42は、絶縁体層INSによって覆われる。
- [0054] 次に、積層配線構造LSの詳細について説明する。
- [0055] 積層配線構造LSは、4層のレイヤL0、L1、L2、及びL3を含む。4層のレイヤL0～L3は、この順に積層される。4層のレイヤL0～L3は、互いに同等の構造を有する。4層のレイヤL0～L3の各々は、半導体層21、導電体層22、絶縁体層31及び33、並びに積層膜32を含む。積層膜32は、トンネル絶縁膜32a、電荷蓄積膜32b、及びブロック絶縁膜32cを含む。
- [0056] 半導体層21は、例えば、リン又はヒ素等のN型不純物を含むポリシリコンを含む。半導体層21に含まれるN型不純物の濃度は、半導体膜40に含まれるN型不純物の濃度以上である。上述の通り、半導体層21は、絶縁体膜50及び51によって、ストリングユニットSU毎に分断される。このため、各レイヤLの半導体層21は、ストリングユニットSU0～SU3に対応する部分毎に、それぞれ半導体層21__0、21__1、21__2、及び21__3に分断される。
- [0057] 後述する引出領域HA1及びHA2において、各レイヤLの半導体層21__0～21__3は、対応するビット線BLと電氣的に接続される。具体的には、レイヤL0の半導体層21__0～21__3はそれぞれ、ビット線BL0、BL4、BL8、及びBL12と電氣的に接続される。レイヤL1の半導

体層 2 1 __ 0 ~ 2 1 __ 3 はそれぞれ、ビット線 B L 1、B L 5、B L 9、及び B L 1 3 と電氣的に接続される。レイヤ L 2 の半導体層 2 1 __ 0 ~ 2 1 __ 3 はそれぞれ、ビット線 B L 2、B L 6、B L 1 0、及び B L 1 4 と電氣的に接続される。レイヤ L 3 の半導体層 2 1 __ 0 ~ 2 1 __ 3 はそれぞれ、ビット線 B L 3、B L 7、B L 1 1、及び B L 1 5 と電氣的に接続される。

- [0058] 半導体層 2 1 の上面上に、絶縁体層 3 1 が設けられる。絶縁体層 3 1 は、例えば、酸化シリコンを含む。
- [0059] 絶縁体層 3 1 の上方に、絶縁体層 3 3 が設けられる。絶縁体層 3 3 は、例えば、酸化シリコンを含む。
- [0060] 絶縁体層 3 1 と絶縁体層 3 3 との間に、導電体層 2 2 及び積層膜 3 2 が設けられる。導電体層 2 2 は、例えば、タングステンを含む。上述の通り、導電体層 2 2 は、絶縁体膜 5 0 及び 5 1 によって、ストリングユニット S U 毎に分断される。このため、各レイヤ L の導電体層 2 2 は、ストリングユニット S U 0 ~ S U 3 に対応する部分毎に、それぞれ導電体層 2 2 __ 0、2 2 __ 1、2 2 __ 2、及び 2 2 __ 3 に分断される。
- [0061] 各レイヤ L の導電体層 2 2 __ 0 ~ 2 2 __ 3 は、後述する引出領域 H A 1 及び H A 2 において同一のワード線 W L と電氣的に接続される。具体的には、レイヤ L 0 の導電体層 2 2 __ 0 ~ 2 2 __ 3 は、ワード線 W L 0 と電氣的に接続される。レイヤ L 1 の導電体層 2 2 __ 0 ~ 2 2 __ 3 は、ワード線 W L 1 と電氣的に接続される。レイヤ L 2 の導電体層 2 2 __ 0 ~ 2 2 __ 3 は、ワード線 W L 2 と電氣的に接続される。レイヤ L 3 の導電体層 2 2 __ 0 ~ 2 2 __ 3 は、ワード線 W L 3 と電氣的に接続される。
- [0062] 積層膜 3 2 は、導電体層 2 2 を覆う。具体的には、導電体層 2 2 上に、ブロック絶縁膜 3 2 c が設けられる。ブロック絶縁膜 3 2 c は、例えば、酸化シリコンを含む。
- [0063] ブロック絶縁膜 3 2 c 上に、電荷蓄積膜 3 2 b が設けられる。電荷蓄積膜 3 2 b は、例えば、窒化シリコンを含む。
- [0064] 電荷蓄積膜 3 2 b 上に、トンネル絶縁膜 3 2 a が設けられる。トンネル絶

縁膜 3 2 a は、例えば、酸化シリコンを含む。トンネル絶縁膜 3 2 a のうち、導電体層 2 2 より下方の部分は、絶縁体層 3 1 に接する。トンネル絶縁膜 3 2 a のうち、導電体層 2 2 より上方の部分は、絶縁体層 3 3 に接する。トンネル絶縁膜 3 2 a のうち、導電体層 2 2 と同じ高さの部分は、半導体膜 4 0 に接する。

[0065] 図 6 は、実施形態に係る積層配線構造及びソースピラーの断面構造の一例を示す、図 5 の V I - V I 線に沿った断面図である。より具体的には、図 6 は、半導体基板 2 0 の表面に平行且つ導電体層 2 2 を含む層における積層配線構造 L S 及びソースピラー S P の断面構造を示す。

[0066] 導電体層 2 2 を含む断面において、トンネル絶縁膜 3 2 a は、半導体膜 4 0 の側面を囲む。電荷蓄積膜 3 2 b は、トンネル絶縁膜 3 2 a の側面を囲む。ブロック絶縁膜 3 2 c は、電荷蓄積膜 3 2 b の側面を囲む。導電体層 2 2 は、ブロック絶縁膜 3 2 c の側面を囲む。このように、半導体膜 4 0 の直径は、2 個の部材 S L T b との間、又は部材 S L T a と部材 S L T b との間における積層配線構造 L S の Y 方向に沿った幅よりも短い。

[0067] 以上のような構成を有するレイヤ L 0 ~ L 3 がこの順に Z 方向に積層されることにより、積層配線構造 L S が形成される。半導体膜 4 0 と、積層配線構造 L S のレイヤ L 0 ~ L 3 とが交差した部分がそれぞれ、メモリセルトランジスタ M T 0 ~ M T 3 として機能する。具体的には、半導体膜 4 0 のうちレイヤ L 0 ~ L 3 の導電体層 2 2 及び積層膜 3 2 と交差した部分がそれぞれ、メモリセルトランジスタ M T 0 ~ M T 3 のチャネルとして機能する。半導体膜 4 0 のうちレイヤ L 0 ~ L 3 の半導体層 2 1 及び絶縁体層 3 1 と交差した部分がそれぞれ、メモリセルトランジスタ M T 0 ~ M T 3 の第 1 端として機能する。半導体膜 4 0 のうち絶縁体層 3 3 と交差する部分が、メモリセルトランジスタ M T 0 ~ M T 3 の第 2 端として機能する。電荷蓄積膜 3 2 b に蓄積される電荷に応じて、対応するメモリセルトランジスタ M T の閾値電圧が変化する。これにより、各メモリセルトランジスタ M T は、データを記憶することができる。すなわち、電荷蓄積膜 3 2 b は、対応するメモリセルト

ランジスタMTのメモリ膜として機能する。

[0068] 1. 4. 3 引出領域

次に、実施形態に係るメモリセルアレイの引出領域における構成について説明する。

[0069] 1. 4. 3. 1 平面レイアウト

実施形態に係るメモリセルアレイでは、引出領域HA1におけるブロックBLKの構造と、引出領域HA2におけるブロックBLKの構造とは、類似している。具体的には、例えば、引出領域HA1におけるブロックBLKの平面レイアウトは、引出領域HA2におけるブロックBLKの構造をX方向及びY方向のそれぞれに反転させた平面レイアウトと同様である。以下では、引出領域HA1におけるブロックBLKの平面レイアウトについて説明する。

[0070] 図7は、実施形態に係るメモリセルアレイの引出領域における詳細な平面レイアウトの一例を示す平面図である。図7では、引出領域HA1における1個のブロックBLK0に対応する領域に加え、近傍のメモリ領域MAの一部も示される。

[0071] 引出領域HA1において、複数のワード線WL及び複数のビット線BLのそれぞれは、積層配線構造LSのうち上層の配線層（半導体層21及び導電体層22）と重ならない部分（テラス部分）を有する。また、引出領域HA1において、メモリセルアレイ16は、複数のコンタクトCVb及びCVc、複数のワード線WL0～WL3、並びに複数のビット線BL0～BL15を含む。

[0072] テラス部分の形状は、階段（step）、段丘（terrace）、畦石（rimstone）等と類似している。具体的には、レイヤL0の半導体層21、レイヤL0の導電体層22、レイヤL1の半導体層21、レイヤL1の導電体層22、レイヤL2の半導体層21、レイヤL2の導電体層22、レイヤL3の半導体層21、及びレイヤL3の導電体層22の各々の間に段差が設けられる。図7の例では、上述の段差がX方向に沿って階段状に設けられる場合が示され

る。

[0073] レイヤL 0～L 3の導電体層2 2__0～2 2__3のテラス部分の上面上にはそれぞれ、複数のコンタクトC V bが設けられる。レイヤL 0の導電体層2 2__0～2 2__3に対応する複数のコンタクトC V bは、ワード線W L 0に共通接続される。レイヤL 1の導電体層2 2__0～2 2__3に対応する複数のコンタクトC V bは、ワード線W L 1に共通接続される。レイヤL 2の導電体層2 2__0～2 2__3に対応する複数のコンタクトC V bは、ワード線W L 2に共通接続される。レイヤL 3の導電体層2 2__0～2 2__3に対応する複数のコンタクトC V bは、ワード線W L 3に共通接続される。複数のワード線W L は、X方向に並ぶ。各ワード線W L は、Y方向に延びる。

[0074] また、レイヤL 0～L 3の半導体層2 1__0～2 1__3のテラス部分の上面上にはそれぞれ、複数のコンタクトC V cが設けられる。レイヤL 0～L 3の半導体層2 1__0に対応する複数のコンタクトC V cはそれぞれ、ビット線B L 0～B L 3に接続される。レイヤL 0～L 3の半導体層2 1__1に対応する複数のコンタクトC V cはそれぞれ、ビット線B L 4～B L 7に接続される。レイヤL 0～L 3の半導体層2 1__2に対応する複数のコンタクトC V cはそれぞれ、ビット線B L 8～B L 11に接続される。レイヤL 0～L 3の半導体層2 1__3に対応する複数のコンタクトC V cはそれぞれ、ビット線B L 12～B L 15に接続される。複数のビット線B L は、Y方向に並ぶ。各ビット線B L は、X方向に延びる。

[0075] 1. 4. 3. 2 断面構造

図8は、実施形態に係るメモリセルアレイの引出領域における断面構造の一例を示す、図7のV I I IーV I I I線に沿った断面図である。つまり、図8では、ストリングユニットS U 0のX Z面に沿った断面構造が示される。図8に示すように、引出領域H A 1において、メモリセルアレイ1 6は、複数の導電体層4 3～4 6を更に含む。

[0076] 複数の導電体層4 3はそれぞれ、レイヤL 0～L 3の導電体層2 2のテラス部分の上面上に設けられる。各導電体層4 3は、コンタクトC V bとして

使用される。

[0077] レイヤL 0～L 3にそれぞれ対応する複数の導電体層4 3の上面上にはそれぞれ、複数の導電体層4 4が設けられる。レイヤL 0～L 3に対応する複数の導電体層4 4はそれぞれ、ワード線WL 0～WL 3として使用される。

[0078] 複数の導電体層4 5はそれぞれ、レイヤL 0～L 3の半導体層2 1のテラス部分の上面上に設けられる。各導電体層4 5は、コンタクトCV cとして使用される。

[0079] レイヤL 0～L 3にそれぞれ対応する複数の導電体層4 5の上面上にはそれぞれ、複数の導電体層4 6が設けられる。ストリングユニットSU 0のレイヤL 0～L 3に対応する複数の導電体層4 6はそれぞれ、ビット線BL 0～BL 3として使用される。図8に図示されないが、ストリングユニットSU 1のレイヤL 0～L 3に対応する複数の導電体層4 6はそれぞれ、ビット線BL 4～BL 7として使用される。ストリングユニットSU 2のレイヤL 0～L 3に対応する複数の導電体層4 6はそれぞれ、ビット線BL 8～BL 11として使用される。ストリングユニットSU 3のレイヤL 0～L 3に対応する複数の導電体層4 6はそれぞれ、ビット線BL 12～BL 15として使用される。

[0080] 2. 動作

2. 1 書込み動作

実施形態に係るメモリデバイスにおける書込み動作について説明する。

[0081] 図9は、実施形態に係るメモリデバイスにおける書込み動作の一例を示す回路図である。図9では、ストリングユニットSU 2のNORストリングNS 1のメモリセルトランジスタMT 1を書込み対象(Write Target)とする場合においてワード線WL、ビット線BL、及びソース線SLに印加される電圧の一例が示される。すなわち、図9では、書込み対象を特定する選択ワード線WL、選択ビット線BL、及び選択ソース線SLはそれぞれ、WL 1、BL 9、及びSL 1である場合が示される。

[0082] 図9に示すように、選択ワード線WL 1には、電圧V PGMが印加される

。電圧VPGMは、メモリセルトランジスタMTの電荷蓄積膜32bに電荷を注入し得る高電圧である。電圧VPGMは、例えば、12Vである。電圧VPGMは、データが書き込まれているか否かによらず、メモリセルトランジスタMTをオン状態にする。なお、メモリセルトランジスタMTへの電荷の注入は、例えば、CHE (Channel Hot Electron) 方式が適用される。

[0083] 書込み対象よりもソース側のメモリセルトランジスタMTに接続された全てのワード線WL (非選択ワード線WL2及びWL3) には、電圧VPASSが印加される。電圧VPASSは、データが書き込まれているか否かによらず、メモリセルトランジスタMTをオン状態にする。電圧VPASSは、メモリセルトランジスタMTの電荷蓄積膜32bに電荷が注入されない電圧である。すなわち、電圧VPASSは、電圧VPGMより低い。電圧VPASSは、例えば、5Vである。

[0084] 書込み対象よりもドレイン側のメモリセルトランジスタMTに接続された全てのワード線WL (非選択ワード線WL0) には、電圧VSSが印加される。電圧VSSは、接地電圧である。電圧VSSは、例えば、0Vである。

[0085] 選択ソース線SL1には、電圧VSSが印加される。

[0086] 選択ソース線SL1以外の全てのソース線SL (非選択ソース線SL0、及びSL2～SLm) には、電圧VS1が印加される。電圧VS1は、非選択ソース線SL0、及びSL2～SLmに接続された全てのメモリセルトランジスタMTのソースドレイン間電圧を低減させるための電圧である。電圧VS1は、当該メモリセルトランジスタMTに対する意図しない電荷の注入を発生させないために調整される。電圧VS1は、例えば、3V以上5V以下である。

[0087] 選択ビット線BL9には、電圧VD1が印加される。電圧VD1は、例えば、8Vである。これにより、書込み対象のソースドレイン間には、電位差 $|VD1 - VSS| = 8V$ が印加される。このため、書込み対象の電荷蓄積膜32bに電荷を注入することができる。一方、選択ビット線BL9に接続された書込み対象でない全てのメモリセルトランジスタMT1のソース

ドレイン間には、電位差 $|V_{D1} - V_{S1}| = 3 \sim 5 \text{ V}$ が印加される。このように、電位差 $|V_{D1} - V_{S1}|$ が電位差 $|V_{D1} - V_{SS}|$ に対して低減されることにより、選択ビット線 BL_9 に接続された書込み対象でない全てのメモリセルトランジスタ MT_1 では、電荷の注入が抑制される。

[0088] レイヤ L_1 における選択ビット線 BL_9 以外のビット線 BL （非選択ビット線 BL_1 、 BL_5 、及び BL_{13} ）には、電圧 V_{SS} が印加される。これにより、選択ソース線 SL_1 と、非選択ビット線 BL_1 、 BL_5 、又は BL_{13} と、に接続された全てのメモリセルトランジスタ MT_1 のソースドレイン間には、電位差 $|V_{SS} - V_{SS}| = 0 \text{ V}$ が印加される。このため、選択ソース線 SL_1 と、非選択ビット線 BL_1 、 BL_5 、又は BL_{13} と、に接続された全てのメモリセルトランジスタ MT_1 では、電荷の注入が抑制される。また、非選択ソース線 SL 及び非選択ビット線 BL_1 、 BL_5 、又は BL_{13} に接続された全てのメモリセルトランジスタ MT_1 のソースドレイン間には、電位差 $|V_{S1} - V_{SS}| = 3 \sim 5 \text{ V}$ が印加される。このように、電位差 $|V_{S1} - V_{SS}|$ が電位差 $|V_{D1} - V_{SS}|$ に対して低減されることにより、非選択ソース線 SL 及び非選択ビット線 BL_1 、 BL_5 、又は BL_{13} に接続された全てのメモリセルトランジスタ MT_1 では、電荷の注入が抑制される。

[0089] レイヤ L_0 、 L_2 、及び L_3 における全てのビット線（非選択ビット線 BL_0 、 $BL_2 \sim BL_4$ 、 $BL_6 \sim BL_8$ 、 $BL_{10} \sim BL_{12}$ 、 BL_{14} 、及び BL_{15} ）には、 V_{SS} 以上 V_{S1} 以下の電圧が印加される。或いは、非選択ビット線 BL_0 、 $BL_2 \sim BL_4$ 、 $BL_6 \sim BL_8$ 、 $BL_{10} \sim BL_{12}$ 、 BL_{14} 、及び BL_{15} は、オープン状態としてもよい。これにより、書込み対象でないメモリセルトランジスタ MT のソースドレイン間の電圧が意図しない高さになることが抑制される。

[0090] 2. 2 読出し動作

次に、実施形態に係るメモリデバイスにおける読出し動作について説明する。

- [0091] 図10は、実施形態に係るメモリデバイスにおける読出し動作の一例を示す回路図である。図10では、ストリングユニットSU2のNORストリングNS1のメモリセルトランジスタMT1を読出し対象（Read Target）とする場合においてワード線WL、ビット線BL、及びソース線SLに印加される電圧の一例が示される。すなわち、図10では、図9と同様、読出し対象を特定する選択ワード線WL、選択ビット線BL、及び選択ソース線SLはそれぞれ、WL1、BL9、及びSL1である場合が示される。
- [0092] 図10に示すように、選択ワード線WL1には、電圧VCGRが印加される。電圧VCGRは、データが書き込まれている場合にはメモリセルトランジスタMTをオフ状態とし、データが書き込まれていない場合にはメモリセルトランジスタMTをオン状態とする電圧である。
- [0093] 読出し対象よりもソース側のメモリセルトランジスタMTに接続された全てのワード線WL（非選択ワード線WL2及びWL3）には、電圧VREADが印加される。電圧VREADは、データが書き込まれているか否かによらず、メモリセルトランジスタMTをオン状態にする。電圧VREADは、例えば、5Vである。
- [0094] 読出し対象よりもドレイン側のメモリセルトランジスタMTに接続された全てのワード線WL（非選択ワード線WL0）には、電圧VSSが印加される。
- [0095] 選択ソース線SL1には、電圧VSSが印加される。
- [0096] 選択ソース線SL1以外の全てのソース線SL（非選択ソース線SL0、及びSL2～SLm）には、電圧VS2が印加される。電圧VS2は、例えば、1Vである。
- [0097] 選択ビット線BL9には、電圧VS2が印加される。これにより、書込み対象のソースドレイン間には、電位差 $|VS2 - VSS| = 1V$ が印加される。このため、読出し対象にデータが書き込まれていない場合には電位差 $|VS2 - VSS|$ に応じた読出し電流を流すことができる。読出し対象にデータが書き込まれている場合には、読出し対象には読出し電流は流れない

。一方、選択ビット線BL9に接続された読出し対象でない全てのメモリセルトランジスタMT1のソースドレイン間には、電位差 $|V_{S2} - V_{S2}| = 0V$ が印加される。これにより、選択ビット線BL9に接続された読出し対象でない全てのメモリセルトランジスタMT1に流れる電流が抑制される。このため、センスアンプモジュール18は、ビット線BL9を流れる読出し電流に基づき、読出し対象からデータを読み出すことができる。

[0098] なお、選択ビット線BL9以外の全てのビット線BL（非選択ビット線BL0～BL8、及びBL9～BL13）には、電圧 V_{SS} が印加される。これにより、非選択ビット線BL0～BL8、及びBL9～BL13に接続された全てのメモリセルトランジスタMTのソースドレイン間には、電位差 $|V_{S2} - V_{SS}| = 1V$ が印加される。このため、非選択ビット線BL0～BL8、及びBL9～BL13には、電流が流れ得る。しかしながら、非選択ビット線BL0～BL8、及びBL9～BL13に流れる電流は、選択ビット線BL9を介して読出し対象に流れる読出し電流とは独立であるため、読出し動作に際して無視することができる。

[0099] 2. 3 消去動作

次に、実施形態に係るメモリデバイスにおける消去動作について説明する。

[0100] 2. 3. 1 第1例

図11は、実施形態に係るメモリデバイスにおける消去動作の第1例を示す回路図である。図11では、各ストリングユニットSUのNORストリングNS1のメモリセルトランジスタMT1を消去対象（Erase Target）とする場合においてワード線WL、ビット線BL、及びソース線SLに印加される電圧の一例が示される。すなわち、図11では、消去対象を特定する選択ワード線WL、及び選択ソース線SLはそれぞれ、WL1、及びSL1である場合が示される。

[0101] 図11に示すように、選択ワード線WL1には、電圧 V_{SS} が印加される。選択ワード線WL1以外の全てのワード線WL（非選択ワード線WL0、

WL 2、及びWL 3) には、電圧VERAが印加される。電圧VERAは、例えば、12Vである。なお、非選択ワード線WL 0、WL 2、及びWL 3は、オープン状態としてもよい。

[0102] 選択ソース線SL 1には、電圧VERAが印加される。選択ソース線SL 1以外の全てのソース線SL (非選択ソース線SL 0、及びSL 2～SL m) には、電圧VSSが印加される。

[0103] 全てのビット線BL 0～BL 15は、オープン状態とされる。これにより、各ストリングユニットSUのNORストリングNS 1のメモリセルトランジスタMT 1において、FN (Fowler-Nordheim) トンネリングを発生させることができる。このため、消去対象である4個のメモリセルトランジスタMTの電荷蓄積膜32bから電子を引き抜くことができる。

[0104] 2. 3. 2 第2例

図12は、実施形態に係るメモリデバイスにおける消去動作の第2例を示す回路図である。図12では、1個のブロックBLKを消去対象とする場合においてワード線WL、ビット線BL、及びソース線SLに印加される電圧の一例が示される。

[0105] 図12に示すように、全てのワード線WL 0～WL 3には、電圧VSSが印加される。全てのソース線SL 0～SL mには、電圧VERAが印加される。全てのビット線BL 0～BL 15は、オープン状態とされる。これにより、1個のブロックBLK内の全てのメモリセルトランジスタMTにおいて、FNトンネリングを発生させることができる。このため、消去対象であるブロックBLK内の全てのメモリセルトランジスタMTの電荷蓄積膜32bから電子を引き抜くことができる。

[0106] 3. 製造方法

図13～図19のそれぞれは、実施形態に係るメモリセルアレイの製造途中の断面構造の一例を示す。図13～16に図示された断面構造は、図5に対応する領域を示す。図17～図19に図示された断面構造は、図8に対応する領域を示す。以下に、メモリデバイス3における、メモリセルアレイ1

6 内の積層配線構造の製造工程の一例について説明する。

- [0107] まず、図 1 3 に示すように、犠牲部材 S M を含む積層構造が形成される。具体的には、半導体基板 2 0 上に、絶縁体層 3 0 が形成される。絶縁体層 3 0 上に、レイヤ L 0 ~ L 3 に対応する積層構造がこの順に積層される。積層構造のレイヤ L 0 ~ L 3 に対応する部分の各々は、半導体層 2 1、絶縁体層 3 1、犠牲部材 S M、及び絶縁体層 3 3 が順に積層されて形成される。
- [0108] そして、図 1 4 に示すように、積層された半導体層 2 1、及び犠牲部材 S M の端部が、引出領域 H A 1 及び H A 2 内で階段状に加工される。その後、引出領域 H A 1 及び H A 2 内の階段部分が絶縁体層 I N S によって埋め込まれる。積層構造の上面は、例えば C M P (Chemical Mechanical Polishing) によって平坦化される。
- [0109] それから、フォトリソグラフィ等によって、ソースピラー S P に対応する領域が開口したマスクが形成される。そして、図 1 5 に示すように、当該マスクを用いた異方性エッチングによって、積層構造を貫通するホール H 1 が形成される。ホール H 1 の底部において、例えば、絶縁体層 3 0 が露出する。ホール H 1 は、ソースピラー S P に対応する。本工程におけるホール H 1 の形成には、例えば、R I E (Reactive Ion Etching) が使用される。
- [0110] 図 1 6 に示すように、ホール H 1 が、半導体膜 4 0 によって埋め込まれる。積層構造の上面に形成された半導体膜 4 0 が例えば C M P によって除去されることにより、ホール H 1 の各々の上端に対応する面が露出する。その後、半導体膜 4 0 の上部に N 型不純物が注入される。これにより、半導体部 4 0 a が形成される。
- [0111] 次に、図 1 7 に示すように、複数のスリット H 2 が形成される。具体的には、まず、フォトリソグラフィ等によって、部材 S L T a 及び S L T b に対応する領域が開口されたマスクが形成される。それから、当該マスクを用いた異方性エッチングによって、例えば積層構造を貫通するスリット H 2 が形成される。これにより、積層構造は、ストリングユニット S U に対応する構造毎に分断される。本工程におけるスリット H 2 の形成には、例えば、R I

Eが使用される。

[0112] 次に、積層構造内の犠牲部材SMの置換処理が実行される。具体的には、図18に示すように、まず熱リン酸等によるウェットエッチングによって、スリットH2を介して犠牲部材SMが選択的に除去される。犠牲部材SMが除去された積層構造は、複数のソースピラーSPによって支持される。

[0113] それから、図19に示すように、トンネル絶縁膜32a、電荷蓄積膜32b、ブロック絶縁膜32c、及び導電体が、スリットH2を介して、犠牲部材SMが除去された空間にこの順に埋め込まれる。本工程における積層膜32及び導電体の形成には、例えば、CVD (Chemical Vapor Deposition) が使用される。その後、スリットH2内部に形成された積層膜32及び導電体のうち、少なくとも導電体がエッチバック処理によって除去される。これにより、Z方向に隣り合う導電体がレイヤL毎の複数の導電体層22に分離される。レイヤL毎に分離された複数の導電体層22はそれぞれ、ワード線WL0〜WL3に対応する配線として機能する。なお、本工程において形成される導電体層22は、バリアメタルを含んでも良い。この場合、積層膜32形成後の導電体の形成では、例えばバリアメタルとして窒化チタンが成膜された後に、タングステンが形成される。

[0114] その後、スリットH2が、絶縁体膜50及び51によって埋め込まれる。絶縁体膜50及び51はそれぞれ、部材SLTa及びSLTbとして機能する。

[0115] 以上で説明した製造工程によって、メモリセルアレイ16内の積層配線構造が形成される。なお、以上で説明した製造工程はあくまで一例であり、これに限定されない。例えば、各製造工程の間にはその他の処理が挿入されても良いし、一部の工程が省略又は統合されても良い。また、各製造工程は、可能な範囲で入れ替えられても良い。

[0116] 4. 実施形態に係る効果

実施形態によれば、メモリの集積度を向上させることができる。本効果について、以下に説明する。

- [0117] 積層配線構造L Sの各レイヤLは、Z方向に互いに離れて設けられた半導体層2 1及び導電体層2 2を含む。導電体層2 2を覆うように、ブロック絶縁膜3 2 cが設けられる。ブロック絶縁膜3 2 cを覆うように、電荷蓄積膜3 2 bが設けられる。電荷蓄積膜3 2 bを覆うように、トンネル絶縁膜3 2 aが設けられる。積層配線構造L Sを貫通するように、Z方向に延びる半導体膜4 0が設けられる。半導体膜4 0は、各レイヤLにおいて、半導体層2 1と接しかつ導電体層2 2と交差する。これにより、半導体膜4 0と各レイヤLとが交差する部分が、メモリセルトランジスタMTとして機能することができる。このため、メモリセルトランジスタMTをZ方向に積層することができる。したがって、チップサイズの増加を抑制しつつ、メモリの容量を増加させることができる。
- [0118] このような構成において、メモリセルトランジスタMT 0の第1端は、例えば、ビット線BL 0に電氣的に接続される。メモリセルトランジスタMT 1の第1端及びメモリセルトランジスタMT 0の第2端は、例えば、ビット線BL 1に電氣的に接続される。メモリセルトランジスタMT 2の第1端及びメモリセルトランジスタMT 1の第2端は、例えば、ビット線BL 2に電氣的に接続される。メモリセルトランジスタMT 3の第1端及びメモリセルトランジスタMT 2の第2端は、例えば、ビット線BL 3に電氣的に接続される。メモリセルトランジスタMT 3の第2端は、ソース線SLと電氣的に接続される。これにより、各メモリセルトランジスタMTに対して、個別に書込み動作、及び読出し動作を実行することができる。すなわち、メモリデバイス3は、NORフラッシュメモリとして動作することができる。
- [0119] また、メモリセルアレイ1 6は、積層配線構造と、積層配線構造を貫通するピラーと、によって主に構成される。このような構造は、NANDフラッシュメモリのメモリセルアレイの構造と類似する点が多い。これにより、本実施形態に係るメモリデバイスを、NANDフラッシュメモリの製造技術を利用しつつ、製造することができる。このため、メモリデバイス3の製造負荷の増加を抑制することができる。

[0120] 5. 変形例等

なお、実施形態は、上述の例に限らず、種々の変形を適用可能である。

[0121] 例えば、上述の実施形態では、メモリセルトランジスタMTが電荷蓄積膜32bへの電荷の蓄積に応じた閾値電圧の変化によってデータを記憶する場合について説明したが、これに限られない。例えば、メモリセルトランジスタMTは、強誘電体の分極の方向の変化に応じた閾値電圧の変化によってデータを記憶してもよい。

[0122] 図20は、変形例に係るメモリセルアレイの断面構造の一例を示す断面図である。図20は、実施形態における図5に対応する。図20に示すように、メモリ領域MAにおいて、メモリセルアレイ16は、積層膜32に代えて、積層膜32Aを含む。積層膜32Aは、ゲート絶縁膜32d及び強誘電膜32eを含む。

[0123] 積層膜32Aは、導電体層22を覆う。具体的には、導電体層22上に、強誘電膜32eが設けられる。強誘電膜32eは、例えば、ペロブスカイト系の強誘電体材料、又は有機高分子の強誘電体材料を含む。ペロブスカイト系の強誘電体材料は、例えば、ジルコン酸チタン酸鉛（PZT）及びタンタル酸ビスマス酸ストロンチウム（SBT）の少なくとも一方の材料を含む。有機高分子の強誘電体材料は、例えば、ポリフッ化ビニリデン・トリフロロエチレン（P(VDF-TrFE)）を含む。

[0124] 強誘電膜32e上に、ゲート絶縁膜32dが設けられる。ゲート絶縁膜32dは、例えば、酸化シリコンを含む。ゲート絶縁膜32dのうち、導電体層22より下方の部分は、絶縁体層31に接する。ゲート絶縁膜32dのうち、導電体層22より上方の部分は、絶縁体層33に接する。ゲート絶縁膜32dのうち、導電体層22と同じ高さの部分は、半導体膜40に接する。

[0125] 以上のように、強誘電膜32eをメモリセルトランジスタMTのメモリ膜として用いることにより、メモリセルトランジスタMTは、FEFET（Ferro-Electric Field Effect Transistor）として機能することができる。すなわち、メモリデバイス3は、FeRAM（Ferroelectric Random Access Mem

ory)として機能することができる。

[0126] なお、図20では、積層膜32Aが、ゲート絶縁膜32dを含む場合について説明したが、これに限られない。例えば、積層膜32Aは、強誘電膜32eのみによって構成され体もよい。

[0127] また、上述の実施形態及び変形例では、ソースピラーSPには、ビット線BLよりも低い濃度のN型不純物が含まれる場合について説明したが、これに限られない。例えば、ソースピラーSPは、不純物を含んでいなくても（ノンドーピングでも）よい。また、例えば、ソースピラーSPは、閾値電圧調整の観点から、ボロン（B）等のP型不純物を含んでいてもよい。

[0128] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

- [0129]
- 1…メモリシステム
 - 2…メモリコントローラ
 - 3…メモリデバイス
 - 11…入出力回路
 - 12…レジスタ
 - 13…シーケンサ
 - 14…電圧生成回路
 - 15…ドライバセット
 - 16…メモリセルアレイ
 - 17…ロウデコーダ
 - 18…センスアンプモジュール
 - 20…半導体基板

2 1 …半導体層

2 2, 4 1, 4 2, 4 3, 4 4, 4 5, 4 6 …導電体層

3 0, 3 1, 3 3 …絶縁体層

3 2 …積層膜

3 2 a …トンネル絶縁膜

3 2 b …電荷蓄積膜

3 2 c …ブロック絶縁膜

3 2 d …ゲート絶縁膜

3 2 e …強誘電膜

4 0 …半導体膜

4 0 a …半導体部

5 0, 5 1 …絶縁体膜

請求の範囲

- [請求項1] 第1方向に互いに離れてこの順に並ぶ第1半導体層、第1導電体層、第2半導体層、及び第2導電体層と、
前記第1方向に延び、前記第1半導体層及び前記第2半導体層と接し、前記第1導電体層及び前記第2導電体層と交差する第1半導体膜と、
前記第1導電体層と前記第1半導体膜との間に設けられた第1メモリ膜と、
前記第2導電体層と前記第1半導体膜との間に設けられた第2メモリ膜と、
を備えた、メモリデバイス。
- [請求項2] 前記第1メモリ膜及び前記第2メモリ膜は、電荷蓄積膜である、請求項1記載のメモリデバイス。
- [請求項3] 前記電荷蓄積膜は、窒化シリコンを含む、請求項2記載のメモリデバイス。
- [請求項4] 前記第1メモリ膜及び前記第2メモリ膜は、強誘電膜である、請求項1記載のメモリデバイス。
- [請求項5] 前記強誘電膜は、ジルコン酸チタン酸鉛、タンタル酸ビスマス酸ストロンチウム、及びポリフッ化ビニリデン・トリフロロエチレン（P（VDF-TrFE））から選択される少なくとも1つの材料を含む、請求項4記載のメモリデバイス。
- [請求項6] 前記第1半導体層及び前記第2半導体層は、N型不純物を含む、請求項1記載のメモリデバイス。
- [請求項7] 前記第1半導体膜は、N型不純物を含む、請求項6記載のメモリデバイス。
- [請求項8] 前記第1半導体層及び前記第2半導体層に含まれるN型不純物の濃度は、前記第1半導体膜に含まれるN型不純物の濃度以上である、

- 請求項 7 記載のメモリデバイス。
- [請求項9] 前記第 1 半導体膜は、P 型不純物を含む、
請求項 6 記載のメモリデバイス。
- [請求項10] 前記第 1 方向に見て、前記第 1 半導体層、前記第 1 導電体層、前記第 2 半導体層、及び前記第 2 導電体層の各々は、前記第 1 半導体膜を囲む、
請求項 1 記載のメモリデバイス。
- [請求項11] 前記第 1 方向に延び、前記第 1 半導体層及び前記第 2 半導体層と接し、前記第 1 導電体層及び前記第 2 導電体層と交差し、前記第 1 半導体膜と離れて設けられた第 2 半導体膜を更に備えた、
請求項 1 記載のメモリデバイス。
- [請求項12] 前記第 1 方向に互いに離れてこの順に並ぶ第 3 半導体層、第 3 導電体層、第 4 半導体層、及び第 4 導電体層と、
前記第 1 方向に延び、前記第 1 半導体層と前記第 3 半導体層との間、前記第 1 導電体層と前記第 3 導電体層との間、前記第 2 半導体層と前記第 4 半導体層との間、及び前記第 2 導電体層と前記第 4 導電体層との間に設けられた絶縁体膜と、
前記第 1 方向に延び、前記第 3 半導体層及び前記第 4 半導体層と接し、前記第 3 導電体層及び前記第 4 導電体層と交差する第 3 半導体膜と、
前記第 3 導電体層と前記第 3 半導体膜との間に設けられた第 3 メモリ膜と、
前記第 4 導電体層と前記第 3 半導体膜との間に設けられた第 4 メモリ膜と、
を更に備えた、
請求項 1 記載のメモリデバイス。
- [請求項13] 直列に接続された第 1 メモリセルトランジスタ及び第 2 メモリセルトランジスタと、

前記第1メモリセルトランジスタの第1端に電氣的に接続された第1ソース線と、

前記第1メモリセルトランジスタの第2端及び前記第2メモリセルトランジスタの第1端に電氣的に接続された第1ビット線と、

前記第2メモリセルトランジスタの第2端に電氣的に接続された第2ビット線と、

前記第1メモリセルトランジスタのゲートに電氣的に接続された第1ワード線と、

前記第2メモリセルトランジスタのゲートに電氣的に接続された第2ワード線と、

を備えた、メモリデバイス。

[請求項14] 直列に接続された第3メモリセルトランジスタ及び第4メモリセルトランジスタと、

前記第3メモリセルトランジスタの第2端及び前記第4メモリセルトランジスタの第1端に電氣的に接続された第3ビット線と、

前記第4メモリセルトランジスタの第2端に電氣的に接続された第4ビット線と、

を更に備え、

前記第3メモリセルトランジスタの第1端は、前記第1ソース線に電氣的に接続され、

前記第3メモリセルトランジスタのゲートは、前記第1ワード線に電氣的に接続され、

前記第4メモリセルトランジスタのゲートは、前記第2ワード線に電氣的に接続された、

請求項13記載のメモリデバイス。

[請求項15] 直列に接続された第5メモリセルトランジスタ及び第6メモリセルトランジスタと、

前記第5メモリセルトランジスタの第1端に電氣的に接続された第

2 ソース線と、

を更に備え、

前記第5メモリセルトランジスタの第2端及び前記第6メモリセルトランジスタの第1端は、前記第1ビット線に電氣的に接続され、

前記第6メモリセルトランジスタの第2端は、前記第2ビット線に電氣的に接続され、

前記第5メモリセルトランジスタのゲートは、前記第1ワード線に電氣的に接続され、

前記第6メモリセルトランジスタのゲートは、前記第2ワード線に電氣的に接続された、

請求項13記載のメモリデバイス。

[請求項16]

前記第2メモリセルトランジスタの第2端に直列接続した第1端を有する第7メモリセルトランジスタと、

前記第7メモリセルトランジスタの第2端に電氣的に接続された第5ビット線と、

前記第7メモリセルトランジスタのゲートに電氣的に接続された第3ワード線と、

を更に備え、

前記第2メモリセルトランジスタに対する書込み動作において、

前記第1ワード線に第1電圧を印加し、

前記第2ワード線に前記第1電圧より高い第2電圧を印加し、

前記第3ワード線に前記第1電圧より低い第3電圧を印加し、

前記第7メモリセルトランジスタに対する書込み動作において、

前記第1ワード線及び前記第2ワード線に前記第1電圧を印加し

、

前記第3ワード線に前記第2電圧を印加する

ように構成された、

請求項13記載のメモリデバイス。

- [請求項17] 前記第2メモリセルトランジスタの第2端に直列接続した第1端を有する第7メモリセルトランジスタと、
前記第7メモリセルトランジスタの第2端に電氣的に接続された第5ビット線と、
前記第7メモリセルトランジスタのゲートに電氣的に接続された第3ワード線と、
を更に備え、
前記第2メモリセルトランジスタに対する読出し動作において、
前記第1ワード線に第4電圧を印加し、
前記第2ワード線に前記第4電圧より低い第5電圧を印加し、
前記第3ワード線に前記第5電圧より低い第6電圧を印加し、
前記第7メモリセルトランジスタに対する書込み動作において、
前記第1ワード線及び前記第2ワード線に前記第4電圧を印加し、
、
前記第3ワード線に前記第5電圧を印加する
ように構成された、
請求項13記載のメモリデバイス。
- [請求項18] 前記第2メモリセルトランジスタに対する消去動作において、
前記第1ソース線に第7電圧を印加し、
前記第1ビット線及び前記第2ビット線をオープン状態にし、
前記第1ワード線に前記第7電圧を印加する又は前記第1ワード線をオープン状態にし、
前記第2ワード線に前記第7電圧より低い第8電圧を印加する
ように構成された、
請求項13記載のメモリデバイス。
- [請求項19] 前記第1メモリセルトランジスタ及び前記第2メモリセルトランジスタに対する消去動作において、
前記第1ソース線に第7電圧を印加し、

前記第 1 ビット線及び前記第 2 ビット線をオープン状態にし、
前記第 1 ワード線及び前記第 2 ワード線に前記第 7 電圧より低い
第 8 電圧を印加する
ように構成された、
請求項 1 3 記載のメモリデバイス。