

半导体装置和包括该半导体装置的电子设备

技术领域

- 5 本申请公开的实施例涉及半导体技术领域，更具体地涉及半导体装置和包括该半导体装置的电子设备。

背景技术

- 10 在集成电路的封装过程中，半导体芯片可以接合至互连层或封装基板等其他部件上，形成的封装结构称为三维集成电路(3D IC)。在3D IC中，散热是一种挑战。

- 在典型的3D IC(例如，基板上晶圆上的芯片(Chip-on-Wafer-on-Substrate, CoWoS)封装)中，热量可能聚集在芯片堆叠底部的内部区域中，从而导致明显的局部温度峰值(也称热点)。此外，由于高功耗芯片所产生的热量而引起的热点可能会对周围的芯片产生热串扰问题，从而对周围芯片的性能和整个3D IC封装的可靠性产生不利影响。这种以3D IC为例讨论的局部热点问题同样广泛存在于其他半导体芯片封装结构(例如，2.5D IC封装)中。
- 15

发明内容

- 本申请提供一种半导体装置，用于在一定程度上解决半导体装置中的局部热点的问题。
- 20 另外，本申请还提供了一种电子设备，该电子设备包括前述半导体装置。

- 根据本申请公开的第一方面，提供了一种半导体装置。该半导体装置包括：第一半导体层；第二芯片；导热层，与所述第一半导体层和所述第二芯片层叠设置并且位于所述第一半导体层与所述第二芯片之间，用于在所述导热层内传导来自所述第一半导体层和/或所述第二芯片的热量，所述导热层在水平方向的导热系数大于或等于在垂直方向的导热系数；以及第一导电柱，贯穿所述导热层，以使得所述第一半导体层与所述第二芯片通过所述第一导电柱实现电互连，其中所述第一导电柱与所述导热层电绝缘，所述第一导电柱的延伸方向为所述垂直方向，其中所述导热层在水平方向的导热系数大于所述第一半导体层的导热系数。
- 25

- 第一半导体层和/或第二芯片在工作中可能产生热量，并且热量在水平方向上可能分布不均匀。由于导热层与第一半导体层和第二芯片层叠设置并且导热层在水平方向的导热系数大于或等于在垂直方向的导热系数，可以将热量在水平方向上扩散开来，实现水平均热的效果，从而减缓或消除局部热点效应。此外，在导热层中设置有第一导电柱，以实现第一半导体层与第二芯片的电互连。由于导热层通常也是导电材料，通过将导热层与第一导电柱进行电隔离，第一导电柱的电功能不会受到影响，确保半导体装置可以正常工作。
- 30

- 在一些实施例中，所述导热层上具有多个通孔，一个或多个所述第一导电柱贯穿一个所述通孔。
- 35

- 通孔和导电柱的数量可以根据芯片的具体要求来确定。通常而言，芯片之间的互连通过多个通孔来实现。导电柱的尺寸通常由半导体制造工艺以及芯片的尺寸、性能等决定。由于大孔径的通孔更容易制造，成本更低。因此，为了降低导热层的生产成本，可以使用能够容纳多个导电柱的通孔。在一些情况下，为了提升均热性能，可以制造较小的通孔，从而尽可能保留导热层。即，一个通孔仅容纳一个导电柱。
- 40

 在一些实施例中，所述导热层与所述第一半导体层之间键合连接。

键合连接是一种无胶粘剂、无焊接层的连接，可以显著降低导热层与第一半导体层之间的热阻，从而热量可以通过导热层在水平方向上快速扩展，提升均热效果。

在一些实施例中，所述半导体装置还包括绝缘材料，所述绝缘材料包覆所述导热层的表面，所述第一导电柱还贯穿所述绝缘材料。

5 由于绝缘材料包覆导热层的表面，导热层与其他元件之间的导电路径被切断，从而不会影响半导体装置的电性操作。

在一些实施例中，所述半导体装置还包括：绝缘层，被布置为至少部分围绕所述第一导电柱且沿所述第一导电柱延伸，用于将所述第一导电柱与所述导热层隔离以实现电绝缘。

通过围绕第一导电柱设置绝缘层，可以将第一导电柱与导热层电绝缘。

10 在一些实施例中，所述半导体装置还包括：填充材料，被布置在所述导热层中并且位于在所述导热层与所述绝缘层之间。

在对导热层钻孔过程中，为了降低成本，可能制造孔径相对较大的通孔，因此，需要填充材料来填充这些通孔，以降低形成导电柱的难度。

15 在一些实施例中，所述填充材料与硅通孔（TSV）工艺兼容，所述硅通孔是指通过在硅晶圆的通孔中填充导电材料以实现的电互连。

由于填充材料与 TSV 工艺兼容，在对填充材料进行打孔的过程中，可以使用已知的半导体制造工艺来实现，从而具有良好的工艺兼容性。

在一些实施例中，所述第一半导体层为第一芯片或第一互连层。

20 在一些实施例中，在所述第一半导体层为第一芯片时，所述第一导电柱还贯穿所述第一芯片。

在一些实施例中，所述半导体装置还包括：第三半导体层，被布置在所述第一半导体层远离所述导热层的一侧，所述第三半导体层与所述导电柱电耦合。

在一些实施例中，所述导热层包括碳基材料、金属材料或其组合。

在一些实施例中，所述碳基材料包括石墨烯膜。

25 在一些实施例中，所述导热层的厚度至少为 5 μm 。

在第二方面，提供了一种电子设备，包括：根据第一方面所述的半导体装置。

在一些实施例中，所述电子设备包括：交换机、路由器、移动电话、个人数字助理（PDA）、导航设备、机顶盒、音乐播放器或视频播放器。

30 在第三方面，提供了一种均热片，包括：碳基材料层，所述碳基材料层在水平方向的导热系数大于或等于在垂直方向的导热系数；以及，第一非金属柱，贯穿所述碳基材料层，所述第一非金属柱的延伸方向为所述垂直方向，所述第一非金属柱的材质为绝缘或半导体的，其中所述第一非金属柱与所述碳基材料层接触的部分是绝缘材料。

均热片可以用于半导体封装结构中，用于对半导体封装结构中的芯片进行均热。第一非金属柱允许在其中制造电互连结构，因此，在对半导体芯片进行均热的同时不影响其电学性能。由于第一非金属柱与碳基材料层接触的部分是绝缘材料，因此如果在第一非金属柱中形成导电柱，绝缘材料可以实现对导电柱的电绝缘。

在一些实施例中，所述导热层的表面的粗糙度是小于或等于 1nm。

在一些实施例中，所述第一非金属柱的直径在 10 μm 至 40 μm 之间。

40 提供发明内容部分是为了以简化的形式来介绍对概念的选择，它们在下文的具体实施方式中将被进一步描述。发明内容部分无意标识本申请公开的关键特征或主要特征，也无意限制本申请公开的范围。

附图说明

通过结合附图对本申请公开的示例性实施例进行更详细的描述，本申请公开的上述以及其他目的、特征和优势将变得更加明显，其中，在本申请公开的示例性实施例中，相同的附图标记通常代表相同部件。

图 1A 示出了根据本申请公开的一些实施方式的半导体装置的截面图；

图 1B 示出了根据本申请公开的一些实施方式的半导体装置的截面图；

图 2 示出了根据传统技术的 CoWoS 封装的半导体装置的截面图；

10 图 3A 示出了根据本申请公开的一些实施方式的 CoWoS 封装的半导体装置的截面图；

图 3B 示出了图 3A 所示的半导体装置的一部分的放大截面图；

图 4 示出了根据本申请公开的一个实施例的仿真结构的示意图；

图 5A 至图 5Q 分别示出了根据本申请公开的第一实施例在制造半导体装置的过程中的各个阶段的示意图；

15 图 6A 和图 6B 分别示出了根据本申请公开的第一实施例的制造方法的第一变型的示意图；

图 7A 至图 7D 分别示出了根据本申请公开的第一实施例的制造方法的第二变型的示意图；

图 8A 至图 8H 分别示出了根据本申请公开的第二实施例在制造半导体装置的过程中的若干阶段的示意图；

20 图 9A 至图 9C 分别示出了根据本申请公开的第三实施例在制造半导体装置的过程中的若干阶段的示意图；

图 10A 至图 10I 分别示出了根据本申请公开的第四实施例在制造半导体装置的过程中的若干阶段的示意图；

图 11A 至图 11J 分别示出了根据本申请公开的第五实施例在制造半导体装置的过程中的若干阶段的示意图；以及

25 图 12 示出了根据本申请公开的一些实施方式的用于制造半导体装置的方法的流程图。

根据通常的做法，附图中示出的各种特征部可能未按比例绘制。因此，为了清楚起见，可以任意地扩展或减小各种特征部的尺寸。另外，一些附图可能未描绘给定的系统、方法或设备的所有部件。最后，在整个说明书和附图中，类似的附图标号可用于表示类似的特征部。

30 具体实施方式

下面将参照附图更详细地描述本申请涉及的实施例。在本文中使用的术语“包括”及其变形表示开放性包括，即“包括但不限于”。除非特别申明，术语“或”表示“和/或”。本文中术语“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。术语“基于”表示“至少部分地基于”。术语“一个示例实施例”和“一个实施例”表示“至少一个示例实施例”。术语“另一实施例”表示“至少一个另外的实施例”。术语“第一”、“第二”等等可以指代不同的或相同的对象。下文还可能包括其他明确的和隐含的定义。

对方向或方位的任何参考仅旨在便于描述，而不以任何方式限制本发明的范围。例如“下部”、“上部”、“水平”、“竖直”、“上方”、“下方”、“朝上”、“朝下”、“顶部”和“底部”及其派生(例如“水平地”、“向上”、“向下”等)等相关术语在讨论中用来指代下文描述的或者

在附图中示出的方位。这些相关术语仅仅是为了便于描述，而不要求装置以特定方位构造或操作。

根据各个示例性实施例提供了用于缓解或消除局部热点问题的半导体装置及其制造方法。这里示出了形成该半导体装置的中间阶段，并论述了多个实施例及其变型。在各个视图和示例实施例中，相似的附图标记用于代表相似的元件。

图 1A 示出了一种半导体装置 100 的截面图。该半导体装置 100 包括第一半导体层 114，例如，第一芯片（逻辑芯片或存储芯片）或第一互连层（interposer）。导热层 102 与第一半导体层 114 层叠设置，借助于其导热特性，导热层 102 允许在其内部传导来自导热层 102 的任意一侧（值得注意的是，第一半导体层 114 位于导热层 102 的一侧，导热层 102 的另一侧与第一半导体层 114 相背离）的热量。在图 1A 所示的示例中，导热层 102 允许在其内部传导来自导热层 102 上方和/下方的热量。为了方便起见，以下将结合附图来描述各个部件的方位，然而如上所述，这些方位相关术语仅仅是为了便于描述，而不要求装置以特定方位构造或操作。

例如，导热层 102 上方可能设置有第二芯片，并且第一半导体层 114 也可能由第一芯片构成，并且在第一半导体层 114 下方也可能设置有第三半导体层，而第三半导体层也可能由第三芯片构成。因此，导热层 102 的上方和下方均有可能存在热量源。导热层 102 在水平方向的导热系数可以大于或等于在垂直方向的导热系数，以有利于水平方向上的热传导。另外，导热层 102 在水平方向的导热系数大于第一半导体层 114 的导热系数。借助于导热层 102，来自导热层 102 上方和/或下方的热量可以尽可能均匀分布于导热层 102 的整个平面中。以这种方式，可以缓解或消除半导体装置中的局部热点问题。

导热层 102 与第一半导体层 114 之间可以键合连接，例如，通过晶圆键合工艺或者表面活化键合（SAB）工艺进行无胶粘剂或者无焊接层的键合连接或键合固定。这样可以显著降低导热层 102 与第一半导体层 114 之间的热阻，从而第一半导体层 114 内的热点可通过导热层 102 快速扩展。

导电柱 130 贯穿导热层 102，以使导热层 102 上方的第二芯片与第一半导体层 114 实现电互连。在一个示例中，第一半导体层 114 的电接触可以设置在上表面上，与导电柱 130 形成导电互连。在另一个示例中，第一半导体层 114 的电接触可以设置在第一半导体层 114 的下表面上，导电柱 130 可以贯穿第一半导体层 114 和导热层 102，以实现导热层 102 上方的第二芯片与第一半导体层 114 的电互连。在又一个示例中，在第一半导体层 114 下方设置有第三半导体层时，导电柱 130 也可以贯穿第一半导体层 114 和导热层 102，以提供导热层 102 上方的第二芯片与第一半导体层 114 下方的第三半导体层之间的垂直互连。

导电柱 130 与导热层 102 电绝缘，以实现绝缘隔离。例如，可以通过在导电柱 130 与导热层 102 之间设置一层或多层介质来实现电绝缘，取决于具体的工艺，一层介质的厚度可以在几十纳米。在一些示例中，为了降低导热层 102 的开孔难度，在导热层 102 中制作了较大孔径的开孔。在这种情况下，可以使用硅或二氧化硅等与硅通孔（TSV）工艺兼容的填充材料来填充这些开孔，硅通孔是指通过在硅晶圆的通孔中填充导电材料以实现电互连。这种结构与 3D 或 2.5D IC 封装等兼容，从而非常方便地应用于相关领域中。导电柱 130 可以包括阻挡层、种子层和贯通导体（例如，铜），这可以通过 TSV 工艺来实现。应当理解，术语“导电柱”不表示截面形状为圆形，例如，截面形状也可以是椭圆形、多边形等各种合适的形状。另外，术语“导电柱”也不表示截面形状或尺寸沿着整个导电柱的长度方向是相同的，例如，导电柱在其延伸方向（例如，图 1A 中的垂直方向）上的不同的截面中可以具有不同的形状、

尺寸等。

例如，导电柱的形状和开孔的形状关联，开孔的形状受不同开孔工艺的影响。例如，在激光开孔工艺中，孔的形状通常为上面尺寸较大，下面尺寸较小的结构。在 TSV 的博世工艺中，孔的形状则大体为圆柱形。导电柱的结构成型可能还会由于工艺限制导致内部出现孔洞。

5 导热层 102 可以由各种导热材料制成，例如，碳基材料、金属材料或其组合，特别是石墨烯膜。导热层 102 的厚度可以至少为 5 μm ，例如，5 μm ~1000 μm ，又例如，10 μm ~300 μm ，再例如，20 μm ~100 μm ，特别是，30 μm ~60 μm 。在常规半导体制程中，半导体装置的功能层通常采用化学气相沉积（CVD）等薄膜沉积工艺或者薄膜合成工艺制作，这些半导体工艺形成薄膜的厚度通常为纳米级别。通过使用较大厚度的导热层 102，本申请公开的实施方式可以实现良好的均热效果，更好地消除局部热点效应。导热层 102 的平面导热系数可以在 600W/mk 以上，使用石墨烯基膜可实现平面导热系数 1000W/mk 以上，甚至 1200W/mk 以上。

10 石墨烯膜是通过多层石墨烯层采用螺旋堆叠方式堆叠形成的。不同于石墨，石墨烯采用规则的 AB 堆叠（石墨烯层的一半碳原子位于下层石墨烯的另一个原子上，而另一半位于由下层石墨烯中的碳原子形成的六边形的中心上）构成。例如，石墨烯膜可以由石墨烯纳米片制作而成，例如，可以由厚度在 5nm 以下，1~100 微米平面尺寸大小的石墨烯纳米片制作而成。石墨烯膜也可以与其他材料复合，比如与 Cu、SiC、Si、SiO₂、Al₂O₃ 等材料复合，在维持高平面导热系数的情况下，实现更高强度，匹配在导热层 102 中制作通孔的工艺。例如，复合工艺可以是在石墨烯膜表面及内部 CVD 沉积增强材料，比如沉积金属、非金属或者金属/非金属的氧化物、氮化物、碳化物及氟化物等。复合工艺也可以是在石墨烯膜表面及内部在高温高压下浸渗金属，比如 Al、Cu 等。本领域技术人员应当理解，也可以使用其他合适的工艺来进行石墨烯膜与其他材料的复合。

20 石墨烯膜的平面导热性优异，例如，石墨烯膜的平面导热系数可以达到 1500~1700W/mk，从而导致热量可以在石墨烯膜的平面内进行有效传导。然而，导热层 102 的材料不局限于石墨烯基膜，也可以采用石墨烯基复合膜，例如，石墨/金属复合膜，也可采用石墨膜、石墨/金属复合膜、金属/碳复合膜、甚至铜合金膜等。在这些材料中，石墨烯膜由于具有更高的平面导热系数，从而更加适合在导热层 102 的平面内传导热量，从而缓解或消除局部热点问题。

25 由于大部分导热材料同时也是导电材料，因此半导体装置 100 还可以包括包覆导热层 102 的表面的绝缘材料，以实现绝缘隔离。导热层 102 的表面不仅包括上表面、下表面，而且还包括通孔内的侧表面。根据不同的制造工艺，绝缘材料可以包括不同的结构，例如，在图 1A 所示的示例中，绝缘材料包括第一绝缘层 110 和第二绝缘层 116，其中第一绝缘层 110 设置在导热层 102 的下表面以及侧表面上，并且第二绝缘层 116 设置在导热层 102 的上表面上。这些绝缘层的存在防止导热层 102 对半导体装置 102 内的各个部件的导电耦合，从而避免损坏半导体装置 102 的电学性能。这些绝缘层的材料可以是低介电绝缘材料，耐温性等性能可满足后续半导体制作工艺。可选材料包括氮化硅、碳化硅、氧化硅、碳氧化硅、含氟硅玻璃、碳掺杂氧化硅和聚合物中的至少一种。第一绝缘层 110 和第二绝缘层 116 均可以包含多层材料，例如，钝化层、阻挡层、介质层等，并且可采用物理沉积或者化学沉积方法制作。

30 另外，如图 1A 所示，绝缘层 128 至少部分围绕导电柱 130 并沿导电柱 130 延伸，用于将导电柱 130 与导热层 102 电绝缘。导电柱 130 可以布置在第一通孔 126 内，其中第一通孔 126 可以贯穿第一半导体层 114、第一绝缘层 110、导热层 102 和第二绝缘层 116 等。绝缘层 128 形成在第一通孔 126 的侧壁上。形成绝缘层 128 的绝缘材料可以是氧化硅、氮化硅、碳化硅、碳氧化硅、含氟硅玻璃、碳掺杂氧化硅和聚合物中的至少一种。绝缘层 128 可以包含多层材

料,例如,钝化层、阻挡层、介质层等,并且可采用物理沉积或者化学沉积方法制作。应当理解,虚线框仅表示第一通孔 126 的水平范围。

在一些实施例中,半导体装置 100 还可以包括第二通孔 104,第二通孔 104 至少贯穿导热层 102,并且第二通孔 104 的孔径尺寸大于第一通孔 126 的孔径尺寸,从而包围第一通孔 126。第二通孔 104 可以降低制造半导体装置 100 的工艺要求。例如,较大的第二通孔 106 降低了在形成第一通孔 126 时的对准要求,从而有利于提高良率和降低制造成本。

可选地,半导体装置 100 还可以包括填充材料 112,填充材料 112 布置在导热层 102 与绝缘层 128 之间。由于在以沉积等方式来形成绝缘层的过程中,第二通孔 104 可能无法填满。因此,可以形成填充材料 112,以填充第二通孔 104。填充材料 112 可以是绝缘材料(例如,氧化硅),也可以是半导体材料(例如,硅),或者两者的结合。填充材料 112 通常兼容硅通孔(TSV)工艺,从而便于制作第一通孔 126。硅通孔是指通过在硅晶圆的通孔中填充导电材料以实现电互连。可选地,半导体装置 100 还可以包括绝缘层 124,其可以在制造过程中起到钝化或保护作用。

如上所述,半导体装置 100 可以与各种封装工艺兼容。例如,半导体装置 100 可以应用于 3D 或 2.5D IC 封装中。例如,第一半导体层 114 可以是第一芯片,并且半导体装置 100 上方可以设置第二芯片,第二芯片可以与导电柱 130 电耦合。以这种方式,第一芯片与第二芯片之间可以通过 TSV 实现垂直互连。例如,第一芯片的厚度可以是 55 μ m,硅基材质,导热系数约 90W/mK。应当理解,以上参数仅作为示例提供,根据具体应用可以进行适应性修改。

此外,第三半导体层可以设置在第一半导体层 114 下方,其中第三半导体层可以是第三芯片或者互连层。例如,第三半导体芯片可以通过凸点、焊球等与导电柱 130 电耦合,从而实现与第二芯片或者第二芯片上方的其他芯片的互连。在一个具体示例中,高带宽存储器(HBM)芯片堆叠包括底层芯片以及底层芯片上方的多个内核芯片的堆叠。底层芯片可以实现为图 1A 所示的第一半导体层 114,并且内核芯片可以设置在图 1A 所示的结构上方。

应当理解,由于半导体装置 100 不局限于在互连层的应用中实现,半导体装置 100 也可以应用于没有互连层的 2.5D IC 或者 3D IC 封装方式,例如,集成扇出型(INFO)封装内部的多层芯片的平面均热能力的提升。

图 1B 示出了根据本申请公开的一些实施方式的半导体装置 100 的截面图。如图 1A 不同的是,在图 1B 中,第二通孔 104 的孔径尺寸较大,从而能够容纳第一通孔 126 和第三通孔 132。第三通孔 132 内设置有第二导电柱 134,并且被第二通孔 104 包围。应当理解,也可以超过两个通孔形成在第二通孔 104 内。图 1B 的其他部分与图 1A 基本相同,在此不再赘述。与图 A 所示的半导体装置 100 相比,图 1B 所示的半导体装置 100 对第二通孔 104 的尺寸和形状等要求进一步降低,降低开孔技术难度和成本。另外,除了使用沉积工艺之外,还允许使用涂布工艺来形成填充材料,从而可以显著降低成本。

半导体装置 100 可以应用在各种电子设备中,特别是通信设备中,例如,交换机、路由器、移动电话、个人数字助理(PDA)、导航设备、机顶盒、音乐播放器、视频播放器等等。此外,半导体装置 100 也可以与各种不同的封装类型兼容,例如,CoWoS 封装和 INFO 封装。以下将结合一个具体应用来介绍根据本申请公开的一些实施方式的半导体装置 100 的应用。图 2 示出了根据传统技术的 CoWoS 封装的半导体装置 200 的截面图。CoWoS 封装技术可以实现逻辑芯片与存储芯片在同一芯片封装的集成。如图 2 所示,半导体装置 200 包括控制器 202、内核芯片 204 和底层芯片 206,其中内核芯片 204 的数目为四个。应当理解,也可以使用更多或更少的内核芯片 204。内核芯片 204 与底层芯片 206 形成多层存储芯片堆叠,例如,高

带宽存储器（HBM）芯片堆叠。

控制器 202 和底层芯片 206 并排设置在互连层 208 上，而互连层 208 又设置在封装基板 210 上。封装材料 212 包封这些部件，并且在封装基板 210 上形成外部接触，从而形成芯片封装。控制器 202 和底层芯片 206 上可以设置有物理层（PHY）接口，从而允许芯片之间的数据通信。

如上所述，在 3D IC（例如，HBM 芯片）中存在局部热点问题，芯片过热超温可能成为后续 3D IC 芯片散热的关键问题之一。例如，采用 DRAM 工艺的 HBM 芯片结温规格仅 95 度，显著低于周边 CMOS 芯片结温规格 105 度。多层 HBM 芯片堆叠后底层芯片热量无法有效导出，底层芯片成为芯片散热瓶颈。

HBM 芯片过热主要原因是硅基芯片本身的均热性不够。以 4 层第二代高带宽存储器（HBM2）芯片堆叠为例，底部芯片的局部热点最高温度比最低温度可相差 24℃。

业界已有的 HBM 芯片降温主流措施包括：布置更多的导热焊球、采用互连密度更高的混合键合工艺等。这些方案通过提升堆叠 HBM 芯片之间的导热面积改善层间热阻，可缓解热量累积对底部芯片温升影响，但无法从改善芯片平面扩展热阻层面解决 HBM 芯片局部热点问题。需要改善芯片平面均热能力，实现芯片局部热点热量在平面方向上的快速扩展，降低芯片平面热阻。

图 3A 示出了根据本申请公开的一些实施方式的 CoWoS 封装的半导体装置 300 的截面图。与如图 2 所示的半导体装置 200 不同，半导体装置 300 在底层芯片 306 处设置有导热层 314。图 3A 的其他部分与图 2 基本相同，在此不再赘述。

图 3B 示出了半导体装置 300 的一部分 316 的放大视图。如图 3 所示，半导体装置 300 包括底层芯片 306、设置在底层芯片 306 上方的第一绝缘层 318、设置在第一绝缘层 318 上方的导热层 314 以及设置在导热层 314 上方的第二绝缘层 320。另外，绝缘层 322 可以设置在通孔 330 的侧壁上以及第二绝缘层 320 上方。导电柱 328 设置在通孔 330 内部，形成硅通孔（TSV）结构，并通过绝缘层 322 与导热层 314 绝缘。互连层 308 通过焊球 324 与导电柱 328 互连，并且内核芯片 304 通过焊球 326 与导电柱 328 互连。以这种方式，内核芯片 304 的 I/O 引脚通过导电柱 328 实现与底层芯片 306 的 I/O 引脚的垂直互连，并且底层芯片 306 通过焊球 326 与互连层 308 实现电气互连。互连层 308 的其他区域上还可以组装逻辑芯片，例如，控制器 302。通过互连层 308 实现了底层芯片 306、内核芯片 304、控制器 302 以及封装基板 310 的电气互连。应当理解，还可以使用图 1A-图 1B 所示的半导体装置 100 来实现半导体装置 300 的部分 316。

附加地或备选地，在图 3A 所示的半导体装置 300 中，还可以在控制器 302 上方设置导热层（未示出）。以这种方式，可以充分利用半导体装置 300 内的封装空间，并提高控制器 302 的均热效果。在一个示例实施例中，还可以对控制器 302 进行减薄，从而更方便地容纳导热层。

图 4 示出了根据本申请公开的一个实施例的仿真结构的示意图。在该实施例中，印刷电路板（PCB）408、设置在 PCB 408 上方的衬底 406、设置在衬底 406 上方的 HBM2 存储芯片模组 404 以及设置在 HBM 芯片堆叠 404 上方的环氧树脂（EMC）402。在该实施例中，石墨烯基导热层集成在底层芯片上方，例如如图 3A-图 3B 所示。

在传统技术中，4 层 HBM2 芯片在 2.0Gbps 工作模式下底层芯片中最高温度点温度比最低温度高 24℃。针对上述 4 层 HBM2 芯片场景构建仿真模型，重构出底层芯片中最高温度点温度比最低温度高 24℃场景。在此基础上，增加一组仿真条件，在底层芯片上增加 50um 厚度、

平面导热系数为 1500W/mk 的导热材料。

5 HBM 芯片堆叠 404 的尺寸为 11mm x 8mm, 并且底层芯片的功率为 4W, 每个 DRAM HBM 芯片的功率是 0.75W (一共 4W)。在仿真过程中, EMC 402 的温度固定在室温 25 度。传统技术中的底层芯片的表面温度为 63~87℃ ($\Delta T=24^{\circ}\text{C}$)。根据本申请公开的实施例, 底层芯片的表面温度为 65~75℃ ($\Delta T=12^{\circ}\text{C}$)。热仿真结果表明底层芯片的平面温差可从 24℃降低至 12℃, 即硅基层芯片的平面均热能力提升 1 倍。等同 3D IC 芯片封装中存储芯片模组的芯片温度规格提升了 12℃。

如上所述, 除了石墨烯膜之外, 还可以使用其他导热材料, 例如, 石墨烯基复合膜、石墨膜、石墨/金属复合膜、金属/碳复合膜、甚至铜合金膜等。

10 这些非石墨烯膜材料虽然平面导热系数难以实现 1500W/mk 以上, 但容易实现 400W/mk 以上。根据如图 4 所示的仿真模型, 在底层芯片表面集成 50um 厚度, 导热系数为 400W/mk 的导热材料时, 热仿真结果表明底层芯片的平面温差可从 24℃降至 18.8℃。因此, 即使不采用石墨烯膜, 依然可改善硅基芯片平面导热能力 50%以上。

以下将参照具体环境来描述本申请公开的示例实施例, 例如, 衬底上晶圆上芯片 (CoWoS) 15 封装。更具体地, 该 CoWoS 封装包括多层存储芯片堆叠, 其包括底层芯片以及设置在底层芯片上的一层或多层内核芯片。然而, 本申请公开的示例实施例也适用于其他封装类型和芯片结构, 包括其他三维集成电路 (3D IC) 封装以及 2.5D IC 封装等。

图 5A-图 5Q 示出了根据本申请公开的第一实施例在制造半导体装置的各个阶段的示意图。图 5A 示出了石墨烯膜 502 的截面图。例如, 石墨烯膜 502 的厚度可以是约 55um, 并且 20 平面导热系数可以是 1500~1700W/mk。应当理解, 石墨烯膜的厚度和平面导热系数也可以根据具体应用要求和制造工艺而改变。例如, 可以通过商业方式购买石墨烯膜 502。另外, 可以使用大尺寸 (平面尺寸在 20um 以上) 的单层氧化石墨烯分散液, 配制成浆料后涂布成膜, 经过多次热处理工艺及压实工艺后制作成所需厚度的石墨烯膜 502。本领域技术人员应当理解, 也可以使用任何其他合适的工艺来制造石墨烯膜 502。

25 根据预定义位置, 在石墨烯膜 502 中可以形成通孔 504。图 5B 示出了石墨烯膜 502 的平面图, 图 5C 示出了与图 5B 的截面 A-A' 对应的位置处的截面图。图 5B 和图 5C 示出了多个通孔 504。应当理解, 图 5B 和图 5C 中示出了的通孔 504 的数目、形状、大小和分布位置均是作为示例提供, 通孔 504 的数目、形状、大小和分布位置可以根据具体应用的情况来确定。例如, 在诸如高带宽存储器 (HBM) 等芯片堆叠中, 通孔 504 的大小和分布位置可以根据 HBM 30 芯片堆叠中的底层芯片与内核芯片的垂直互连的要求来确定。

为了降低对后端工艺的高精度对位需求, 通孔 504 的直径尺寸可以大于 HBM 堆叠中的底层芯片与内核芯片的硅通孔 (TSV) 的孔径。例如, 在 4 层第二代高带宽存储器 (HBM2) 芯片堆叠的示例中, I/O 数为 5024 个, 对应面积约 $1 \times 6\text{mm}$, 通孔密度可以是约 170 个每平方毫米, 典型通孔直径约 10~40um, 通孔直径最大约 76um。应当理解, 这些数字仅作为示例提供, 目的并不在于限制本发明的范围。

35 可以使用各种开孔工艺来制作通孔 504, 包括激光打孔、钻头钻孔等。在制作通孔 504 之前, 可以根据预先设定的位置需求, 制作掩膜确定开孔位置, 以方便制作通孔 504。应当理解, 也可以使用任何其他合适的技术来制作通孔 504。

接下来, 可以将石墨烯膜 502 接合到第一载具晶圆 508, 从而方便后续处理。例如, 如 40 图 5D 所示, 可以通过粘结材料 506 将石墨烯膜 502 接合到第一载具晶圆 508。例如, 粘结材料 506 是可剥离粘结材料, 例如, 热敏或者 UV 敏感胶合材料, 从而方便后续剥离第一载具晶

圆 508。热敏胶合材料在改变温度时，粘结强度会大幅度下降，而 UV 敏感胶合材料在 UV 光照下，粘结强度会大幅度下降。应当理解，也可以使用任何其他合适的方法将石墨烯膜 502 接合到第一载具晶圆 508。

第一载具晶圆 508 可以由玻璃或硅等材料制成。第一载具晶圆 508 的尺寸可以与石墨烯膜 502 的尺寸保持一致，例如，4 英寸、6 英寸、8 英寸、12 英寸等。在一些情况下，石墨烯膜 502 的尺寸和形状可能与第一载具晶圆 508 不一致。为此，可以将石墨烯膜 502 裁剪成与圆形尺寸，再通过粘结材料 506 将石墨烯膜 502 贴合在第一载具晶圆 508 的表面上。

如图 5E 所示，对石墨烯膜 502 进行减薄。例如，可以使用采用化学机械研磨将石墨烯膜 502 的背面做研磨，将石墨烯膜 502 从 55um 减薄至 50um。以这种方式，石墨烯膜 502 的表面粗糙度可以达到纳米级别，例如，小于或等于 1nm，例如，在 0.5nm 以下。备选地，可以使用厚度适当并且表面粗糙度达到期望要求的石墨烯膜 502，从而省去减薄的步骤。

如图 5F 所示，在石墨烯膜 502 的暴露表面上形成绝缘材料 510。例如，在石墨烯膜 502 的上表面和通孔 504 的侧壁上沉积绝缘材料。例如，绝缘材料 510 可以是低介电材料，耐高温性等性能可满足后续半导体制作工艺，比如氧化硅。其他可选材料包括氮化硅、碳化硅、氧化硅、碳氧化硅、含氟硅玻璃、碳掺杂氧化硅和聚合物中的至少一种。例如，绝缘材料 510 的厚度可以是约 100nm。应当理解，该数值仅作为示例提供，目的并不在于限制本发明的范围。

根据具体工艺方法及要求，绝缘材料 510 可以包括多层材料，例如，钝化层、阻挡层、介质层等。例如，可以通过各种方法来沉积绝缘材料 510，例如，物理沉积或者化学沉积。

由于石墨烯膜 502 的通孔 504 的尺寸较大，膜沉积工艺可能难以均匀填满。在这种情况下，可在通孔 504 的侧壁上通过绝缘材料 510 实现绝缘隔离后，再在通孔 504 内形成与半导体 TSV 工艺兼容的填充材料 512，例如，绝缘材料（例如，氧化硅）和/或半导体材料（例如，硅）。

在通孔 504 内形成填充材料 512 后，可通过各种适当的抛光工艺实现表面整平。例如，可以实现小于或等于 1nm（例如，0.5 纳米以下）的表面粗糙度，从而方便进行后续与底层芯片的键合。

在一些实施例中，可以借助于粘结材料 506 的可剥离特性将第一载具晶圆 508 去除，从而形成了一种均热片，该均热片包括碳基材料层（例如，石墨烯膜 502），碳基材料层在水平方向上的导热系数大于或等于在垂直方向上的导热系数。另外，该均热片还包括第一非金属柱，其贯穿碳基材料层（例如，石墨烯膜 502），并且第一非金属柱的材质为绝缘或半导体的，例如，硅或氧化硅。在图 5F 所示的示例中，第一非金属柱可以包括如图 5F 所示的绝缘材料 510 和绝缘材料 510 两侧的填充材料 512，其中第一非金属柱与石墨烯膜 502 接触的部分是绝缘材料 510。例如，第一非金属主柱的直径可以在 10um 至 40um 之间。

在图 5G 中，将石墨烯膜 502 接合到第一半导体层 514。在晶圆级封装工艺中，第一半导体层 514 可以是包括多个第一芯片或多个第一互连层的晶圆，并且可以被切割为多个第一芯片或多个第一互连层。例如，第一半导体层 514 可以包括电路等有源结构，以实现相应芯片功能，并且可以切割成多个第一芯片。例如，可以通过晶圆键合工艺在石墨烯膜 502 和第一半导体层 514 之间进行接合。可以使用各种适当晶圆键合工艺，特别是，表面活化键合（SAB）键合工艺。在 SAB 键合工艺中，在第一半导体层 514 的表面沉积 nm 级厚度的氧化硅，并且在绝缘材料 510 的表面上沉积 nm 级厚度的氧化硅，在一定温度和压力条件下直接键合。

在将石墨烯膜 502 和第一半导体层 514 进行键合时，可根据需要，将石墨烯膜 502 内的

通孔 504 和第一半导体层 514 上需要制作 TSV 通孔的位置进行初步对位。

在图 5H 中,将第一载具晶圆 508 与石墨烯膜 502 分离。基于粘结材料 506 的可剥离特性,可以将第一载具晶圆 508 从石墨烯膜 502 剥离。例如,在粘结材料 506 为热敏胶合材料的实施例中,可以通过加热的方式显著降低第一载具晶圆 508 和石墨烯膜 502 之间的热敏胶合材料的粘接强度。然后,通过施加作用力,实现第一载具晶圆 508 与石墨烯膜 502 的分离。在粘结材料 506 为 UV 敏感胶合材料的实施例中,可以通过 UV 光照等方式显著降低第一载具晶圆 508 和石墨烯膜 502 之间的 UV 敏感胶合材料的粘接强度。然后,通过施加作用力,实现第一载具晶圆 508 与石墨烯膜 502 的分离。

在图 5I 中,将第一半导体层 514 接合到第二载具晶圆 520。与图 5D 相似,可以通过粘结材料 518 将第一半导体层 514 接合到第二载具晶圆 520。例如,粘结材料 518 是可剥离粘结材料,例如,热敏或者 UV 敏感胶合材料,从而方便后续剥离第二载具晶圆 520。

另外,在石墨烯膜 502 的暴露表面上形成绝缘材料 516。例如,可以通过沉积方法形成绝缘材料 516,例如,物理沉积或化学沉积。在形成绝缘材料 516 之前,可对石墨烯膜 502 的表面做研磨/清洗等表面处理,以提高表面平整度。

在一些示例中,绝缘材料 516 可以是低介电材料,耐温性等性能可满足后续半导体制作工艺,比如氧化硅。其他可选材料包括氮化硅、碳化硅、氧化硅、碳氧化硅、含氟硅玻璃、碳掺杂氧化硅和聚合物中的至少一种。例如,绝缘材料 516 的厚度可以是约 100nm。应当理解,该数值仅作为示例提供,目的并不在于限制本发明的范围。

如图 5J 所示,在石墨烯膜 502 中根据设定位置形成通孔 522。通孔 522 可以穿过绝缘材料 516 和填充材料 512。例如,可以通过反应离子蚀刻(RIE)来进行开孔处理。在 RIE 中,可以使用氧等离子体,也可选取氢、氩等离子体。使用 RIE 需要事先对石墨烯膜 502 的表面做掩膜处理,以定义要形成通孔 522 的位置。开孔可以根据实际需求进行设计,通孔 522 的孔径直径例如可以在 2~20um 范围内。

在图 5K 中,在图 5J 所示的结构暴露的上表面上形成绝缘材料 524,具体地,在绝缘材料 516 和填充材料 512 的表面(即,通孔 522 的侧壁)上形成绝缘材料 524。绝缘材料 524 可以是钝化层,例如,氮化硅。绝缘材料 524 的厚度可以是约 100~300nm。例如,可以通过沉积工艺来形成绝缘材料 524,例如,物理沉积或化学沉积工艺。

如图 5L 所示,在第一半导体层 514 上根据设定位置形成通孔 526。这类似于后通孔(via last)工艺。例如,可以使用博世工艺或者深反应离子蚀刻工艺来形成通孔 526。在博世工艺中,可以通过 SF_6 和 C_4F_8 等离子体交替循环来实现通孔 526。通孔 526 的位置与通孔 522 的位置对应,例如,两者的中心位置保持一致,并且尺寸可以相同或者非常接近。开孔根据实际需求进行设计,孔径直径通常在 2~20um 范围内。

如图 5M 所示,在图 5L 的结构的上表面上形成绝缘层 528。具体地,在绝缘材料 524 的表面上以及在通孔 526 的侧壁上形成绝缘层 528。可以通过沉积的方式来形成绝缘层 528,例如,物理沉积或化学沉积工艺。绝缘层 528 可以包括氧化硅或者氮化硅,其厚度可以是约 100nm。

在图 5N 中,在通孔 526 中填充导电材料,以形成导电柱 530。例如,可以使用电镀来形成导电柱 530。在电镀中,首先在通孔 526 的暴露表面上依次沉积阻挡层和种子层。阻挡层的材料可以包括氮化钽、氮化钛、钛化钨、钛、钽、铬或其组合等。阻挡层的厚度可以是约 300nm。种子层的材料可以包括铜等,并且种子层的厚度可以是 200nm。应当理解,该数值仅作为示例提供,目的并不在于限制本申请公开的范围。然后,通过电镀工艺在通孔 126

内形成电镀铜，以填充通孔 526。备选地，也可以使用无电镀工艺等其他合适的方法来形成导电柱 530。

在填充通孔 526 之后，可以通过化学机械研磨等方式去除上表面上多余的铜和阻挡层材料，从而形成如图 5N 所示的结构。

5 然后，如图 5O 所示，根据需求可以在通孔 526 的一端或两端形成焊盘，例如，焊盘 532、534。例如，可以通过电镀的方式制作焊盘 532、534，比如表面镀金、镀铜等。

在一个示例中，可以首先制作靠近石墨烯膜 502 一侧的焊盘 532，制作完成后将第一半导体层 514 与第二载具晶圆 520 分离。例如，可以基于粘结材料 518 的可剥离特性，将第二载具晶圆 520 从第一半导体层 514 剥离。然后，在第一半导体层 514 的底部制作焊盘 534，
10 再制作焊球 536 的阵列，比如微凸台铜柱。在另一示例中，可以首先将第一半导体层 514 与第二载具晶圆 520 分离，然后在通孔 526 的两端分别形成焊盘 532、534。

如图 5P 所示，可以使用晶圆到晶圆（wafer to wafer）工艺实现第二芯片 540 与第一半导体层 514 的键合。例如，第二芯片 540 可以是四层 HBM2 芯片堆叠中的第四内核芯片晶圆，并且第一半导体层 514 可以是四层 HBM2 芯片堆叠中的底层芯片晶圆。根据实际需求，在多层
15 HBM 芯片堆叠完成之后，可以进行芯片切割，制作出 4 层 HBM2 堆叠存储芯片模组。

如图 5Q 所示，可以使用芯片到晶圆（die to wafer）或者芯片到芯片（die to die）工艺，将存储芯片模组焊接在第三半导体层 542 上。第三半导体层 542 可以是第三互连层或第三芯片。在第三半导体层 542 是第三互连层时，可以实现存储芯片模组通过第三半导体层 542 与其他逻辑芯片、封装基板的互连。

20 根据第一实施例，在底层芯片的一侧集成了石墨烯膜，并且底层芯片与内核芯片之间使用贯通石墨烯膜的 TSV 作为垂直互连。通过对石墨烯膜预先进行较大通孔及表面隔离措施，实现集成本体导电的高导热石墨烯膜后也可实现三维芯片之间的垂直互连。另外，在石墨烯膜预先制作的较大通孔内填充与 TSV 工艺兼容的材料，显著降低后端三维芯片集成中 TSV 工艺难度。

25 以上结合图 5A-图 5Q 介绍了根据本申请公开的第一实施例的制造方法。应当理解，本领域技术人员可以对该流程进行各种可能的修改，而不超出本申请公开的范围。以下将结合图 6A-图 7D 介绍根据第一实施例的制造方法的若干变型，以进行说明。

图 6A-图 6B 示出了根据第一实施例的制造方法的第一变型的示意图。第一实施例的第一变型开始于图 5I 所示的结构。然后，不同于图 5J，在第一实施例的第一变型中，形成穿过
30 绝缘材料 516、填充材料 512 和第一半导体层 514 的通孔 526，如图 6A 所示。然后，根据与图 5M-图 5Q 相同的步骤，形成如图 6B 所示的结构。第一实施例的第一变型与第一实施例的主要区别在于将图 5J 和图 5L 所示的开孔修改为同时进行。

图 7A-图 7D 示出了根据第一实施例的制造方法的第二变型的示意图。第一实施例的第二变型开始于图 5E 所示的结构。然后，不同于图 5F，在第一实施例的第二变型中，仅形成绝缘材料 510，而不通过填充材料 512 来填充通孔 504，如图 7A 所示。在图 7B，与图 5G 相似，将第一半导体层 514 接合到石墨烯膜 502。然后，执行与图 5H-图 5I 相同的工艺流程。在图 7C 所示，在石墨烯膜 502 的暴露表面上形成绝缘材料 516，并使用填充材料 512 来填充通孔 504。接下来，在图 7D 中，在填充材料 512 内形成通孔 522。后续步骤与图 5K-图 5Q 所示步骤相同，不再赘述。第一实施例的第二变型与第一实施例的主要区别在于图 5F 中填充材料的
40 工艺修改到图 5J 中的开孔之前执行。

图 8A-图 8H 示出了根据本申请公开的第二实施例在制造半导体装置的若干阶段的示意

图。图 8A 与图 5A 相同，提供石墨烯膜 502。在图 8B，与图 5D 相似，通过粘结材料 506 将石墨烯膜 502 接合到第一载具晶圆 508。在图 8C，与图 5E 相似，对石墨烯膜 502 进行减薄。在图 8D，与图 5F 相似，在石墨烯膜 502 上沉积绝缘材料 510。在图 8E，与图 5G 相似，将第一半导体层 514 接合到绝缘材料 510。在图 8F，与图 5H 相似，剥离第一载具晶圆 508。在图 8G，与图 5I 和图 5J 相似，将第一半导体层 514 接合到第二载具晶圆 520，并且在石墨烯膜 502 上形成绝缘材料 516。在图 8H，与图 5J 相似，形成贯穿绝缘材料 510、导热层 502 和绝缘材料 516 的通孔 522。后续步骤与图 5K-图 5Q 相同。

第二实施例与第一实施例的区别在于在石墨烯膜 502 中制作通孔的流程上，第一实施例在图 5B 和图 5C 的工艺流程，在石墨烯膜 502 上制作多个通孔 504，在图 5F 的工艺流程填充石墨烯膜 504 中的通孔 504，在图 5J 所示的工艺流程对石墨烯膜 502 的填充材料 512 进行开孔处理。与之相比，第二实施例不需要对石墨烯膜 502 进行预先开通孔。具体地，将第一实施例中，图 5B 和图 5C 所示的开孔工艺去掉，从而在图 5F 中也无需进行通孔填充，而只在图 5J 中对石墨烯膜 102 的对应位置开通孔即可。与第一实施例相比，第二实施例避免第一实施例中可能遇到的石墨烯膜的通孔和底层芯片的通孔位置对齐的挑战。

图 9A-图 9C 示出了根据本申请公开的第三实施例在制造半导体装置的若干阶段的示意图。第一实施例中的图 5A-图 5H 可以应用于第三实施例，然而在图 5B 和图 5C 所示的开孔工艺中，可以实现更大的通孔。例如，通孔 504 的尺寸可在毫米级别，针对 HBM2 场景，通孔 504 的最大尺寸可设计为整个有效 I/O 引脚面积，比如 $1 \times 6\text{mm}$ ，也可将通孔 504 的尺寸制作作为 $110 \times 110\text{um}$ 以上。这种情况下，通孔 504 的形状可以具有各种适当的形状，例如，圆形、方形等形状。由于通孔 504 的尺寸变大，通孔 504 的开孔方式可采用更为简单、适合低成本量产的模切工艺等其他合适的工艺。

在图 5F 中，在石墨烯膜 502 的暴露表面上形成绝缘材料 510。然后，在通孔 504 内填充与 TSV 工艺兼容的材料，例如，硅。由于通孔 504 具有较大的尺寸，可以使用各种工艺来填充通孔 504。例如，可以使用涂布工艺填充采用硅粉制作的浆料，在一定工艺条件下烧结固化后形成致密的填充材料。

在图 5H 所示的工艺流程之后，可以形成如图 9A 所示的结构，其中填充材料 512 填充通孔 504，与图 5I 相似。然后，在图 9B，与图 5J 相似，在石墨烯膜 502 上形成绝缘材料 516。在图 9C，与图 5K 相似，在石墨烯膜 502 中形成通孔 522。与图 5K 不同的是，在图 9C，两个通孔 522 和 538 形成在一个通孔 504 内。应当理解，也可以有超过两个通孔形成在通孔 504 内。其他工艺流程与第一实施例基本相同，在此不再赘述。

第三实施例与第一实施例相似，也可以显著降低底层芯片的平面温差，提升底层芯片的平面导热能力。相对于第一实施例而言，第三实施例的石墨烯膜 502 的实际面积有所降低，改善底层芯片的平面温差性能可能略有下降，具体视通孔 504 的大小而定。然而，由于通孔 504 的尺寸显著变大，第三实施例可显著降低石墨烯膜 502 的开通孔技术难度。另外，第三实施例有可能采用涂布等工艺对通孔 504 进行填充，相对沉积工艺而言，可显著降低成本。

图 10A-图 10I 示出了根据本申请公开的第四实施例在制造半导体装置的若干阶段的示意图。在第四实施例中，首先执行如图 5A-图 5F 所示的工艺流程。然后，将第二载具晶圆 520 接合到石墨烯膜 502 的上表面，特别是绝缘材料 510 上。具体地，可以使用粘结材料 518 将第二载具晶圆 520 接合到石墨烯膜 502。例如，粘结材料 508 可以与粘结材料 506 不同，从而在去除粘结材料 506 时不会同时将粘结材料 508 去除。例如，粘结材料 506 可以是热敏胶合材料，而粘结材料 518 可以是 UV 敏感胶合材料。或者，粘结材料 506 可以是 UV 敏感胶合

材料，而粘结材料 518 可以是热敏胶合材料。备选地，也可以使用其他合适的接合工艺将第二载具晶圆 520 接合到石墨烯膜 502。

在图 10B，与图 5H 相似，将第一载具晶圆 508 去除，并将石墨烯膜 502 倒置。在图 10C，与图 5J 相似，在石墨烯膜 502 上形成绝缘材料 516，并且在填充材料 512 和绝缘材料 516 中形成通孔 522。在图 10D 中，与图 5K 相似，在通孔 522 的侧壁以及绝缘材料 516 的表面上形成绝缘材料 524。在图 10E 中，与图 5N 相似，使用导电材料来填充通孔 522，以形成导电柱 530。在图 5F 中，与图 5O 相似，剥离第二载具晶圆 520，从而形成包含垂直互连的均热层结构。

在图 10G，通过 TSV 工艺在第一半导体层 514 中形成导电柱 550 和围绕导电柱 550 的绝缘材料 548。另外，在导电柱 550 的两端分别形成焊盘 534、544。

在图 10H，将如图 10F 所示的结构与如图 10G 所示的结构接合在一起。在接合的过程中，可以将导电柱 530 与第一半导体层 514 的相应焊盘 544 对齐，从而形成垂直互连。可以使用晶圆键合的方式来实现接合，也可以使用焊接的方式来实现接合。在接合之前，可以形成绝缘材料 546 来实现钝化作用，并在接合之后能够起到附加的支撑作用。

如图 10H 所示，导电柱 530 与导电柱 550 可以不具有相同的横向尺寸，并且中间嵌入了焊盘 534 作为整个垂直互连的一部分。在导电柱 530 的横向尺寸大于导电柱 550 的横向尺寸的情况下，制造导电柱 530 的工艺相对比较简单，容易实现，成本也低。然而，应当理解，导电柱 530 的横向尺寸也可以等于或者小于导电柱 550 的横向尺寸。

在图 10I，在导电柱 530 上形成焊盘 552，并通过焊球 538 将第二芯片 540 接合到焊盘 552。另外，通过焊球 536 将底层芯片 514 接合到第三半导体层 542。

根据第四实施例，可以避免在石墨烯膜和芯片晶圆中同时制作 TSV 导致 TSV 孔径比过高，导致工艺难度、复杂度和成本增加的问题。

图 11A-图 11J 示出了根据本申请公开的第五实施例在制造半导体装置的各个阶段的示意图。在第五实施例中，首先执行如图 8A-图 8G 所示的工艺流程。然后，在图 11A，借助于粘结材料 518 的可剥离特性将第一半导体层 514 与第二载具晶圆 520 分离。接着，将石墨烯膜 502，特别是绝缘材料 516 接合到第三载具晶圆 556，例如，通过粘结材料 554。粘结材料 554 可以与粘结材料 506、518 相似，为可剥离粘结材料。

在图 11B，在第一半导体层 514 中形成通孔 558。例如，可以通过蚀刻或激光开孔工艺来形成通孔 558。这种开孔方案兼容 TSV 工艺，并且可以保证通孔定位的高精度。通孔 558 的大小可以根据第一半导体层 514 的具体要求来确定，例如，直径约 10um。应当理解，该数值仅作为示例提供，目的不在于限制本申请公开的范围。

在图 11C，在第一半导体层 514 的暴露表面上形成绝缘材料 560。例如，可以通过物理或化学沉积方法来形成绝缘材料 560。绝缘材料 560 可以作为介电层或钝化层，例如，绝缘材料 560 可以是低介电材料，耐温性等性能可满足后续半导体制作工艺，比如氧化硅。其他可选材料包括氮化硅、碳化硅、氧化硅、碳氧化硅、含氟硅玻璃、碳掺杂氧化硅和聚合物中的至少一种。备选地，可以不执行图 11C 所示的钝化步骤。

在图 11D，在石墨烯膜 502 和绝缘材料 510、516 中形成通孔 526。例如，可以通过蚀刻或激光开孔工艺来形成通孔 526。备选地，也可以使用其他合适的开孔工艺。例如，通过非蚀刻方案开孔，特别是激光开孔，可以具有较高的开孔效率。

在图 11E，在通孔 526 内形成绝缘材料 562，具体地，在通孔 526 的侧壁以及绝缘材料 560 的表面上形成绝缘材料 562。例如，可以通过物理或化学沉积方法来形成绝缘材料 562。

绝缘材料 562 可以作为介电层或钝化层,例如,绝缘材料 562 可以是低介电材料,耐高温性能可满足后续半导体制作工艺,比如氧化硅。其他可选材料包括氮化硅、碳化硅、氧化硅、碳氧化硅、含氟硅玻璃、碳掺杂氧化硅和聚合物中的至少一种。例如,绝缘材料 562 的厚度可以是约 100nm。应当理解,该数值仅作为示例提供,目的不在于限制本申请公开的范围。

5 在图 11F,形成导电材料来填充通孔 526,以形成导电柱 530。例如,可以使用电解电镀来形成导电材料。在电解电镀中,首先在通孔 526 的暴露表面上依次沉积阻挡层和种子层。阻挡层的厚度可以是约 300nm。种子层的材料可以包括铜等,并且种子层的厚度可以是 200nm。应当理解,该数值仅作为示例提供,目的不在于限制本申请公开的范围。然后,通过电解电镀工艺在通孔 126 内形成电镀铜,以填充通孔 526。备选地,也可以使用无电镀工艺等其他合适的方法来形成导电材料。

10 在图 11G,借助于粘结材料 554 的可剥离特性来去除第三载具晶圆 556。然后,去除可能残留在通孔 526 的底部的种子层,并在导电柱 530 的两端通过金属化工艺分别形成焊盘 532 和 534。在图 11H,在焊盘 534 上形成焊球 536。在图 11I,通过焊球 536 将第一半导体层 514 接合到第三半导体层 542。例如,第三半导体层 542 可以是第三芯片或第三互连层。

15 在图 11J,在焊盘 532 上形成焊球 538,并通过焊球 538 将第一半导体层 514 接合到第二芯片 540。例如,第二芯片 540 可以是四层 HBM2 芯片堆叠中的第四内核芯片晶圆,并且第一半导体层 514 可以是四层 HBM2 芯片堆叠中的底层芯片晶圆。

20 与第一实施例相比,第五实施例在芯片侧开孔,兼容 TSV 工艺,并同时保证通孔定位的高精度。然后从石墨烯侧开孔,可采用非刻蚀方案开孔(例如,激光开口),可以实现更高的开孔效率。

在以上结合图 5A-图 11J 描述的实施例中,均以石墨烯膜为例来进行说明,然而,导热层 502 的材料不局限于石墨烯基膜,也可以采用石墨烯基复合膜,例如,石墨/金属复合膜,也可采用石墨膜、石墨/金属复合膜、金属/碳复合膜、甚至铜合金膜等。此外,尽管以上将这些实施例分开描述,应当理解,可以将这些实施例进行各种适当的组合以形成另外的实施例,而仍然不脱离本申请公开的范围。

25 图 12 示出了根据本申请公开的一些实施方式的用于制造半导体装置的方法 1200 的流程图。在框 1202,提供导热层。例如,导热层可以是如上所述的导热层 102、314 或石墨烯膜 502。

30 在框 1204,形成与导热层层叠的第一半导体层。例如,第一半导体层可以是第一半导体层 114 或者第一半导体层 514。

在框 1206,形成贯穿第一半导体层的导电柱,其中导电柱与导热层电绝缘。导电柱可以是导电柱 130、134、530 或 550。

35 在一些实施例中,方法 1200 还可以包括在导热层的第一表面上形成第一绝缘层,例如,如图 5F 所示,在石墨烯膜 502 的表面上形成绝缘材料 510。在该实施例中,如图 5G 所示,将第一半导体层(例如,第一半导体层 514)接合到第一绝缘层(例如,绝缘材料 510),以在导热层(例如,石墨烯膜 502)下方形成第一半导体层。

40 在一些实施例中,方法 1200 还可以包括在导热层(例如,石墨烯膜 502)的第二表面上形成第二绝缘层(例如,绝缘材料 516),第二表面与第一表面相对,如图 5J 所示。在该实施例中,形成贯穿第二绝缘层(例如,绝缘材料 516)、导热层(例如,石墨烯膜 502)、第一绝缘层(例如,绝缘材料 510)和第一半导体层(例如,第一半导体层 514)的第一通孔(例如,通孔 526),如图 5L 所示。然后,在第一通孔(例如,通孔 526)内形成导电柱(例如,

导电柱 530)，如图 5N 所示。

在一些实施例中，形成第一绝缘层（例如，绝缘材料 510）包括：在导热层（例如，石墨烯膜 502）中形成第二通孔（例如，通孔 504），如图 5B 和图 5C 所示；以及在导热层（例如，石墨烯膜 502）的第一表面和第二通孔（例如，通孔 504）的侧壁上形成第一绝缘层（例如，绝缘材料 510），如图 5F 所示。

在一些实施例中，将第一半导体层（例如，第一半导体层 514）接合到第一绝缘层（例如，绝缘材料 510）包括：用填充材料（例如，填充材料 512）来填充第二通孔（例如，通孔 504），如图 5F 所示；以及将第一半导体层（例如，第一半导体层 514）接合到第一绝缘层（例如，绝缘材料 510）和填充材料（例如，填充材料 512），如图 5G 所示。

10 在一些实施例中，形成第二绝缘层（例如，绝缘材料 516）包括：在第二通孔（例如，通孔 504）内和在导热层（例如，石墨烯膜 502）的第一表面上形成第二绝缘层（例如，绝缘材料 516）；以及用填充材料（例如，填充材料 512）填充第二通孔（例如，通孔 504），如图 7C 所示。

15 在一些实施例中，形成第一通孔（例如，通孔 526）包括：形成贯穿第二绝缘层（例如，绝缘材料 516）和填充材料（例如，填充材料 512）的第三通孔（例如，通孔 522），如图 5J 所示；在第二绝缘层（例如，绝缘材料 516）和第三通孔（例如，通孔 522）的侧壁和底部上形成第三绝缘层（例如，绝缘材料 524），如图 5K 所示；以及在第三通孔（例如，通孔 522）处形成贯穿第三绝缘层（例如，绝缘材料 524）和第一半导体层（例如，第一半导体层 514）的第四通孔，其中第三通孔（例如，通孔 522）与第四通孔形成第一通孔（例如，通孔 526），如图 5L 所示。

20 在一些实施例中，形成第一通孔（例如，通孔 526）包括形成贯穿第二绝缘层（例如，绝缘材料 516）、填充材料（例如，填充材料 512）和第一半导体层（例如，第一半导体层 514）的第一通孔（例如，通孔 526），如图 6A 所示。

25 在一些实施例中，形成第一通孔（例如，通孔 526）包括：形成贯穿第二绝缘层（例如，绝缘材料 516）和填充材料（例如，填充材料 512）的第五通孔（例如，通孔 522）和第六通孔（例如，通孔 538），如图 9C 所示；在第二绝缘层（例如，绝缘材料 516）和第五通孔（例如，通孔 522）和第六通孔（例如，通孔 538）的侧壁和底部上形成第四绝缘层（例如，绝缘材料 524），如图 5K 所示；以及在第五通孔（例如，通孔 522）和第六通孔（例如，通孔 538）处分别形成贯穿第四绝缘层（例如，绝缘材料 524）和第一半导体层（例如，第一半导体层 514）的第七通孔和第八通孔，其中第五通孔（例如，通孔 522）与第七通孔形成第一通孔（例如，通孔 526），并且第六通孔（例如，通孔 538）和第八通孔形成第九通孔，如图 5L 所示。

30 在一些实施例中，形成导体柱（例如，导电柱 530）包括：在第一通孔（例如，通孔 526）的侧壁上形成第五绝缘层（例如，绝缘层 528），如图 5M 所示；以及用导电材料（例如，导电柱 530）填充第一通孔（例如，通孔 526），以形成导体柱（例如，导电柱 530）。例如，可以通过电镀工艺来形成导电材料。

35 在一些实施例中，将导体柱（例如，导电柱 530）的第一端与第一芯片（例如，第二芯片 540）的接触互连；以及将导体柱（例如，导电柱 530）的第二端与第三半导体层（例如，第三半导体层 542）的接触互连。

40 在一些实施例中，形成第一通孔（例如，通孔 526）包括：形成贯穿第二绝缘层（例如，绝缘材料 516）、导热层（例如，石墨烯膜 502）和第一绝缘层（例如，绝缘材料 510）的第十通孔（例如，通孔 522），如图 8H 所示；在第二绝缘层（例如，绝缘材料 516）和第十通孔

(例如, 通孔 522) 的侧壁和底部上形成第六绝缘层 (例如, 绝缘材料 524), 如图 5K 所示; 以及在第十通孔 (例如, 通孔 522) 处形成贯穿第六绝缘层 (例如, 绝缘材料 524) 和第一半导体层 (例如, 第一半导体层 514) 的第十一通孔, 其中第十通孔 (例如, 通孔 522) 与第十一通孔形成第一通孔 (例如, 通孔 526), 如图 5L 所示。

5 在一些实施例中, 导热层包括第一导电柱 (例如, 如图 10H 所示的导电柱 530) 并且第一半导体层包括第二导电柱 (例如, 如图 10H 所示的导电柱 550), 并且形成贯穿第一半导体层与导热层的导电柱包括: 将所述第一导电柱与所述第二导电柱对齐并且彼此互连, 如图 10H 所示。

10 在一些实施例中, 形成第一通孔 (例如, 通孔 526) 包括: 在第一半导体层 (例如, 第一半导体层 514) 中形成第十二通孔 (例如, 通孔 558), 如图 11B 所示; 以及在第十二通孔 (例如, 通孔 558) 处, 形成贯穿第一绝缘层 (例如, 绝缘材料 510)、导热层 (例如, 石墨烯膜 502) 和第二绝缘层 (例如, 绝缘材料 516) 的第十三通孔, 其中第十二通孔 (例如, 通孔 558) 与第十三通孔形成第一通孔 (例如, 通孔 526), 如图 11D 所示。

15 尽管已经详细地描述了本发明的实施例及其优势, 但应该理解, 在不脱离所附权利要求所限定的本发明的精神和范围的情况下, 可对本发明做出各种改变、替代和变化。而且, 本申请的范围不旨在限于本说明书中所述的工艺、机器装置、制造、物质组成、工具、方法和步骤的具体实施例。本领域的技术人员通过本发明容易理解, 根据本发明, 可以利用已有的或今后将开发的、与本发明所述相应实施例执行基本相同的功能或者实现基本相同的结果的工艺、机器装置、制造、物质组成、工具、方法或步骤。因此, 所附权利要求旨在将这些工
20 艺、机器装置、制造、物质组成、工具、方法或步骤包括在它们的保护范围内。另外, 每个权利要求组成单独的实施例, 并且各个权利要求和实施例的组合都在本发明的范围内。