

显示芯片及制作方法

相关申请的交叉引用

本申请是以申请号为 202311506815.2，申请日为 2023 年 11 月 13 日的中国申请为基础，并主张其优先权，该中国申请的公开内容在此作为整体引入本申请中。

5 技术领域

本申请属于半导体技术领域，尤其涉及一种显示芯片及制作方法。

背景技术

目前，微型发光二极管（Micro-LED）等显示器件中的膜层材料为镓极性材料，镓极性膜层的生长温度较低，导致穿透位错密度较高，伴随量子阱内强极化电场引起的量子限制斯塔克效应，导致显示器件的发光效率较低。

发明内容

第一方面，本申请提供了一种显示芯片，包括：

芯片结构，包括依次设置的第一半导体层、量子阱发光层和第二半导体层；所述第一半导体层和所述第二半导体层中的一者为 n 型半导体层，另一者为 p 型半导体层；

15 其中，所述第一半导体层、所述量子阱发光层和所述第二半导体层均为氮极性膜层。

根据本申请的一个实施例，所述芯片结构还包括依次设置在所述第一半导体层与所述量子阱发光层之间的第四非掺杂半导体层、第一势垒层、第一超晶格层和第二超晶格层；

20 所述第四非掺杂半导体层、第一势垒层、所述第一超晶格层和所述第二超晶格层均为氮极性膜层。

根据本申请的一个实施例，所述第四非掺杂半导体层包括 u-GaN 层，所述第一势垒层包括 GaN 层；所述第一超晶格层包括 $u\text{-In}_a\text{Ga}_{1-a}\text{N}/u\text{-GaN}$ 超晶格层， $0.01 \leq a \leq 0.05$ ；所述第二超晶格层包括 $u\text{-In}_b\text{Ga}_{1-b}\text{N}/n\text{-GaN}$ 超晶格层， $0.05 \leq b \leq 0.1$ 。

25 根据本申请的一个实施例，所述第一半导体层包括重掺杂半导体层以及位于所述重掺杂半导体层与所述量子阱发光层之间的轻掺杂半导体层；

所述重掺杂半导体层和所述轻掺杂半导体层均为氮极性膜层。

根据本申请的一个实施例，所述重掺杂半导体层包括 $n\text{-GaN}$ 重掺杂层或 $n\text{-Al}_c\text{Ga}_{1-c}\text{N}/n\text{-GaN}$ 超晶格层， $0.02 \leq c \leq 0.15$ ；所述轻掺杂半导体层包括 $n\text{-GaN}$ 轻掺杂层或 $n\text{-Al}_g\text{Ga}_{1-g}\text{N}/n\text{-GaN}$ 超晶格层， $0.02 \leq g \leq 0.08$ 。

30 根据本申请的一个实施例，所述量子阱发光层包括依次设置在所述第一半导体层与所述第二半导体层之间的第五非掺杂半导体层、第一势阱层、第一盖帽层、第二势垒层、第六非掺杂半导体层、第二势阱层、第二盖帽层和第三势垒层；

所述第五非掺杂半导体层、所述第一势阱层、所述第一盖帽层、所述第二势垒层、

所述第六非掺杂半导体层、所述第二势阱层、所述第二盖帽层和所述第三势垒层均为氮极性膜层。

根据本申请的一个实施例，所述第五非掺杂半导体层和所述第六非掺杂半导体层均包括 u-GaN 层，所述第一盖帽层和所述第二盖帽层均包括 GaN 层；所述第一势阱层包括 u-In_xGa_{1-x}N 层， $0.1 \leq x \leq 0.15$ ；所述第二势垒层包括 GaN 层或 u-In_yGa_{1-y}N 层， $0.01 \leq y \leq 0.03$ ；所述第二势阱层包括 u-In_zGa_{1-z}N 层， $0.35 \leq z \leq 0.4$ ；所述第三势垒层包括 u-Al_dGa_{1-d}N 层， $0.3 \leq d \leq 0.35$ 。

根据本申请的一个实施例，所述第二半导体层包括依次设置在所述量子阱发光层背离所述第一半导体层一侧的电子阻挡层、空穴注入层和欧姆接触层；

10 所述电子阻挡层、所述空穴注入层和所述欧姆接触层均为氮极性膜层。

根据本申请的一个实施例，所述电子阻挡层包括 p-AlGa_eN 极化诱导层或 p-Al_eGa_{1-e}N/p-GaN 超晶格层， $0.15 \leq e \leq 0.25$ ；所述空穴注入层包括 p-GaN 层；所述欧姆接触层包括 p-In_fGa_{1-f}N/p-GaN 超晶格层， $0.1 \leq f \leq 0.2$ 。

根据本申请的一个实施例，所述芯片结构还包括依次位于所述第二半导体层背离所述量子阱发光层一侧的第一透明导电层、第一反射层和键合层。

根据本申请的一个实施例，所述芯片结构还包括位于所述量子阱发光层与所述第二半导体层之间的保护层。

根据本申请的一个实施例，所述量子阱发光层包括红光量子阱发光层。

根据本申请的一个实施例，所述显示芯片还包括基板；所述基板与所述芯片结构背离所述第一半导体层的一侧键合连接。

根据本申请的一个实施例，所述显示芯片还包括钝化层和第二反射层；

所述钝化层位于所述芯片结构背离所述基板的一侧并覆盖所述芯片结构的侧壁，所述第二反射层覆盖所述钝化层。

根据本申请的一个实施例，所述显示芯片还包括位于所述第二反射层背离所述基板一侧的第二透明导电层，且所述第二透明导电层贯穿所述第二反射层和所述钝化层与所述第一半导体层连接。

根据本申请的一个实施例，所述显示芯片还包括位于所述芯片结构周侧的第三反射层，以及位于所述第二透明导电层背离所述芯片结构一侧的微透镜。

第二方面，本申请提供了一种显示芯片的制作方法，包括：

30 形成基底；

在所述基底的一侧形成芯片结构；所述芯片结构包括依次设置在所述基底一侧的第一半导体层、量子阱发光层和第二半导体层；所述第一半导体层和所述第二半导体层中的一者为 n 型半导体层，另一者为 p 型半导体层；其中，所述第一半导体层、所述量子阱发光层和所述第二半导体层均为氮极性膜层；

去除所述基底。

根据本申请的一个实施例，所述基底包括衬底、缓冲层和非掺杂半导体复合层；

所述形成基底，包括：

提供衬底；

5 在所述衬底的一侧形成缓冲层；

在所述缓冲层背离所述衬底的一侧形成非掺杂半导体复合层；所述芯片结构位于所述非掺杂半导体复合层背离所述缓冲层的一侧；

其中，所述缓冲层和所述非掺杂半导体复合层均为氮极性膜层。

10 根据本申请的一个实施例，所述非掺杂半导体复合层包括层叠设置的多个非掺杂半导体层和至少一个插入层，且任意相邻两个所述非掺杂半导体层之间具有一个所述插入层；

所述非掺杂半导体层和所述插入层均为氮极性膜层。

15 根据本申请的一个实施例，所述多个非掺杂半导体层包括第一非掺杂半导体层、第二非掺杂半导体层和第三非掺杂半导体层，所述至少一个插入层包括第一插入层和第二插入层；所述第一非掺杂半导体层、所述第一插入层、所述第二非掺杂半导体层、所述第二插入层和所述第三非掺杂半导体层依次设置在所述缓冲层与所述第一半导体层之间；

所述第一非掺杂半导体层、第二非掺杂半导体层和第三非掺杂半导体层均包括 u-GaN 层，所述第一插入层包括多孔 SiN_x 层，所述第二插入层包括 AlN 层。

根据本申请的一个实施例，所述去除所述基底，包括：

20 去除所述衬底；

去除所述缓冲层和所述非掺杂半导体复合层。

根据本申请的一个实施例，在所述去除所述基底之前，还包括：

将所述芯片结构背离所述基底的一侧与基板相键合。

根据本申请的一个实施例，在所述去除所述基底之后，还包括：

25 在所述芯片结构背离所述基板的一侧形成钝化层，且所述钝化层覆盖所述芯片结构的侧壁；

在所述钝化层的表面形成第二反射层。

根据本申请的一个实施例，所述方法还包括：

30 在所述第二反射层背离所述基板的一侧形成第二透明导电层，且所述第二透明导电层贯穿所述第二反射层和所述钝化层与所述第一半导体层连接；

在所述第二透明导电层背离所述基板的一侧形成微透镜。

本申请的附加方面和优点将在下面的描述中部分给出，部分将从下面的描述中变得明显，或通过本申请的实践了解到。

附图说明

本申请的上述和/或附加的方面和优点从结合下面附图对实施例的描述中将变得明显和容易理解，其中：

- 图 1 是本申请实施例提供的显示芯片的制作方法的流程示意图；
- 5 图 2 是本申请实施例提供的显示芯片的制作过程中的结构示意图之一；
- 图 3 是本申请实施例提供的显示芯片的制作过程中的结构示意图之二；
- 图 4 是本申请实施例提供的显示芯片的制作过程中的结构示意图之三；
- 图 5 是本申请实施例提供的显示芯片的制作过程中的结构示意图之四；
- 图 6 是本申请实施例提供的显示芯片的制作过程中的结构示意图之五；
- 10 图 7 是本申请实施例提供的显示芯片的制作过程中的结构示意图之六；
- 图 8 是本申请实施例提供的显示芯片的制作过程中的结构示意图之七；
- 图 9 是本申请实施例提供的显示芯片的制作过程中的结构示意图之八；
- 图 10 是本申请实施例提供的显示芯片的制作过程中的结构示意图之九；
- 图 11 是本申请实施例提供的显示芯片的制作过程中的结构示意图之十；
- 15 图 12 是本申请实施例提供的显示芯片的制作过程中的结构示意图之十一；
- 图 13 是本申请实施例提供的显示芯片的制作过程中的结构示意图之十二；
- 图 14 是本申请实施例提供的显示芯片的结构示意图。

具体实施方式

20 下面详细描述本申请的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本申请，而不能理解为对本申请的限制。

下面参考附图描述本申请实施例提供的显示芯片及制作方法。

25 图 1 为本申请实施例提供的显示芯片的制作方法的流程示意图。其中，显示芯片可以为 Micro-LED 显示芯片。

如图 1 所示，本申请实施例提供的显示芯片的制作方法包括步骤 110、步骤 120 和步骤 130。

步骤 110、形成基底。

30 在一些实施例中，如图 2 所示，基底 10 可以包括衬底 1、缓冲层 2 和非掺杂半导体复合层 3。步骤 110 中的形成基底，包括：提供衬底 1；在衬底 1 的一侧形成缓冲层 2；在缓冲层 2 背离衬底 1 的一侧形成非掺杂半导体复合层 3。其中，缓冲层 2 和非掺杂半导体复合层 3 均为氮极性膜层。

其中，衬底 1 可以包括具有一定斜切角的蓝宝石衬底等。缓冲层 2 可以包括非掺杂 GaN (u-GaN) 层，缓冲层 2 的厚度可以为 15nm~35nm。非掺杂半导体复合层 3 可以为低

位错密度的膜层。

例如，利用 MOCVD（金属有机化合物化学气相沉淀）系统，先给衬底 1 提供氢气氛围，温度为 $1080^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ ，时间为 $300\text{s}\sim 400\text{s}$ 。维持氢气氛围，降低反应室温度至 $1020^{\circ}\text{C}\sim 1060^{\circ}\text{C}$ ，随后通入氨气对衬底 1 的表面进行氮化处理。

- 5 然后，在衬底 1 的一侧生长低温缓冲层 2，即由氢气氛围切换至氮气氛围，氨气继续通入，反应室温度降低至 $550^{\circ}\text{C}\sim 580^{\circ}\text{C}$ 。维持氮气氛围，升高反应室温度至 $1060^{\circ}\text{C}\sim 1080^{\circ}\text{C}$ ，并对缓冲层 2 进行退火工艺处理，时间为 $500\text{s}\sim 600\text{s}$ 。

需要说明的是，缓冲层 2 也可以采用其他工艺制作形成，此处不作具体限定。

- 10 在缓冲层 2 背离衬底 1 的一侧形成非掺杂半导体复合层 3。在一些实施例中，非掺杂半导体复合层 3 包括层叠设置的多个非掺杂半导体层和至少一个插入层，且任意相邻两个非掺杂半导体层之间具有一个插入层。其中，非掺杂半导体层和插入层均为氮极性膜层。插入层可以降低非掺杂半导体层内穿透位错密度，改善芯片的内量子效率。

- 15 在一些实施例中，如图 2 所示，多个非掺杂半导体层包括第一非掺杂半导体层 31、第二非掺杂半导体层 33 和第三非掺杂半导体层 35，至少一个插入层包括第一插入层 32 和第二插入层 34。第一非掺杂半导体层 31、第一插入层 32、第二非掺杂半导体层 33、第二插入层 34 和第三非掺杂半导体层 35 依次设置在缓冲层 2 背离衬底 1 的一侧。

- 20 其中，第一非掺杂半导体层 31 可以包括 u-GaN 层，第一非掺杂半导体层 31 的厚度可以为 $300\text{nm}\sim 500\text{nm}$ 。第一插入层 32 可以包括多孔 SiN_x 层。第一插入层 32 的主要作用：一方面降低 u-GaN 层的缺陷密度和杂质离子浓度；另一方面可以降低氮极性 u-GaN 层的背景电子浓度，提升迁移率，改善发光性能。

- 25 第二非掺杂半导体层 33 可以包括 u-GaN 层，第二非掺杂半导体层 33 的厚度为 $1\mu\text{m}\sim 1.2\mu\text{m}$ 。第二插入层 34 可以包括 AlN 层，第二插入层 34 的厚度可以为 $5\text{nm}\sim 30\text{nm}$ 。第三非掺杂半导体层 35 可以包括 u-GaN 层，第三非掺杂半导体层 35 的厚度可以为 $1.5\mu\text{m}\sim 2.5\mu\text{m}$ 。非掺杂半导体复合层 3 的整体厚度可以为 $3\mu\text{m}\sim 4\mu\text{m}$ 。

- 30 例如，在生长缓冲层 2 之后，由氮气范围切换至氢气氛围，升高反应室温度至 $1080^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ ，在缓冲层 2 背离衬底 1 的一侧生长第一非掺杂半导体层 31。只通入氨气（ NH_3 ）和硅烷（ SiH_4 ），在第一非掺杂半导体层 31 背离缓冲层 2 的一侧生长第一插入层 32。

- 35 然后，在氢气氛围下，反应室温度为 $1080^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ 的情况下，在第一插入层 32 背离第一非掺杂半导体层 31 的一侧生长第二非掺杂半导体层 33。然后，降低反应室温度至 $900^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ ，在第二非掺杂半导体层 33 背离第一插入层 32 的一侧生长低温第二插入层 34。然后，在氢气氛围下，反应室温度为 $1080^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ 的情况下，在第二插入层 34 背离第二非掺杂半导体层 33 的一侧生长第三非掺杂半导体层 35。

需要说明的是，非掺杂半导体复合层 3 也可以采用其他工艺制作形成，此处不作具体限定。

步骤 120、在基底的一侧形成芯片结构；芯片结构包括依次设置在基底一侧的第一半导体层、量子阱发光层和第二半导体层；第一半导体层和第二半导体层中的一者为 n 型半导体层，另一者为 p 型半导体层；其中，第一半导体层、量子阱发光层和第二半导体层均为氮极性膜层。

5 结合图 3 至图 7 所示，芯片结构 20 包括第一半导体层 4、量子阱发光层 5 和第二半导体层 6。步骤 120 中的在基底的一侧形成芯片结构，包括：在基底 10 的一侧形成第一半导体层 4；在第一半导体层 4 背离基底 10 的一侧形成量子阱发光层 5；在量子阱发光层 5 背离第一半导体层 4 的一侧形成第二半导体层 6。

其中，第一半导体层 4 为 n 型半导体层，第二半导体层 6 为 p 型半导体层。或者，
10 第一半导体层 4 为 p 型半导体层，第二半导体层 6 为 n 型半导体层。在一些实施例中，芯片结构 20 为氮极性 InGaN 基芯片结构，第一半导体层 4 为 n 型半导体层，第二半导体层 6 为 p 型半导体层。

在一些实施例中，如图 3 所示，第一半导体层 4 包括重掺杂半导体层 41 和轻掺杂半导体层 42。重掺杂半导体层 41 位于基底 10 一侧，如重掺杂半导体层 41 位于非掺杂半
15 导体复合层 3 背离衬底 1 的一侧，轻掺杂半导体层 42 位于重掺杂半导体层 41 背离基底 10 的一侧。其中，重掺杂半导体层 41 和轻掺杂半导体层 42 均为氮极性膜层。

重掺杂半导体层 41 可以包括 n-GaN 重掺杂层，重掺杂半导体层 41 的电子浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 2 \times 10^{19} \text{cm}^{-3}$ ，重掺杂半导体层 41 的厚度为 $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$ 。

例如，反应室温度为 $1080^\circ\text{C} \sim 1100^\circ\text{C}$ ，通入硅烷，采用 δ 掺杂方法，将通入硅烷的
20 过程与重掺杂半导体层 41 的生长过程分离，以周期性生长非掺杂半导体层。依靠生长过程中 Si 原子的扩散实现非掺杂半导体层的 n 型掺杂，得到重掺杂半导体层 41。其中，非掺杂半导体层可以包括 GaN 层，重掺杂半导体层 41 可以包括 n-GaN 层。非掺杂半导体层的周期厚度可以为 $10\text{nm} \sim 30\text{nm}$ ，硅烷的流量可以为 $2\text{nmol/min} \sim 80\text{nmol/min}$ ，可以实现重掺杂半导体层 41 的电子浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 2 \times 10^{19} \text{cm}^{-3}$ ，重掺杂半导体层 41 的
25 厚度为 $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$ 。

需要说明的是，通常选用硅烷作为 GaN 层的 n 型掺杂剂，但是均匀的硅烷掺杂，导致 Ga 原子的迁移能力下降，容易形成 V 型缺陷，因此本实施例采用 δ 掺杂方法，以避免 V 型缺陷。

重掺杂半导体层 41 也可以包括 $\text{n-Al}_c\text{Ga}_{1-c}\text{N}/\text{n-GaN}$ 超晶格层， $0.02 \leq c \leq 0.15$ ，电
30 子浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 2 \times 10^{19} \text{cm}^{-3}$ 。其中， $\text{n-Al}_c\text{Ga}_{1-c}\text{N}$ 中 Al 组分约为 $2\% \sim 15\%$ ，厚度可以为 $2\text{nm} \sim 3\text{nm}$ ，n-GaN 的厚度可以为 $2.5\text{nm} \sim 15\text{nm}$ 。采用 $\text{n-Al}_c\text{Ga}_{1-c}\text{N}/\text{n-GaN}$ 超晶格层可以缓解位错的延伸以及应力调控。

轻掺杂半导体层 42 可以包括 n-GaN 轻掺杂层，轻掺杂半导体层 42 的电子浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ ，轻掺杂半导体层 42 的厚度为 $0.2 \mu\text{m} \sim 0.5 \mu\text{m}$ 。

例如，反应室温度为 $1080^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ ，通入硅烷，采用 δ 掺杂方法，周期性生长非掺杂半导体层，并在非掺杂半导体层中掺杂 n 型离子，得到轻掺杂半导体层 42。其中，非掺杂半导体层包括 GaN 层，轻掺杂半导体层 42 包括 n-GaN 层。非掺杂半导体层的周期厚度为 $10\text{nm}\sim 30\text{nm}$ ，硅烷的流量为 $0.1\text{nmol}/\text{min}\sim 1.5\text{nmol}/\text{min}$ ，可以实现轻掺杂半导体层 42 的电子浓度为 $1\times 10^{17}\text{cm}^{-3}\sim 5\times 10^{17}\text{cm}^{-3}$ ，轻掺杂半导体层 42 的厚度为 $0.2\mu\text{m}\sim 0.5\mu\text{m}$ 。

轻掺杂半导体层 42 也可以包括 $\text{n-Al}_g\text{Ga}_{1-g}\text{N}/\text{n-GaN}$ 超晶格层， $0.02\leq g\leq 0.08$ ，电子浓度为 $1\times 10^{17}\text{cm}^{-3}\sim 5\times 10^{17}\text{cm}^{-3}$ 。其中， $\text{n-Al}_g\text{Ga}_{1-g}\text{N}$ 中 Al 组分约为 $2\%\sim 8\%$ ，厚度为 $2\text{nm}\sim 3\text{nm}$ ，n-GaN 的厚度为 $2.5\text{nm}\sim 15\text{nm}$ 。

10 在一些实施例中，如图 4 所示，步骤 120 中的形成芯片结构，还包括：在第一半导体层 4 背离基底 10 的一侧依次形成第四非掺杂半导体层 71、第一势垒层 72、第一超晶格层 73 和第二超晶格层 74，量子阱发光层 5 位于第二超晶格层 74 背离第一超晶格层 73 的一侧。第四非掺杂半导体层 71、第一势垒层 72、第一超晶格层 73 和第二超晶格层 74 均为氮极性膜层。

15 其中，第四非掺杂半导体层 71 可以包括 u-GaN 层，第四非掺杂半导体层 71 的厚度可以为 $10\text{nm}\sim 30\text{nm}$ 。第一势垒层 72 可以包括 GaN 层，第一势垒层 72 的厚度可以为 $10\text{nm}\sim 30\text{nm}$ 。第一超晶格层 73 可以包括至少一个周期（如 $1\sim 3$ 个周期）的 $\text{u-In}_a\text{Ga}_{1-a}\text{N}/\text{u-GaN}$ 超晶格层， $0.01\leq a\leq 0.05$ 。其中， $\text{u-In}_a\text{Ga}_{1-a}\text{N}$ 的厚度可以为 $2\text{nm}\sim 3\text{nm}$ ，In 组分为 $1\%\sim 5\%$ ，u-GaN 的厚度可以为 $2.5\text{nm}\sim 15\text{nm}$ 。第二超晶格层 74 可以包括至少一个周期（如 $1\sim 3$ 个周期）的 $\text{u-In}_b\text{Ga}_{1-b}\text{N}/\text{n-GaN}$ 超晶格层， $0.05\leq b\leq 0.1$ 。其中，n-GaN 的电子浓度可以为 $1\times 10^{17}\text{cm}^{-3}\sim 5\times 10^{17}\text{cm}^{-3}$ ， $\text{u-In}_b\text{Ga}_{1-b}\text{N}$ 的厚度可以为 $2\text{nm}\sim 3\text{nm}$ ，In 组分可以为 $5\%\sim 10\%$ ，n-GaN 的厚度可以为 $2.5\text{nm}\sim 15\text{nm}$ 。

25 例如，在生长轻掺杂半导体层 42 之后，反应室温度降低至 $900^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ ，在轻掺杂半导体层 42 背离重掺杂半导体层 41 的一侧生长第四非掺杂半导体层 71。第四非掺杂半导体层 71 用于修复降温过程中来自氢气刻蚀损伤。

然后，切换氮气氛围，反应室温度降低至 $800^{\circ}\text{C}\sim 900^{\circ}\text{C}$ ，在第四非掺杂半导体层 71 背离轻掺杂半导体层 42 的一侧生长第一势垒层 72。然后，在第一势垒层 72 背离第四非掺杂半导体层 71 的一侧生长第一超晶格层 73。继续在第一超晶格层 73 背离第一势垒层 72 的一侧生长第二超晶格层 74。

30 然后，如图 5 所示，在第二超晶格层 74 背离第一超晶格层 73 的一侧形成量子阱发光层 5。

在一些实施例中，量子阱发光层 5 包括红光量子阱发光层。本实施例采用氮极性膜层，可以缓解大电流注入下芯片的 Droop 效应，改善红光光效。

在一些实施例中，量子阱发光层 5 包括至少一个周期结构（如 $2\sim 3$ 个周期结构），

每个周期结构包括依次设置在第一半导体层 4 与第二半导体层 6 之间的第五非掺杂半导体层、第一势阱层、第一盖帽层、第二势垒层、第六非掺杂半导体层、第二势阱层、第二盖帽层和第三势垒层。其中，第五非掺杂半导体层、第一势阱层、第一盖帽层、第二势垒层、第六非掺杂半导体层、第二势阱层、第二盖帽层和第三势垒层均为氮极性膜层。

- 5 其中，第五非掺杂半导体层可以包括低温 u-GaN 层，第五非掺杂半导体层的厚度可以为 $2\text{nm}\sim 3\text{nm}$ 。第一势阱层可以包括 $\text{u-In}_x\text{Ga}_{1-x}\text{N}$ 层， $0.1\leq x\leq 0.15$ ，第一势阱层的厚度可以为 $2.5\text{nm}\sim 3.5\text{nm}$ 。第一盖帽层可以包括 GaN 层，第一盖帽层的厚度可以为 $2\text{nm}\sim 3\text{nm}$ 。第二势垒层可以包括 GaN 层或 $\text{u-In}_y\text{Ga}_{1-y}\text{N}$ 层， $0.01\leq y\leq 0.03$ ，第二势垒层的厚度可以为 $10\text{nm}\sim 15\text{nm}$ 。第六非掺杂半导体层可以包括低温 u-GaN 层，第六非掺杂半导体层的厚度
- 10 度可以为 $2\text{nm}\sim 3\text{nm}$ 。第二势阱层可以包括 $\text{u-In}_z\text{Ga}_{1-z}\text{N}$ 层， $0.35\leq z\leq 0.4$ ，第二势阱层的厚度可以为 $2.5\text{nm}\sim 3.5\text{nm}$ 。第二盖帽层可以包括 GaN 层，第二盖帽层的厚度可以为 $2\text{nm}\sim 3\text{nm}$ 。第三势垒层可以包括 $\text{u-Al}_d\text{Ga}_{1-d}\text{N}$ 层， $0.3\leq d\leq 0.35$ ，第三势垒层的厚度可以为 $10\text{nm}\sim 15\text{nm}$ 。

- 在一些实施例中，如图 6 所示，步骤 120 中的形成芯片结构，还包括：在量子阱发光层 5 背离第一半导体层 4 的一侧形成保护层 75。保护层 75 为氮极性膜层。其中，保护层 75 可以包括 u-GaN 层，保护层 75 的厚度可以为 $20\text{nm}\sim 50\text{nm}$ 。

例如，在氮气氛围中，在量子阱发光层 5 背离第一半导体层 4 的一侧生长保护层 75。

然后，如图 6 所示，在保护层 75 背离量子阱发光层 5 的一侧形成第二半导体层 6。

- 在一些实施例中，第二半导体层 6 包括在量子阱发光层 5 背离第一半导体层 4 的一侧依次形成的电子阻挡层 61、空穴注入层 62 和欧姆接触层 63。电子阻挡层 61、空穴注入层 62 和欧姆接触层 63 均为氮极性膜层。

- 其中，电子阻挡层 61 可以包括 p-AlGa_{1-e}N 极化诱导层，p-AlGa_{1-e}N 极化诱导层的厚度可以为 $50\text{nm}\sim 60\text{nm}$ ，Al 组分可以由 0% 线性增加至 20% 或 30%，理论计算膜层空穴浓度为 $2\times 10^{18}\text{cm}^{-3}\sim 2.5\times 10^{18}\text{cm}^{-3}$ 。电子阻挡层 61 也可以包括 p-Al_eGa_{1-e}N/p-GaN 超晶格层，
- 25 $0.15\leq e\leq 0.25$ ，空穴浓度可以为 $1.5\times 10^{18}\text{cm}^{-3}\sim 2.5\times 10^{18}\text{cm}^{-3}$ ，p-Al_eGa_{1-e}N 中 Al 组分约为 15%~25%，p-Al_eGa_{1-e}N 的厚度可以为 $2\text{nm}\sim 3\text{nm}$ ，p-GaN 的厚度可以为 $5\text{nm}\sim 15\text{nm}$ 。

- 空穴注入层 62 可以包括 p-GaN 层，空穴注入层 62 的厚度可以为 $100\text{nm}\sim 140\text{nm}$ 。欧姆接触层 63 可以包括至少一个周期（如 2~4 个周期）的 p-In_fGa_{1-f}N/p-GaN 超晶格层， $0.1\leq f\leq 0.2$ 。其中，p-In_fGa_{1-f}N 中的 In 组分约为 10%~20%，p-In_fGa_{1-f}N 的厚度可以为
- 30 $2\text{nm}\sim 3\text{nm}$ ，p-GaN 的厚度可以为 $5\text{nm}\sim 15\text{nm}$ 。

例如，切换氢气氛围，在保护层 75 背离量子阱发光层 5 的一侧生长电子阻挡层 61。然后，在电子阻挡层 61 背离保护层 75 的一侧沉积空穴注入层 62。在空穴注入层 62 背离电子阻挡层 61 的一侧沉积欧姆接触层 63。

需要说明的是，第二半导体层 6 也可以采用其他工艺制作形成，此处不作具体限定。

在一些实施例中，如图 7 所示，步骤 120 中的形成芯片结构，还包括：在第二半导体层 6 背离量子阱发光层 5 的一侧依次形成第一透明导电层 76、第一反射层 77 和键合层 78。第一反射层 77 用于增强显示芯片的光提取效率。

其中，第一透明导电层 76 可以包括 ITO（氧化铟锡）层。第一反射层 77 可以包括金属反射层，如包括 Ag 和 Al 等中的至少一种。键合层 78 可以包括金属层，如包括 Cr、Pt、Ni、Ti、Ni 和 Ag 中的至少一种。

例如，采用电子束蒸发或 PVD（Physical Vapor Deposition，物理气相沉积）工艺，在欧姆接触层 63 背离空穴注入层 62 的一侧沉积第一透明导电层 76，并结合退火工艺提高第一透明导电层 76 的透过率及降低材料电阻。

10 然后，采用电子束蒸发或 PVD 工艺，在第一透明导电层 76 背离欧姆接触层 63 的一侧沉积第一反射层 77。然后，采用电子束蒸发或 PVD 工艺，在第一反射层 77 背离第一透明导电层 76 的一侧沉积键合层 78。

需要说明的是，第一透明导电层 76 和第一反射层 77 也可以采用其他工艺制作形成，此处不作具体限定。

15 沿 c 轴生长方向，GaN 材料存在两种极性，即镓极性和氮极性。相比于镓极性，氮极性 InGaN 材料中 In 的并入效率更高，原因主要包括氮极性 InGaN 材料中的 In 原子与表面 N 原子可以形成较强的 In-N 键。而且，氮极性 InGaN 材料表面每个 In 原子周围存在 4 个 In-N 键，使得氮极性 InGaN 材料中 In 的解吸附效率更低，利于 In 的并入。因此，相同的 In 组分下，氮极性 InGaN 材料可以具有更高的生长温度，有利于量子阱中
20 势阱层材料晶体质量的提升，提高芯片结构的内量子效率。

而且，氮极性材料拥有与镓极性材料相反的极化方向，可以降低芯片中载流子注入量子阱的势垒，同时还能提高载流子溢出量子阱的势垒。因此，氮极性 InGaN 基芯片具有更高的载流子注入效率，同时还能抑制载流子的溢出，一定程度缓解芯片在大电流（大电流密度）下的 Droop 效应，提高显示芯片的发光效率。

25 在一些实施例中，该显示芯片的制作方法还包括：

将基板与芯片结构背离基底的一侧相键合。

如图 8 所示，芯片结构 20 通过键合层 78 与基板 30 键合连接。其中，基板 30 可以包括硅衬底或硅基互补金属氧化物半导体（CMOS）像素驱动背板等。

步骤 130、去除基底。

30 基底 10 可以包括衬底 1、缓冲层 2 和非掺杂半导体复合层 3。步骤 130 中的去除显示芯片中的基底，包括：去除衬底 1；去除缓冲层 2 和非掺杂半导体层复合层 3。

例如图 9 所示，采用激光剥离技术去除衬底 1。其中，选用的脉冲激光波长可以为 355nm、266nm 和 248nm。

然后，如图 10 所示，采用 ICP-RIE（电感耦合等离子体-反应离子刻蚀）工艺刻蚀

缓冲层 2 和非掺杂半导体层复合层 3，直至将重掺杂半导体层 41 暴露出来。然后对重掺杂半导体层 41 的表面进行机械抛光。如图 11 所示，采用光刻和 ICP-RIE 工艺将芯片结构 20 进行刻蚀，可以满足不同像素尺寸要求。

5 在一些实施例中，如图 11 所示，该显示芯片的制作方法还包括：在芯片结构 20 背离基板 30 的一侧形成钝化层 81，且钝化层 81 覆盖芯片结构 20 的侧壁；在钝化层 81 的表面形成第二反射层 82。钝化层 81 位于重掺杂半导体层 41 背离基板 30 的一侧以及芯片结构 20 的侧壁，第二反射层 82 位于钝化层 81 的表面。第二反射层 82 可以进一步增强芯片的光提取效率。

10 其中，钝化层 81 可以包括 SiO_2 、 SiN_x 和 Al_2O_3 中的至少一种，钝化层 81 的厚度可以为 $10\text{nm}\sim 40\text{nm}$ ，第二反射层 82 可以包括 DBR (Distributed Bragg Reflection, 分布布拉格反射镜) 层，DBR 层可以包括 $\text{TiO}_2/\text{SiO}_2$ 或者 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 等。

例如，采用湿法腐蚀（如 25%TMAH 溶液）修复芯片结构 20 的侧壁，然后采用 ALD 设备沉积钝化层 81。然后，采用 PVD、电子束蒸发或者 ALD 设备沉积第二反射层 82。

15 又例如，采用 PE-ALD 设备 plasma（等离子体）处理芯片结构 20 的侧壁，气体可以包括 O_2 、Ar、 H_2 、 NH_3 、 N_2 等，沉积钝化层 81。然后，采用 PVD、电子束蒸发或者 ALD 设备沉积第二反射层 82。

20 又例如，通过光刻工艺，在芯片结构 20 上采用 PECVD 工艺沉积保护层。该保护层的厚度为 $10\text{nm}\sim 40\text{nm}$ 。采用 PE-ALD 设备 plasma 处理芯片结构 20 的侧壁，气体可以包括 O_2 、Ar、 H_2 、 NH_3 、 N_2 等，沉积钝化层 81。然后，采用 PVD、电子束蒸发或者 ALD 设备沉积第二反射层 82。

在一些实施例中，如图 12 所示，该显示芯片的制作方法还包括：在芯片结构 20 的周侧形成第一隔离层 83。其中，第一隔离层 83 可以包括 SiO_2 和 SiN_x 中的至少一种。

25 例如，采用 ICP-RIE 工艺在芯片结构 20 周侧刻蚀隔离凹槽。然后，采用光刻工艺和 PECVD 设备在凹槽中形成第一隔离层 83，并采用丙酮溶液将光刻胶去除，采用乙醇和去离子水超声清洗，氮气吹干。

需要说明的是，第一隔离层 83 也可以采用其他工艺制作形成，此处不作具体限定。

30 在一些实施例中，如图 13 所示，该显示芯片的制作方法还包括：在第二反射层 82 背离基板 30 的一侧形成第二透明导电层 84，且第二透明导电层 84 贯穿第二反射层 82 和钝化层 81 与第一半导体层 4 连接。如图 13 所示，第二透明导电层 84 位于第二反射层 82 背离基板 30 的一侧以及第一隔离层 83 背离基板 30 的一侧，且第二透明导电层 84 贯穿第二反射层 82 和钝化层 81 与第一半导体层 4 中的重掺杂半导体层 41 连接。

其中，第二透明导电层 84 可以包括 ITO 层，第二透明导电层 84 的厚度可以为 $100\text{nm}\sim 400\text{nm}$ 。

例如，采用光刻工艺和 ICP-RIE 刻蚀工艺，刻蚀重掺杂半导体层 41 背离基板 30 一

侧的第二反射层 82 和钝化层 81，以暴露重掺杂半导体层 41。采用电子束蒸发或者 PVD 工艺沉积第二透明半导体层 84，并结合退火工艺提高第二透明半导体层 84 的透过率及降低材料电阻。

5 在一些实施例中，如图 14 所示，该显示芯片的制作方法还包括：在芯片结构 20 的周侧形成 n 型欧姆接触电极和第三反射层 85，且 n 型欧姆接触电极和第三反射层 85 位于第二透明半导体层 84 背离基板 30 的一侧。第三反射层 85 可以降低像素间的光串扰和出光发散角，而且提高光提取效率。

其中，n 型欧姆接触电极包括金属层，如包括 Ti/Al/Ti/Au 等。第三反射层可以包括金属层，如包括 Ag 和 Al 等中的至少一种。

10 例如，采用光刻工艺和电子束蒸发进行 n 型欧姆接触电极的制备。采用电子束蒸发或 PVD 工艺沉积第三反射层。需要说明的是，n 型欧姆接触电极和第三反射层 85 也可以采用其他工艺制作形成，此处不作具体限定。

15 在一些实施例中，如图 14 所示，该显示芯片的制作方法还包括：在芯片结构 20 的周侧形成第二隔离层 86；在第二透明导电层 84 背离基板 30 的一侧形成微透镜 85（micro-lens）。其中，第二隔离层 86 覆盖第二透明半导体层 84、n 型欧姆接触电极和第三反射层 85，且第二隔离层 86 背离基板 30 一侧的表面可以与第二透明导电层 84 背离基板 30 一侧的表面平齐。第一隔离层 83 和第二隔离层 86 用于实现像素台面间的电气绝缘。第二隔离层 86 可以包括 SiO_2 和 SiN_x 等中的至少一种。微透镜 85 与芯片结构 20 的位置相对应，微透镜 85 用于增加芯片的光收集。微透镜 85 可以包括 SiO_2 等。

20 例如，采用光刻工艺和 PECVD 设备沉积第二隔离层 86。采用 PECVD 设备沉积微透镜 87。

根据本申请实施例提供的显示芯片的制作方法，第一半导体层、量子阱发光层和第二半导体层均为氮极性膜层，氮极性膜层可以在高温下生长，提高量子阱中势阱层材料晶体质量，提高芯片载流子注入效率，且有效抑制载流子的溢出，缓解大电流注入下芯片的 Droop 效应，提高显示芯片的发光效率，进而提高显示芯片的显示效果。

25 相应地，本申请实施例还提供一种显示芯片，能够采用上述显示芯片的制作方法制作得到。其中，显示芯片可以为 Micro-LED 显示芯片。

30 如图 14 所示，显示芯片包括芯片结构 20，芯片结构 20 包括第一半导体层 4、量子阱发光层 5 和第二半导体层 6，量子阱发光层 5 位于第一半导体层 4 的一侧，第二半导体层 6 位于量子阱发光层 5 背离第一半导体层 4 的一侧。

第一半导体层 4 和第二半导体层 6 中的一者为 n 型半导体层，另一者为 p 型半导体层，即第一半导体层 4 为 n 型半导体层，第二半导体层 6 为 p 型半导体层；或者，第一半导体层 4 为 p 型半导体层，第二半导体层 6 为 n 型半导体层。

其中，第一半导体层 4、量子阱发光层 5 和第二半导体层 6 均为氮极性膜层。

本实施例中第一半导体层 4、量子阱发光层 5 和第二半导体层 6 均为氮极性膜层，氮极性膜层可以在高温下生长，提高量子阱中势阱层材料晶体质量，提高芯片载流子注入效率，且有效抑制载流子的溢出，缓解大电流注入下芯片的 Droop 效应，提高显示芯片的发光效率。

5 在一些实施例中，芯片结构 20 为氮极性 InGaN 基芯片结构，第一半导体层 4 为 n 型半导体层，第二半导体层 6 为 p 型半导体层。

在一些实施例中，如图 14 所示，第一半导体层包括重掺杂半导体层 41 和轻掺杂半导体层 42。轻掺杂半导体层 42 位于重掺杂半导体层 41 与量子阱发光层 5 之间。其中，重掺杂半导体层 41 和轻掺杂半导体层 42 均为氮极性膜层。

10 重掺杂半导体层 41 可以包括 n-GaN 重掺杂层，重掺杂半导体层 41 的电子浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 2 \times 10^{19} \text{cm}^{-3}$ ，重掺杂半导体层 41 的厚度为 $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$ 。重掺杂半导体层 41 也可以包括 $\text{n-Al}_c\text{Ga}_{1-c}\text{N}/\text{n-GaN}$ 超晶格层， $0.02 \leq c \leq 0.15$ ，电子浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 2 \times 10^{19} \text{cm}^{-3}$ 。其中， $\text{n-Al}_c\text{Ga}_{1-c}\text{N}$ 中 Al 组分约为 2%~15%，厚度可以为 $2\text{nm} \sim 3\text{nm}$ ，n-GaN 的厚度可以为 $2.5\text{nm} \sim 15\text{nm}$ 。采用 $\text{n-Al}_c\text{Ga}_{1-c}\text{N}/\text{n-GaN}$ 超晶格层可以缓解
15 位错的延伸以及应力调控。

轻掺杂半导体层 42 可以包括 n-GaN 轻掺杂层，轻掺杂半导体层 42 的电子浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ ，轻掺杂半导体层 42 的厚度为 $0.2 \mu\text{m} \sim 0.5 \mu\text{m}$ 。轻掺杂半导体层 42 也可以包括 $\text{n-Al}_g\text{Ga}_{1-g}\text{N}/\text{n-GaN}$ 超晶格层， $0.02 \leq g \leq 0.08$ ，电子浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ 。其中， $\text{n-Al}_g\text{Ga}_{1-g}\text{N}$ 中 Al 组分约为 2%~8%，厚度为 $2\text{nm} \sim 3\text{nm}$ ，n-GaN 的
20 厚度为 $2.5\text{nm} \sim 15\text{nm}$ 。

在一些实施例中，如图 14 所示，芯片结构 20 还包括依次设置在第一半导体层 4 与量子阱发光层 5 之间的第四非掺杂半导体层 71、第一势垒层 72、第一超晶格层 73 和第二超晶格层 74，即第四非掺杂半导体层 71 位于轻掺杂半导体层 42 与量子阱发光层 5 之间，第一势垒层 72 位于第四非掺杂半导体层 71 与量子阱发光层 5 之间，第一超晶格层
25 73 位于第一势垒层 72 与量子阱发光层 5 之间，第二超晶格层 74 位于第一超晶格层 73 与量子阱发光层 5 之间。第四非掺杂半导体层 71、第一势垒层 72、第一超晶格层 73 和第二超晶格层 74 均为氮极性膜层。

其中，第四非掺杂半导体层 71 可以包括 u-GaN 层，第四非掺杂半导体层 71 的厚度可以为 $10\text{nm} \sim 30\text{nm}$ 。第一势垒层 72 可以包括 GaN 层，第一势垒层 72 的厚度可以为
30 $10\text{nm} \sim 30\text{nm}$ 。第一超晶格层 73 可以包括至少一个周期（如 1~3 个周期）的 $\text{u-In}_a\text{Ga}_{1-a}\text{N}/\text{u-GaN}$ 超晶格层， $0.01 \leq a \leq 0.05$ 。其中， $\text{u-In}_a\text{Ga}_{1-a}\text{N}$ 的厚度可以为 $2\text{nm} \sim 3\text{nm}$ ，In 组分可以为 1%~5%，u-GaN 的厚度可以为 $2.5\text{nm} \sim 15\text{nm}$ 。第二超晶格层 74 可以包括至少一个周期（如 1~3 个周期）的 $\text{u-In}_b\text{Ga}_{1-b}\text{N}/\text{n-GaN}$ 超晶格层， $0.05 \leq b \leq 0.1$ 。其中，n-GaN 的电子浓度可以为 $1 \times 10^{17} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ ， $\text{u-In}_b\text{Ga}_{1-b}\text{N}$ 的厚度可以为 $2\text{nm} \sim 3\text{nm}$ ，In 组分可

以为 5%~10%，n-GaN 的厚度可以为 2.5nm~15nm。

在一些实施例中，量子阱发光层 5 包括红光量子阱发光层。

在一些实施例中，量子阱发光层 5 包括至少一个周期结构（如 2~3 个周期结构），每个周期结构包括依次设置在第一半导体层 4 与第二半导体层 6 之间的第五非掺杂半导体层、第一势阱层、第一盖帽层、第二势垒层、第六非掺杂半导体层、第二势阱层、第二盖帽层和第三势垒层。其中，第五非掺杂半导体层、第一势阱层、第一盖帽层、第二势垒层、第六非掺杂半导体层、第二势阱层、第二盖帽层和第三势垒层均为氮极性膜层。

其中，第五非掺杂半导体层可以包括低温 u-GaN 层，第五非掺杂半导体层的厚度可以为 2nm~3nm。第一势阱层可以包括 u-In_xGa_{1-x}N 层，0.1≤x≤0.15，第一势阱层的厚度可以为 2.5nm~3.5nm。第一盖帽层可以包括 GaN 层，第一盖帽层的厚度可以为 2nm~3nm。第二势垒层可以包括 GaN 层或 u-In_yGa_{1-y}N 层，0.01≤y≤0.03，第二势垒层的厚度可以为 10nm~15nm。第六非掺杂半导体层可以包括低温 u-GaN 层，第六非掺杂半导体层的厚度可以为 2nm~3nm。第二势阱层可以包括 u-In_zGa_{1-z}N 层，0.35≤z≤0.4，第二势阱层的厚度可以为 2.5nm~3.5nm。第二盖帽层可以包括 GaN 层，第二盖帽层的厚度可以为 2nm~3nm。第三势垒层可以包括 u-Al_dGa_{1-d}N 层，0.3≤d≤0.35，第三势垒层的厚度可以为 10nm~15nm。

本实施例采用氮极性膜层，使得量子阱发光层可以在高温生长，提高量子阱发光层中势垒层材料晶体质量，且可以降低芯片中载流子注入量子阱发光层的势垒，同时还能提高载流子溢出量子阱发光层的势垒，即提高载流子注入效率，同时抑制载流子的溢出，缓解大电流注入下芯片的 Droop 效应。

在一些实施例中，如图 14 所示，芯片结构 20 还可以包括保护层 75，保护层 75 位于量子阱发光层 5 与第二半导体层 6 之间。保护层 75 为氮极性膜层。其中，保护层 75 包括 u-GaN 层，保护层 75 的厚度为 20nm~50nm。

在一些实施例中，如图 14 所示，第二半导体层 6 包括依次设置在量子阱发光层 5 背离第一半导体层 4 一侧的电子阻挡层 61、空穴注入层 62 和欧姆接触层 63。电子阻挡层 61、空穴注入层 62 和欧姆接触层 63 均为氮极性膜层。

其中，电子阻挡层 61 可以包括 p-AlGa_{1-e}N 极化诱导层，p-AlGa_{1-e}N 极化诱导层的厚度可以为 50nm~60nm，Al 组分可以由 0%线性增加至 20%或 30%，理论计算膜层空穴浓度为 $2 \times 10^{18} \text{cm}^{-3} \sim 2.5 \times 10^{18} \text{cm}^{-3}$ 。电子阻挡层 61 也可以包括 p-Al_eGa_{1-e}N/p-GaN 超晶格层，0.15≤e≤0.25，空穴浓度可以为 $1.5 \times 10^{18} \text{cm}^{-3} \sim 2.5 \times 10^{18} \text{cm}^{-3}$ ，p-Al_eGa_{1-e}N 中 Al 组分约为 15%~25%，p-Al_eGa_{1-e}N 的厚度可以为 2nm~3nm，p-GaN 的厚度可以为 5nm~15nm。

空穴注入层 62 可以包括 p-GaN 层，空穴注入层 62 的厚度可以为 100nm~140nm。欧姆接触层 63 可以包括至少一个周期（如 2~4 个周期）的 p-In_fGa_{1-f}N/p-GaN 超晶格层，0.1≤f≤0.2。p-In_fGa_{1-f}N 中的 In 组分约为 10%~20%，p-In_fGa_{1-f}N 的厚度可以为 2nm~3nm，

p-GaN 的厚度可以为 5nm~15nm。

在一些实施例中，芯片结构 20 还包括依次位于第二半导体层 6 背离量子阱发光层 5 一侧的第一透明导电层 76、第一反射层 77 和键合层 78，即第一透明导电层 76 位于欧姆接触层 63 背离空穴注入层 62 的一侧，第一反射层 77 位于第一透明导电层 76 背离欧姆接触层 63 的一侧，键合层 78 位于第一反射层 77 背离第一透明导电层 76 的一侧。第一反射层 77 用于增强显示芯片的光提取效率，键合层 78 用于将显示芯片与其他基板键合连接。

其中，第一透明导电层 76 可以包括 ITO（氧化铟锡）层。第一反射层 77 可以包括金属反射层，如可以包括 Ag 和 Al 等中的至少一种。键合层 78 可以包括金属层，如可以包括 Cr、Pt、Ni、Ti、Ni 和 Ag 中的至少一种。

沿 c 轴生长方向，GaN 材料存在两种极性，即镓极性和氮极性。相比于镓极性，氮极性 InGaN 材料中 In 的并入效率更高，原因主要包括氮极性 InGaN 材料中的 In 原子与表面 N 原子可以形成较强的 In-N 键。而且，氮极性 InGaN 材料表面每个 In 原子周围存在 4 个 In-N 键，使得氮极性 InGaN 材料中 In 的解吸附效率更低，利于 In 的并入。因此，相同的 In 组分下，氮极性 InGaN 材料可以具有更高的生长温度，有利于量子阱中势阱层材料晶体质量的提升，提高芯片结构的内量子效率。

而且，氮极性材料拥有与镓极性材料相反的极化方向，可以降低芯片中载流子注入量子阱的势垒，同时还能提高载流子溢出量子阱的势垒。因此，氮极性 InGaN 基芯片结构具有更高的载流子注入效率，同时还能抑制载流子的溢出，一定程度缓解芯片在大电流（大电流密度）下的 Droop 效应，提高显示芯片的发光效率。

在一些实施例中，如图 14 所示，显示芯片还包括基板 30。基板 30 与芯片结构 20 背离第一半导体层 4 的一侧键合连接。

在一些实施例中，基板 30 位于键合层 78 背离第一半导体层 4 的一侧，且基板 30 通过键合层 78 与芯片结构 20 键合连接。

其中，基板 30 可以包括硅衬底或硅基互补金属氧化物半导体（CMOS）像素驱动背板。

在一些实施例中，如图 14 所示，显示芯片还包括钝化层 81 和第二反射层 82。钝化层 81 位于芯片结构 20 背离基板 30 的一侧并覆盖芯片结构 20 的侧壁，即钝化层 81 位于重掺杂半导体层 41 背离基板 30 的一侧以及芯片结构 20 的侧壁。第二反射层 82 覆盖钝化层 81，即第二反射层 82 位于钝化层 81 的表面。

其中，钝化层 81 可以包括 SiO_2 、 SiN_x 和 Al_2O_3 中的至少一种，钝化层 81 的厚度可以为 10nm~40nm，第二反射层 82 可以包括 DBR 层，DBR 层可以包括 $\text{TiO}_2/\text{SiO}_2$ 或者 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 等。

在一些实施例中，显示芯片还包括第一隔离层 83，第一隔离层 83 位于芯片结构 20

的周侧。其中，第一隔离层 83 可以包括 SiO_2 和 SiN_x 中的至少一种。

5 在一些实施例中，显示芯片还包括第二透明导电层 84，第二透明导电层 84 位于第二反射层 82 背离基板 30 的一侧以及第一隔离层 83 背离基板 30 的一侧，且第二透明导电层 84 贯穿第二反射层 82 和钝化层 81 与第一半导体层 4 中的重掺杂半导体层 41 连接。

其中，第二透明导电层 84 可以包括 ITO 层，第二透明导电层 84 的厚度可以为 $100\text{nm} \sim 400\text{nm}$ 。

10 在一些实施例中，显示芯片还包括 n 型欧姆接触电极，n 型欧姆接触电极位于芯片结构 20 的周侧，且 n 型欧姆接触电极位于第二透明导电层 84 背离基板 30 的一侧。其中，n 型欧姆接触电极包括金属层，如包括 Ti/Al/Ti/Au 等。

在一些实施例中，如图 14 所示，显示芯片还包括第三反射层 85，第三反射层 85 位于芯片结构 20 的周侧，且第三反射层 85 位于第二透明导电层 84 背离基板 30 的一侧。第三反射层 85 可以降低像素间的光串扰和出光发散角，而且提高芯片光提取效率。第三反射层 85 可以包括金属层，如包括 Ag 和 Al 等中的至少一种。

15 在一些实施例中，显示芯片还包括第二隔离层 86，第二隔离层 86 位于芯片结构 20 的周侧，且覆盖第二透明导电层 84 和第三反射层 85。第二隔离层 86 背离基板 30 一侧的表面可以与第二透明导电层 84 背离基板 30 一侧的表面平齐。第二隔离层 86 可以包括 SiO_2 和 SiN_x 等中的至少一种。第一隔离层 83 和第二隔离层 86 用于实现像素台面间的电气绝缘。

20 在一些实施例中，显示芯片还包括微透镜 85，微透镜 85 位于第二透明导电层 84 背离芯片结构 20 的一侧，微透镜 85 与芯片结构 20 的位置相对应。微透镜 85 用于增加芯片的光收集。微透镜 85 包括 SiO_2 等。

25 根据本申请实施例提供的显示芯片，第一半导体层 4、量子阱发光层 5 和第二半导体层 6 均为氮极性膜层，氮极性膜层可以在高温下生长，提高量子阱中势阱层材料晶体质量，提高芯片载流子注入效率，且有效抑制载流子的溢出，缓解大电流注入下芯片的 Droop 效应，提高显示芯片的发光效率，进而提高显示芯片的显示效果。

30 本申请的说明书和权利要求书中的术语“第一”、“第二”等是用于区别类似的对象，而不适用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便本申请的实施例能够以除了在这里图示或描述的那些以外的顺序实施，且“第一”、“第二”等所区分的对象通常为一类，并不限定对象的个数，例如第一对象可以是一个，也可以是多个。

在本申请的描述中，“多个”的含义是两个或两个以上。

在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示意性实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描

述的具体特征、结构、材料或者特点包含于本申请的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

- 5 尽管已经示出和描述了本申请的实施例，本领域的普通技术人员可以理解：在不脱离本申请的原理和宗旨的情况下可以对这些实施例进行多种变化、修改、替换和变型，本申请的范围由权利要求及其等同物限定。

权 利 要 求

1、一种显示芯片，其特征在于，包括：

芯片结构，包括依次设置的第一半导体层、量子阱发光层和第二半导体层；所述第一半导体层和所述第二半导体层中的一者为n型半导体层，另一者为p型半导体层；

其中，所述第一半导体层、所述量子阱发光层和所述第二半导体层均为氮极性膜层。

2、根据权利要求1所述的显示芯片，其特征在于，所述芯片结构还包括依次设置在所述第一半导体层与所述量子阱发光层之间的第四非掺杂半导体层、第一势垒层、第一超晶格层和第二超晶格层；

所述第四非掺杂半导体层、第一势垒层、所述第一超晶格层和所述第二超晶格层均为氮极性膜层。

3、根据权利要求1或2所述的显示芯片，其特征在于，所述第一半导体层包括重掺杂半导体层以及位于所述重掺杂半导体层与所述量子阱发光层之间的轻掺杂半导体层；

所述重掺杂半导体层和所述轻掺杂半导体层均为氮极性膜层。

4、根据权利要求1-3中任一项所述的显示芯片，其特征在于，所述量子阱发光层包括依次设置在所述第一半导体层与所述第二半导体层之间的第五非掺杂半导体层、第一势阱层、第一盖帽层、第二势垒层、第六非掺杂半导体层、第二势阱层、第二盖帽层和第三势垒层；

所述第五非掺杂半导体层、所述第一势阱层、所述第一盖帽层、所述第二势垒层、所述第六非掺杂半导体层、所述第二势阱层、所述第二盖帽层和所述第三势垒层均为氮极性膜层。

5、根据权利要求1-4中任一项所述的显示芯片，其特征在于，所述第二半导体层包括依次设置在所述量子阱发光层背离所述第一半导体层一侧的电子阻挡层、空穴注入层和欧姆接触层；

所述电子阻挡层、所述空穴注入层和所述欧姆接触层均为氮极性膜层。

6、根据权利要求1-5中任一项所述的显示芯片，其特征在于，所述芯片结构还包括依次位于所述第二半导体层背离所述量子阱发光层一侧的第一透明导电层、第一反射层和键合层。

7、根据权利要求1-6中任一项所述的显示芯片，其特征在于，所述芯片结构还包括位于所述量子阱发光层与所述第二半导体层之间的保护层。

8、根据权利要求1-7中任一项所述的显示芯片，其特征在于，所述显示芯片还包括基板；

所述基板与所述芯片结构背离所述第一半导体层的一侧键合连接。

9、根据权利要求8所述的显示芯片，其特征在于，所述显示芯片还包括钝化层和第二反射层；

所述钝化层位于所述芯片结构背离所述基板的一侧并覆盖所述芯片结构的侧壁，所述第二反射层覆盖所述钝化层。

10、根据权利要求 9 所述的显示芯片，其特征在于，所述显示芯片还包括位于所述第二反射层背离所述基板一侧的第二透明导电层，且所述第二透明导电层贯穿所述第二反射层和所述钝化层与所述第一半导体层连接。

11、根据权利要求 10 所述的显示芯片，其特征在于，所述显示芯片还包括位于所述芯片结构周侧的第三反射层，以及位于所述第二透明导电层背离所述芯片结构一侧的微透镜。

12、根据权利要求 1-11 中任一项所述的显示芯片，其特征在于，所述量子阱发光层包括红光量子阱发光层。

13、一种显示芯片的制作方法，其特征在于，包括：

形成基底；

在所述基底的一侧形成芯片结构；所述芯片结构包括依次设置在所述基底一侧的第一半导体层、量子阱发光层和第二半导体层；所述第一半导体层和所述第二半导体层中的一者为 n 型半导体层，另一者为 p 型半导体层；其中，所述第一半导体层、所述量子阱发光层和所述第二半导体层均为氮极性膜层；

去除所述基底。

14、根据权利要求 13 所述的显示芯片的制作方法，其特征在于，所述基底包括衬底、缓冲层和非掺杂半导体复合层；

所述形成基底，包括：

提供衬底；

在所述衬底的一侧形成缓冲层；

在所述缓冲层背离所述衬底的一侧形成非掺杂半导体复合层；所述芯片结构位于所述非掺杂半导体复合层背离所述缓冲层的一侧；

其中，所述缓冲层和所述非掺杂半导体复合层均为氮极性膜层。

15、根据权利要求 14 所述的显示芯片的制作方法，其特征在于，所述非掺杂半导体复合层包括层叠设置的多个非掺杂半导体层和至少一个插入层，且任意相邻两个所述非掺杂半导体层之间具有一个所述插入层；

所述非掺杂半导体层和所述插入层均为氮极性膜层。

16、根据权利要求 15 所述的显示芯片的制作方法，其特征在于，所述多个非掺杂半导体层包括第一非掺杂半导体层、第二非掺杂半导体层和第三非掺杂半导体层，所述至少一个插入层包括第一插入层和第二插入层；所述第一非掺杂半导体层、所述第一插入层、所述第二非掺杂半导体层、所述第二插入层和所述第三非掺杂半导体层依次设置在所述缓冲层与所述第一半导体层之间；

所述第一非掺杂半导体层、第二非掺杂半导体层和第三非掺杂半导体层均包括 u-GaN 层，所述第一插入层包括多孔 SiN_x 层，所述第二插入层包括 AlN 层。

17、根据权利要求 14-16 任一项所述的显示芯片的制作方法，其特征在于，所述去除所述基底，包括：

去除所述衬底；

去除所述缓冲层和所述非掺杂半导体复合层。

18、根据权利要求 13-17 中任一项所述的显示芯片的制作方法，其特征在于，在所述去除所述基底之前，还包括：

将所述芯片结构背离所述基底的一侧与基板相键合。

19、根据权利要求 18 所述的显示芯片的制作方法，其特征在于，在所述去除所述基底之后，还包括：

在所述芯片结构背离所述基板的一侧形成钝化层，且所述钝化层覆盖所述芯片结构的侧壁；

在所述钝化层的表面形成第二反射层。

20、根据权利要求 19 所述的显示芯片的制作方法，其特征在于，所述方法还包括：

在所述第二反射层背离所述基板的一侧形成第二透明导电层，且所述第二透明导电层贯穿所述第二反射层和所述钝化层与所述第一半导体层连接；

在所述第二透明导电层背离所述基板的一侧形成微透镜。