

一种数据处理装置及数据处理方法

背景技术

5 随着科学技术的发展，人类社会正在快速进入智能时代。智能时代的重要特点，就是人们获得数据的种类越来越多，获得数据的量越来越大，而对处理数据的速度要求越来越高。

芯片是数据处理的基石，它从根本上决定了人们处理数据的能力。从应用领域来看，芯片主要有两条路线：一条是通用芯片路线，例如中央处理器
10 (Central Processing Unit, CPU) 等，它们能提供极大的灵活性，但是在处理特定领域算法时有效算力比较低；另一条是专用芯片路线，例如张量处理器 (Tensor Processing Unit, TPU) 等，它们在某些特定领域，能发挥较高的有效算力，但是面对灵活多变的比较通用的领域，它们处理能力比较差甚至无法处理。

15 由于智能时代的数据种类繁多且数量巨大，所以要求芯片既具有极高的灵活性，能处理不同领域且日新月异的算法，又具有极强的处理能力，能快速处理极大的且急剧增长的数据量。

发明内容

20 (一) 发明目的

本发明的目的是提供一种数据处理装置及数据处理方法，该数据处理装置中设置有同步调度器和直接存储访问控制器，通过同步调度器指示直接存储访问控制器从外部的存储单元中读取与各个处理核对应的程序，并发送给与相应的处理核，一方面，本发明实施例提供的数据处理装置无需处理核从
25 外部存储单元取数，避免多个处理核读取数据产生的延时，提高了芯片的算

力，另一方面，本发明实施例提供的数据处理装置，各个处理核执行的程序可以相同或不同，并通过同步调度器响应多个处理核程序的更新，能够灵活的进行任务分配，充分发挥各处理核的算力，进一步的提升装置的算力。

（二）技术方案

5 为解决上述问题，本发明的第一方面提供了一种数据处理装置，该装置包括至少 2 个处理核；同步调度器，用于响应与同步调度器连接的各个处理核的程序更新信号，生成并发送配置信号；直接存储访问控制器，用于基于所述配置信号，从外部存储单元中读取与各个处理核对应的程序并发送给相应的处理核。

10 本发明实施方式提供的数据处理装置中设置有同步调度器和直接存储访问控制器，通过同步调度器指示直接存储访问控制器从外部的存储单元中读取程序，并发送给与该程序对应的处理核，一方面，本发明实施例提供的数据处理装置无需处理核从外部存储单元取数，避免多个处理核读取数据产生的延时，提高了芯片的算力，另一方面，本发明实施例提供的数据处理装置，
15 各个处理核执行的程序可以相同或不同，并通过同步调度器响应多个处理核程序的更新，能够灵活的进行任务分配，充分发挥各处理核的算力，进一步的提升芯片的算力。

 进一步地，所述同步调度器，还用于响应所述程序更新信号，向与同步调度器连接的各个处理核发送同步运行信号，所述同步运行信号为所述同步
20 调度器接收到预定数目的所述程序更新信号后，向各个处理核发送的，所述同步运行信号用于指示各个处理核同时开始执行各自程序。

 进一步地，所述程序包括多个程序段。

 进一步地，所述处理核，用于在执行每个所述程序段后，均向所述同步调度器发送所述程序更新信号。

25 进一步地，所述直接访问控制器，用于从所述外部存储单元中读取与各个处理核对应的所述程序段，并将所述程序段相应的处理核；所述直接访问控制器，还用于在将所述程序段发送给相应的处理核后，将配置完成的信号

发送给所述同步调度器。

进一步地，所述同步调度器，还用于响应于所述程序更新信号向与同步调度器连接的各个处理核发送同步运行信号，包括：所述同步调度器，还用于响应于所述程序更新信号以及所述配置完成信号，向与同步调度器连接的各个处理核发送所述同步运行信号。

进一步地，所述程序包括运算指令和程序更新指令；所述处理核用于基于所述运算指令完成，执行所述程序更新指令，并基于所述程序更新指令完成发送所述程序更新信号。

进一步地，所述同步调度器包括计数器；所述计数器用于记录收到的程序更新信号的个数；所述同步调度器还用于响应于所述程序更新信号的个数等于所述预定数目，准备发送所述同步运行信号。

进一步地，所述同步调度器还用于响应于所述程序更新信号的个数等于所述预定数目，准备发送所述同步运行信号，包括：所述同步调度器还用于响应于所述程序更新信号的个数等于所述预定数目，发送配置信号，在收到所述直接访问控制器发送的配置完成的信号后，再发送所述同步运行信号。

进一步地，所述同步调度器接收到预定数目的所述程序更新信号，包括：所述同步调度器接收到与同步调度器连接的所有所述处理核发送的预定数目的所述程序更新信号；或者所述同步调度器接收到预定数目的所述程序更新信号包括：所述同步调度器接收到与同步调度器连接的每个所述处理核发送的预定数目的所述程序更新信号。

进一步地，所述同步调度器，用于响应各个所述处理核的程序更新信号，生成并发送配置信号，包括：所述同步调度器，用于接收到与同步调度器连接的各个处理核均发送的所述程序更新信号后发送所述配置信号。

进一步地，至少两个处理核包括第一处理核和第二处理核；第一处理核和所述第二处理核执行的程序不同，所述第一处理核执行的程序的计算结果为所述第二处理核执行的程序的输入。

根据本发明的第二方面，提供了一种芯片，包括一个或多个第一方面提

供的数据处理装置。

根据本发明的第三方面，提供了一种卡板，包括一个或多个第二方面提供的芯片。

根据本发明的第四方面，提供了一种电子设备，包括一个或多个第三方面提供的卡板。

根据本发明的第五方面，提供了一种数据处理方法，该方法包括：处理核执行程序；同步调度器响应与同步调度器连接的各个处理核的程序更新信号，生成并发送配置信号；直接存储访问控制器基于所述配置信号，从外部存储单元中读取与各个处理核对应的程序并发给相应的处理核。

根据本发明的第六方面，提供了一种计算机存储介质，所述计算机存储介质上存储有计算机程序，所述程序被处理器执行时实现第五方面的数据处理方法。

根据本发明的第七方面，提供了一种电子设备，包括存储器、处理器及存储在所述存储器上并可在所述处理器上运行的计算机程序，所述处理器执行所述程序时实现第五方面的数据处理方法。

根据本发明的第八方面，提供一种计算机程序产品，其中，包括计算机指令，当所述计算机指令被计算设备执行时，所述计算设备可以执行第五方面的数据处理方法。

（三）有益效果

本发明的上述技术方案具有如下有益的技术效果：

本发明实施方式提供的数据处理装置中设置有同步调度器和直接存储访问控制器，通过同步调度器指示直接存储访问控制器从外部的存储单元中读取程序，并发送给与该程序对应的处理核，一方面，本发明实施例提供的数据处理装置无需处理核从外部存储单元取数，避免多个处理核读取数据产生的延时，提高了芯片的算力，另一方面，本发明实施例提供的数据处理装置，各个处理核执行的程序可以相同或不同，并通过同步调度器响应多个处理核

程序的更新，能够灵活的进行任务分配，充分发挥各处理核的算力，进一步的提升芯片的算力。

附图说明

- 图 1 是一现有技术提供的芯片的结构示意图；
- 5 图 2 是另一现有技术提供的芯片的结构示意图；
- 图 3 是根据本发明提供的一种数据处理装置的结构示意图；
- 图 4 是根据本发明提供的另一数据处理装置的结构示意图；
- 图 5 是根据本发明提供的神经网络的结构示意图；
- 图 6 是根据本发明提供的数据处理装置应用到神经网络的运算示意图；
- 10 图 7 是根据本发明提供的同步调度器对处理核的调度示意图；
- 图 8 是根据本发明提供的数据处理方法的流程示意图。

具体实施方式

- 为使本发明的目的、技术方案和优点更加清楚明了，下面结合具体实施方式并参照附图，对本发明进一步详细说明。应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。
- 15

在神经网络计算中，经常会用到多核或者众核架构的芯片。一般多核或众核架构的芯片中的处理核，都有一定独立处理数据的能力，并且也会带有比较大内存存储空间，较大的存储空间一般用于存储自身的程序、数据和权重。

- 20 如何让众多的核能够高效率的发挥算力，是决定整个芯片性能的关键。各核的算力发挥，取决于多种因素，例如任务的调度与分配、芯片的架构、核的结构、核的电路等。其中任务的调度与分配是一个非常关键的因素，如果任务的调度与分配合理，则能充分发挥各核的有效算力高，否则各核的有效算力低。

- 25 图 1 是一现有技术提供的芯片的结构示意图。

如图 1 所示, 该芯片包括调度器和多个处理核 C1 至 Cn, 在图 1 所示的芯片中, 调度器接收到来自芯片外部发送的指令, 例如调度器接收到来自芯片外部的指令源发送的指令, 然后将指令按预设的策略(例如按照预设顺序)传输给各个处理核, 各个处理核执行相同的指令, 但是处理不同的数据。例如, 指令为处理 $a+b$, 但是两个处理核的 a 或 b 可能是不同的数值, 那么这两个处理核处理的数据就是不同的数据。

对于图 1 所示的芯片架构, 各个处理核可以是比较简单的结构, 例如是单指令多数据结构(Single Instruction Multiple Data, SIMD), 或者是单指令多线程结构(Single Instruction Multiple Threads, SIMT)。

通常这种方式存在如下的弊端:

调度器只能被动的从外部接收指令, 再分配给各个处理核, 无论是 SIMD 结构还是 SIMT 结构, 各个处理核只能执行相同的指令, 导致芯片的功能单一, 且缺乏灵活性。

图 2 是另一现有技术提供的芯片的结构示意图。

如图 2 所示, 该芯片包括多个处理核 C1 至 Cn 和存储单元 memory。在图 2 所示的芯片中, 各核能从 Memory 中(例如 DDR)中独立读取指令, 并进行运算, 通常各核具有完整的控制电路、寄存器组等电路, 该结构在多核 CPU 或者 ASIC 中比较常见。

通常这种方式存在如下的弊端:

(1) 每个处理核自主性较高, 都能够独立的运行指令, 但是由于处理核的自主性较高, 多个处理核难以相互配合高效的完成一个完整的任务。

(2) 芯片中电路控制比较复杂, 每一个核都几乎是一个完整的 CPU, 若想要利用处理核之间高效的配合完成一个完整的任务, 则电路的设计难度大, 且功耗和面积大。

(3) 多个处理核可能频繁访问指令存储区, 引起存储访问效率的下降, 进而影响芯片算力的发挥。

为解决上述问题, 提出本发明的技术方案。

下面将详细说明本申请一实施方式提供的芯片。在本发明的描述中，需要说明的是，术语“第一”、“第二”、“第三”、“第四”仅用于描述目的，而不能理解为指示或暗示相对重要性。此外，下面所描述的本发明不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

5 图 3 是根据本发明第一实施方式提供的数据处理装置的结构示意图。

如图 3 所示，该数据处理装置，包括：至少 2 个处理核、同步调度器 (Synchronizer and Scheduler, S_S) 和直接存储访问控制器 (Direct Memory Access Controller, DMAC)。

其中，S_S 与至少 2 个处理核连接，至少 2 个处理核可以是数据处理装置内所有的处理核，例如是处理核 C1 到处理核 Cn，DMCA 与至少 2 个处理核、S_S 以及外部的存储单元 Memory 连接。

S_S，用于响应与 S_S 连接的各个处理核的程序更新信号，生成并发送配置信号。

DMAC，用于基于所述配置信号，从外部的 Memory 中读取与各个处理核对应的程序并发送给相应的处理核。

本发明实施方式提供的数据处理装置中设置有同步调度器和直接存储访问控制器，通过同步调度器指示直接存储访问控制器从外部的存储单元中读取程序，并发送与该程序对应的处理核，一方面，本发明实施例提供的数据处理装置无需处理核从外部存储单元取数，避免多个处理核读取数据产生的延时，提高了芯片的算力，另一方面，本发明实施例提供的数据处理装置，各个处理核执行的程序可以相同或不同，并通过同步调度器响应多个处理核程序的更新，能够灵活的进行任务分配，充分发挥各处理核的算力，进一步的提升芯片的算力。

在一个实施例中，S_S，还用于响应所述程序更新信号，向与 S_S 连接的处理核发送同步运行信号，同步运行信号为 S_S 接收到预定数目的所述程序更新信号后，向各个处理核发送的，同步运行信号用于指示各个处理核同时开始执行各自程序。

进一步的，S_S 还用于响应于程序更新信号的个数等于所述预定数目，先发送配置信号，在收到所述直接访问控制器发送的配置完成的信号后，再发送所述同步运行信号。

在一个实施例中，所述程序包括多个程序段。

- 5 所述处理核，用于在执行每个所述程序段后，均向所述 S_S 发送所述程序更新信号。

优选的，每个处理核执行的程序段数目相同。

可选的，S_S 包括第一计数器，第一计数器用于记录收到的程序更新信号的个数。

- 10 S_S 还用于响应于所述第一计数器记录的程序更新信号的个数等于所述预定数目，准备发送所述同步运行信号。

在本发明实施例中，第一计数器的个数例如可以为一个，还可以为多个。

- 可选的，当第一计数器的数目为一个时，预定数目例如可以为 S_S 接收到的各个核发送的程序更新信号的总和，即预定数目为与 S_S 连接的处理核
15 个数与程序段个数的乘积。

可选的，可设置第一计数器记录的预设数目为一个或多个。

例如，数据处理装置包括 2 个处理核，每个处理核执行的程序段为 4 段。

- 当设置第一计数器记录的预设数目为一个数值时，则设置第一计数器记录的预设数目为 8，即当第一计数器记录收到的程序更新信号为 8 个时，S_S
20 会向 DMAC 发送配置信号，当 S_S 收到 DMAC 返回的配置完成信号后，S_S 会向各个核发送同步信号，此时，对第一计数器清零，重新开始计数。

- 当设置第一计数器记录的预设数目为多个数值时，计数器记录的预设数目为 8、16、24……这些预设数目为同步控制器接收到的程序更新信号的累
计数目。当第一计数器记录接收到程序更新信号累计的数目为 8 个时，S_S
25 会向 DMAC 发送配置信号，当 DMAC 返回的配置完成信号，S_S 会向各个核发送同步信号；此时计数器不清零，继续计数，当计数器记录接收到的程序更新信号累计的数目达到 16 时，S_S 会向 DMAC 发送配置信号，当收到 DMAC 返

回的配置完成信号，S_S 会向各个核发送同步信号；第一计数器继续累计计数，当达到下一个预设数目时，S_S 重复上面的步骤。

可选的，当第一计数器的数目为多个时，所述预定数目可以为程序段的个数。

5 此时，例如，每个与所述 S_S 连接的处理核对应一个第一计数器，该第一计数器用于记录接收到与 S_S 对应的处理核发送的程序更新信号的数目，在 S_S 的接收到每个处理核都发送了预定数目的程序更新信号后，即每个第一计数器都收到预设数目的程序更新信号时，向 DMAC 发送配置信号，在接收到 DMAC 发送的配置完成信号后，S_S 向各个核发送同步信号。

10 上述设置计数器的方法仅为示例性说明，只要能够在一定条件下实现 S-S 对 DMAC 的配置和对各个处理核的同步操作的任何软硬件结构等都可以用在本发明的实施例中，在此不做更多说明。

 在一个优选的实施例中，S_S，用于响应各个所述处理核的程序更新信号，生成并发送配置信号，包括：S_S，用于接收到与 S_S 连接的各个处理核均发送的所述程序更新信号后发送所述配置信号。例如，与 S_S 连接的处理核为
15 5 个，则 S_S 在接收到 5 个处理核都发送的程序更新信号后再发送配置信号。

 在一个优选的实施例中，直接访问控制器，用于从外部的 Memory 中读取程序段，将程序段发送给与所述程序段对应的处理核。外部的 Memory 例如是指 Host 上的存储单元。

20 所述直接访问控制器，还用于在将所述程序段发送给所述程序段对应的处理核后，将配置完成的信号发送给所述 S_S。

 在一个实施例中，S_S，还用于响应于所述程序更新信号向与 S_S 连接的处理核发送同步运行信号，包括：

 S_S，还用于响应于所述程序更新信号以及所述配置完成信号，向与 S_S
25 连接的各个处理核发送同步运行信号。

 具体地，S_S 用于响应于计数器记录的程序更新信号的个数等于预定数目时，先发送配置信号给 DMAC，DMAC 将配置信号所指示的程序或程序段发送

给对应的处理核后，向 S_S 发送配置完成的信号，S_S 收到配置完成的信号后向与 S-S 连接的各个处理核发送同步运行信号。

这里“配置信号所指示的程序”可以是与处理核刚刚执行完的程序相同或者不同的程序。

- 5 在一个实施例中，处理核执行的程序包括运算指令和程序更新指令；处理核用于在完成运算指令后，执行程序更新指令，并基于程序更新指令生成并发送程序更新信号。

当处理核执行的程序包括多个程序段时，每个程序段都包括运算指令和程序更新指令。

- 10 在一个实施例中，处理核设置存储模块 PRAM，该存储模块用于存储和接收 DMAC 发送的程序，处理核所执行的程序是从自身的 PRAM 中读取的。在本实施例中，各个处理核从自身设置 PRAM 中读取程序所包含的指令，无需从外部 Memory 读取，所以可以避免设计复杂的高速缓存电路，相比于现有技术，无需从 Memory 中读取数据，降低了延时，极大的提升指令的执行效率。

- 15 优选的，PRAM 的存储空间大于或等于 16KB。

可选的，任意两个处理核存储的程序相同或者不同。

- 20 在一个优选的实施例中，数据处理装置中的至少两个处理核包括第一处理核和第二处理核；第一处理核和所述第二处理核执行的程序不同，第一处理核执行的程序的计算结果可以为所述第二处理核执行的程序的输入。将第一处理核执行的程序的计算结果作为第二处理核的输入，能够使实施例提供的芯片用于神经网络的计算。并且可通过 S_S 的使各个处理核同时运行各自存储的程序，能够使各个处理核之间有序的交流数据，相互配合高效的完成一个完整的任务。

- 25 本发明实施方式提供的数据处理装置，通过 S_S 和 DMAC，为各个处理核分配程序，各个处理核执行的程序和数据交换在程序运行之前已经设定好，芯片的顶层的微控制单元 MCU 或者系统的 Host 只需要配置 S_S 的计数器，即可实现既定的策略，而且 MCU 或者系统的 Host 可通过更改 S_S 的计数器的配

置和 Memory 的存储的程序，从而改变各核执行的程序，以及程序的分配与调度，便于修改芯片中各个处理核任务的分配和调度，能够高效的利用处理核的算力。

根据本发明的又一方面，提供了一种芯片，包括一个或多个上述方面提供的数据处理装置。

例如，该芯片包括多个数据处理装置时，该芯片可以包括多个 S_S，每个 S_S 连接多个处理核和一个直接访问控制器。

根据本发明的又一实施例，提供了一种卡板，包括一个或多个上述实施例提供的芯片。

根据本发明的又一实施例，提供了一种电子设备，包括一个或多个上述实施例提供的卡板。

图 4 是本发明提供的数据处理装置的结构示意图。

如图 4 所示，该装置包括第一处理核 C1、第二处理核 C2、S_S 和 DMAC。每个处理核均设置有 PRAM。

图 5 是本发明提供的神经网络的结构示意图。

本实施例以 2 层神经网络为例，如图 5 所示，神经网络为 2 层结构，神经网络的每一层的控制程序都是 128KB，每一层的计算量相同，整个网络可以按照均分的任务分配策略分配给两个处理核流水进行计算，即 C1 和 C2 各负责一层网络的计算，各自运行相应层的程序。例如 C1 计算第一层网络 Layer1，C2 计算第二层网络 Layer2。输入数据会送给 C1，C1 会将输入数据进行第一层的处理，且将第一层的处理结果发送给 C2，C2 将第一层的处理结果作为输入，进行第二层的处理，得到最终的结果后输出，也就是数据依次流过 Layer1 和 Layer2，实现整个神经网络的运算，最后得到输出。

图 6 是本发明提供的芯片应用到神经网络的运算示意图。

如图 6 所示，Input1-1 表示整个神经网络的输入，也表示在 t1 时间段的起始点时 Input1-1 作为第一层神经网络 layer1 的输入，Input2-1 表示在 t1 时间段 layer1 的计算结果，同时也是作为在 t2 时间段的起始点时，第二

层神经网络 layer2 的输入, output1 表示的是 t2 时间段后, layer2 的计算结果, 同时该计算结果也是神经网络的输出结果, 当 C1 处理 layer1 的流水时, 其输入是神经网络的数据的输入, 其输出作为 C2 的输入, C2 的输出即为最终的输出结果。

- 5 设置每一层的控制程序为 128KB, 由于每一个处理核的 PRAM 只有 32KB, 所以每一层的控制程序需要按一定的策略调度, 更新各核的程序。例如, 可以将各核的程序, 平均分四个程序段传输给相应的核, 每次传输 32KB。

芯片中处理核在运行神经网络时的计算过程如下;

- 10 在初始时, C1 在 t1 时刻接收输入第一个程序的第一程序段, 执行第一段程序, 当执行第一段程序后, C1 向 S_S 发送程序更新指令 PU_S1, 由于 C1 的输出是 C2 的输入, 可设置 C1 运行第一个程序的各个程序段时, S_S 每次只接收到 C1 发送的程序更新信号就向 DMAC 发送配置信号, 直到 C1 运行第一个程序的最后一个程序段后, 向 DMAC 发送配置信号, DMAC 从外部的 memory 中读取 C1 运行的第二个程序的第一段和 C2 运行的第一个程序的第一段, 并
15 发送给 C1 和 C2。当发送完成后, DMAC 向 S_S 发送配置完成的信号, S_S 向 C1 和 C2 发送同步运行信号 Sync, 指示 C1 和 C2 同时开始运行接收到的程序段。

- 20 当 C1 或 C2 将程序段的运算指令运行完毕, 会执行程序更新指令 PUpdate, PUpdate 将生成的程序更新信号 PU_s 发送给 S_S, PU_s 表示需要将 PRAM 中的程序更新; S_S 收到信号后, 判断是否接收到全部的与 S_S 连接的全部的处理核发送的 PU_s, 如果没有收到所有与 S_S 连接的处理核都发送的 PU_s, 会处于等待状态, 直到收到全部的与 S_S 连接的处理核均发送的 PU_s。如果 S_S 收到了与 S_S 连接的全部的处理核发送的 PU_s, 向 DMAC 发出配置信号, DMAC 从外部 Memory 取配置信号指示的程序段并发送给与该程
25 序段对应的处理核, 以对各核的 PRAM 进行更新。

在第四次收到与 S_S 连接的全部的处理核均发送的了程序更新信号后, 表示各核各层的所有程序段都执行完毕, S_S 先向 DMAC 发送配置信号。DMCA

根据该配置信号从外部 memory 读取配置信号指示的程序的第一个程序段发送给相应的处理核，当发送完成后 DMAC 发送配置完成的信号。

当 S_S 收到 DMAC 发送的配置完成的信号后，再生成并发送同步运行信号 Sync，指示各核的程序需要同时开始执行，在收到同步运行信号后，各核之间可以开始交换数据，即 C1 将计算结果发给 C2。

需要说明的是，配置信号指示的程序可以是与刚刚执行完成的程序相同或者不同。

还需要说明的是，在初始时，也可以设置 C1 在 t1 时刻接收输入第一个程序的第一程序段，C2 在 t1 时刻也接收第一个程序的第一程序段，C1 和 C2 都执行第一程序段，可设置 C2 运行的第一个程序的第一程序段的输入为预设值，以使 C1 和 C2 都同时执行第一个程序。

图 7 是本发明提供的同步调度器对处理核的调度示意图。

如图 7 所示，C1 和 C2 接收到 S_S 发送的 Sync 信号，同时从头开始运行存储在 PRAM 的程序。C1 执行完第一程序段中的运算指令后，会执行第一程序段中的最后一条指令，即更新指令 PUpdate，表示本程序段已经执行完毕，PUpdate 产生程序更新信号 PU_s1，并将更新信号发送给 S_S，然后 C1 开始等待。

S_S 收到 PU_s1，发现还没有收到与 S_S 连接的各个处理核发送的更新信号，即本次的 PU_s2 还没有收到，会继续等待。

C2 执行完其第一程序段中的运算指令后，会执行第一程序段中的最后一条指令，即更新指令 PUpdate，表示程序段已经执行完毕，PUpdate 产生程序更新信号 PU_s2 并发送给 S_S，然后 C2 开始等待。

S_S 收到 PU_s2，第一计数器发现收到与 S_S 连接的各个处理核发送的程序更新信号，会配置 DMAC，启动对 C1 和 C2 的程序更新。

DMAC 从 Memory 中将 C1 和 C2 的新程序段读出，再分别发送到 C1 和 C2 的 PRAM 中，直到新程序段更新完毕。

当 S_S 的第一计数器记录接收到程序更新信号的个数为 8 个时，表示 2

个处理核均完成了各自的四个程序段，即 2 个处理核各自的整个程序都已经执行完毕，S_S 将重置第一计数器，从头开始重新记录更新次数；先配置 DMAC，启动对 C1 和 C2 的程序更新，即重新加载下一个程序的第一段程序段，当 DMAC 发送完程序段后，向 S_S 发送配置完成的信号，S_S 生成同步运行信号 Sync，
5 发送给各核，指示各核同时开始工作，此时各核之间可以互相传输数据。

需要说明的是，第一计数器的重置、配置 DMAC 和发送同步运行信号的工作顺序可以不分先后。

上面均是以 2 层神经网络为例，以 C1 的计算结果作为 C2 的输入数据为例进行了描述，当然，本发明实施例提供的数据处理装置可以用于任何神经网络，C1 与 C2 也可以没有数据关联。
10

图 8 是本发明提供的数据处理方法流程示意图。

如图 8 所示，该数据处理方法包括：

步骤 S101，处理核执行程序；

步骤 S102，同步调度器响应与同步调度器连接的各个处理核的程序更新信号，生成并发送配置信号；
15

步骤 S103，直接存储访问控制器基于所述配置信号，从外部存储单元中读取与各个处理核对应的程序并发给相应的处理核。

在一个实施例中，同步调度器还响应于所述程序更新信号向 S_S 连接的各个处理核发送同步运行信号，所述同步运行信号用于指示所述与同步调度器连接的各个处理核同时开始执行各自程序。
20

具体地，S_S 还响应于所述程序更新信号向与 S_S 连接的各个处理核发送同步运行信号，包括：当 S_S 接收到预定数目的所述程序更新信号后，向与 S_S 连接的各个处理核发送同步运行信号。

在一个实施例中，处理核执行的程序包括多个程序段。

处理核在执行每个程序段后，均向同步调度器发送所述程序更新信号。
25

优选的，每个处理核执行的程序段数目相同。

优选的，S_S 的第一计数器记录收到的程序更新信号的个数。

S_S, 还响应于第一计数器记录的程序更新信号的个数等于所述预定数目, 准备发送所述同步运行信号。

在本发明实施例中, 第一计数器的个数例如可以为一个, 还可以为多个。

可选的, 当第一计数器的数目为一个时, 预定数目例如可以为 S_S 接收到的各个核发送的程序更新信号的总和, 即预定数目为与 S_S 连接的处理核个数与程序段个数的乘积。

可选的, 可设置第一计数器记录的预设数目为一个或多个。例如, 数据处理装置包括两个处理核, 每个处理核执行的程序段为 4 段。

当设置第一计数器记录的预设数目为一个的时候, 则设置第一计数器记录的预设数目为 8, 即当第一计数器记录收到的程序更新信为 8 个时, S_S 会向 DMAC 发送配置信号, 当 S_S 收到 DMAC 返回的配置完成信号后, S_S 会向各个核发送同步信号, 此时, 对第一计数器清零, 重新开始计数。

当设置第一计数器记录的预设数目为多个的时候, 计数器记录的预设数目为 8、16、24……这些预设数目均为同步控制器接收到的程序更新信号的累计数目。当第一计数器记录接收到程序更新信号累计的数目为 8 个时, S_S 会向 DMAC 发送配置信号, 当 DMAC 返回的配置完成信号, S_S 会向各个核发送同步信号; 此时计数器不清零, 继续计数, 当计数器记录接收到的程序更新信号累计的数目达到 16 时, S_S 会向 DMAC 发送配置信号, 当收到 DMAC 返回的配置完成信号, S_S 会向各个核发送同步信号; 第一计数器继续累计计数, 当达到下一个预设数目时, S_S 重复上面的步骤。

可选的, 当第一计数器的数目为多个时, 所述预定数目可以为程序段的个数。

此时, 例如, 每个与所述 S_S 连接的处理核对应一个第一计数器, 该第一计数器用于记录接收到与 S_S 对应的处理核发送的程序更新信号的数目, 在 S_S 的接收到每个处理核都发送了预定数目的程序更新信号后, 即每个第一计数器都收到预设数目的程序更新信号时, 向 DMAC 发送配置信号, 在接收到 DMAC 发送的配置完成信号后, S_S 向各个核发送同步信号。

可选的, S_S, 响应于各个处理核的程序更新信号, 生成并发送配置信号, 包括: S_S, 接收到与 S_S 连接的处理核均发送的程序更新信号后发送所述配置信号。例如, 与同步调度器连接的处理核为 5 个, 则同步调度器在接收到 5 个处理核都发送的程序更新信号后再发送配置信号。

- 5 可选的, DMAC 还从外部 Memory 中读取与各个处理核对应的程序段, 将程序段发送给相应的处理核。DMAC, 还在将程序段发送给相应的处理核后, 将配置完成的信号发送给 S_S。

在一个实施例中, S_S 还响应于程序更新信号向与 S_S 连接的各个处理核发送同步运行信号, 包括: S_S, 还用于响应于程序更新信号以及配置完成
10 信号, 向与 S_S 连接的各个处理核发送同步运行信号。

具体地, S_S 响应于计数器记录的程序更新信号的个数等于预定数目时, 先发送配置信号给 DMAC, DMAC 将配置信号指示的程序或程序段发送给对应的处理核后, 向 S_S 发送配置完成的信号, S_S 收到配置完成的信号后, 向与 S-S 连接的各个处理核再发送同步运行信号。

- 15 在一个实施例中, 程序包括运算指令和程序更新指令; 处理核在运算指令完成后, 执行程序更新指令, 并基于程序更新指令完成, 生成并发送程序更新信号。其中, 完成运算指令是指运算指令完成时或者运算指令完成后。

在一个实施例中, 至少两个处理核包括第一处理核和第二处理核; 第一处理核和第二处理核执行的程序不同, 第一处理核执行的程序的计算结果为
20 第二处理核执行的程序的输入。

根据本发明的又一实施例, 提供了一种计算机存储介质, 所述计算机存储介质上存储有计算机程序, 所述程序被处理器执行时实现上述实施例提供的数据处理方法。

- 25 根据本发明的又一实施例, 提供了一种电子设备, 包括存储器、处理器及存储在该存储器上并可在该处理器上运行的计算机程序, 所述处理器执行所述程序时实现上述实施例提供的数据处理方法。

根据本发明的又一方面, 提供一种计算机程序产品, 其中, 包括计算机

指令，当所述计算机指令被计算设备执行时，所述计算设备可以执行上述实施例提供的数据处理方法。

本发明实施方式提供的数据处理方法中，通过同步调度器指示直接存储访问控制器从外部的存储单元中读取程序，并发送给与该程序对应的处理核，
5 一方面，无需处理核从外部存储单元取数，避免多个处理核读取数据产生的延时，提高了芯片的算力，另一方面，各个处理核执行的程序可以相同或不同，并通过同步调度器响应多个处理核程序的更新，能够灵活的进行任务分配，充分发挥各处理核的算力，进一步的提升芯片的算力。

应当理解的是，本发明的上述具体实施方式仅仅用于示例性说明或解释
10 本发明的原理，而不构成对本发明的限制。因此，在不偏离本发明的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。此外，本发明所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

权 利 要 求 书

1. 一种数据处理装置，其特征在于，包括：

至少 2 个处理核；

5 同步调度器，用于响应与所述同步调度器连接的各个所述处理核的程序更新信号，生成并发送配置信号；

直接存储访问控制器，用于基于所述配置信号，从外部存储单元中读取与各个所述处理核对应的程序并发送给相应的所述处理核。

2. 根据权利要求 1 所述的芯片，其特征在于，

10 所述同步调度器，还用于响应所述程序更新信号，向与所述同步调度器连接的各个所述处理核发送同步运行信号，所述同步运行信号为所述同步调度器接收到预定数目的所述程序更新信号后，向各个所述处理核发送的，所述同步运行信号用于指示各个所述处理核同时开始执行各自程序。

3. 根据权利要求 1 或 2 所述的数据处理装置，其特征在于，

15 所述程序包括多个程序段。

4. 根据权利要求 3 所述的数据处理装置，其特征在于，

所述处理核，用于在执行每个所述程序段后，均向所述同步调度器发送所述程序更新信号。

5. 根据权利要求 3 或 4 所述的数据处理装置，其特征在于，

20 所述直接访问控制器，用于从所述外部存储单元中读取与各个所述处理核对应的所述程序段，并发送给相应的所述处理核；

所述直接访问控制器，还用于在将所述程序段发送给相应的所述处理核后，将配置完成的信号发送给所述同步调度器。

6. 根据权利要求 5 所述的数据处理装置，其特征在于，所述同步调度器，
25 还用于响应于所述程序更新信号向与所述同步调度器连接的各个所述处理核发送同步运行信号，包括：

所述同步调度器，还用于响应于所述程序更新信号以及所述配置完成的

信号，向与所述同步调度器连接的各个所述处理核发送所述同步运行信号。

7. 根据权利要求 2-6 任一项所述的数据处理装置，其特征在于，所述同步调度器包括计数器；所述计数器用于记录收到的程序更新信号的个数；

所述同步调度器还用于响应于所述程序更新信号的个数等于所述预定数目，准备发送所述同步运行信号。

8. 根据权利要求 2-7 任一项所述的数据处理装置，其特征在于，
每个所述处理核执行所述程序段的数目相同；

所述预定数目为所述程序段的数目，或者所述预定数目为与所述同步调度器连接的处理核的个数与所述程序段的数目的乘积。

9. 根据权利要求 1-8 任一项所述的数据处理装置，其特征在于，所述至少两个处理核包括第一处理核和第二处理核；

所述第一处理核和所述第二处理核执行的程序不同，所述第一处理核执行的程序的计算结果为所述第二处理核执行的程序的输入。

10、一种数据处理方法，其特征在于，包括：
处理核执行程序；

同步调度器响应与所述同步调度器连接的各个所述处理核的程序更新信号，生成并发送配置信号；

直接存储访问控制器基于所述配置信号，从外部存储单元中读取与各个所述处理核对应的所述程序并发给相应的处理核。