

明 細 書

半導体装置およびその製造方法ならびに実装基板

5 技術分野

本発明は、半導体装置およびその製造方法に関し、特に、放熱性および信頼性に優れたLSIパッケージを有する半導体装置に適用して有効な技術に関するものである。

10 背景技術

- 近年の最先端ロジック・デバイスは、動作周波数の高周波数化、信号の多ビット化により高速化を達成している。しかし、半導体チップの高性能化によりピン数が増加すると、既存のパッケージ例えばリードフレームを有するパッケージでは、リードフレーム加工の限界により制約を受けパッケージ・サイズが大きくなる。15
- そうするとパッケージを実装基板に実装する際にパッケージとそのアウターリードが実装基板を占有する面積が増え、機能を高集積化したメリットが半減する。さらに、高性能化による動作周波数の向上、高集積化によるゲート数の増加により消費電力が増大する。このように半導体チップから大量の熱が発生されるようになったことで多ピン化対応と共に低熱抵抗パッケージ構造の開発が必要不可欠となった。20
- 既存のパッケージでは、半導体チップから発生する熱の放熱対策が充分にとられていない。この問題を解決する第一の技術は、特開平5-326625号公報に記載されている。これは、回路面全面に接続端子を有する半導体チップ（LSI）をキャリア基板にフェースダウンで実装し、半導体チップとキャリア基板との間隙を封止樹脂で完全に充填している。さらに、半導体チップの裏面にヒートスプレッタを備えている。25

第二の技術は、特開平6-224246号公報に記載されている。このパッケージは、多数のボンディングパッドを備える半導体チップを入れる空洞のある導電基板および導電基板上に積層されたフレキシブル回路を含んでいる。これには、配線パターンと回路の表面パッドに形成されたバンプの領域アレイが含まれる。

また、パッド下方で、フレキシブル回路を通る多数の開口、接地や基板への配線パターンのトレースが含まれる。基板へのフレキシブル回路の積層は、開口を基板へ入れた接地パッドの電気接続を容易にする導電接着剤を使用している。

第三の技術は、特開平4-119653号公報に記載されている。これは、半
5 導体チップが金属板上に設置され、前記チップを包囲するよう絶縁体が前記金属板に積層された構成であり、実装基板などの外部回路との電氣的導通を得るための配線リードパターンが前記絶縁体表面に形成されたことを特徴としている。

第四の技術は、特開平5-82567号公報に記載されている。これは、中央部に穴を設けたセラミックスなどからなる基板と、この基板に接続されるTAB
10 -LSIをダイ・ボンディングして封止したキャップと、前記基板とTAB-LSIとの間に、基板の穴を密閉するように充填された封止樹脂とを備えることによってTAB-LSIのダイ・ボンディングに封止樹脂を注入してTAB-LSIに圧力を加えることにより、TAB-LSIのダイ・ボンディングが完全に行なわれ、かつTAB-LSIの回路面全体が封止樹脂によってカバーされるよう
15 にしたものである。

第五の技術は、日経エレクトロニクス、1994年2月28日発行、第602号に記載されている。これは、放熱板あるいはカバーが半導体チップ(LSIチップ)と放熱用接着剤で接着され、TABテープにより半導体チップと半田端子を接続している。前記TABテープと半導体チップはフリップ・チップ接続で行
20 われ、TABテープと半導体チップとの間は封止用樹脂で封止されている。パッケージ全体の支持は、放熱板あるいはカバーとTABテープを固定板に接着剤で接着することで行われる。

しかし、これら第一から第五の技術でも放熱特性を優先すると実装後の信頼性が低下し、実装後の信頼性を優先すると、大きな放熱特性を得ることができない
25 という放熱特性と信頼性の相反関係を打開することに成功していない。

すなわち、高放熱特性は、チップーパッケージ間の熱抵抗、パッケージー空気間の熱抵抗に依存する。よって、高放熱特性を得るためには、チップとパッケージ間の接着剤、およびその材料いずれも熱伝導性の高いものを使用する必要がある。しかし、上記条件を満たす材料を使用するだけではパッケージの信頼性は向

上しない。すなわち上記第一から第五の技術に示されるパッケージ構造では、チップ動作時や実装基板へのチップの実装時に発生する熱による熱応力への対応が不十分であることが本発明者により明らかにされた。

- 5 本発明の目的は、高放熱特性と高信頼性を両立できる多ピン化対応の半導体装置を提供することである。本発明の他の目的は、高放熱特性と高信頼性を両立できる多ピン化対応の半導体装置を提供することである。

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10 発明の開示

- 本発明の半導体装置は、半導体チップと熱膨張係数が近いヒートシンクの一面に半導体チップが金属接合で接着される。このヒートシンクは、枠体と弾性率が10MPa以下のシリコン系の接着剤により接着されている。また前記枠体には、TABテープがエポキシ系等の有機材系の接着剤を介して接着される。前記TAB
- 15 Bテープは半導体チップの電極と電氣的接続されている。前記半導体チップは、外部からの保護を目的に弾性率が10GPa以上のエポキシ系の封止樹脂で封止する。

図面の簡単な説明

- 20 図1は、本発明の第1実施形態である半導体装置を示す断面図、図2は、本発明の第1実施形態である半導体装置を示す平面図、図3は、本発明の第1実施形態である半導体装置に放熱用のフィンを搭載した状態を示す断面図、図4は、本発明の第1実施形態である半導体装置を実装した実装基板の平面図、図5は、図4のb-b'線に沿った断面図、図6は、本発明の第1実施形態である半導体装置の製造方法を示す工程図、図7は、本発明の第2実施形態である半導体装置を示す断面図、図8は、同じく本発明の第2実施形態である半導体装置を示す断面図、図9は、本発明の第2実施形態である半導体装置に放熱用のフィンを搭載した状態を示す断面図、図10は、本発明の第2実施形態である半導体装置の製造方法を示す工程図、図11は、同じく本発明の第2実施形態である半導体装置を
- 25

- 示す断面図、図 1 2 は、本発明の第 3 実施形態である半導体装置を示す断面図、
図 1 3 は、本発明の第 3 実施形態である半導体装置に放熱用のフィンを搭載した
状態を示す断面図、図 1 4 は、本発明の第 3 実施形態である半導体装置の製造方
法を示す工程図、図 1 5 は、本発明の第 4 実施形態である半導体装置を示す断面
5 図、図 1 6 は、本発明の第 5 実施形態である半導体装置を示す断面図、図 1 7 は、
本発明の他の実施形態である半導体装置を示す断面図である。

発明を実施するための最良の形態

- 本発明をより詳述するために、添付の図面に従ってこれを説明する。なお、実
10 施形態を説明するための全図において、同一機能を有するものは同一符号を付け、
その繰り返しの説明は省略する。

第 1 実施形態

図 1 は本実施形態の半導体装置を示す断面図（図 2 の a - a' 線に沿った断面
図）、図 2 はこの半導体装置の平面図である。

- 15 本実施形態の半導体装置は、BGA(Ball Grid Array)型のパッケージ構造を有し
ている。このパッケージは、シリコン基板の主面にゲートアレイなどの論理LSI
を形成した半導体チップ 1、半導体チップ 1 を囲む枠体(stiffener) 3、半導体チ
ップ 1 で発生した熱を外部に逃がすヒートシンク 4、半導体チップ 1 を外部環境
から保護する封止樹脂 8、一面に配線 10 を形成したTABテープ 9 および外部
20 引出し用電極である半田バンプ 7 により構成されている。パッケージを構成する
各部材の厚さは、一例として半導体チップ 1 が 0.28 ~ 0.55 mm、枠体 3 が 0.
10 ~ 0.60 mm、ヒートシンク 4 が 0.10 ~ 1.00 mm、TABテープ 9 が 0.
05 ~ 0.125 mm である。また、半田バンプ 7 の直径は 0.3 ~ 0.9 mm である。

- 半導体チップ 1 は、Au-Sn 共晶合金 2 によってヒートシンク 4 の一面の中
25 央部に接合されている。半導体チップ 1 の接合面は、LSI が形成されていない
面である。枠体 3 の一面は、第一の接着剤 5 によってヒートシンク 4 の一面の周
辺部に接着されている。TABテープ 9 は、第二の接着剤 6 によって枠体 3 の他
面に接着されている。TABテープ 9 の一面に形成された配線 10 の一端（イン
ナーリード）は、半導体チップ 1 の電極（図示せず）と電氣的に接続されている。

配線10の一端（インナーリード）は、半導体チップ1と共に封止樹脂8によって封止されている。TABテープ9の他面には、配線10と電氣的に接続された多数の半田バンプ7が所定の間隔で形成されている。TABテープ9の他面の半田バンプ7が配置されていない領域は、ソルダーレジスト21で被覆されている。

- 5 本実施形態のパッケージは、ヒートシンク4と半導体チップ1との接合に金属（Au-Sn共晶合金2）を用いているので、両者の接合部の信頼性を確保するために、熱膨張係数が半導体チップ1に近い材料でヒートシンク4を構成している。半導体チップ1の熱膨張係数（ $3 \times 10^{-6}/^{\circ}\text{C}$ ）に近く、かつ高熱伝導性を有する材料としては、Cu-W合金（熱膨張係数： $\sim 6 \times 10^{-6}/^{\circ}\text{C}$ 、弾性率： 300 GPa ）や、Fe系合金、ムライト、AlN、炭素系の材料（例えばダイヤモンド）などが例示される。ヒートシンク4と半導体チップ1とを接合する金属は、上記したAu-Sn共晶合金2以外の金属、例えばAu-Si合金や高融点半田などでもよい。

- 15 パッケージを支える枠体3は、このパッケージが実装される実装基板に近い熱膨張係数を有する材料で構成されている。例えば実装基板がガラスエポキシ系基材（熱膨張係数： $10 \sim 20 \times 10^{-6}/^{\circ}\text{C}$ 、弾性率： $5 \sim 30 \text{ GPa}$ ）で構成されている場合には、枠体3もガラスエポキシ系基材またはそれに近い熱膨張係数を有する材料で構成される。枠体3の材料としては、ガラスエポキシ系基材の他、Cu合金系基材や有機系基材などが例示される。また、枠体3の形状は、図示の
20 ような形状に限定されるものではなく、半導体チップ1を囲むような形状であればいかなるものでもよい。例えば複数の立方体を2個以上接着することによって、図示の枠体3と同一の形状を実現することもできる。

- 25 枠体3とヒートシンク4とを接着する第一の接着剤5は、半導体チップ1を封止する封止樹脂8よりも弾性率が低い材料、例えば弾性率が 50 MPa 以下、より好ましくは 10 MPa 以下の材料で構成されている。最も好ましい封止樹脂8は、弾性率が $0.5 \sim 10 \text{ MPa}$ のシリコン系エラストマー（東レ株式会社製、「TX2206」など）である。なお、シリコン系エラストマーの熱膨張係数は、 $300 \sim \times 10^{-6}/^{\circ}\text{C}$ 程度である。

枠体3とTABテープ9とを接着する第二の接着剤6は、第一の接着剤5より

も弾性率が高い材料、例えば弾性率が500～1000MPa程度のエポキシ樹脂で構成されている。半導体チップ1の電極と半田バンプ7とを電氣的に接続する手段であるTABテープ9は、合成樹脂基材の一面に貼り付けた銅箔をエッチングして配線10を形成したフレキシブルなテープキャリアで構成されている。

- 5 合成樹脂基材としては、ポリイミド基材（熱膨張係数： $5\sim 20\times 10^{-6}/^{\circ}\text{C}$ 、弾性率：50～500MPa）や、ガラスエポキシ系基材、ポリエステル基材などが例示される。

- 10 TABテープ9に形成された配線10の一端と半導体チップ1とを封止する封止樹脂8は、ヒートシンク4と枠体3とを接着する前記第一の接着剤5よりも弾性率が高い材料、例えば弾性率が5～30GPa、熱膨張係数が $10\sim 300\times 10^{-6}/^{\circ}\text{C}$ のエポキシ系封止樹脂で構成されている。最もよいのは、弾性率が10GPa以上のエポキシ系封止樹脂である。その他、弾性率が5GPa以上の有機系材料、例えばフェノール系封止樹脂やポリイミド系封止樹脂などを使用することもできる。

- 15 TABテープ9の一面に形成される外部引出し用電極としては、半田バンプ7以外にも、エリアアレイ方式の表面実装で採用されている公知の各種電極が利用可能である。例えば下地電極上に柱状あるいは島状の金属端子を接合したものでよく、さらに下地電極だけでもよい。

- 20 上記のように構成された本実施形態の半導体装置によれば、熱伝導性の高い金属材料（Au-Sn共晶合金2）を使って半導体チップ1とヒートシンク4とを接合したことにより、半導体チップ1で生じた熱が高効率にヒートシンク4に伝導され、半導体チップ1の放熱に大きく寄与する。すなわち、Ag含有の有機系接着剤（Agペースト）の熱伝導率が約 $1\sim 50\text{W}/\text{m}\cdot\text{K}$ であるのに対してAu-Sn共晶合金2の熱伝導率は約 $200\text{W}/\text{m}\cdot\text{K}$ 以上であることから、有機系接着剤を使用する場合に比べて熱伝導性を大幅に改善することができる。また、
25 ヒートシンク4と半導体チップ1の熱膨張係数差を小さくしたことにより、両者の接合部の信頼性を確保することができる。さらに、Au-Sn共晶合金2およびヒートシンク4はいずれも熱伝導性が高いことから、チップーヒートシンク間の熱抵抗およびパッケージー空気間の熱抵抗が大幅に低減され、高い放熱特性を

得ることができる。

また、本実施形態の半導体装置によれば、封止樹脂 8 よりも弾性率が低い、すなわち弾性限界が高い接着剤 5 を用いてヒートシンク 4 と枠体 3 とを接着したことにより、パッケージを構成する各部材の熱膨張係数差によって生じる応力を接着剤 5 で吸収・緩和させることが可能となる。これにより、パッケージを実装基板に実装する時および L S I の動作時に発生する熱応力によるパッケージクラックや配線 10 の断線を防止することができる。

さらに、本実施形態の半導体装置によれば、弾性率の高い封止樹脂 8 を用いて半導体チップ 1 と配線 10 (インナーリード) を封止したことにより、半導体チップ 1 と配線 10 (インナーリード) が封止樹脂 8 によって強固に固定されるため、熱応力による配線 10 (インナーリード) の断線を防止することができる。

本実施形態のパッケージは、図 3 に示すように、ヒートシンク 4 の上部に放熱用のフィン 11 を搭載することによって、より多ピン、高消費電力の L S I に対応することが可能となる。フィン 11 は A l のような高熱伝導性の金属材料で構成し、グリースなどの接着剤でヒートシンク 4 と接合する。あるいは、ヒートシンク 4 にフィン 11 をネジ止めしてもよい。フィン 11 の厚さや形状は、限定されるものではない。例えば複数に分割されていてもよく、半導体チップ 1 の発熱量、ヒートシンク 4 の材料物性、製造プロセス、製造コストなどを考慮して最適なものを選択すればよい。

図 4 は、パーソナルコンピュータやワークステーションなどに内蔵される実装基板 20 に本実施形態の半導体装置を実装した状態の一例を示す平面図、図 5 は、図 4 の b - b' 線に沿った断面図である。

図中の符号 12 は本実施形態のパッケージであり、13 は例えば Q F P (Quad Flat Package) など他の表面実装型パッケージである。この実装基板 20 には、本実施形態のパッケージ 12 に封止されたゲートアレイ以外にも、Q F P、P L C C (Plastic Leaded Chip Carrier) などのパッケージに封止された M P U、論理 L S I や、S O J (Small Outline J-leaded Package) などのパッケージに封止された D R A M が実装されている。

本実施形態のパッケージ 12 は、外部引出し用電極 (半田バンプ 7) を 2 次元

のアレイ状に配置しているのでQFPよりもピンピッチが広く、実装時の不良発生率がQFPに比べてはるかに低い。また、QFPなど他の表面実装型パッケージと共に一括リフローすることができ、実装が容易である。

- また、本実施形態のパッケージ12は、パッケージ12を支える枠体3を実装
5 基板20に近い熱膨張係数を有する材料で構成したことにより、LSIの動作時に発生する熱応力によるパッケージ12の反りや半田バンプ7の破断を防止してパッケージ12と実装基板20の接続信頼性を向上させることができる。

次に、図6を用いて本実施形態の半導体装置の組立てプロセスを説明する。

- まず、図6(a)に示すように、ヒートシンク4の一面の周辺部に第一の接着
10 剤5を使って枠体3を接着した後、図6(b)に示すように、ヒートシンク4の一面の中央部にAu-Sn共晶合金2を使って半導体チップ1を接合する。あるいは、ヒートシンク4に半導体チップ1を接合した後、枠体3を接着してもよい。Au-Sn共晶合金2を用いた接合温度条件は、320℃、10分程度である。Au-Sn共晶合金2以外の金属、例えばAu-Si合金や高融点半田を用いた
15 場合の接合温度条件は、それぞれ370℃、2分程度、300℃、10分程度である。

- 次に、図6(c)に示すように、ヒートシンク4に接着された枠体3の他面に
第二の接着剤6を使ってTABテープ9を接着する。枠体3とTABテープ9と
の接着は、公知の熱圧着方式などを用いて行なう。続いて図6(d)に示すよう
20 に、TABテープ9に形成された配線10の一端(インナーリード)を半導体チップ1の電極にボンディングする。このボンディングを一括ボンディング(ギャング・ボンディング)方式で行う場合は、半導体チップ1の電極上にAuや半田のバンプを形成しておくのがよい。一括ボンディングの温度条件は、500℃、1秒程度である。他方、シングルボンディング方式の場合は、半導体チップ1の
25 電極上にバンプを形成しなくともよい。

次に、図6(e)に示すように、半導体チップ1と配線10の一端(インナーリード)を封止樹脂8により封止した後、図6(f)に示すように、TABテープ9に半田バンプ7を形成して配線10と電気的に接続する。半田バンプ7を形成するには、TABテープ9に半田ボールを接合し、半田の熔融温度よりも高温

でリフローする。

なお、半田バンプ7の形成は、上記のようにパッケージの組立ての最終工程で行ってもよいが、パッケージを実装基板に実装する直前に行ってもよい。

本実施形態の半導体装置は、半導体チップ1の電極と配線10との接続にTABテープ9を使用しているので、半導体チップ1の電極に配線10を一括ボンディングすることができる。従って、ボンディングに要する時間はピン数に依存せず、短時間で済む。

また、本実施形態のパッケージ12は、パッケージ12を支える枠体3を実装基板20に近い熱膨張係数を有する材料で構成したことにより、LSIの動作時に発生する熱応力によるパッケージ12の反りや半田バンプ7の破断を防止してパッケージ12と実装基板20の接続信頼性を向上させることができる。

第2実施形態

図7は、本実施形態の半導体装置を示す断面図である。

前記実施形態1のパッケージは、パッケージを支持する枠体3にTABテープ9を接着し、このTABテープ9に形成された配線10と半導体チップ1の電極とを電氣的に接続したが、本実施形態のパッケージは、枠体14に配線10を形成し、この配線10と半導体チップ1の電極とをワイヤ15を介して電氣的に接続している。

半導体チップ1は、Au-Sn共晶合金2によってヒートシンク4の一面の中央部に接合されている。半導体チップ1の接合面は、LSIが形成されていない面である。ヒートシンク4は、半導体チップ1に近い熱膨張係数を有し、かつ高熱伝導性を有する材料、例えばCu-W合金、Fe系合金、ムライト、AlN、炭素系の材料（例えばダイヤモンド）などで構成されている。ヒートシンク4と半導体チップ1とを接合する金属は、Au-Sn共晶合金2以外の金属、例えばAu-Si合金や高融点半田などでもよい。

枠体14の一面は、接着剤5によってヒートシンク4の一面の周辺部に接着されている。半導体チップ1とワイヤ15は、封止樹脂8によって封止されている。枠体14の下面には、配線10と電氣的に接続された多数の半田バンプ7が所定の間隔で形成されている。

パッケージを支える枠体14は、このパッケージが実装される実装基板に近い熱膨張係数を有する材料、例えば熱膨張係数が $10 \sim 20 \times 10^{-6}/^{\circ}\text{C}$ 、弾性率が $10 \sim 20 \text{ GPa}$ のガラスエポキシ系基材などで構成されており、その厚さは、一例として $0.20 \sim 1.00 \text{ mm}$ である。枠体14は、半導体チップ1を封止樹脂8で封止する際にワイヤ15も完全に封止されるよう、ワイヤ15が接続される領域と半田バンプ7が形成される領域との間に段差が設けられている。この段差は、半導体チップ1を囲むように形成されている。

枠体14とヒートシンク4とを接着する接着剤5は、半導体チップ1を封止する封止樹脂8よりも弾性率が低い材料、例えば弾性率が 50 MPa 以下、より好ましくは 10 MPa 以下の材料で構成されている。最も好ましい封止樹脂8は、弾性率が $0.5 \sim 10 \text{ MPa}$ のシリコン系エラストマーである。半導体チップ1とワイヤ15を封止する封止樹脂8は、上記接着剤5よりも弾性率が高い材料、例えば弾性率が $5 \sim 30 \text{ GPa}$ 以上のフェノール系封止樹脂やポリイミド系封止樹脂などで構成されている。特に好ましいのは、弾性率が 10 GPa 以上のエポキシ系封止樹脂である。枠体3の下面に形成される外部引出し用電極は、半田バンプ7以外にも、エリアアレイ方式の表面実装で採用されている公知の各種電極、例えば下地電極上に柱状あるいは島状の金属端子を接合したものなどが利用可能であり、さらに下地電極だけでもよい。

上記のように構成された本実施形態の半導体装置によれば、熱伝導性の高い金属材料（Au-Sn共晶合金2）を使って半導体チップ1とヒートシンク4とを接合したことにより、半導体チップ1で生じた熱が高効率にヒートシンク4に伝導され、半導体チップ1の放熱に大きく寄与する。また、ヒートシンク4と半導体チップ1の熱膨張係数差を小さくしたことにより、両者の接合部の信頼性を確保することができる。さらに、Au-Sn共晶合金2およびヒートシンク4はいずれも熱伝導性が高いことから、チップーヒートシンク間の熱抵抗およびパッケージー空気間の熱抵抗が大幅に低減され、高放熱特性を得ることができる。

また、本実施形態の半導体装置によれば、封止樹脂8よりも弾性率が低い、すなわち弾性限界が高い接着剤5を用いてヒートシンク4と枠体14とを接着したことにより、パッケージを構成する各部材の熱膨張係数差によって生じる応力を

接着剤 5 で吸収・緩和させることが可能となる。これにより、パッケージを実装基板に実装する時および L S I の動作時に発生する熱応力によるパッケージクラックや配線 10 の断線を防止することができる。

- 5 また、本実施形態の半導体装置によれば、弾性率の高い封止樹脂 8 を用いて半導体チップ 1 とワイヤ 15 を封止したことにより、半導体チップ 1 とワイヤ 15 が封止樹脂 8 によって強固に固定されるため、熱応力によるワイヤ 15 の断線を防止することができる。

- 10 また、本実施形態の半導体装置によれば、パッケージを支える枠体 14 を実装基板に近い熱膨張係数を有する材料で構成したことにより、L S I の動作時に発生する熱応力によるパッケージの反りや半田バンプ 7 の破断を防止してパッケージと実装基板の接続信頼性を向上させることができる。

- 本実施形態の半導体装置は、前記実施形態 1 のパッケージと異なり T A B テープ 9 を使用していないため、部品点数および組立て工数が少なくて済む。従って、実施形態 1 のパッケージに比べてパッケージのコストを低減することができる。
- 15 また、図 8 に示すように、枠体 14 の下面のワイヤ 15 が接続される領域と半田バンプ 7 が形成される領域との間に段差を設けないようにした場合は、枠体 14 の構造が単純になり、その製造コストを低減することができるので、パッケージのコストをさらに低減することができる。

- 本実施形態のパッケージは、図 9 に示すように、ヒートシンク 4 の上部に放熱用のフィン 11 を搭載することによって、より多ピン、高消費電力の L S I に対応することが可能となる。フィン 11 は A l のような高熱伝導性の金属材料で構成し、グリースなどの接着剤でヒートシンク 4 と接合する。あるいは、ヒートシンク 4 にフィン 11 をネジ止めしてもよい。フィン 11 の厚さや形状は、限定されるものではない。例えば複数に分割されていてもよく、半導体チップ 1 の発熱量、ヒートシンク 4 の材料物性、製造プロセス、製造コストなどを考慮して最適なものを選択すればよい。
- 20
- 25

次に、図 10 を用いて本実施形態の半導体装置の組立てプロセスを説明する。

まず、図 10 (a) に示すように、ヒートシンク 4 の一面の周辺部に接着剤 5 を使って枠体 14 を接着した後、図 10 (b) に示すように、ヒートシンク 4 の

一面の中央部にAu-Sn共晶合金2を使って半導体チップ1を接合する。あるいは、ヒートシンク4に半導体チップ1を接合した後、枠体14を接着してもよい。

次に、図10(c)に示すように、自動ワイヤボンダを用いて半導体チップ1
5の電極と枠体14の配線10とをワイヤ15で接続した後、図10(d)に示すように、半導体チップ1とワイヤ15を封止樹脂8により封止し、続いて図10(e)に示すように、枠体14の下面に半田バンプ7を形成する。このとき図11に示すように、封止樹脂8の下面と枠体14の下面との間に段差が生じないように封止樹脂8の厚みを調整することにより、パッケージの下面が平坦になり、
10半田ボールを枠体14の下面に接合する作業が容易になる。半田バンプ7の形成は、パッケージの組立ての最終工程で行ってもよいが、パッケージを実装基板に実装する直前に行ってもよい。

第3実施形態

図12は、本実施形態の半導体装置を示す断面図である。

15 本実施形態のパッケージは、両面に配線10を形成したフレキシブルテープ(あるいはTABテープ)19を接着剤6で枠体3の一面に接着し、このフレキシブルテープ19の配線10と半導体チップ1の電極とを半田バンプ16を介して電氣的に接続している。半導体チップ1と半田バンプ16は、ヒートシンク4、枠体3およびフレキシブルテープ19によって囲まれたキャビティ領域に隙間なく
20 充填された封止樹脂8によって外部と遮断されている。

フレキシブルテープ19の基材は、前記実施形態1のTABテープと同様、ポリイミド基材、ガラスエポキシ系基材、ポリエステル基材などである。フレキシブルテープ19の両面に形成された配線10、10は、スルーホール18を介して電氣的に接続されている。フレキシブルテープ19の一面の配線10と他面の
25 配線10とは互いに重なるようなレイアウトになっており、そのために配線10を流れる電流の電氣的特性によって電磁誘導が生じ、それらが相互作用で結ばれることでインダクタンスを下げる働きをする。フレキシブルテープ19の中央部には、ヒートシンク4、枠体3およびフレキシブルテープ19によって囲まれたキャビティ領域に外部から封止樹脂8を注入するためのビアホール17が設けら

れている。フレキシブルテープ19の下面には、配線10と電氣的に接続された多数の半田バンプ7が所定の間隔で形成されている。

5 半導体チップ1は、Au-Sn共晶合金2（または、Au-Si合金や高融点半田など）によってヒートシンク4の一面の中央部に接合されている。また、パッケージを支える枠体3の一面は、弾性率が低い接着剤5によってヒートシンク4の一面の周辺部に接着されている。枠体3、ヒートシンク4、接着剤5、6は、前記実施形態1と同じ材料で構成されている。

10 上記のように構成された本実施形態の半導体装置によれば、前記実施形態1、2と同様、パッケージの信頼性、放熱性および実装基板に実装したときの接続信頼性が向上する。

また、本実施形態のパッケージは、図13に示すように、ヒートシンク4の上部に放熱用のフィン11を搭載することによって、より多ピン、高消費電力のLSIに対応することが可能となる。

次に、図14を用いて本実施形態の半導体装置の組立てプロセスを説明する。

15 まず、図14（a）に示すように、半導体チップ1とフレキシブルテープ19とをフリップ・チップ方式により電氣的に接続する。また、図14（b）に示すように、ヒートシンク4の一面の周辺部に第一の接着剤5を使って枠体3を接着する。次に、図14（c）に示すように、ヒートシンク4の一面の中央部にAu-Sn共晶合金2を使って半導体チップ1を接合すると共に、ヒートシンク4に
20 接着された枠体3の他面に第二の接着剤6を使ってフレキシブルテープ19を接着する。次に、図14（d）に示すように、フレキシブルテープ19に形成されたビアホール17を通じてキャビティ領域内に隙間なく封止樹脂8を充填した後、図14（e）に示すように、フレキシブルテープ19に半田バンプ7を形成して配線10と電氣的に接続する。

25 第4実施形態

図15は、本実施形態の半導体装置を示す断面図である。

半導体チップ1を封止する封止樹脂8と弾性率が低いシリコン系の接着剤5は相互の接着性があまりよくない。そこで、本実施形態では、接着剤5の量を減らして枠体3とヒートシンク4の接合部の一部に封止樹脂8の一部を充填してい

る（図の矢印で示す箇所）。このようにすると、枠体3およびヒートシンク4と封止樹脂8との接触面積が大きくなるので、封止樹脂8の剥離が防止され、パッケージの信頼性が向上する。

第5実施形態

5 図16は、本実施形態の半導体装置を示す断面図である。

前記実施形態2の図8に示すパッケージのように、枠体14の下面のワイヤ15が接続される領域と半田バンプ7が形成される領域との間に段差を設けないようにした場合は、ワイヤ15が封止樹脂8から露出しないようにするために、封止樹脂8を厚く充填する必要がある。このような場合は、キャビティ領域の周囲
10 の枠体にダム22を設けることによって、封止樹脂8の充填する作業を容易に行うことが可能となる。

第6実施形態

図17は、本実施形態の半導体装置を示す断面図である。

本実施形態のパッケージは、封止樹脂8をシリコーンゲルで構成し、このシリ
15 コーンゲルをA1製のキャン封止材23によって密封している。このような構造のパッケージにおいても、ヒートシンク4を弾性率が低い接着剤5によって枠体3に接着することにより、パッケージを構成する各部材の熱膨張係数差によって生じる応力を接着剤5で吸収・緩和させることが可能となるので、パッケージを
20 実装基板に実装する時およびLSIの動作時に発生する熱応力によるパッケージクラックやワイヤ15の断線を防止することができる。

また、枠体3には、エポキシ系接着剤6を介してTABテープ9が接着されている。半導体チップ1は、外部からの保護を目的に弾性率が10GPa以上のエポキシ系封止樹脂8で封止されている。

以上、本発明者によってなされた発明を実施形態に基づき具体的に説明したが、
25 本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

以上のように、本発明の半導体装置は、高放熱特性と高信頼性とを両立させたパッケージ構造を有しており、特にBGA型パッケージに適用して好適なものである。



請 求 の 範 囲

1. ヒートシンクの一面の中央部に金属接合により接合された半導体チップと、
前記半導体チップを囲むように、前記ヒートシンクの一面に接着された枠体と、
5 前記枠体の一面に形成された半田バンプと、前記半田バンプと前記半導体チップ
の電極とを電氣的に接続する接続手段と、前記半導体チップを封止する封止樹脂
とを有する半導体装置であって、前記ヒートシンクは、前記半導体チップの熱膨
張係数に近い材料で構成されており、前記枠体と前記ヒートシンクは、前記封止
樹脂よりも弾性率が低い接着剤で接着されていることを特徴とする半導体装置。
- 10 2. 請求項1記載の半導体装置において、前記接着剤の弾性率は、50MPa以
下であることを特徴とする半導体装置。
3. 請求項1記載の半導体装置において、前記接着剤の弾性率は、10MPa以
下であることを特徴とする半導体装置。
4. 請求項2記載の半導体装置において、前記封止樹脂の弾性率は、5GPa以
15 上であることを特徴とする半導体装置。
5. 請求項2記載の半導体装置において、前記封止樹脂の弾性率は、10GPa
以上であることを特徴とする半導体装置。
6. 請求項1記載の半導体装置において、前記接着剤は、シリコン系エラスト
マーからなることを特徴とする半導体装置。
- 20 7. 請求項1記載の半導体装置において、前記枠体は、半導体装置を実装する実
装基板の熱膨張係数に近い材料で構成されていることを特徴とする半導体装置。
8. 請求項1記載の半導体装置において、前記枠体と前記ヒートシンクとの接合
部の一部に前記封止樹脂の一部が充填されていることを特徴とする半導体装置。
9. 請求項1記載の半導体装置において、前記ヒートシンクに放熱用のフィンが
25 接続されていることを特徴とする半導体装置。
10. 請求項1記載の半導体装置において、前記封止樹脂は、シリコンゲルか
らなり、キャン封止材によって密封されていることを特徴とする半導体装置。
11. 請求項1記載の半導体装置において、前記封止樹脂の開放端の周囲にダム
が設けられていることを特徴とする半導体装置。



- 1 2. 請求項 1 記載の半導体装置において、前記半田バンプと前記半導体チップの電極とを接続する前記接続手段は、TABテープであることを特徴とする半導体装置。
- 1 3. 請求項 1 2 記載の半導体装置において、前記TABテープに形成された複数の配線と前記半導体チップの複数の電極とは、熱圧着方式により一括接続されていることを特徴とする半導体装置。
- 1 4. 請求項 1 2 記載の半導体装置において、前記ヒートシンクに放熱用のフィンが接続されていることを特徴とする半導体装置。
- 1 5. 請求項 1 2 記載の半導体装置において、前記接着剤の弾性率は、50 MPa以下であることを特徴とする半導体装置。
- 1 6. 請求項 1 2 記載の半導体装置において、前記接着剤の弾性率は、10 MPa以下であることを特徴とする半導体装置。
- 1 7. 請求項 1 5 記載の半導体装置において、前記封止樹脂の弾性率は、5 GPa以上であることを特徴とする半導体装置。
- 1 8. 請求項 1 5 記載の半導体装置において、前記封止樹脂の弾性率は、10 GPa以上であることを特徴とする半導体装置。
- 1 9. 請求項 1 記載の半導体装置において、前記半田バンプと前記半導体チップの電極とを接続する前記接続手段は、ワイヤであることを特徴とする半導体装置。
- 2 0. 請求項 1 9 記載の半導体装置において、前記ワイヤの一端は、前記枠体に形成された配線上にボンディングされていることを特徴とする半導体装置。
- 2 1. 請求項 1 9 記載の半導体装置において、前記枠体の下面の前記ワイヤが接続される領域と前記半田バンプが形成される領域との間に段差を設けないようにしたことを特徴とする半導体装置。
- 2 2. 請求項 1 9 記載の半導体装置において、前記封止樹脂の開放端の周囲にダムが設けられていることを特徴とする半導体装置。
- 2 3. 請求項 1 9 記載の半導体装置において、前記ヒートシンクに放熱用のフィンが接続されていることを特徴とする半導体装置。
- 2 4. 請求項 1 9 記載の半導体装置において、前記接着剤の弾性率は、50 MPa以下であることを特徴とする半導体装置。



25. 請求項19記載の半導体装置において、前記接着剤の弾性率は、10 MPa以下であることを特徴とする半導体装置。
26. 請求項24記載の半導体装置において、前記封止樹脂の弾性率は、5 GPa以上であることを特徴とする半導体装置。
- 5 27. 請求項24記載の半導体装置において、前記封止樹脂の弾性率は、10 GPa以上であることを特徴とする半導体装置。
28. 請求項1記載の半導体装置において、前記半田バンプと前記半導体チップの電極とを接続する前記接続手段は、両面に配線を形成したフレキシブルテープであることを特徴とする半導体装置。
- 10 29. 請求項28記載の半導体装置において、前記配線と前記半導体チップの電極は、前記半導体チップの主面に形成された半田バンプを介して電氣的に接続されていることを特徴とする半導体装置。
30. 請求項28記載の半導体装置において、前記フレキシブルテープの一面の配線と他面の配線は、少なくとも一部が互いに重なるようにレイアウトされていることを特徴とする半導体装置。
- 15 31. 請求項28記載の半導体装置において、前記ヒートシンクに放熱用のフィンが接続されていることを特徴とする半導体装置。
32. 請求項28記載の半導体装置において、前記接着剤の弾性率は、50 MPa以下であることを特徴とする半導体装置。
- 20 33. 請求項28記載の半導体装置において、前記接着剤の弾性率は、10 MPa以下であることを特徴とする半導体装置。
34. 請求項32記載の半導体装置において、前記封止樹脂の弾性率は、5 GPa以上であることを特徴とする半導体装置。
35. 請求項32記載の半導体装置において、前記封止樹脂の弾性率は、10 GPa以上であることを特徴とする半導体装置。
- 25 36. ヒートシンクの一面の中央部に金属接合により接合された半導体チップと、前記半導体チップを囲むように、前記ヒートシンクの一面に接着された枠体と、前記枠体の一面に形成された半田バンプと、前記半田バンプと前記半導体チップの電極とを電氣的に接続する接続手段と、前記半導体チップを封止するシリコー



ンゲルと、前記半導体チップおよび前記シリコンゲルを密封するキャン封止材とを有する半導体装置であって、前記ヒートシンクは、前記半導体チップの熱膨張係数に近い材料で構成されており、前記枠体と前記ヒートシンクは、前記封止樹脂よりも弾性率が低い接着剤で接着されていることを特徴とする半導体装置。

- 5 37. 請求項36記載の半導体装置において、前記半田バンプと前記半導体チップの電極とを接続する前記接続手段は、ワイヤであることを特徴とする半導体装置。

38. ヒートシンクの一面の中央部に半導体チップを金属により接合する工程と、前記ヒートシンクの一面に、前記半導体チップを囲むように枠体を接着剤により
10 接着する工程と、前記枠体の一面に半田バンプを形成して、前記半田バンプと前記半導体チップの電極とを電氣的に接続する工程と、前記半導体チップを封止樹脂により封止する工程とを有する半導体装置の製造方法であって、前記ヒートシンクを前記半導体チップの熱膨張係数に近い材料で構成し、前記接着剤を前記封止樹脂よりも弾性率が低い材料で構成することを特徴とする半導体装置の製造方法。
15

39. 請求項38記載の半導体装置の製造方法において、前記枠体の他面に第二の接着剤を使ってTABテープを接着し、前記TABテープに形成された配線を介して前記半田バンプと前記半導体チップの電極とを電氣的に接続することを特徴とする半導体装置の製造方法。

- 20 40. 請求項38記載の半導体装置の製造方法において、前記枠体に形成した配線と、前記配線と前記半導体チップの電極との間にボンディングしたワイヤとを介して前記半田バンプと前記半導体チップの電極とを電氣的に接続することを特徴とする半導体装置の製造方法。

41. 請求項38記載の半導体装置の製造方法において、前記枠体の他面に第二の接着剤を使ってTABテープを接着し、前記TABテープに形成された配線上
25 に前記半導体チップをフリップ・チップ接続することにより、前記半田バンプと前記半導体チップの電極とを電氣的に接続することを特徴とする半導体装置の製造方法。

42. 請求項1記載の半導体装置と、前記半導体装置とは異なる表面実装型パッ



WO 97/20347

PCT/JP96/02815

ケージとが一括リフローにより実装され、熱膨張係数が前記半導体装置の前記半導体に近い材料で構成されていることを特徴とする実装基板。

2

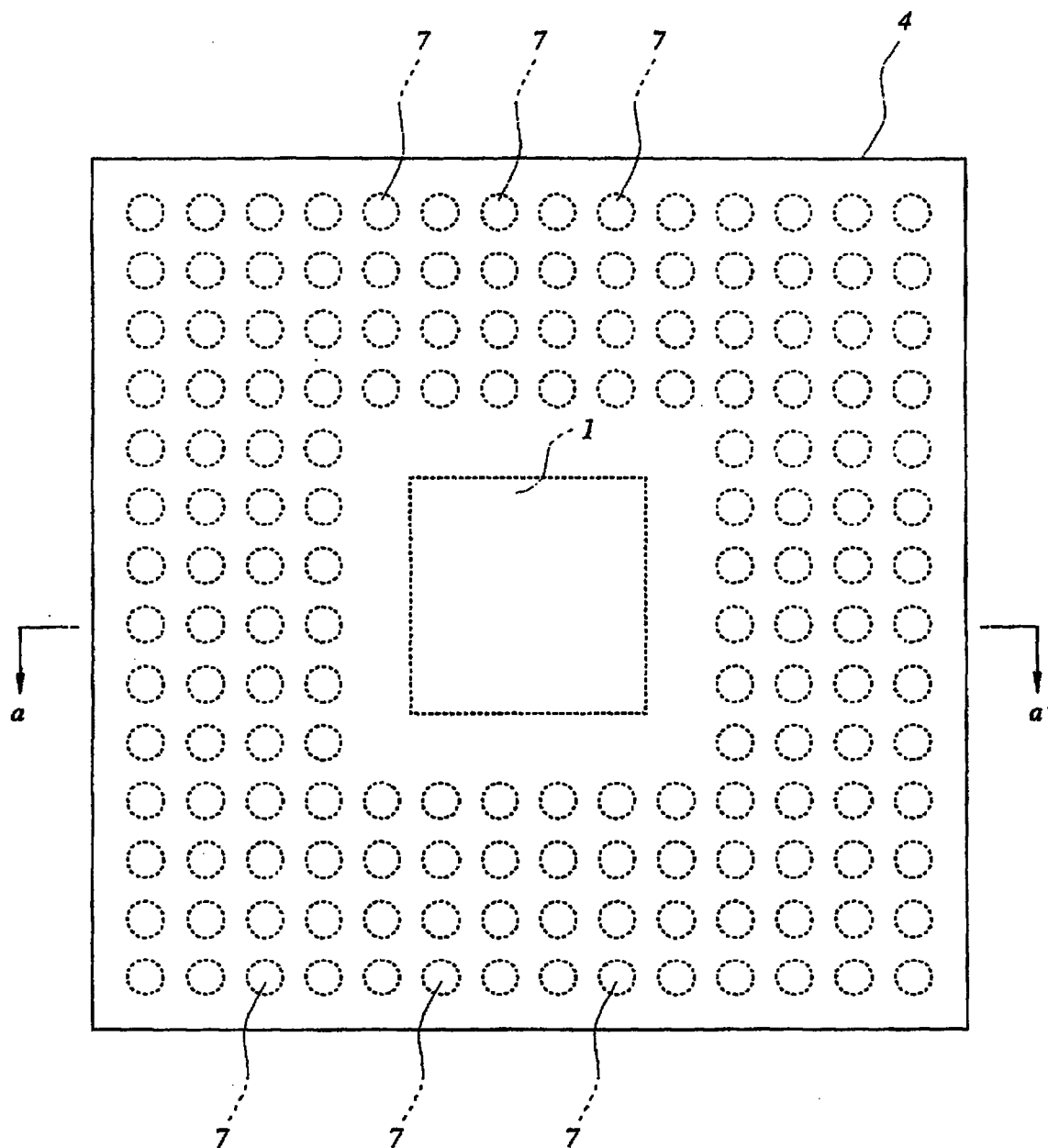
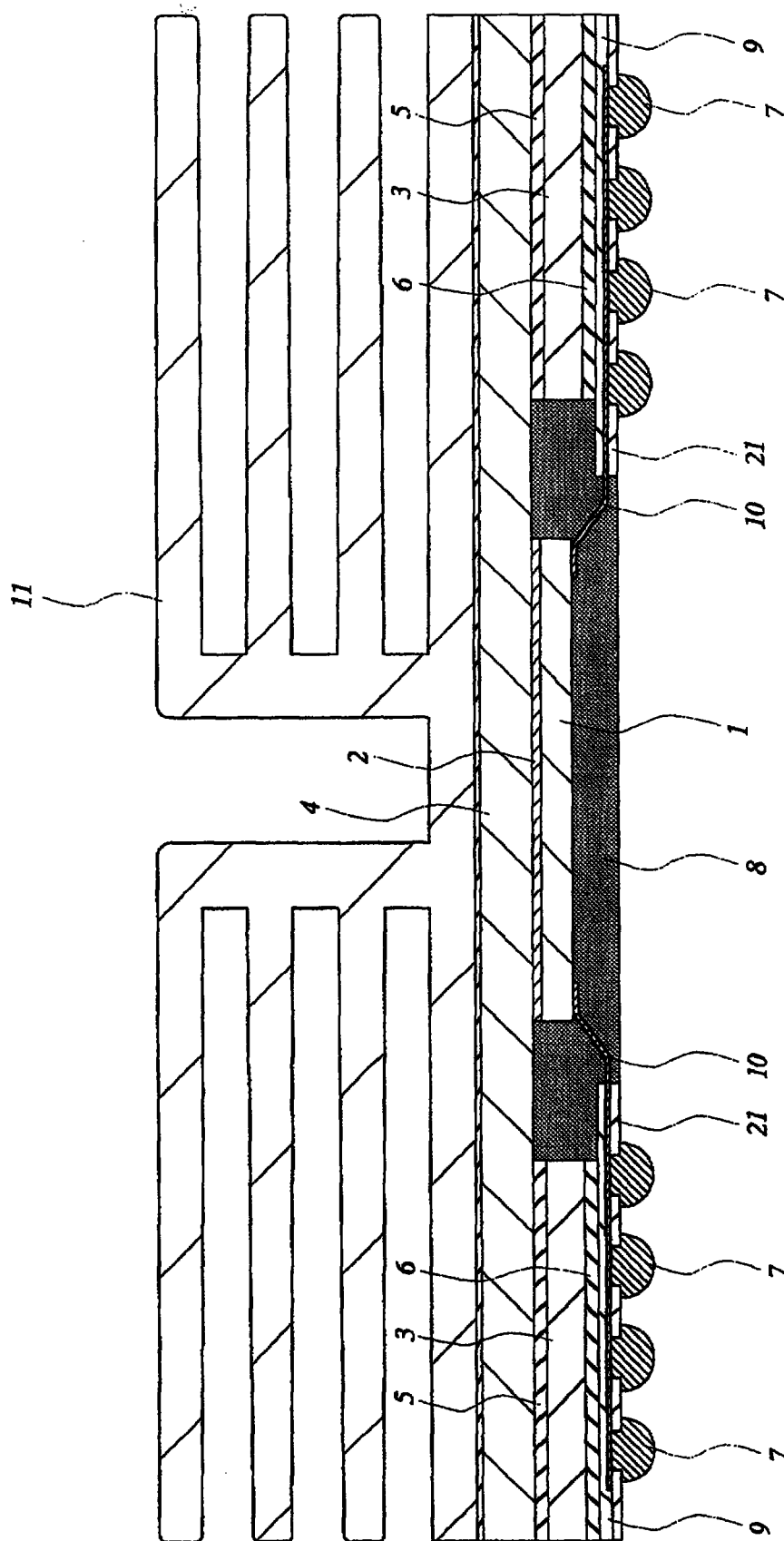


図 3



4

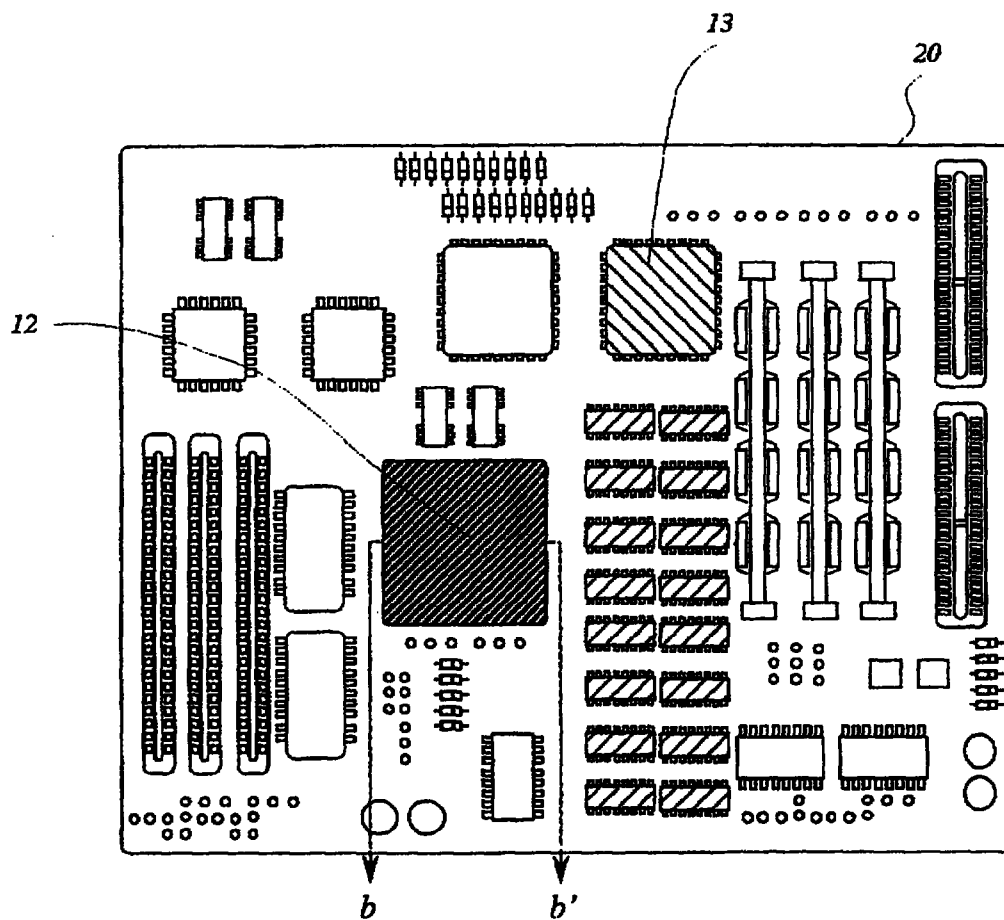
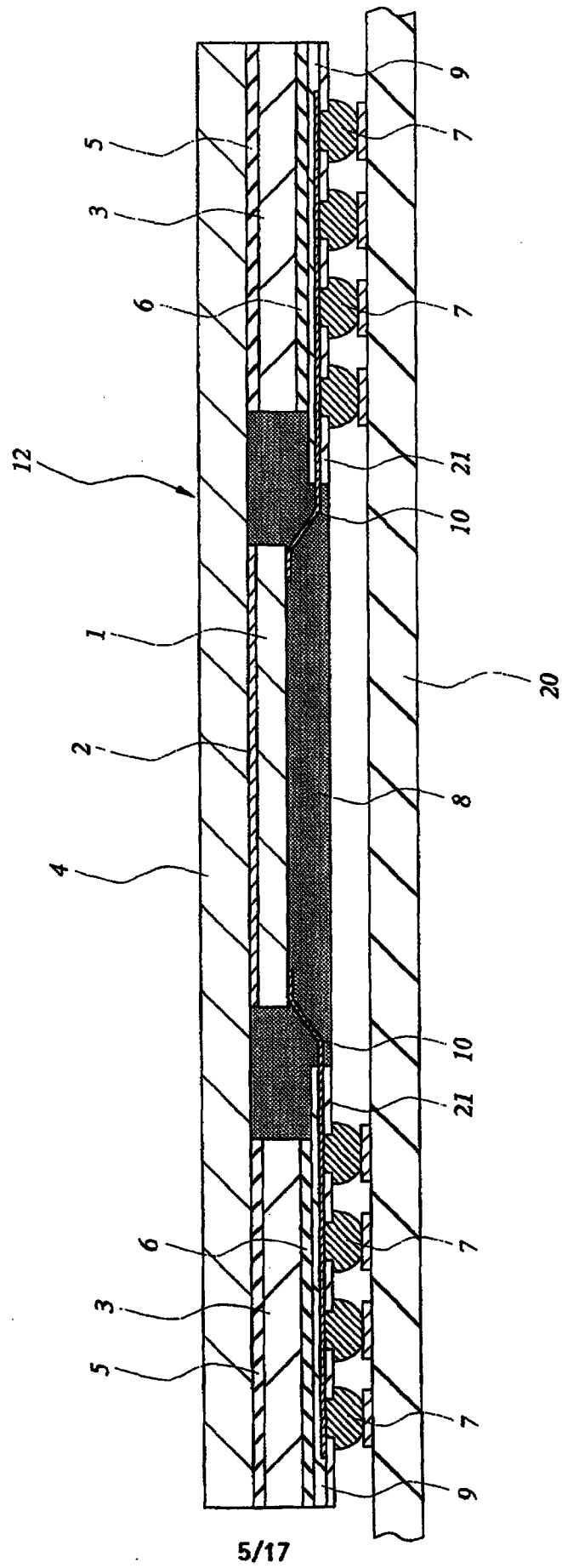


図 5



6

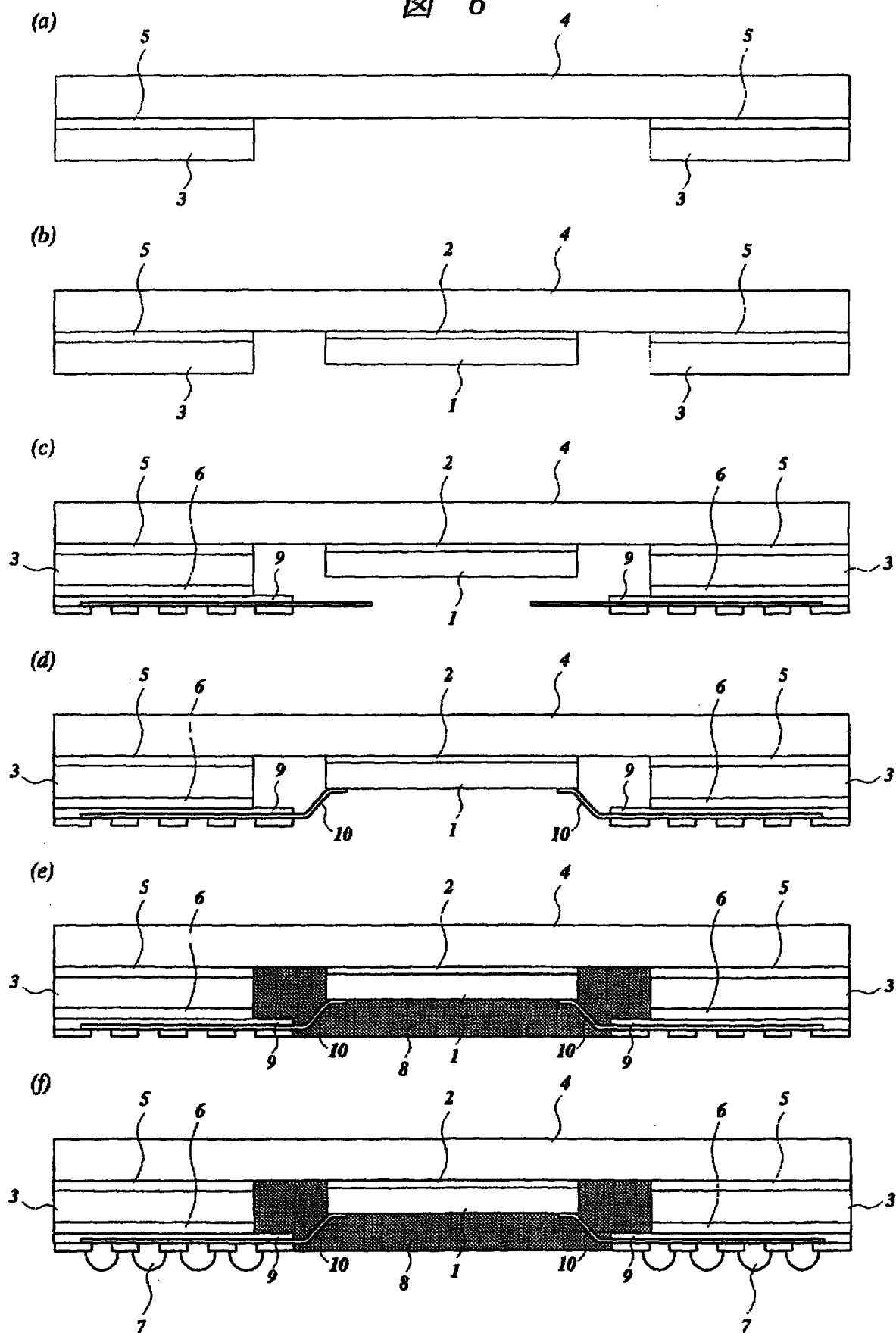
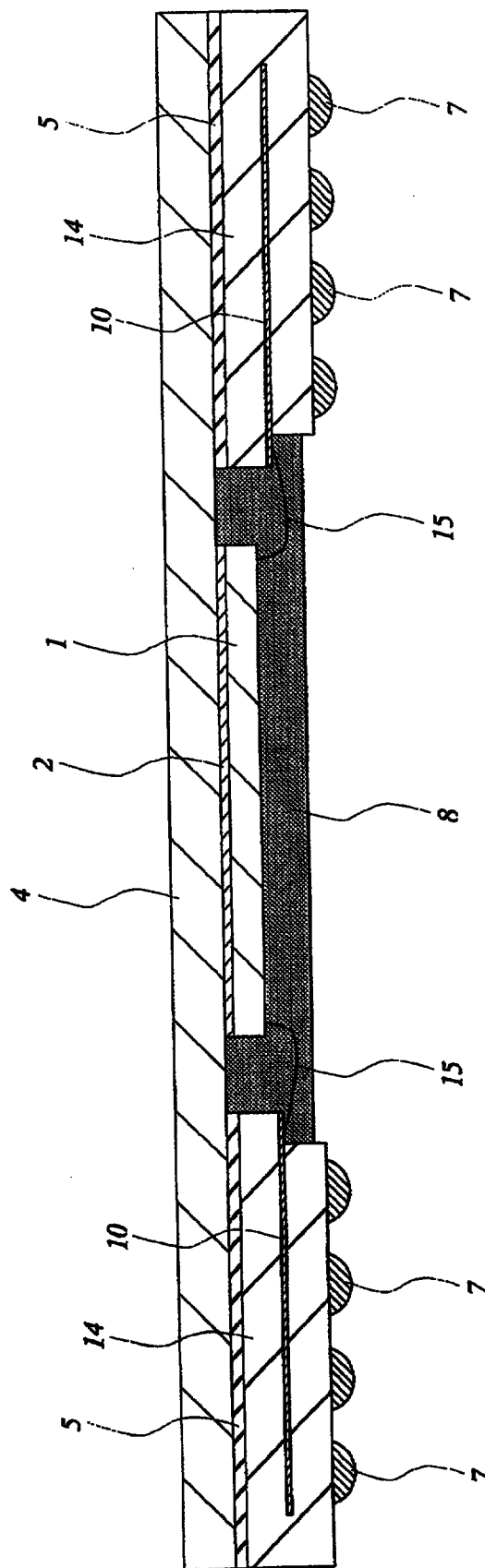


図 7



8

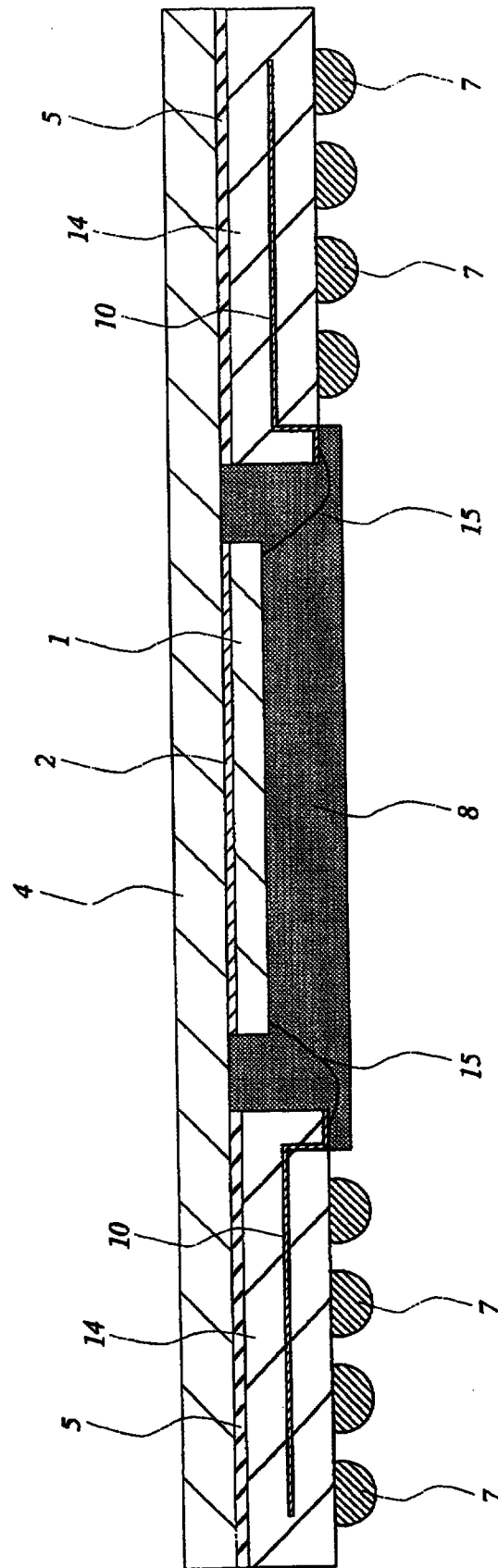
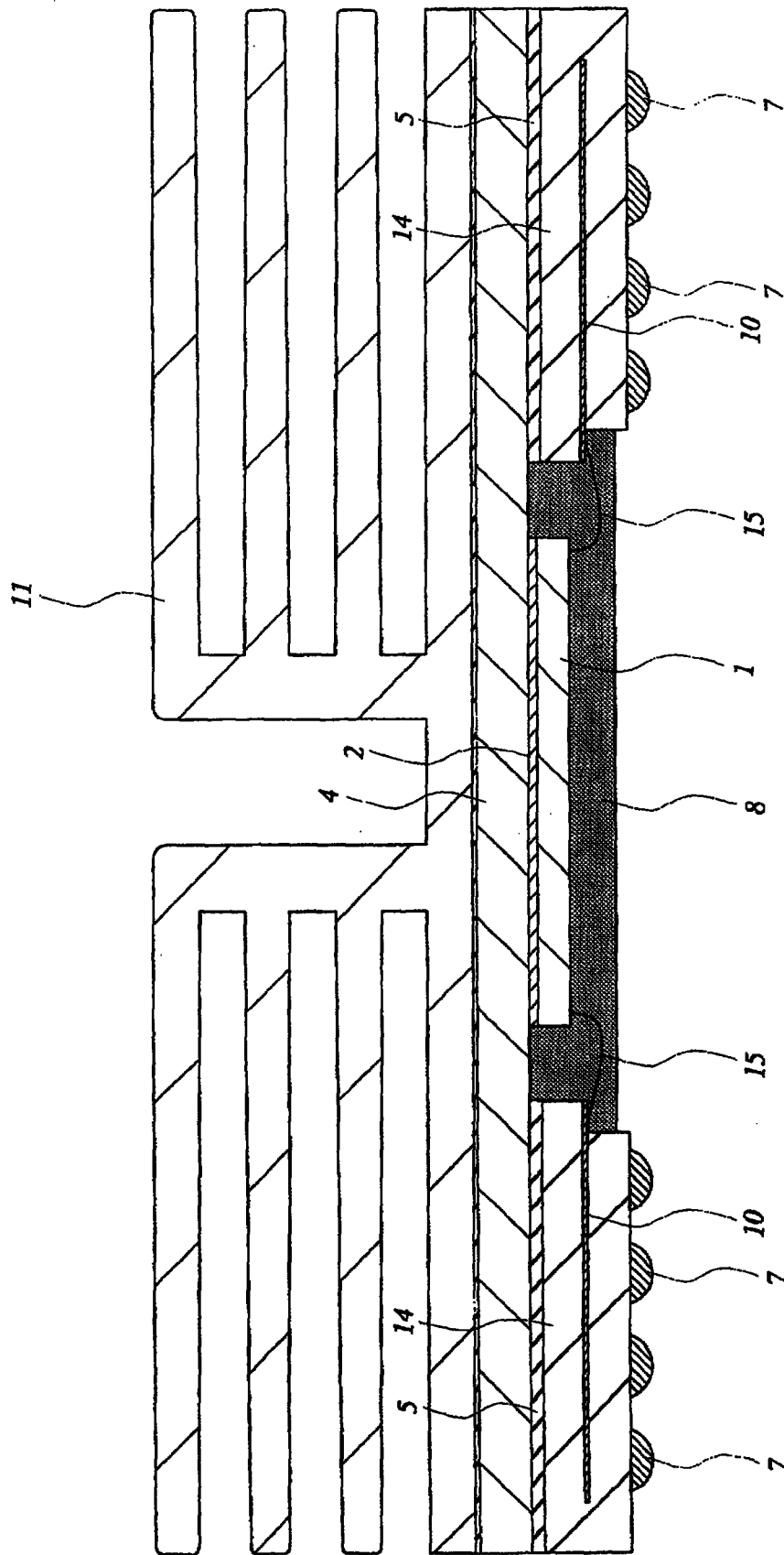


図 9



10

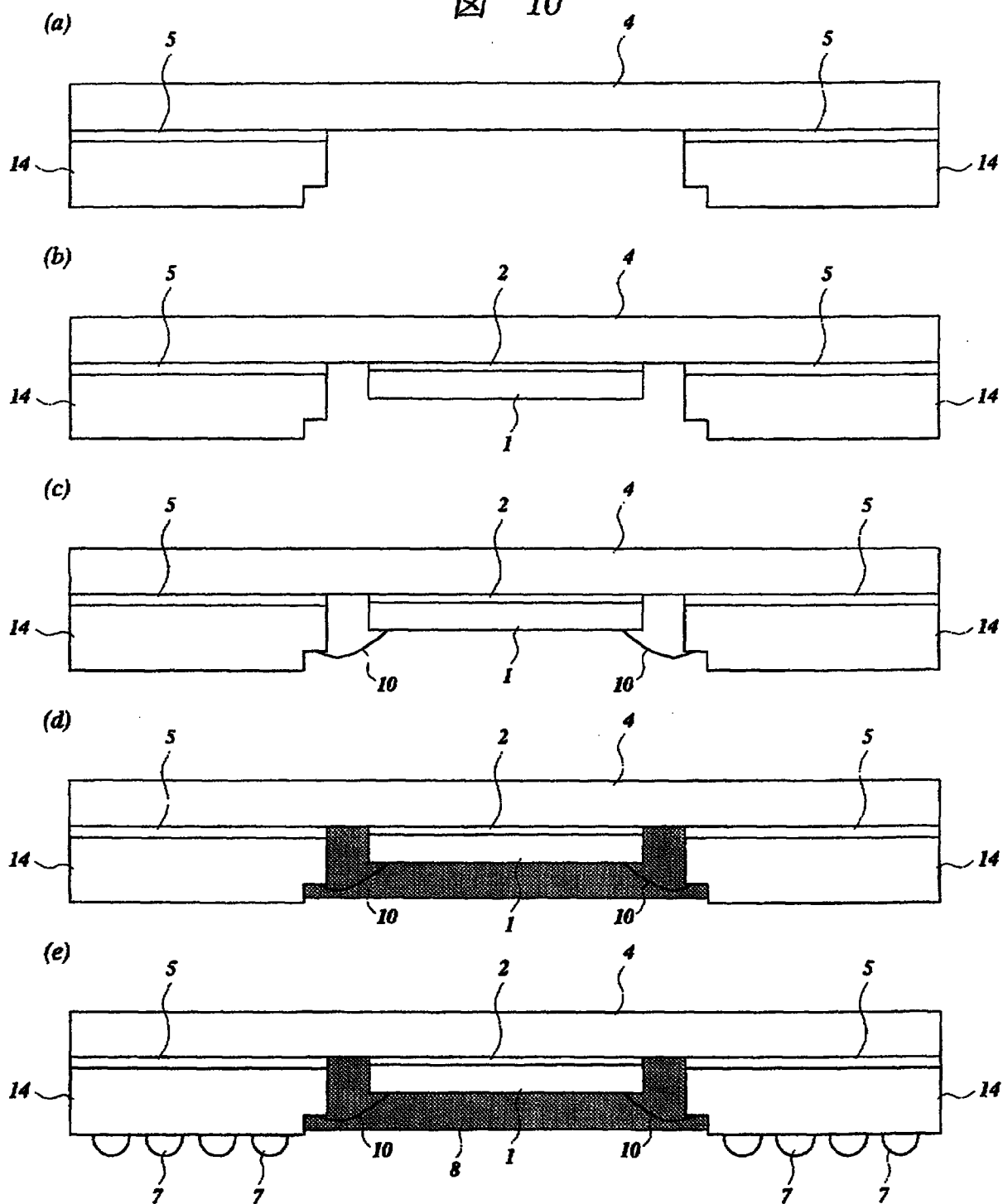


図 11

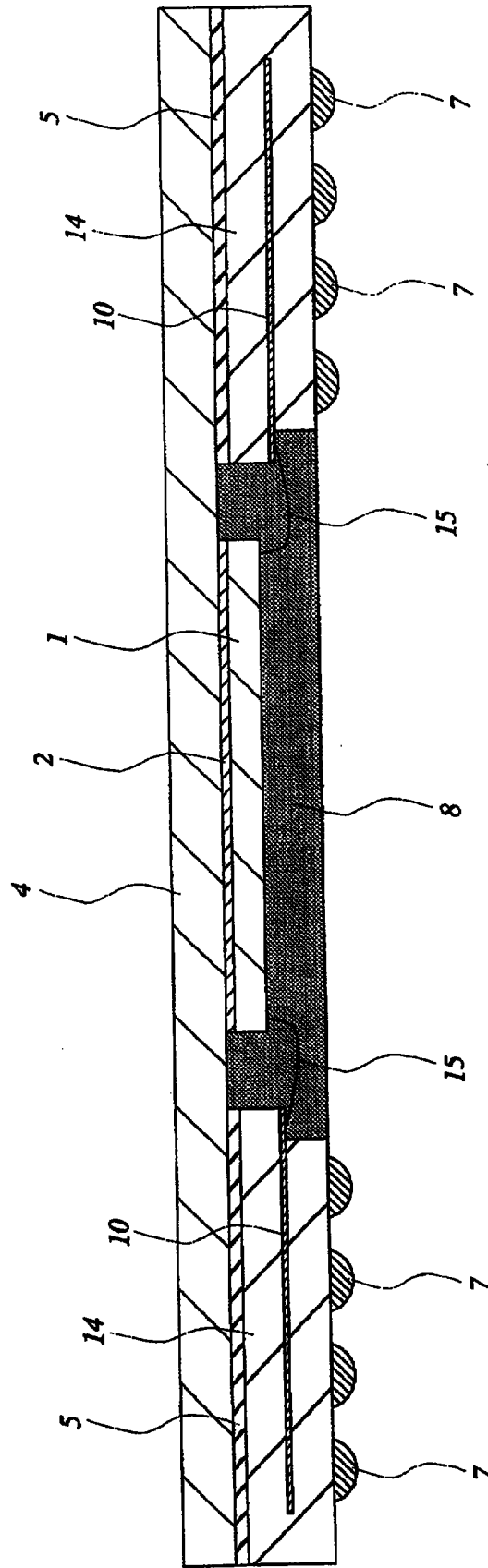
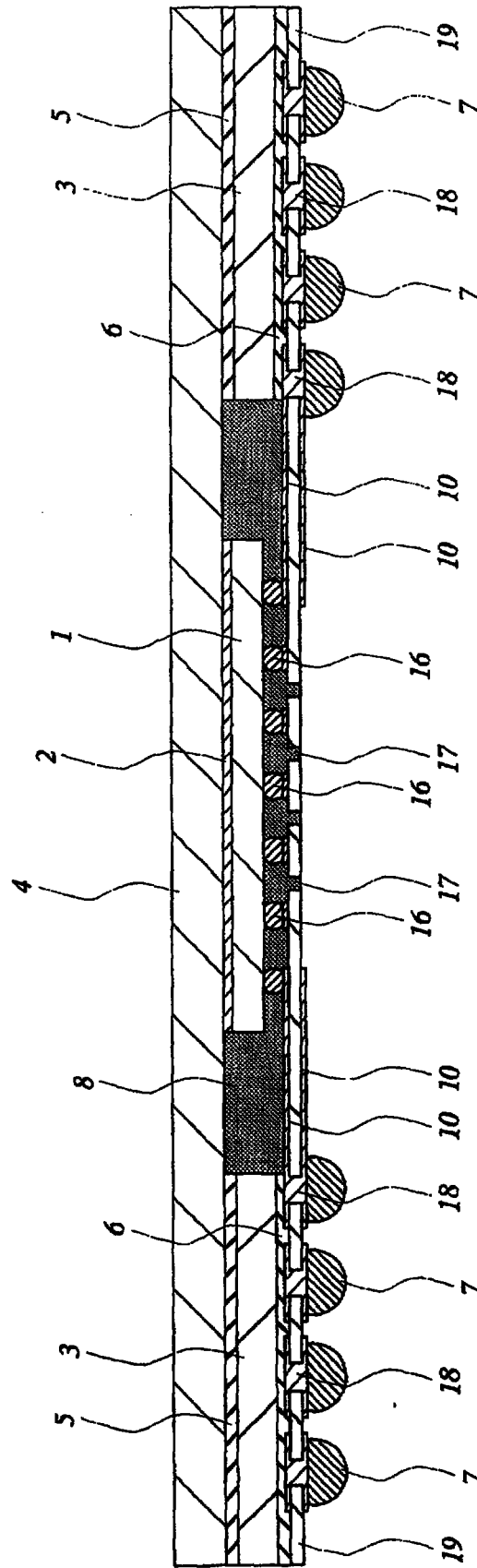
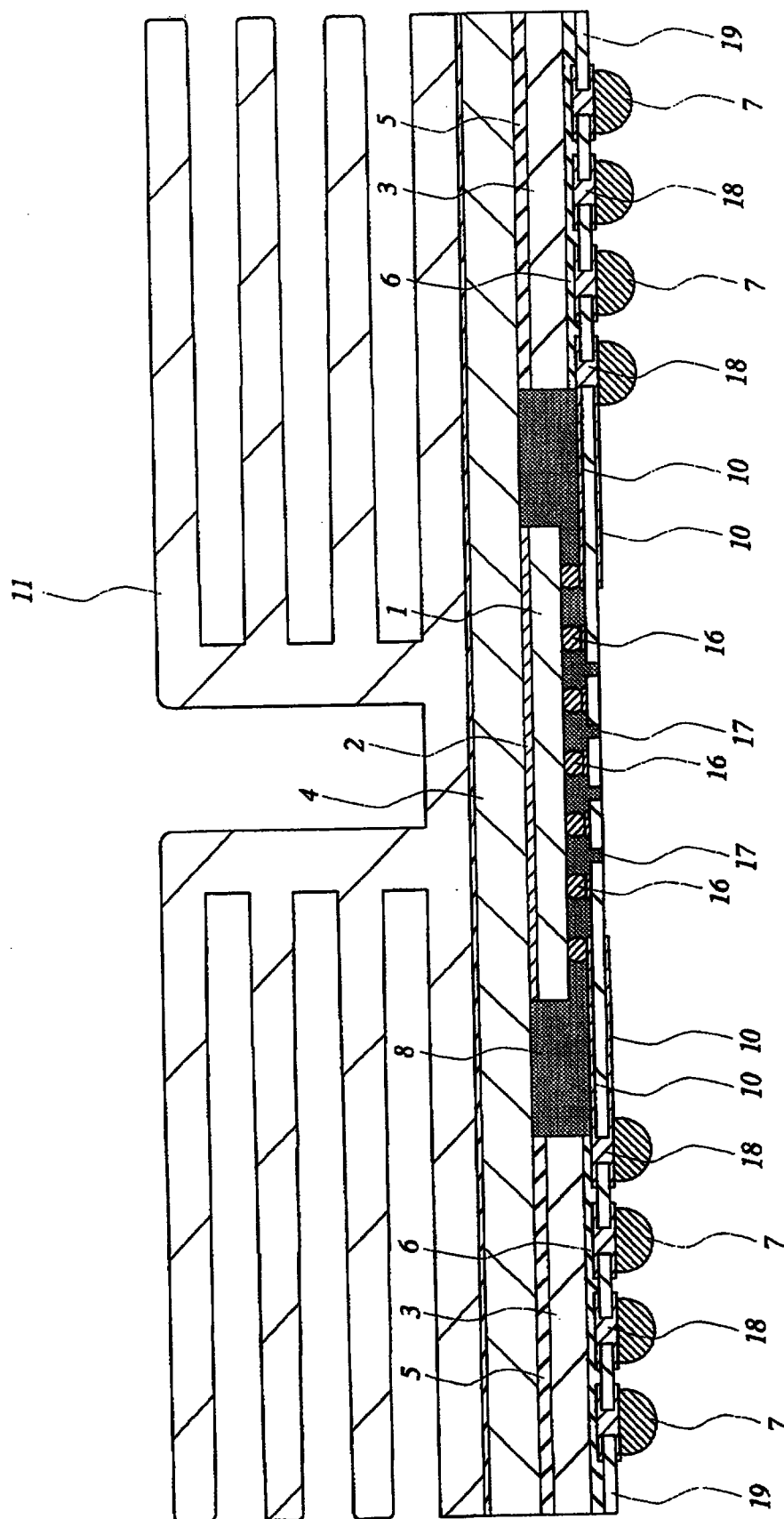
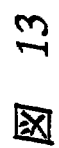
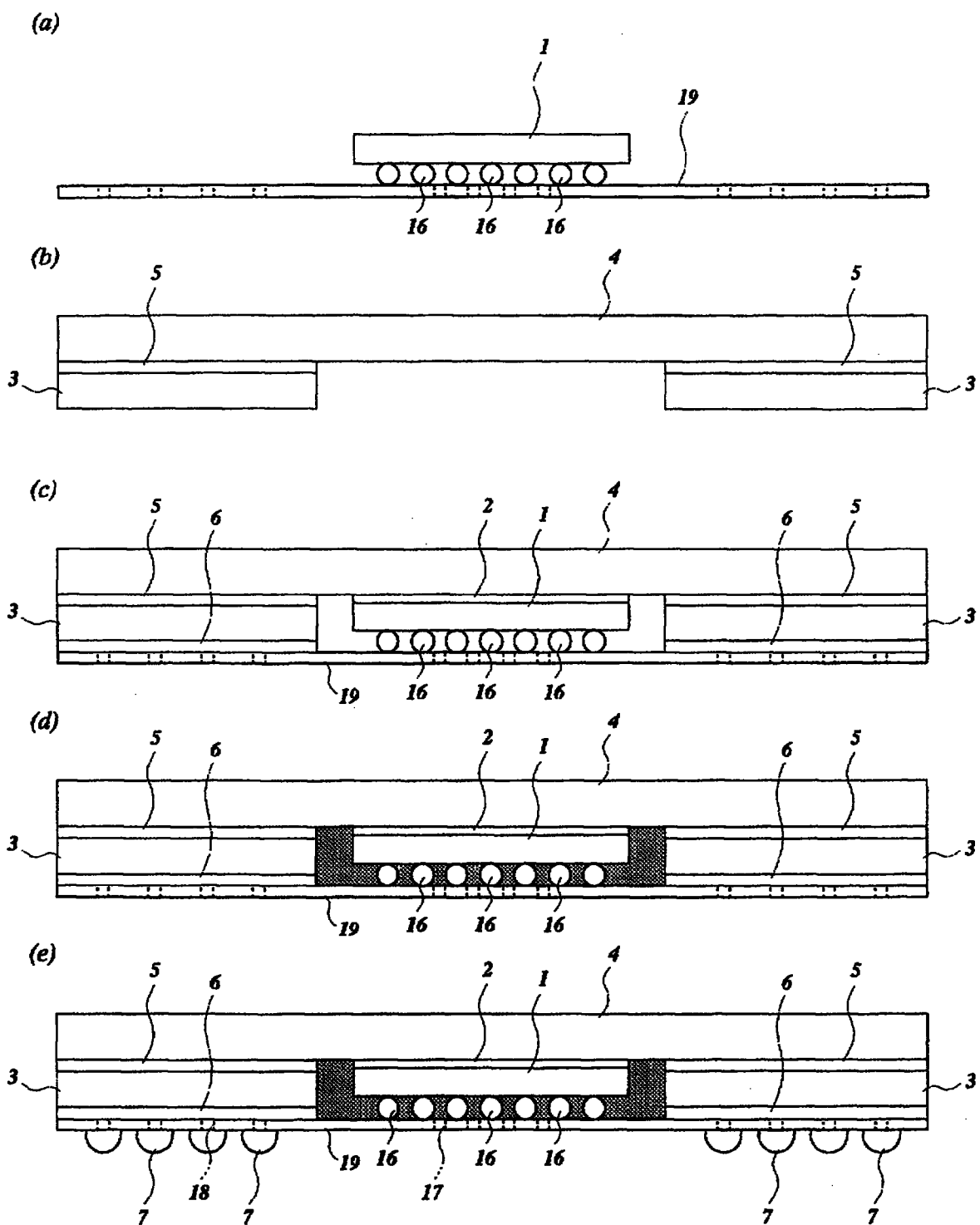


図 12





14



15/17

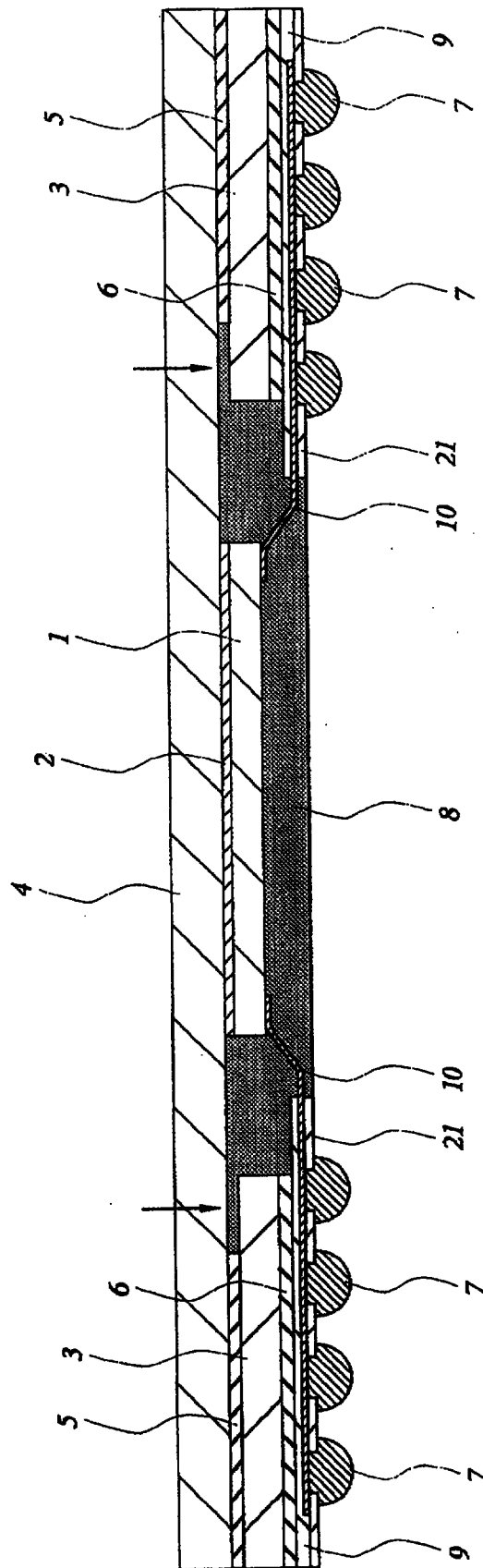
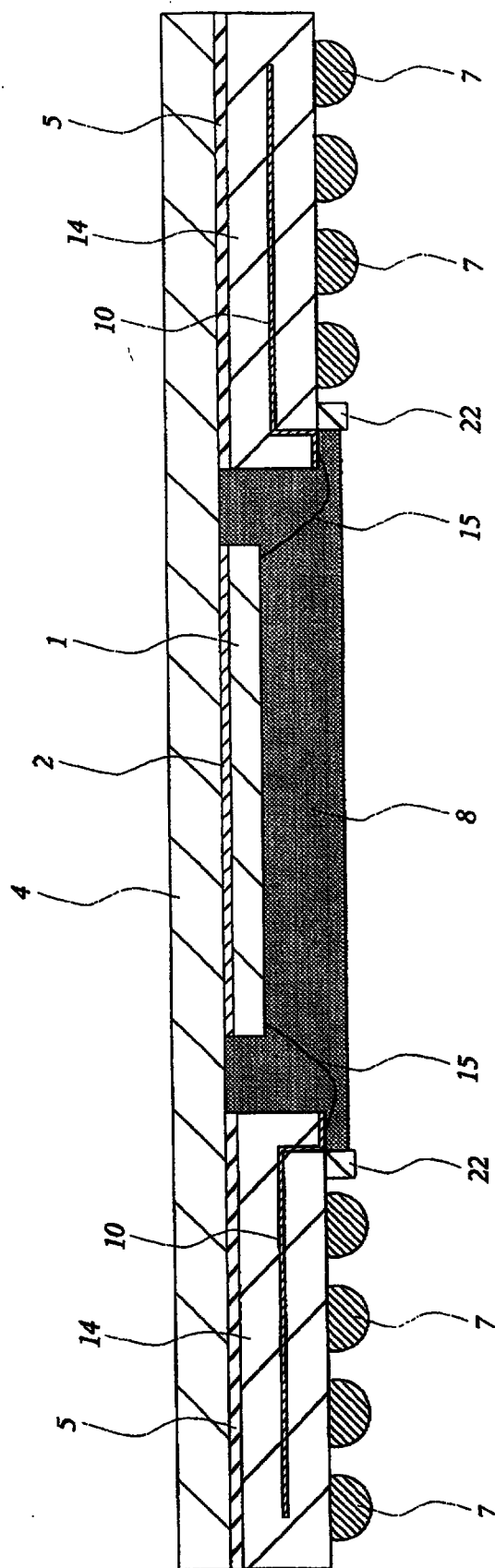
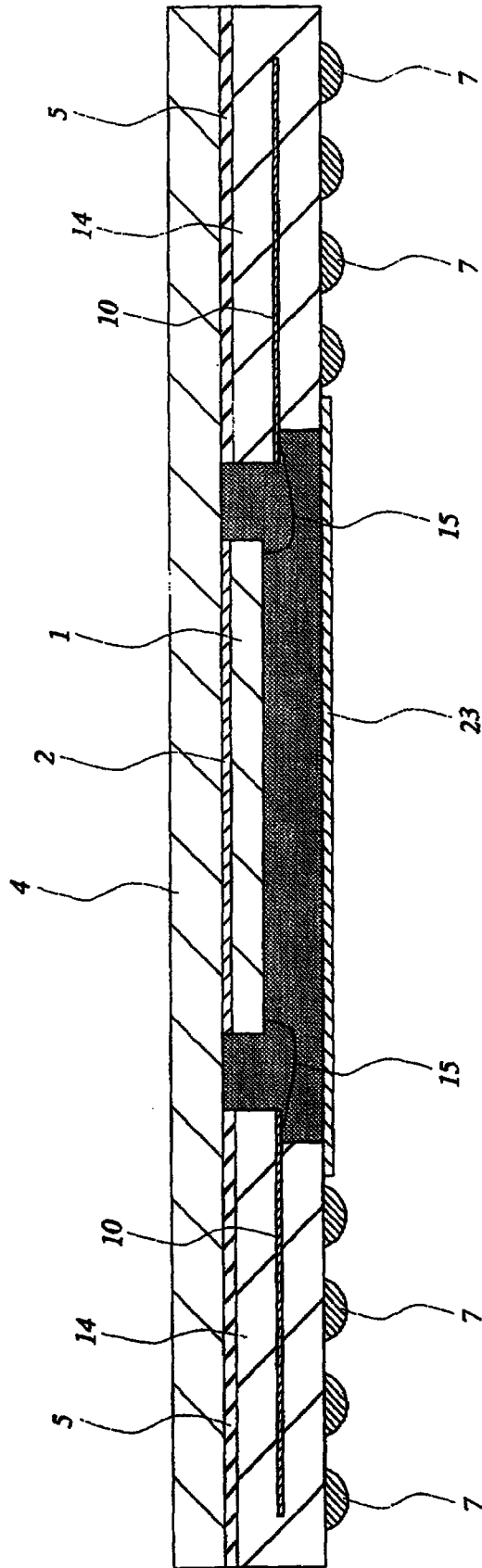


図 16



17



VERIFICATION OF TRANSLATION

National Stage in Singapore
Patent Application of
PCT/JP96/02815

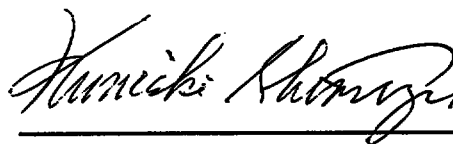
I, Kuniaki SHIMIZU, a citizen of Japan, c/o Asamura
Patent Office of 331-340, New Ohtemachi Building, 2-1,
Ohtemachi-2-chome, Chiyoda-ku, Tokyo, Japan do hereby
solemnly and sincerely declare:-

- 1) THAT I am well acquainted with the Japanese
language and English language, and
- 2) THAT the attached is a full, true and faithful
translation into the English language made by
me of the PCT Application No. PCT/JP96/02815.

AND I, Kuniaki SHIMIZU, certify and state that the facts
set forth above are true.

DATED this 28th day of April, 1998.

Signature of translator



Kuniaki SHIMIZU
Registered Patent Attorney

- 1 -

DESCRIPTION

SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREOF
AND MOUNTING BOARD

TECHNICAL FIELD

The present invention relates to a semiconductor device and its manufacturing method, and more particularly to a technology which is effectively applied
5 to a semiconductor device having an LSI package superior in heat radiation and reliability.

BACKGROUND ART

Advanced logic devices of late are achieving high speed by using higher operation frequencies and
10 multiple bit signals. However, as the performance of semiconductor chips improves, in the conventional packages, that is, in packages including a lead frame, for example, the package size becomes large due to the limits of fabrication of the lead frame. Accordingly,
15 when a package is mounted on a mounting board, the area of the mounting board occupied by the package and outer leads increases, so that the merits of high density integration of functions are reduced to some extent. Furthermore, owing to the improvement in the operation
20 frequency by enhanced performance and the increased number of gates by high density device integration, power consumption increases. Under this situation, the semiconductor chips have come to generate large quantities of

heat, and it is absolutely necessary to cope with the increase of pins and develop a lower thermal resistance package structure. In the conventional packages, sufficient measures for radiation of heat generated from the semiconductor chips have not been taken. A first technology to solve this problem is disclosed in JP-A-07-326625 in which a semiconductor chip (LSI) having connection terminals on the whole circuit area is mounted by the face-down bonding on a carrier substrate, and the space between the semiconductor chip and the carrier substrate is completely filled with a sealing resin. In addition, a heat spreader is provided on the reverse side of the semiconductor chip.

A second technology is revealed in JP-A-06-224246 in which the package includes a conductive substrate with a cavity for accommodating a semiconductor chip having a plurality of bonding pads and a flexible circuit stacked on the conductive substrate. The flexible circuit includes a wiring pattern and an area array of bumps formed on the pads on the surface of the circuit. Under those pads, there are a plurality of openings leading to the flexible circuit, patterned wiring traces to ground and the substrate. In stacking the flexible circuit to the substrate, a conductive adhesive is used which facilitates electrical connection of the ground pad whose opening is set in the substrate.

A third technology is described in JP-A-04-119653 in which a semiconductor chip is installed

on a metal plate, an insulator is stacked on the metal plate so as to surround the semiconductor chip, and patterned outer leads for electrical conduction to an external circuit, such as a mounting board, are formed on
5 the surface of the insulator.

A fourth technology is shown in JP-A-05-82567 in which a package comprises a substrate of ceramic or the like having a hole in the center, a cap having a TAB-LSI, which is to be connected to the substrate,
10 bonded thereto by die bonding and sealing, and a sealing resin filled between the substrate and the TAB-LSI in such a way that the hole of the substrate is closed air-tightly. The die-bonded TAB-LSI is filled with a sealing resin, a pressure is applied to the TAB-LSI to
15 complete the bonding and the whole circuit area of the TAB-LSI is covered with the sealing resin.

A fifth technology is discussed in Nikkei Electronics, No. 602, issued on February 28, 1994 in which a heat radiator plate or the cover is bonded to a
20 semiconductor chip (LSI chip) with an adhesive for heat dissipation, and the semiconductor chip and solder terminals are connected using a TAB tape. The TAB tape and the semiconductor chip are bonded together by flip chip connection, and the space between the TAB tape and
25 the semiconductor chip is filled with a sealing resin. The whole package is supported by gluing the heat radiation plate or the cover to the TAB tape with an adhesive.

Nonetheless, even with the first to fifth technologies, if the heat radiation characteristic is given priority, the reliability after device-mounting decreases, or if the reliability is given priority, great heat radiation characteristic cannot be obtained. In other words, the contradictory relation between heat radiation characteristic and reliability has not been overcome.

More specifically, the high heat radiation characteristic depends on a thermal resistance between a chip and a package and a thermal resistance between the chip and air. To obtain a high heat radiation characteristic, it is necessary to use a high heat-conduction adhesive between the chip and the package and also use high heat-conduction materials for the chip and the package.

However, the reliability of the package cannot be improved only by using materials meeting the above-mentioned requirement. The present inventors have clarified that the packages of structures shown in the first to the fifth technology are unable to sufficiently deal with thermal stress due to the heat generated when the chip operates or when the chip is mounted on the circuit board.

An object of the present invention is to provide a semiconductor device adaptable to an increasing number of pins, in which high heat radiation characteristic and high reliability are compatible. Another

object of the present invention is to provide a semiconductor device adaptable to an increasing number of pins, in which high heat radiation characteristic and high reliability are compatible.

5 The foregoing and other objects and the novel features of the present invention will be apparent from the description of the specification and the accompanying drawings.

DISCLOSURE OF INVENTION

10 In the semiconductor device according to the present invention, a semiconductor chip is bonded by metal bonding to one surface of the heat sink whose thermal expansion coefficient is close to that of the semiconductor chip. The heat sink is bonded to a
15 stiffener with a silicon adhesive with an elastic modulus of 10 MPa or less. A TAB tape is bonded to the stiffener with an organic adhesive, such as an epoxy resin adhesive. The heat sink is bonded to the stiffener with a silicone adhesive of an elastic modulus of 10 MPa or
20 less. The TAB tape is electrically connected to the electrodes of the semiconductor chip. The semiconductor chip sealed with a sealing epoxy resin with an elastic modulus of 10 GPa or more.

BRIEF DESCRIPTION OF DRAWINGS

25 Fig. 1 is a sectional view of a semiconductor device according to a first embodiment of the present

invention;

Fig. 2 is a plan view of the semiconductor device according to the first embodiment of the present invention;

5 Fig. 3 is a sectional view of the semiconductor device according to the first embodiment of the present invention, on which heat radiation fins are installed;

Fig. 4 is a plan view of a circuit board on which a semiconductor device according to the first
10 embodiment is mounted;

Fig. 5 is a sectional view taken along lines b-b' in Fig. 4;

Fig. 6 is a process diagram showing the manufacturing process of the semiconductor device
15 according to the first embodiment of the present invention;

Fig. 7 is a sectional view showing a semiconductor device according to a second embodiment of the present invention;

20 Fig. 8 is a sectional view showing the semiconductor device according to the second embodiment of the present invention;

Fig. 9 is a sectional view showing the semiconductor device according to the second embodiment of
25 the present invention, on which heat radiation fins are installed;

Fig. 10 is a process diagram showing the manufacturing process of the semiconductor device

according to the second embodiment of the present invention;

Fig. 11 is a sectional view showing the semiconductor device according to the second embodiment
5 of the present invention;

Fig. 12 is a sectional view showing a semiconductor device according to a third embodiment of the present invention;

Fig. 13 is a sectional view of the semiconductor device according to the third embodiment of the
10 present invention, on which heat radiation fins are installed;

Fig. 14 is a process diagram showing the manufacturing process of the semiconductor device
15 according to the third embodiment of the present invention;

Fig. 15 is a sectional view showing a semiconductor device according to a fourth embodiment of the present invention;

20 Fig. 16 is a sectional view showing a semiconductor device according to a fifth embodiment of the present invention; and

Fig. 17 is a sectional view showing a semiconductor device according to another embodiment of the
25 present invention.

BEST MODE FOR CARRYING OUT THE INVENTION

The embodiments of the present invention will

be described with reference to the accompanying drawings. In all the drawings for describing the embodiments, the same functions are designated by the same reference numerals so as not to repeat their descriptions.

5 First Embodiment

Fig. 1 is a sectional view (taken along the lines a-a' in Fig. 2) showing the semiconductor device, and Fig. 2 is a plan view of the semiconductor device.

The semiconductor device according to this
10 embodiment has a package structure of BGA (Ball Grid Array) type. This package comprises a semiconductor chip 1 having a logic LSI, such as a gate array, formed on the principal surface of the silicon substrate, a stiffener 3 surrounding the semiconductor chip 1, a heat sink 4 for
15 externally radiating the heat generated in the semiconductor chip 1, a sealing resin 8 for protecting the semiconductor chip 1 from the external environment, which has wiring 10 formed on one surface thereof, and solder bumps 7 as lead-out electrodes. The thicknesses
20 of the materials constituting the package are 0.28-0.55 mm for the semiconductor chip 1, 0.10-0.60 mm for the stiffener 3, 0.10-1.00 mm for the heat sink 4, and 0.05-0.125 mm for the TAB tape 9. The diameter of the solder bumps 7 is 0.3-0.9 mm.

25 The semiconductor chip 1 is bonded to the central portion of one surface of the heat sink 4 by an Au-Sn eutectic alloy 2. The bonded surface of the semiconductor chip 1 is a surface without the LSI. One

surface of the stiffener 3 is glued to the peripheral area of one surface of the heat sink 4 with a first adhesive 5. The TAB tape 9 is glued to the other surface of the stiffener 3 with a second adhesive 6. End

5 portions (inner leads) of the wiring 10 formed on the one surface of the TAB tape 9 are electrically connected to electrodes (not shown) of the semiconductor chip 1. The end portions (inner leads) of the wiring 10 and the semiconductor chip 1 are sealed together by a sealing

10 resin 8. A plurality of solder bumps 7 electrically connected to the wiring 10 are formed at specified intervals on the other surface of the TAB tape 9. The region on the other surface of the TAB tape 9 where there are no solder bumps 7 is coated with a solder resist 21.

15 The package in this embodiment uses a metal (Au-Sn eutectic alloy 2) to bond the heat sink 4 and the semiconductor chip 1 together. Therefore, to secure reliability for the junction of the two layers, the heat sink 4 is formed by a material whose thermal expansion

20 coefficient is close to that of the semiconductor chip 1. In the category of materials which have a thermal expansion coefficient close to $3 \times 10^{-6}/^{\circ}\text{C}$ of the semiconductor chip 1 and a high thermal conductivity, there are a Cu-W alloy (thermal expansion coefficient of

25 $6 \times 10^{-6}/^{\circ}\text{C}$; elastic modulus of 300 GPa), Fe-based alloy, mullite, AlN, carbon-based materials, such as diamond. For the metal by which to bond the heat sink 4 and the semiconductor chip 1 together, metals other than Au-Sn

eutectic alloy mentioned above, such as an Au-Si alloy and a high-melting solder, may be used.

The stiffener 3 to brace the package is formed by a material having a thermal expansion coefficient close to the substrate on which the package is mounted. If the substrate is formed of a glass epoxy-based material (thermal expansion coefficient of $10\text{--}20 \times 10^{-6}/^{\circ}\text{C}$; elastic modulus of 5-30 GPa), the stiffener 3 is formed by a glass epoxy material or a material having a thermal expansion coefficient similar to the glass epoxy material. Other examples of the material of the stiffener 3 are Cu alloy-based materials and organic materials. The shape of the stiffener 3 is not limited to the one shown in Fig. 1, but the stiffener 3 may be in any shape so long as it surrounds the semiconductor chip 1. The same shape as the stiffener 3 in Fig. 1 can be realized by gluing two or more cubes together.

The first adhesive 5 gluing the stiffener 3 and the heat sink 4 together is an adhesive material with an elastic modulus lower than that of the sealing resin 8 for sealing the semiconductor chip 1, that is to say, a material with an elastic modulus of 50 MPa or less, desirably, 10 MPa. The most desirable sealing resin is a silicon-based elastomer with an elastic modulus of 0.5-10 MPa (TX2206 by Toray Industries, for example). The thermal expansion coefficient of silicon-based elastomer is 300 or more $\times 10^{-6}/^{\circ}\text{C}$.

The second adhesive 6 gluing the stiffener 3

and the TAB tape 9 together is an adhesive material with a higher elastic modulus than the first adhesive 5, that is, an epoxy resin with an elastic modulus of 500-1000 MPa, for example. The TAB tape 9 for electrically
5 connecting the semiconductor chip 1 and the solder bumps 7 is a flexible tape carrier comprising a synthetic resin base material having wiring 10 of an etched copper foil attached to one surface thereof. For the synthetic resin base material, for example, a polyimide base material
10 (thermal expansion coefficient of $5-20 \times 10^{-6}/^{\circ}\text{C}$; elastic modulus of 50-500 MPa), a glass epoxy base material, a polyester base material, or the like is used.

The sealing resin 8 for sealing one-end portions of the wiring 10 formed on the TAB tape 9 and
15 the semiconductor chip 1 is a resin with a higher elastic modulus than the first adhesive 5 gluing the heat sink 4 and the stiffener 3 together, that is, an epoxy sealing resin with an elastic modulus of 5-30 GPa and a thermal expansion coefficient of $10-300 \times 10^{-6}/^{\circ}\text{C}$. The most
20 desirable kind of the sealing resin 8 is an epoxy sealing resin with an elastic modulus of 10 GPa or more. Other materials, including an organic material with an elastic modulus of 5 GPa or more, such as a phenolic sealing resin or a polyimide sealing resin may be used.

25 For the lead-out electrodes formed on one surface of the TAB tape 9, besides solder bumps, various kinds of known electrodes adopted for surface mounting by area array connection may be used. For example, base

electrodes having columnar or island-like metal terminals bonded thereto or nothing other than base electrodes may be used.

According to the semiconductor device in this embodiment arranged as described above, the semiconductor chip 1 and the heat sink 4 are bonded together by using a metal material (Au-Sn eutectic alloy 2) of a high thermal conductivity, which causes heat from the semiconductor chip to be conducted to the heat sink 4, thus greatly contributing to heat dissipation of the semiconductor chip 1. More specifically, in contrast to an Ag-containing organic adhesive (Ag paste) with a thermal conductivity of about 1-50 W/m·K, the Au-Sn eutectic alloy 2 has a high thermal conductivity of about 200 W/m·K or more, making it possible to substantially improve the thermal conductivity compared with the case where an organic adhesive is used. The reduction in the difference in thermal conductivity between the heat sink 4 and the semiconductor chip 1 ensures the reliability of the junction between them. The high thermal conductivity of both the Au-Sn eutectic alloy 2 and the heat sink 4 greatly reduces the thermal resistance between the chip and the heat sink and the thermal resistance between the package and the air, so that a high heat radiation characteristic can be obtained.

According to the semiconductor device in this embodiment, since the adhesive 5 is used which has a lower elastic modulus and hence a higher elastic limit

than the sealing resin 8 in gluing the heat sink 4 and the stiffener 3 together, it is possible to absorb and alleviate stresses produced by differences of thermal expansion coefficient among the members constituting the package. Accordingly, it is possible to prevent a package crack or breaking of wiring 10 due to thermal stress produced when the package is mounted on a circuit board or the LSI operates.

Further, according to the semiconductor device in this embodiment, since the sealing resin 8 is used which has a high elastic modulus to seal the semiconductor chip 1 and the wiring 10 (inner leads), the semiconductor chip 1 and the wiring 10 (inner leads) are fixed firmly by the sealing resin 8, so that the wiring 10 (inner leads) can be prevented from being broken by thermal stress.

As shown in Fig. 3, since radiation fins 11 are installed on top of the heat sink 4, the package according to this embodiment are applicable to multiple pin, increased power consumption LSIs. The fins 11 are formed by a metal material with a high thermal conductivity, such as Al, and are attached to the heat sink 4 using an adhesive such as grease. Or otherwise, the fins 11 may be fastened to the heat sink 4 with screws. The thickness and the shape of the fins 11 are not limited, but the fins 11 may be divided into a plurality of components. Optimum thickness and shape of the fins may be selected considering the generated heat value of the

semiconductor chip 1, the material physical properties of the heat sink 4, production process, production cost, etc.

Fig. 4 is a plan view showing an example of a condition in which a semiconductor device according to this embodiment is mounted on a mounting board 20 to be installed in a personal computer or a work station.

Fig. 5 is a sectional view taken along the lines b-b' in Fig. 4.

10 In Fig. 5, reference numeral 12 denotes a package in this embodiment, and 13 denotes another type of a surface-mount package, such as a QFP (Quad Flat Package). Besides a gate array sealed in a package 12 according to this embodiment, other components mounted on 15 this mounting board 20 are an MPU and logic LSIs sealed with a package such as a QFP or a PLCC (Plastic Leaded Chip Carrier), and DRAMs sealed with a package such as an SOJ (Small Outline J-leaded Package).

In the package 12 according to this embodiment, 20 the lead-out electrodes (solder bumps 7) are arranged in a two-dimensional array, so that the pin pitch is wider than in a QFP, the percent defective during mounting is far lower than in QFPs. A package 12 according to this embodiment can be soldered with other types of surface- 25 mount packages, such as a QFP, by simultaneous reflow, which facilitates mounting of devices.

In the package 12 according to this embodiment, since the stiffener 3 for bracing the package 12 is

formed of a material with a thermal expansion coefficient close to the circuit board 20, it is possible to prevent warping of the package 12 or breaking of a solder bump 7 which are caused by thermal stress produced during the operation of the LSI, and on account of this, the reliability of connection between the package 12 and the mounting board 20 can be improved.

The assembly process of the semiconductor device according to this embodiment will be described with reference to Fig. 6.

After a stiffener 3 is glued to one surface of a heat sink 4 with a first adhesive 5 as shown in Fig. 6(a), a semiconductor chip 1 is bonded to the central area of one surface of the heat sink 4 by using an Au-Sn eutectic alloy 2 as shown in Fig. 6(b). Or otherwise, the stiffener 3 may be attached after the semiconductor chip 1 is bonded to the heat sink 4. The temperature condition for bonding using the Au-Sn eutectic alloy 2 is 320 C for about 10 min. The bonding temperature condition when using a metal other than the Au-Sn eutectic alloy 2 is as follows. If an Au-Si alloy or a high-melting solder is used, the bonding temperature is 370°C for about two minutes for the former and 300°C for about ten minutes for the latter.

As shown in Fig. 6(c), a TAB tape 9 is glued with a second adhesive to the other surface of the stiffener 3 which has been glued on the one surface thereof to the heat sink 4. In gluing the stiffener 3

and the TAB tape 9, a known thermocompression method is used. As shown in Fig. 6(d), end portions (inner leads) of the wiring 10 formed on the TAB tape are bonded to the electrodes of the semiconductor chip 1. If this bonding
5 step is done by gang bonding, Au bumps or solder bumps should be formed on the electrodes of the semiconductor chip 1 in advance. The temperature condition for gang bonding is 500 C for about one second. On the other
hand, if the above bonding step is done by single
10 bonding, bumps need not be formed on the electrodes of the semiconductor chip 1.

Referring to Fig. 6(e), after the semiconductor chip 1 and end portions (inner leads) of the wiring 10 are sealed with a sealing resin 8, as shown in Fig. 6(f),
15 solder bumps 7 are formed on the TAB tape 9 such that they are electrically connected to the wiring 10. To form the solder bumps 7, solder balls are bonded to the TAB tape 9 and made to reflow at a temperature higher than the melting point of the solder.

20 The solder bumps 7 may be formed at the final step of the package assembly process, or just before the package is mounted to a mounting board.

In the semiconductor device according to this embodiment, the TAB tape 9 is used to connect the
25 electrodes of the semiconductor chip 1 and the wiring 10, so that the wiring 10 can be bonded to the electrodes of the semiconductor chip 1 by gang bonding. Therefore, the time required for bonding does not depend on the number

of pins and hence bonding can be finished in a short time.

In the package 12 according to this embodiment, since the stiffener 3 for bracing the package 12 is
5 formed of a material having a thermal expansion coefficient close to the circuit board 20, it is possible to prevent the warping of the package 12 or the breaking of the solder bumps 7 which occur due to thermal stress produced during the operation of the LSI, so that the
10 reliability of connection between the package 12 and the circuit board 20 can be improved.

Second Embodiment

Fig. 7 is a sectional view of the semiconductor device according to a second embodiment of the invention.

15 In the package in the first embodiment, the TAB tape 9 is attached to the stiffener 3 for bracing the package and the wiring on the TAB tape 9 is electrically connected to the electrodes of the semiconductor chip 1. In the package according to the second embodiment, the
20 wiring 10 is formed on a stiffener 14 and the wiring 10 and the electrodes of the semiconductor chip 1 are electrically connected through a wire 15.

The semiconductor chip 1 is bonded to the central portion of one surface of the heat sink 4. The
25 junction surface of the semiconductor chip 1 is a surface where there is not the LSI. The heat sink 4 is formed of a material having a thermal expansion coefficient close to the semiconductor chip 1 and a high thermal conduc-

tivity, such as a Cu-W alloy, an Fe-based alloy, mullite, Aln or a carbon-based material (diamond, for example). For the metal for bonding the heat sink 4 and the semiconductor chip 1 together, a metal other than Au-Sn eutectic alloy 2, such as an Au-Si alloy or a high-melting point solder may be used.

One surface of the stiffener 14 is glued to the peripheral portion of one surface of the heat sink 4 with an adhesive. The semiconductor chip 1 and wires 15 are sealed with a sealing resin 8. On the underside of the stiffener 14, a plurality of solder bumps 7 electrically connected to the wiring 10 are formed at specified intervals.

The stiffener 14 for bracing the package is formed of a material having a thermal expansion coefficient close to the circuit board where this package is to be mounted, such as a glass epoxy base material with a thermal expansion coefficient of $10\text{-}20 \times 10^{-6}/^{\circ}\text{C}$ and an elastic modulus of 10-20 GPa. The thickness of the stiffener 14 is 0.20-1.00 mm, for example. In the stiffener 14, there is provided a difference in level between the region where the wires 15 are connected and the region where the solder bumps 7 are formed so that the wires 15 can be sealed completely when the semiconductor chip 1 is sealed with the sealing resin 8. This difference in level is formed in such a way as to surround the semiconductor chip 1.

The adhesive 5 gluing the stiffener 14 and the

heat sink 4 together is formed of a material with an elastic modulus lower than the sealing resin 8 for sealing the semiconductor chip 1, namely, 50 MPa or less, preferably 10 MPa or less. The most desirable kind of the sealing resin 8 is a silicone elastomer with an elastic modulus of 0.5-10 MPa. The sealing resin 8 for sealing the semiconductor chip 1 and the wires 15 is formed of a material with an elastic modulus higher than the adhesive 5, such as a phenolic sealing resin or a polyimide sealing resin with an elastic modulus of 5-30 GPa or more. The most desirable kind is an epoxy sealing resin with an elastic modulus of 10 GPa or more. Besides the solder bumps 7, other kinds of lead-out electrodes that can be formed on the underside of the stiffener 3 are various kinds of known electrodes adopted for surface mounting by area array connection, such as base electrodes having columnar or island-like metal terminals bonded thereto or nothing other than base electrodes.

According to the semiconductor device in the second embodiment arranged as described, since a metal material (Au-Sn eutectic alloy 2) with a high thermal conductivity is used to bond the semiconductor chip 1 to the heat sink 4, the heat generated in the semiconductor chip 1 can be conducted to the heat sink 4 with high efficiency, thus contributing a great deal to heat radiation of the semiconductor chip 1. By the reduction of the difference in thermal expansion coefficient between the heat sink 4 and the semiconductor chip 1 can

ensure the reliability of the junction between these two layers. The high thermal conductivity of both the Au-Sn eutectic alloy 2 and the heat sink 4 substantially reduces the thermal resistance between the chip and the heat sink and thermal resistance between the package and the air, so that a high heat radiation characteristic can be obtained.

According to the semiconductor device of the second embodiment, since the adhesive 5 is used which has an elastic modulus lower than the sealing resin 8 and hence a high elastic limit to glue the heat sink 4 and the stiffener 14 together, the stresses produced due to differences in thermal expansion coefficient among the members of the package can be absorbed and lessened by the adhesive 5. Accordingly, it is possible to prevent a package crack or disconnection of the wiring 10 due to thermal stress produced when the package is mounted to a circuit board or when the LSI operates.

According to the semiconductor device of the second embodiment, since the sealing resin 8 with a high elastic modulus is used to seal the semiconductor chip 1 and the wires 15, the semiconductor chip 1 and the wires 15 are fixed firmly by the sealing resin 8, thus preventing the wires 15 from being broken by thermal stress.

According to the semiconductor device of the second embodiment, since the stiffener 15 for bracing the package is formed of a material with a thermal expansion

coefficient close to the circuit board, the warping of the package and breaking of solder bumps 7 due to thermal stress produced during the operation of the LSI can be prevented, thus improving the reliability of the package and the circuit board.

In contrast to the package in the first embodiment, in the semiconductor device according to the second embodiment, the TAB tape 9 is not used, the number of parts and the number of assembly man-hours can be reduced. Therefore, the manufacturing cost of the package can be decreased compared with the package in the first embodiment.

As shown in Fig. 8, if the difference in level is not provided between the region where the wires 15 are connected at the underside of the stiffener 14 and the region where the solder bumps 7 are formed, the structure of the stiffener 14 is simplified, so that the manufacturing cost of the stiffener 14 can be reduced and therefore the cost of the package can be reduced.

As shown in Fig. 9, in the package according to the second embodiment, by installing heat radiation fins 11 on top of the heat sink 4, the package can be applicable to multiple-pin, increased power-consumption LSIs. The fins 11 are formed of a metal material with a high thermal conductivity like Al, and are attached to the heat sink 4 using an adhesive such as grease. Or otherwise, the fins 11 may be screwed down to the heat sink 4. The thickness and the shape of the fins are not

limited, but the fins may be divided into a plurality of components. Optimum thickness and the shape may be selected taking into account the generated heat value of the semiconductor chip 1, the material physical
5 properties of the heat sink 4, production process, production cost, etc.

With reference to Fig. 10, the assembly process of the semiconductor device according to the second embodiment will be described.

10 As shown in Fig. 10(a), after the stiffener 14 is glued to one surface of the heat sink 4 with an adhesive 5, the semiconductor chip 1 is bonded to the central portion of one surface of the heat sink 4 using the Au-Sn eutectic alloy 2 as shown in Fig. 10(b). Or
15 otherwise, the stiffener 14 may be attached after the semiconductor chip 1 is bonded to the heat sink 4.

After the electrodes of the semiconductor chip 1 and the wiring 10 of the stiffener 14 are connected with wires 15 using an automatic wire bonder as shown in
20 Fig. 10(c), the semiconductor chip 1 and the wires 15 are sealed with a sealing resin 8 as shown in Fig. 10(d), and solder bumps 7 are formed on the underside of the stiffener 14 as shown in Fig. 10(e). By adjusting the thickness of the sealing resin 8 to eliminate the
25 difference in level between the underside of the sealing resin 8 and the underside of the stiffener 14 as shown in Fig. 11, the underside of the package is made flat, which facilitates the work of bonding the solder balls to the

underside of the stiffener 14. The formation of the solder bumps 7 may be done at the final step of the package assembly process or just before the package is mounted to a circuit board.

5 Third Embodiment

Fig. 12 is a sectional view of the semiconductor device according to a third embodiment of the invention.

In a package according to the third embodiment,
10 a flexible tape (a TAB tape) 19 having wiring 10 formed on both surfaces thereof is glued to one surface of the stiffener 3 with an adhesive 6 so that the wiring 10 of the flexible tape 19 is electrically connected to the electrodes of the semiconductor chip 1 through solder
15 bumps 16. The semiconductor chip 1 and the solder bumps 16 are isolated from outside by the sealing resin 8 filled without leaving any space within the resin-sealed region.

For the base material of the flexible tape 19,
20 like in the TAB tape in the first embodiment, a polyimide base material, a glass epoxy base material or a polyester base material is used. The wiring 10 formed on both sides of the flexible tape 19 is connected electrically via through-holes 18. A layout of the wiring 10 on one
25 surface and that of the wiring 10 on the other surface of the flexible tape 19 are such that they overlap each other. Therefore, electromagnetic induction occurs on the wiring 10 on either side of the flexible tape 19 by

the electrical characteristics of the currents flowing through the wiring 10, and by the interaction of electromagnetic induction of the wiring conductors on both sides, their inductances are reduced. The flexible
5 tape 19 is provided in its central portion with via holes 17 for externally injecting the sealing resin 8 into a cavity region enclosed by the heat sink 4, the stiffener 3, and the sealing resin 8. A plurality of solder bumps 7, electrically connected with the wiring 10, are formed
10 at specified intervals on the underside of the flexible tape 19.

The semiconductor chip 1 is bonded to the central portion on one surface of the heat sink 4 with an Au-Sn eutectic alloy 2 (or an Au-Si alloy, a high-melting
15 solder or the like). The stiffener 3 for reinforcing the package is glued on one surface thereof to the peripheral portion of one surface of the heat sink 4 with an adhesive 5 with a low elastic modulus. The stiffener 3, the heat sink 4 and adhesives 5 and 6 are formed of the
20 same materials as are used in the first embodiment.

According to the semiconductor device in the third embodiment arranged as mentioned above, like in the first and the second embodiment, improvements are achieved in the reliability and the heat radiation
25 property of the package and the connection reliability of the packaged mounted on the circuit board.

As shown in Fig. 13, in the package in the third embodiment, by installing the heat radiation fins

11 on the heat sink 4, the package is applicable to LSIs which have multiple pins and consume a larger amount of electric power.

With reference to Fig. 14, the assembly process
5 of the semiconductor device according to the third embodiment will be described.

As shown in Fig. 14(a), a semiconductor chip 1 and a flexible tape 19 are electrically connected by the flip-chip method. A stiffener 3 is glued to the
10 peripheral portion of one surface of the heat sink 4 with a first adhesive 5 as shown in Fig. 14(b). Then, as shown in Fig. 14(c), a semiconductor chip 1 is bonded to the central portion of one surface of the heat sink 4 with an Au-Sn eutectic alloy 2, and a flexible tape 19 is
15 glued, using a second adhesive 6, to the other surface of the stiffener 3 having the heat sink 4 already glued thereto. As shown in Fig. 14(d), after a sealing resin 8 is filled in the cavity region without leaving any space through via holes 17 formed in the flexible tape 19,
20 solder bumps 7 are formed on the flexible tape 19 so as to be electrically connected to the wiring 10.

Fourth Embodiment

Fig. 15 is a sectional view showing the
semiconductor chip according to a fourth embodiment of
25 the invention.

A silicon adhesive 5 with a low elastic modulus does not have a sufficient glueability with respect to the sealing resin 8 for sealing the semiconductor chip 1.

In this respect, in the fourth embodiment, the amount of the adhesive 5 is decreased and instead the sealing resin 8 is applied to a part of the junction between the stiffener 3 and the heat sink 4 (as indicated with arrows 5 in Fig. 15). By so doing, the contact area of the sealing resin with the stiffener 3 and the heat sink 4 is increased, so that the separation of the sealing resin 8 can be prevented and the reliability of the package is improved.

10 Fifth Embodiment

Fig. 16 is a sectional view of the semiconductor device according to a fifth embodiment of the invention.

If there is no difference in level between the 15 region where the wires 15 are connected and the region where solder bumps 7 are formed at the underside of the stiffener 14 as in the package shown in Fig. 8 of the second embodiment, it is necessary to apply the sealing resin 8 in a great thickness to prevent the wires 15 from 20 being exposed from the sealing resin 8. In this case, by providing a dam 22 on that portion of the stiffener which surrounds the cavity region, the work of filling the sealing resin 8 can be made easy.

Sixth Embodiment

25 Fig. 17 is a sectional view of the semiconductor device according to a sixth embodiment of the invention.

In the package according to the sixth

embodiment, the sealing resin 8 is formed of a silicon gel, and the silicon gel is air-tightly sealed with aluminum can sealing material. In the package structured as described, by gluing the heat sink 4 to the stiffener 5 3 with an adhesive 5 with a low elastic modulus, stresses caused by differences in thermal expansion coefficient of the respective members of the package can be absorbed or relaxed with the adhesive 5. Therefore, it is possible to prevent package crack or breaking of the wires 15 due 10 to thermal stress produced when the package is mounted on the circuit board or when the LSI operates.

A TAB tape 9 is glued to the stiffener 3 with an epoxy adhesive 6. The semiconductor chip 1 is sealed with an epoxy sealing resin 8 with an elastic modulus of 15 10 GPa or more for protection against the outside.

Description has been made of preferred embodiments of the invention that were made by the inventor. However, the invention is not limited to those embodiments, but obviously many modifications and variations of 20 the invention are possible without departing from the spirit or scope of the invention.

INDUSTRIAL APPLICABILITY

As has been described, the semiconductor device according to the present invention has a package 25 structure in which the high heat radiation characteristic and the high reliability are compatible, and is suitable for application as a BGA type package.



CLAIMS

1. A semiconductor device comprising:
 a semiconductor chip bonded to a central
portion on one surface of a heat sink by metal bonding;
5 a stiffener glued to one surface of said heat
sink in such a way as to surround said semiconductor
chip;
 solder bumps formed on one surface of said
stiffener;
10 connection means for electrically connecting
said solder bumps and electrodes of said semiconductor
chip; and
 a sealing resin for sealing said semiconductor
chip,
15 wherein said heat sink is formed of a material
having a thermal expansion coefficient close to a thermal
expansion coefficient of said semiconductor chip, and
wherein said stiffener and said heat sink are glued
together with an adhesive with an elastic modulus lower
20 than an elastic modulus of said sealing resin.
2. A semiconductor device according to Claim 1,
wherein the elastic modulus of said adhesive is 50 MPa or
less.
3. A semiconductor device according to Claim 1,
25 wherein the elastic modulus of said adhesive is 10 MPa or
less.
4. A semiconductor device according to Claim 2,
wherein the elastic modulus of said sealing resin is 5



GPa or more.

5. A semiconductor device according to Claim 2, wherein the elastic modulus of said sealing resin is 10 GPa or more.

5 6. A semiconductor device according to Claim 1, wherein said adhesive is formed of a silicon elastomer.

7. A semiconductor device according to Claim 1, wherein said stiffener is formed of a material with a thermal expansion coefficient close to a thermal
10 expansion coefficient of a circuit board for mounting said semiconductor device.

8. A semiconductor device according to Claim 1, wherein a part of said sealing resin is filled in a part of a junction between said stiffener and said heat sink.

15 9. A semiconductor device according to Claim 1, wherein a heat radiation fin is connected to said heat sink.

10. A semiconductor device according to Claim 1, wherein said sealing resin is formed of a silicon gel,
20 and is air-tightly closed by a can sealing material.

11. A semiconductor device according to Claim 1, wherein a dam is provided at the periphery of an opening end of said sealing resin.

12. A semiconductor device according to Claim 1,
25 wherein said connection means for connecting said solder bumps and said electrodes of said semiconductor chip is a TAB tape.

13. A semiconductor device according to Claim 12,



wherein a plurality of wires formed on said TAB tape and a plurality of said electrodes of said semiconductor chip are connected by gang connection according to a thermo-compression method.

- 5 14. A semiconductor device according to Claim 12, wherein a heat radiation fin is connected to said heat sink.
15. A semiconductor device according to Claim 12, wherein the elastic modulus of said adhesive is 50 MPa or
10 less.
16. A semiconductor device according to Claim 12, wherein the elastic modulus of said adhesive is 10 MPa or less.
17. A semiconductor device according to Claim 15,
15 wherein the elastic modulus of said sealing resin is 5 GPa or more.
18. A semiconductor device according to Claim 15, wherein the elastic modulus of said sealing resin is 10 GPa or more.
- 20 19. A semiconductor device according to Claim 1, wherein said connection means for connecting said solder bumps and said electrodes of said semiconductor chip are wires.
20. A semiconductor device according to Claim 19,
25 wherein one-end portions of said wires are bonded to wiring formed on said stiffener.
21. A semiconductor device according to Claim 19, wherein there is no difference in level between a region



where said wires are connected and a region where said solder bumps are formed at the underside of said stiffener.

22. A semiconductor device according to Claim 19,
5 wherein a dam is provided at the periphery of an opening end of said sealing resin.

23. A semiconductor device according to Claim 19, wherein a radiation fin is connected to said heat sink.

24. A semiconductor device according to Claim 19,
10 wherein the elastic modulus of said adhesive is 50 MPa or less.

25. A semiconductor device according to Claim 19, wherein the elastic modulus of said adhesive is 10 MPa or less.

15 26. A semiconductor device according to Claim 24, wherein the elastic modulus of said sealing resin is 5 GPa or more.

27. A semiconductor device according to Claim 24, wherein the elastic modulus of said sealing resin is 10
20 GPa or more

28. A semiconductor device according to Claim 1, said connection means for connecting said solder bumps and said electrodes of said semiconductor chip is a flexible tape having wiring formed on either side
25 thereof.

29. A semiconductor device according to Claim 28, wherein said wiring and said electrodes of said semiconductor chip are electrically connected through



solder bumps formed on a principal surface of said semiconductor chip.

30. A semiconductor device according to Claim 28, wherein the wiring on one surface and the wiring on the other surface of said flexible tape are laid out so that they are at least partially superposed.

31. A semiconductor device according to Claim 28, wherein a heat radiation fin is connected to said heat sink.

10 32. A semiconductor device according to Claim 28, wherein the elastic modulus of said adhesive is 50 MPa or less.

33. A semiconductor device according to Claim 28, wherein the elastic modulus of said adhesive is 10 MPa or less.

34. A semiconductor device according to Claim 32, wherein the elastic modulus of said sealing resin is 5 GPa or more.

35. A semiconductor device according to Claim 32, wherein the elastic modulus of said sealing resin is 10 GPa or more.

36. A semiconductor device comprising:
a semiconductor chip bonded to a central portion on one surface of a heat sink by metal bonding;
25 a stiffener glued to one surface of said heat sink in such a way as to surround said semiconductor chip;

solder bumps formed on one surface of said



stiffener;

connection means for electrically connecting
said solder bumps and electrodes of said semiconductor
chip;

5 a silicon gel for sealing said semiconductor
chip; and

a can sealing material for air-tightly sealing
said semiconductor chip and said silicon gel, wherein
said heat sink is formed of a material with a thermal
10 expansion coefficient close to a thermal expansion
coefficient of said semiconductor chip, and wherein said
stiffener and said heat sink are glued together with an
adhesive with an elastic modulus lower than an elastic
modulus of said sealing resin.

15 37. A semiconductor device according to Claim 36,
wherein said connection means for connecting said solder
bumps and said electrodes of said semiconductor chip are
wires.

38. A method of manufacturing a semiconductor
20 device comprising the steps of:

bonding a semiconductor chip to a central
portion on one surface of a heat sink with a metal;

gluing a stiffener to one surface of said heat
sink with an adhesive in such a manner as to surround
25 said semiconductor chip;

forming solder bumps on one surface of said
stiffener and electrically connecting said solder bumps
and electrodes of said semiconductor chip; and



sealing said semiconductor chip with a sealing resin,

wherein said heat sink is formed of a material close to a thermal expansion coefficient of said semiconductor chip, and wherein said adhesive is formed of a material with an elastic modulus lower than an elastic modulus of said sealing resin.

39. A method of manufacturing a semiconductor device according to Claim 38, wherein a TAB tape is glued to the other surface of said stiffener with a second adhesive, and wherein said solder bumps and said electrodes of said semiconductor chip are electrically connected through wiring formed on said TAB tape.

40. A method of manufacturing a semiconductor device according to Claim 38, wherein said solder bumps and said electrodes of said semiconductor chip are electrically connected through wiring formed in said stiffener and wires bonded between said wiring and said electrodes of said semiconductor chip.

41. A method of manufacturing a semiconductor device according to claim 38, wherein a TAB tape is glued to the other surface of said stiffener with a second adhesive, and said semiconductor chip is flip-chip connected onto wiring formed on said TAB tape to thereby electrically connect said solder bumps and said electrodes of said semiconductor chip.

42. A mounting board having the semiconductor device according to Claim 1 and a surface mount package



of a kind different from said semiconductor device mounted thereon by simultaneous reflow, said mounting board being formed of a material with a thermal expansion coefficient close to a thermal expansion coefficient of 5 said stiffener of said semiconductor device.

THIS SHEET HAS BEEN
REPLACED

This Sheet Has Been Replaced



ABSTRACT

A semiconductor device in which a semiconductor chip 1 is bonded by a metal bond 2 to one surface of a heat sink 4 formed of a material with a thermal expansion coefficient is close to the semiconductor chip 1, the heat sink 4 is glued to a stiffener with a silicon adhesive 5 with an elastic modulus of 10 MPa or less, a TAB tape 9 is glued to the stiffener 3 with an epoxy adhesive 6, and the semiconductor chip 1 is sealed with an epoxy sealing resin 8 with an elastic modulus of 10 GPa or more for protection from outside.

THIS SHEET HAS BEEN
REPLACED

This Sheet Has Been Replaced



FIG.2

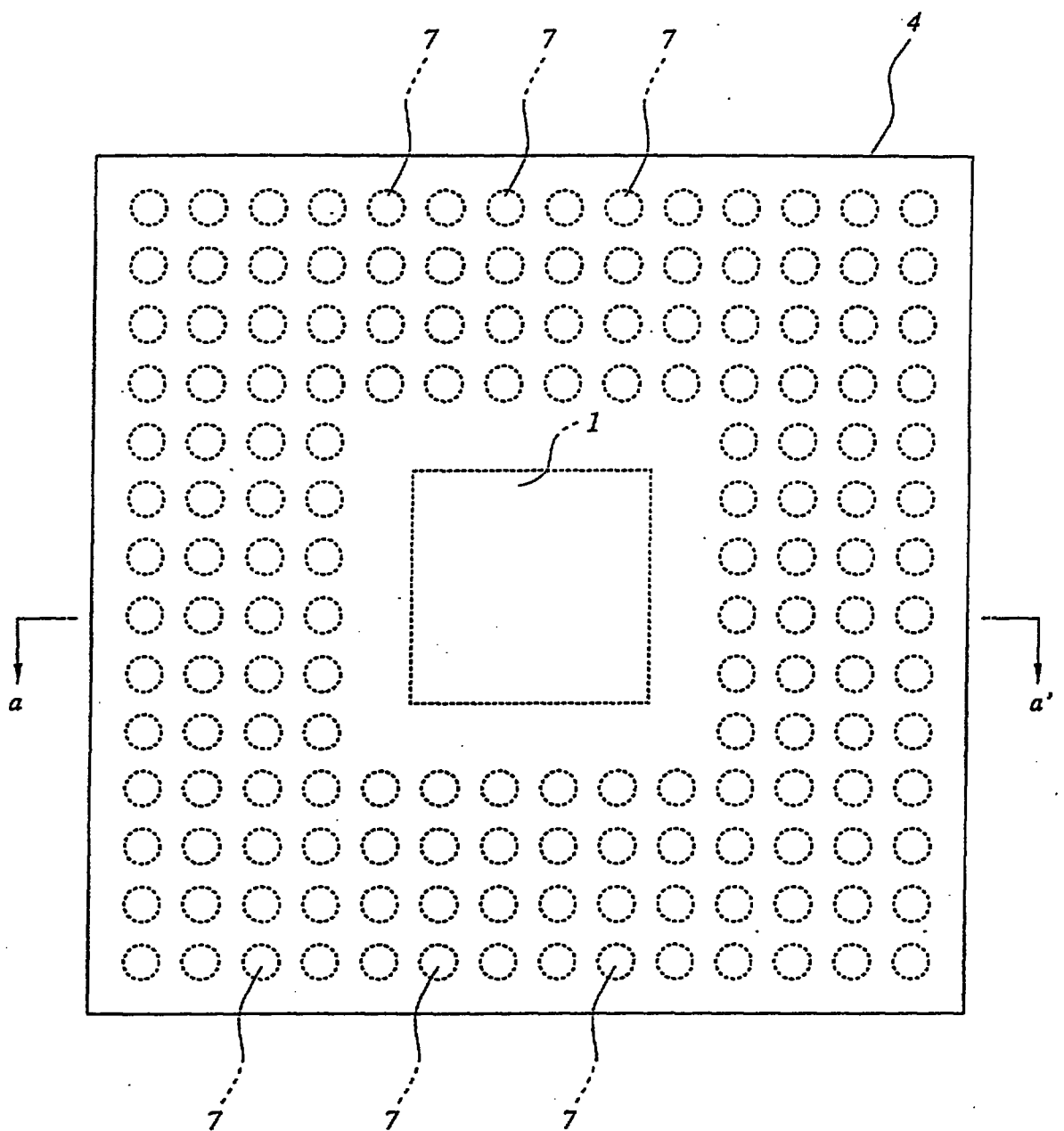


FIG.3

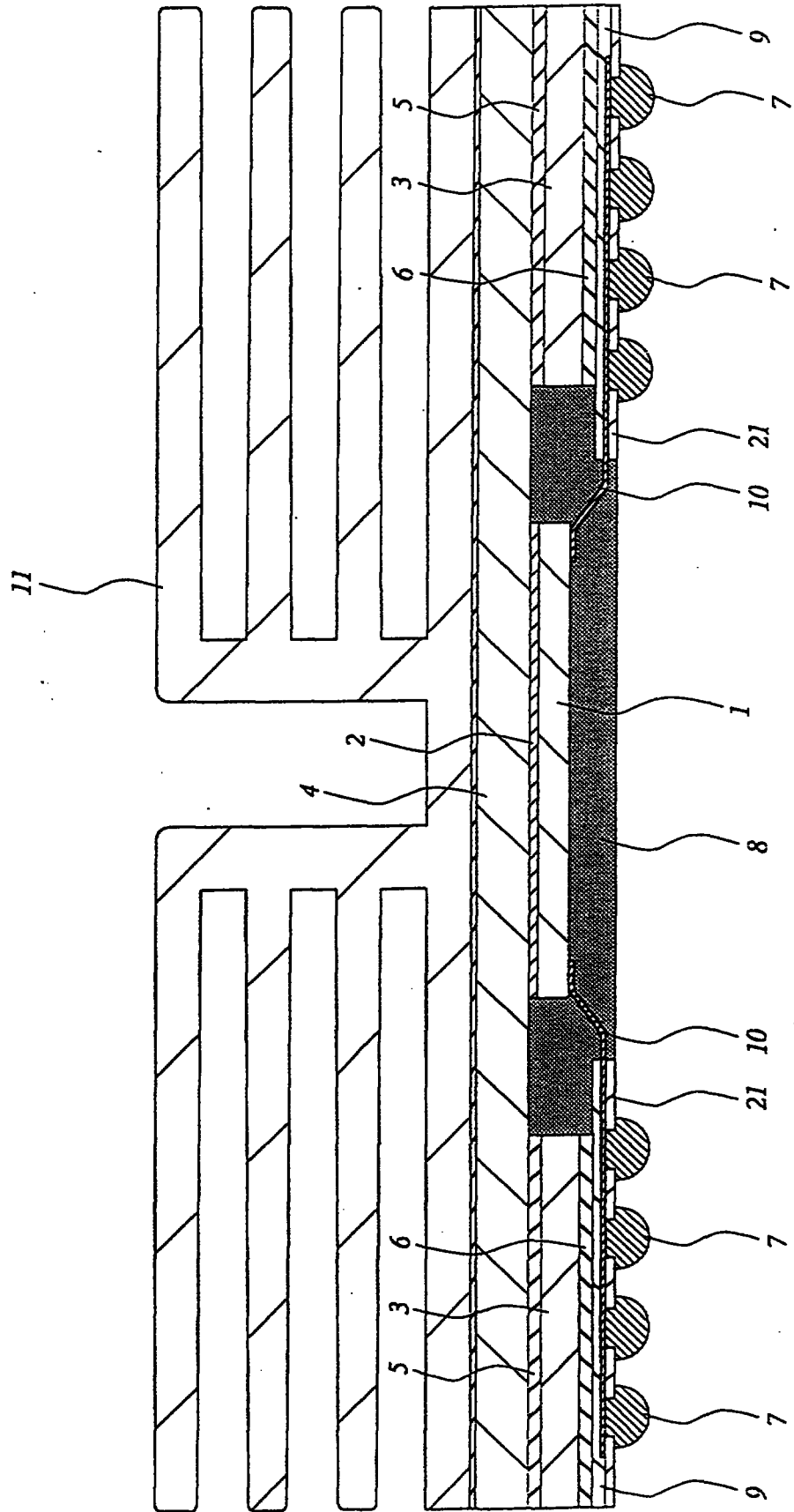


FIG.4

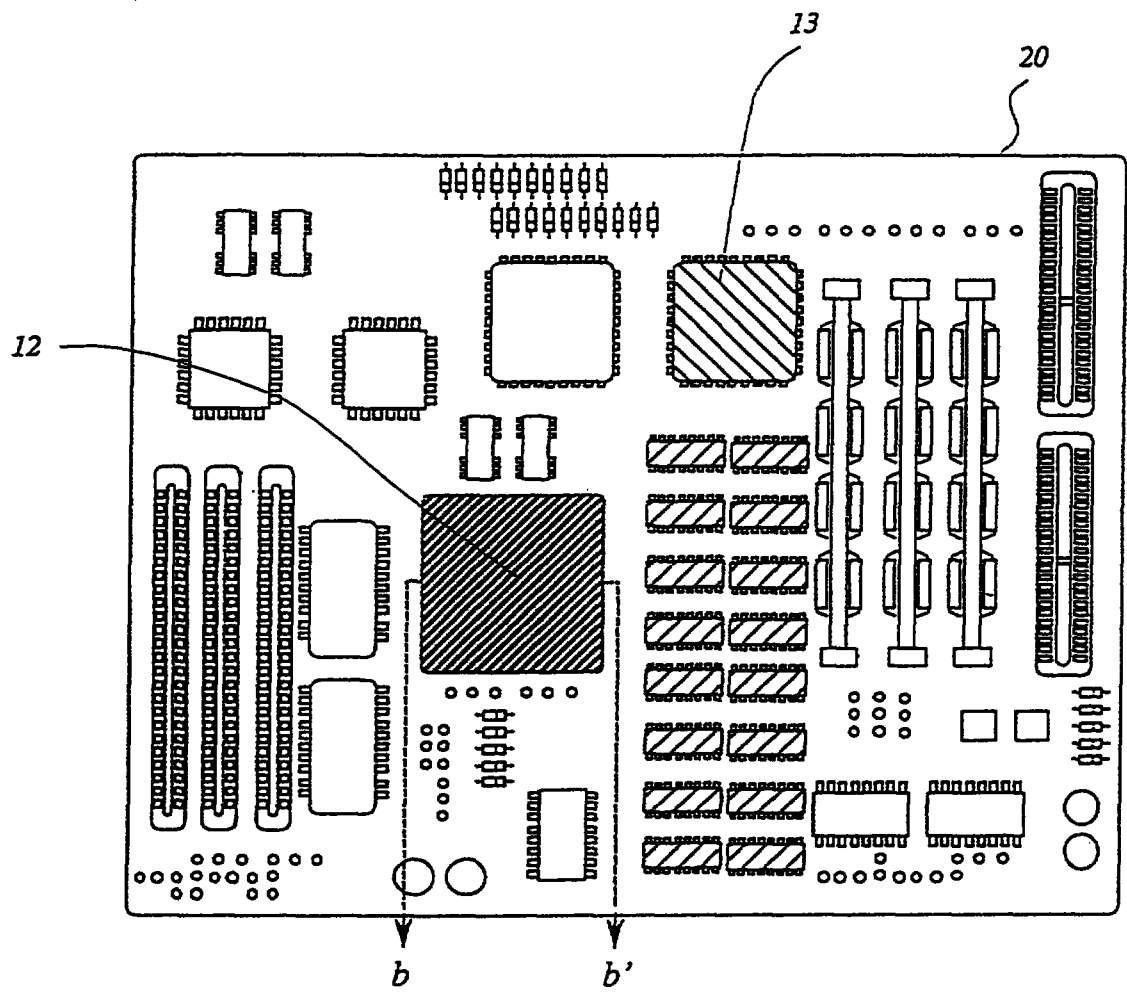


FIG.5

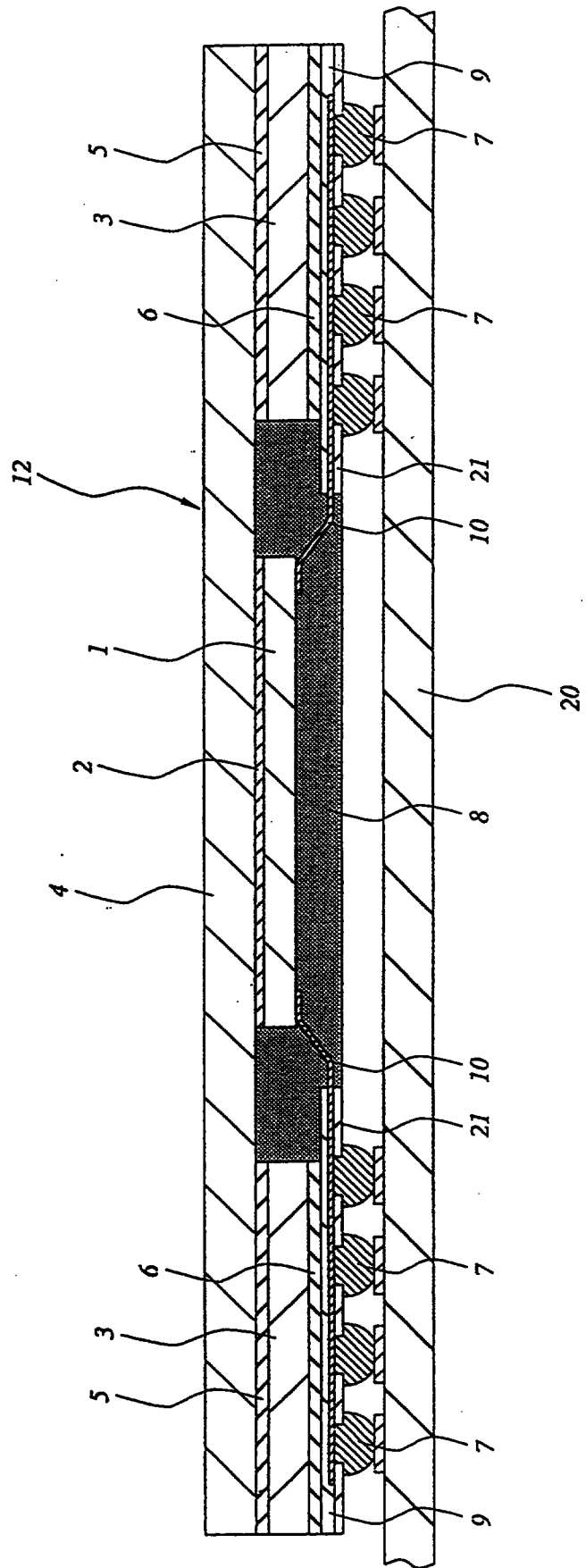


FIG.6

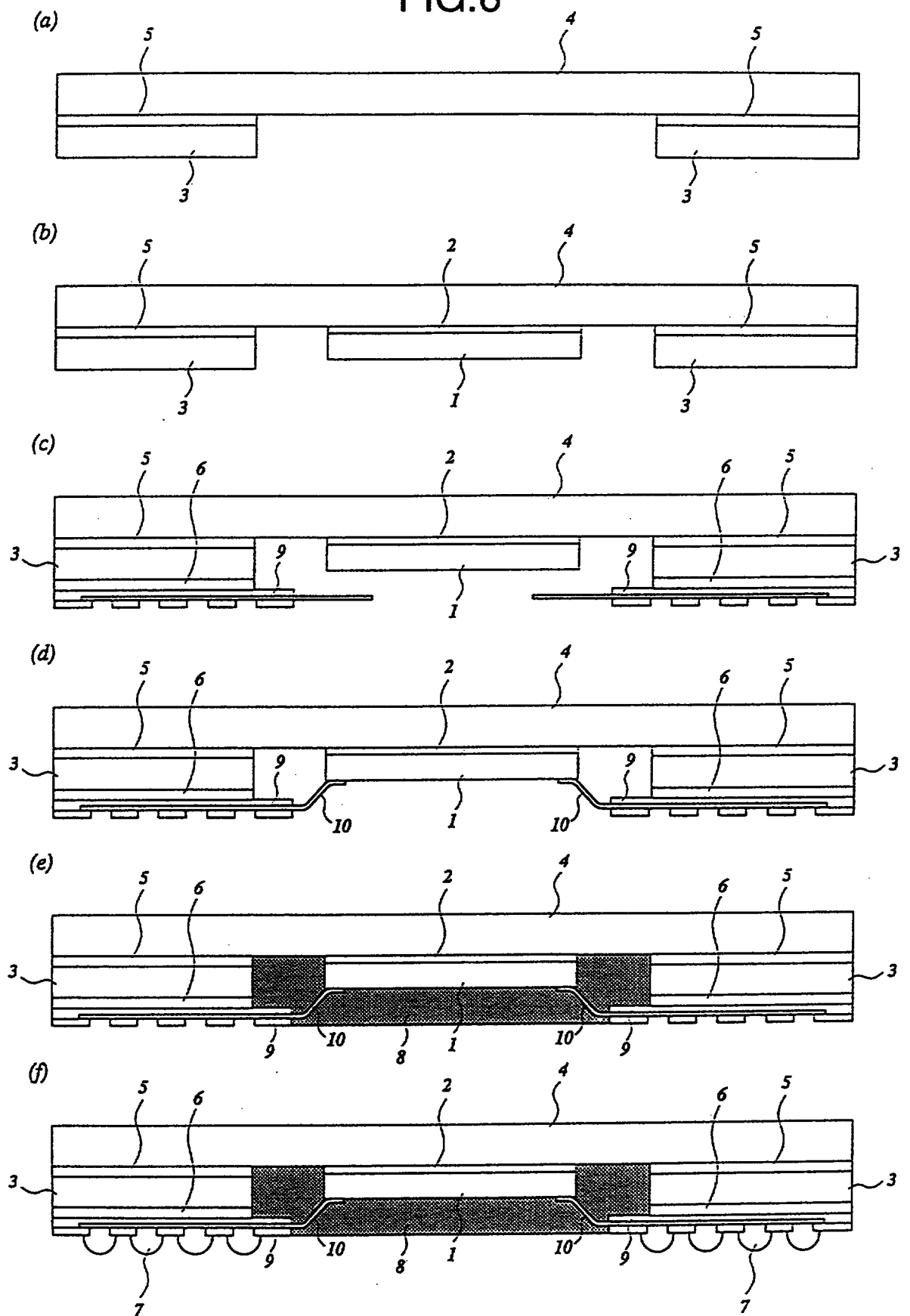


FIG.7

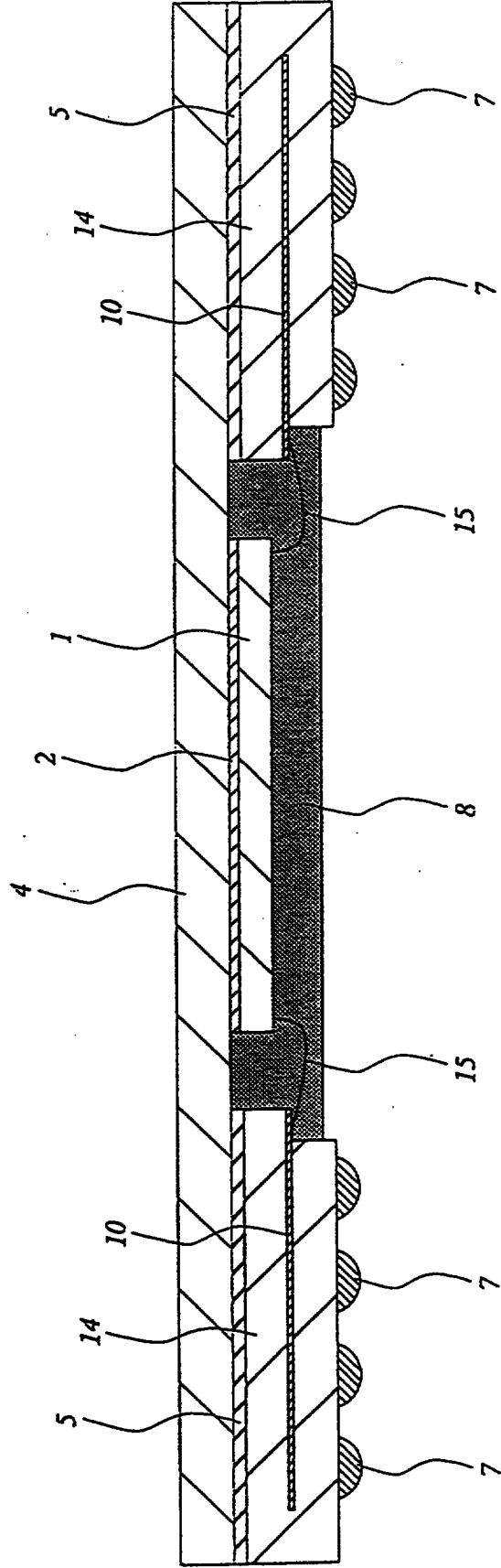


FIG.8

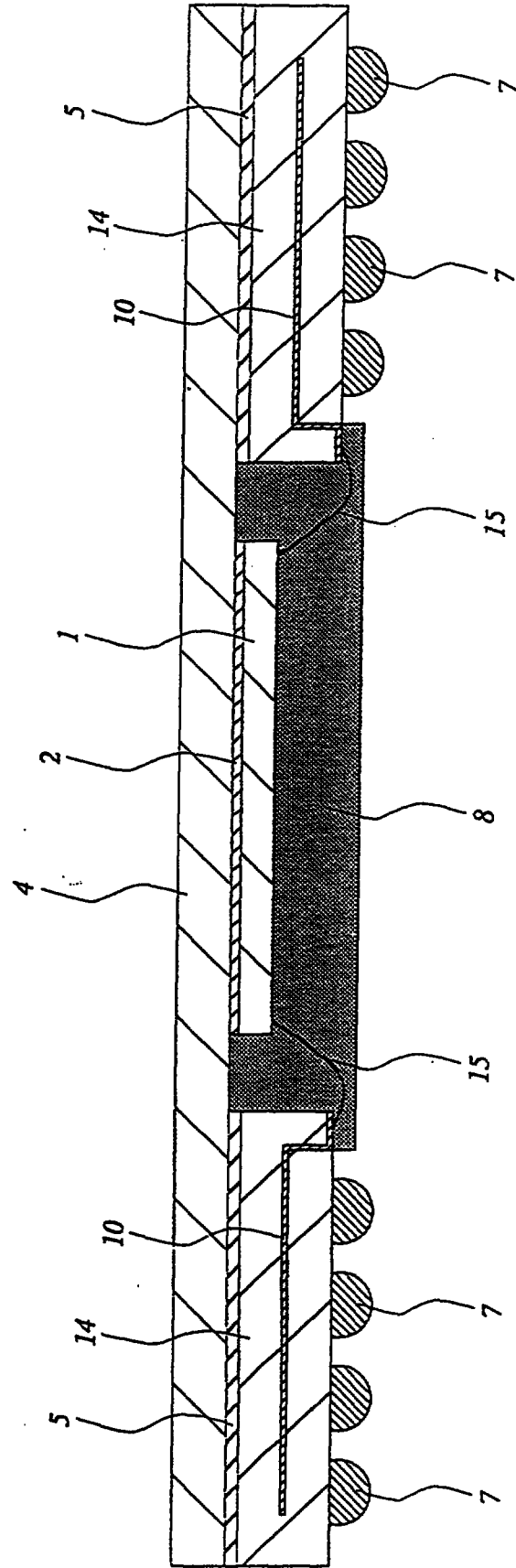


FIG.9

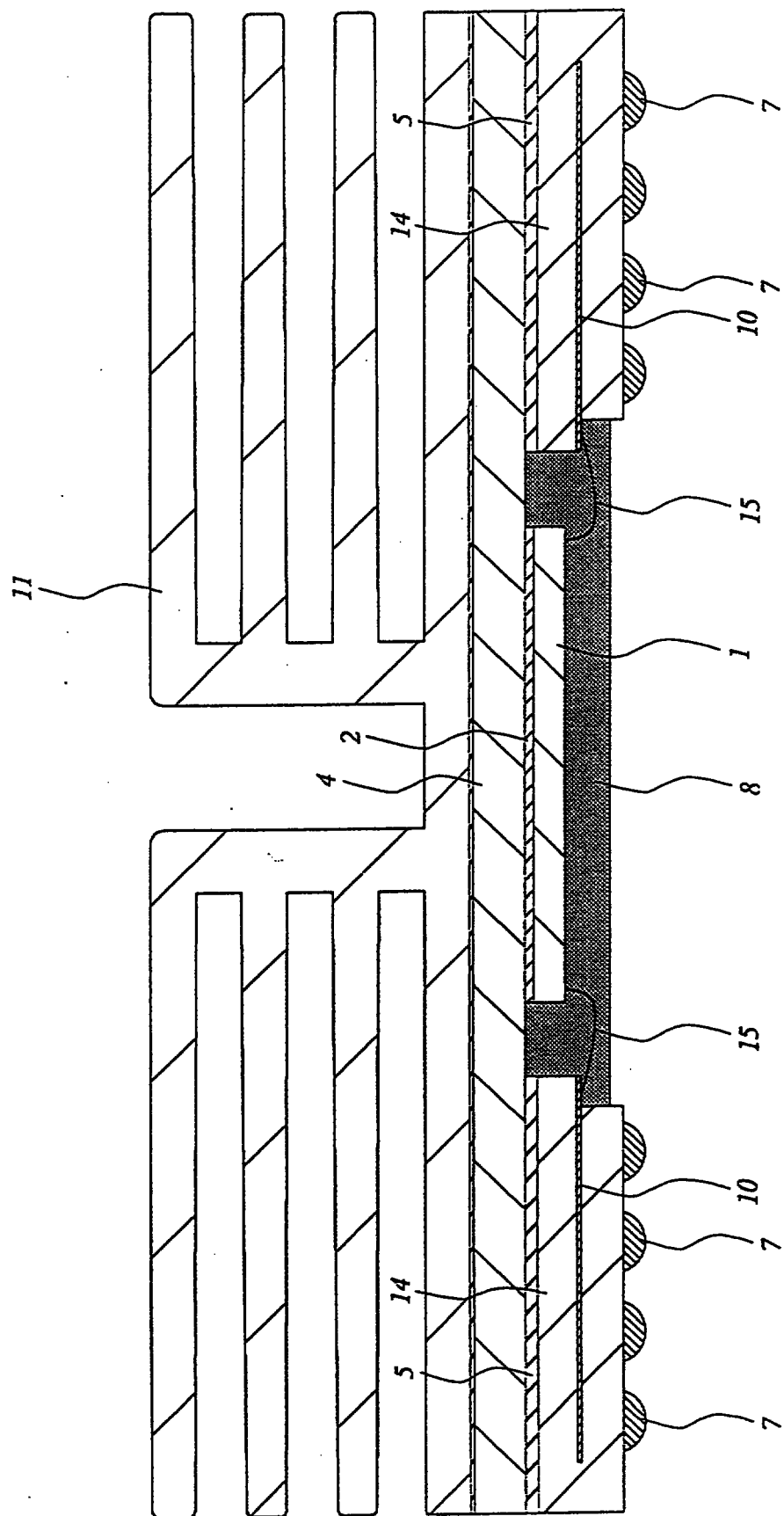


FIG.10

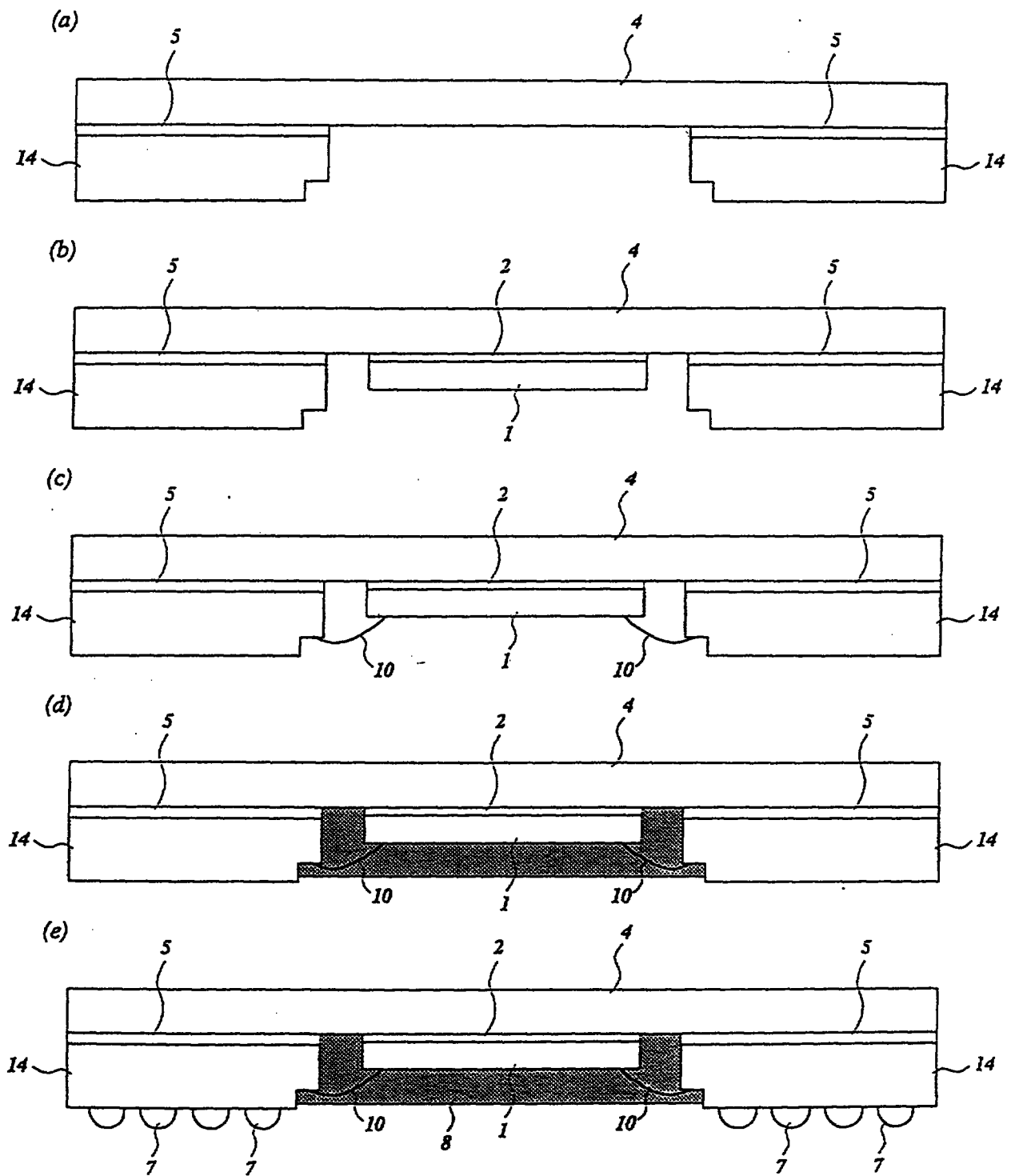


FIG. 11

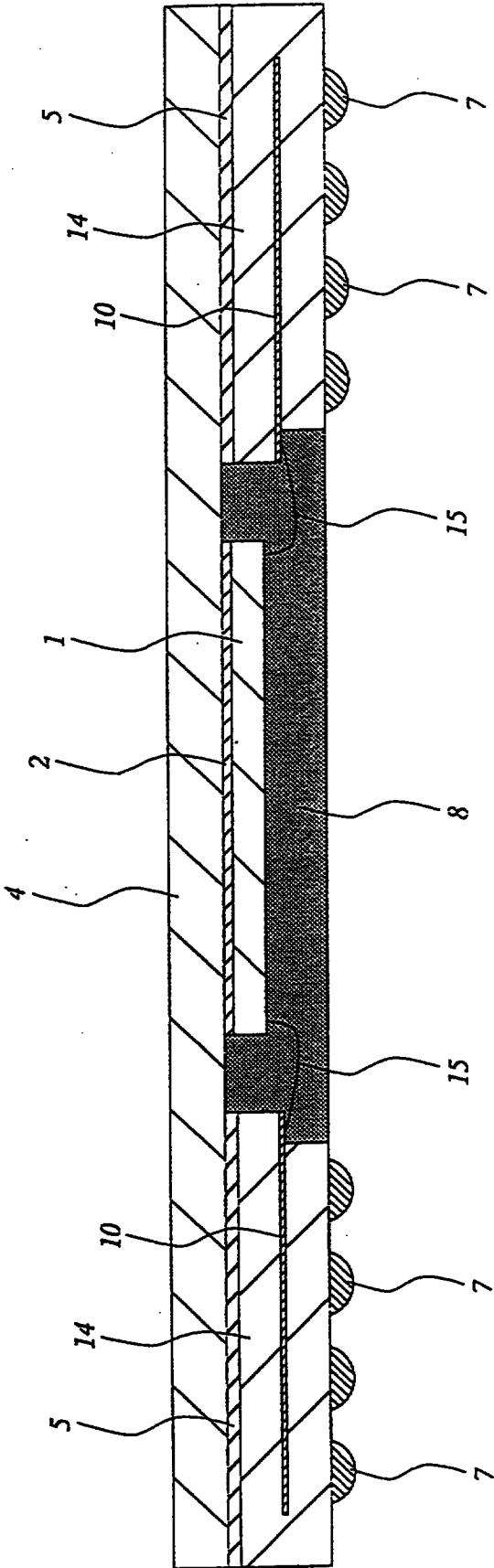


FIG.12

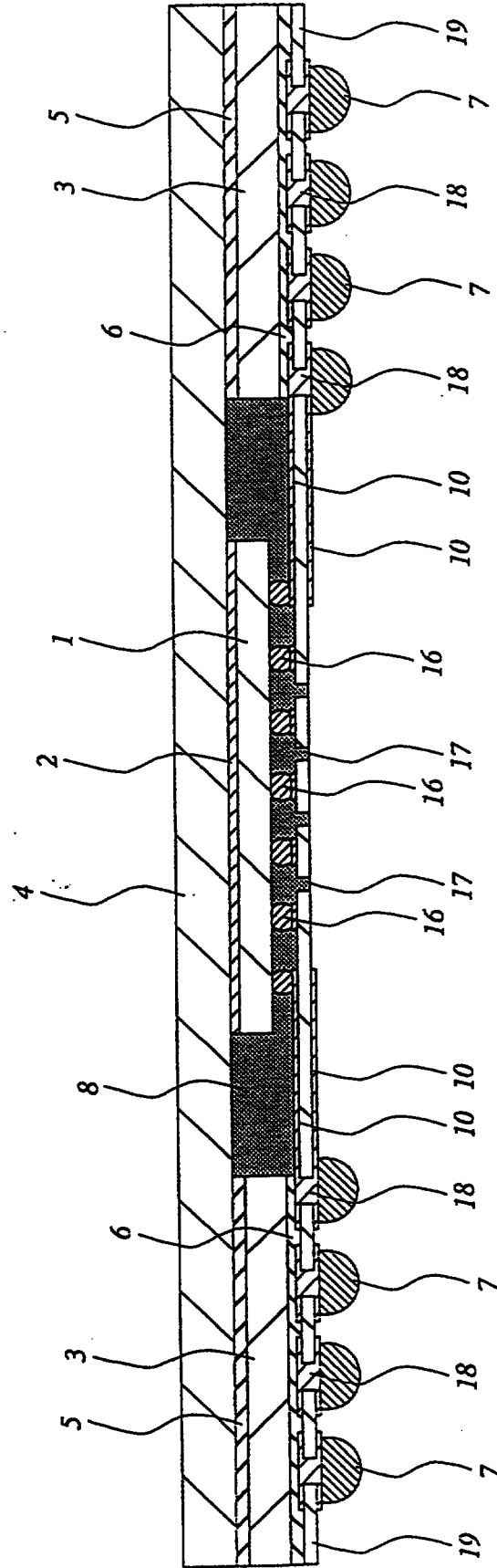


FIG.13

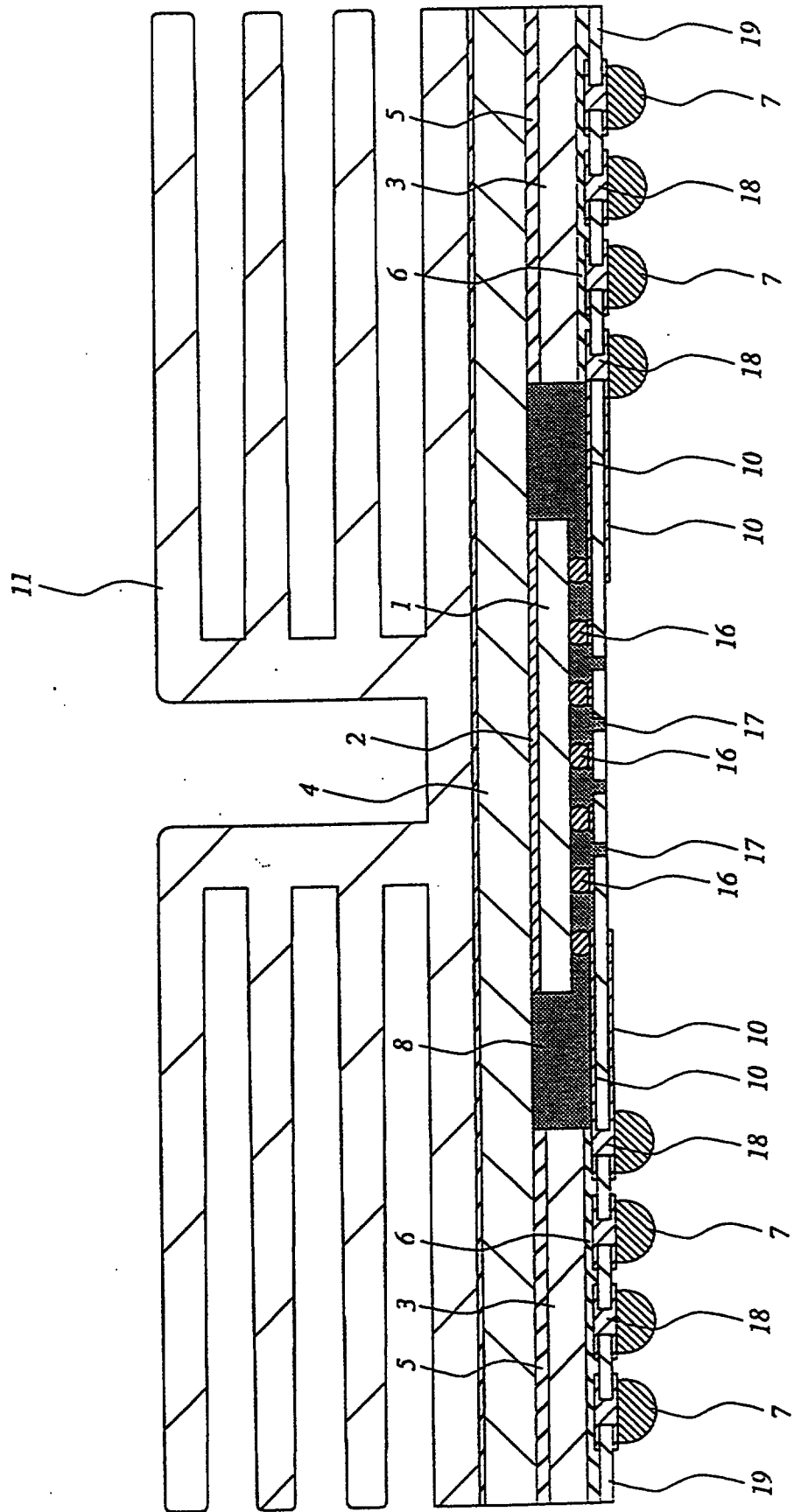


FIG.14

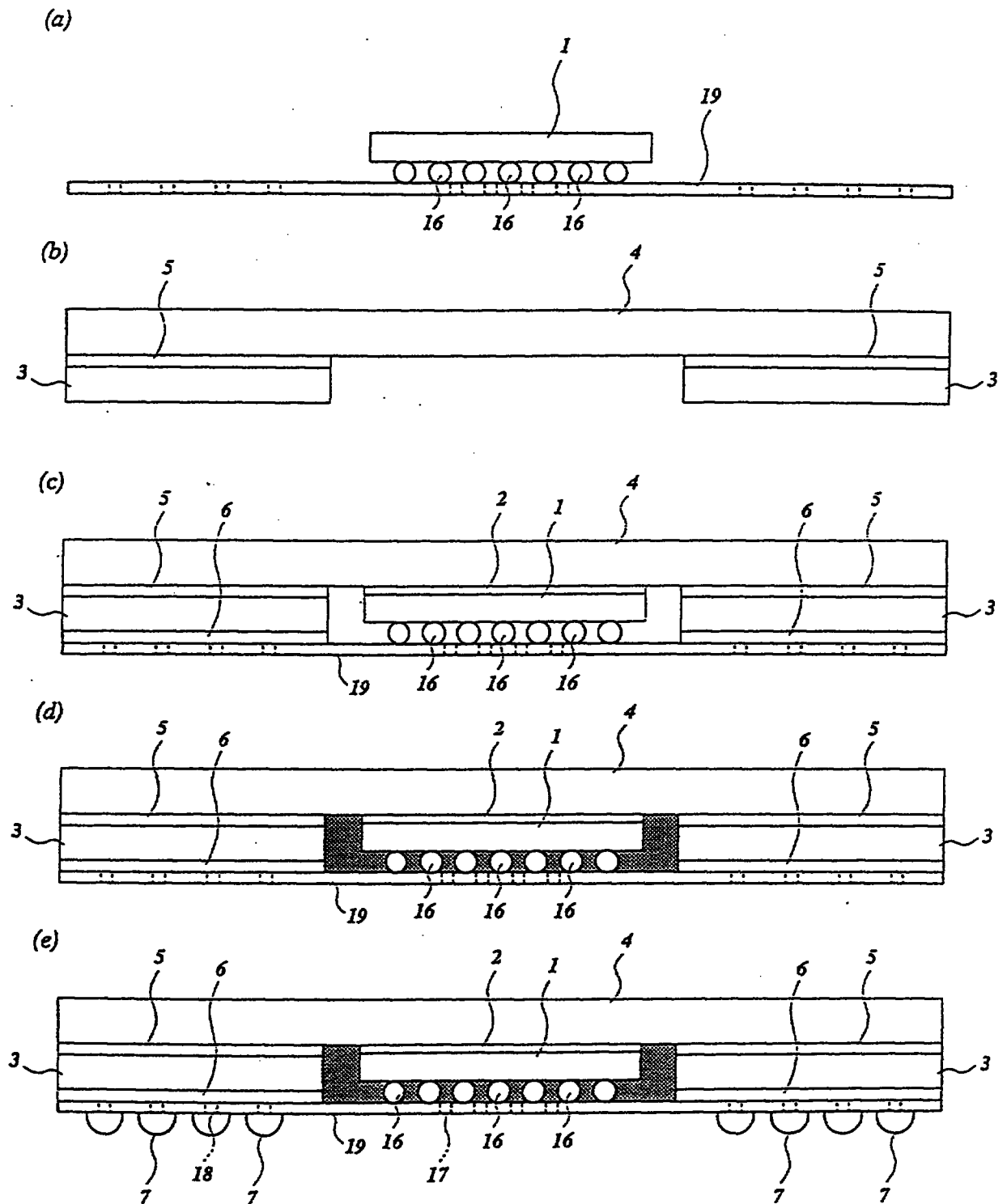


FIG.15

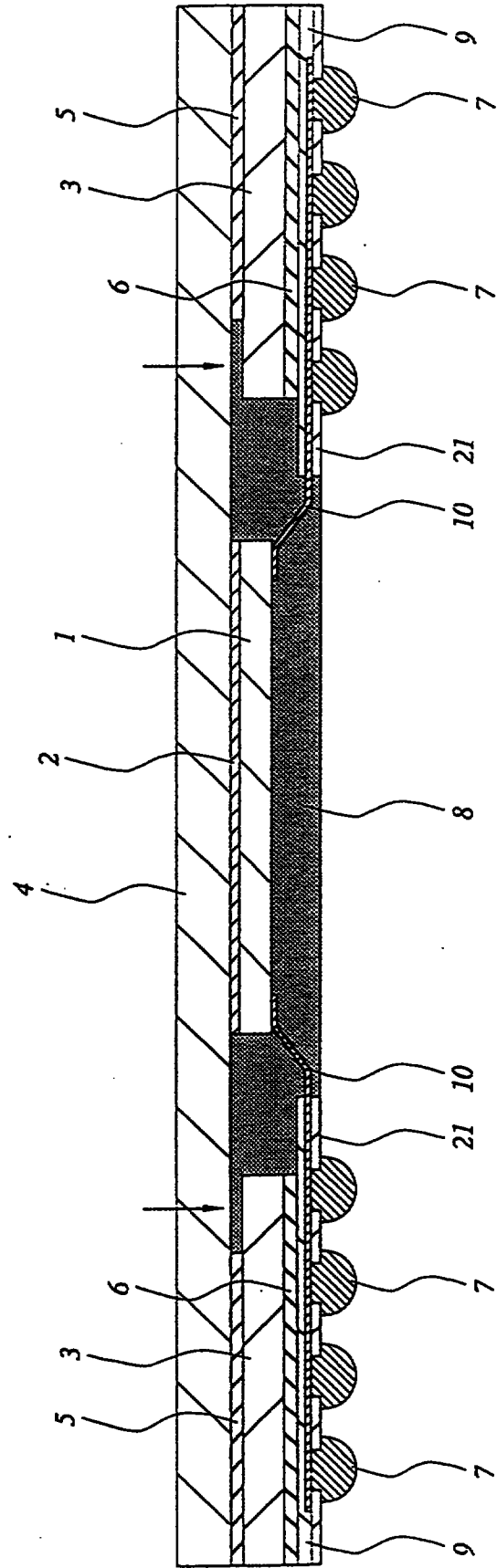


FIG.16

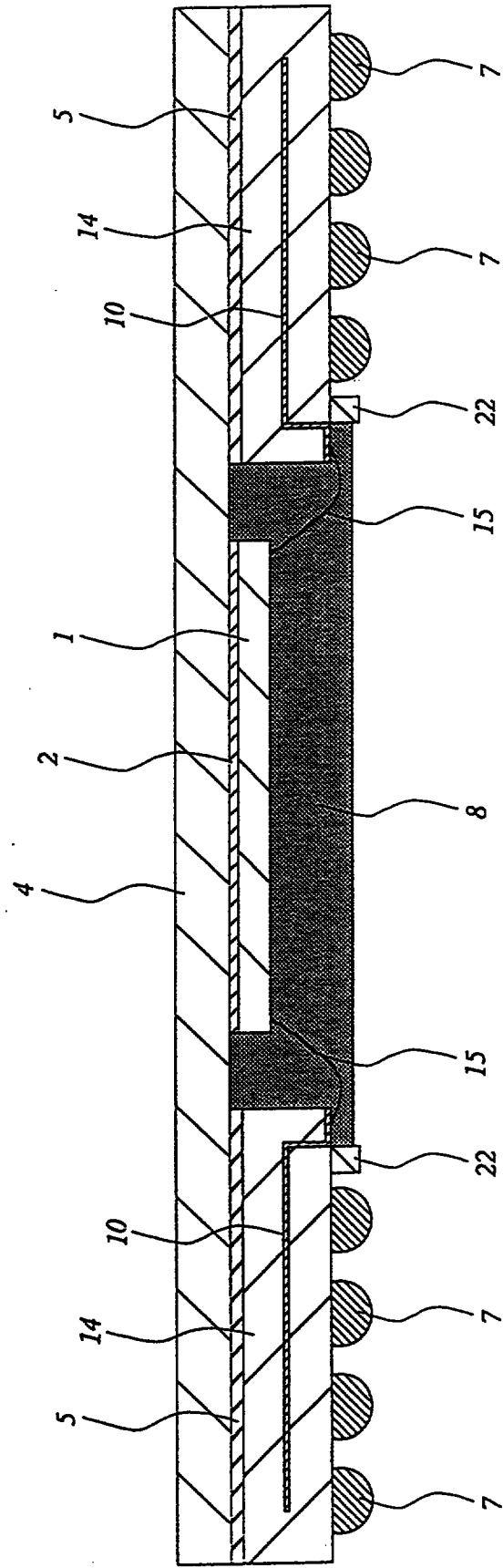
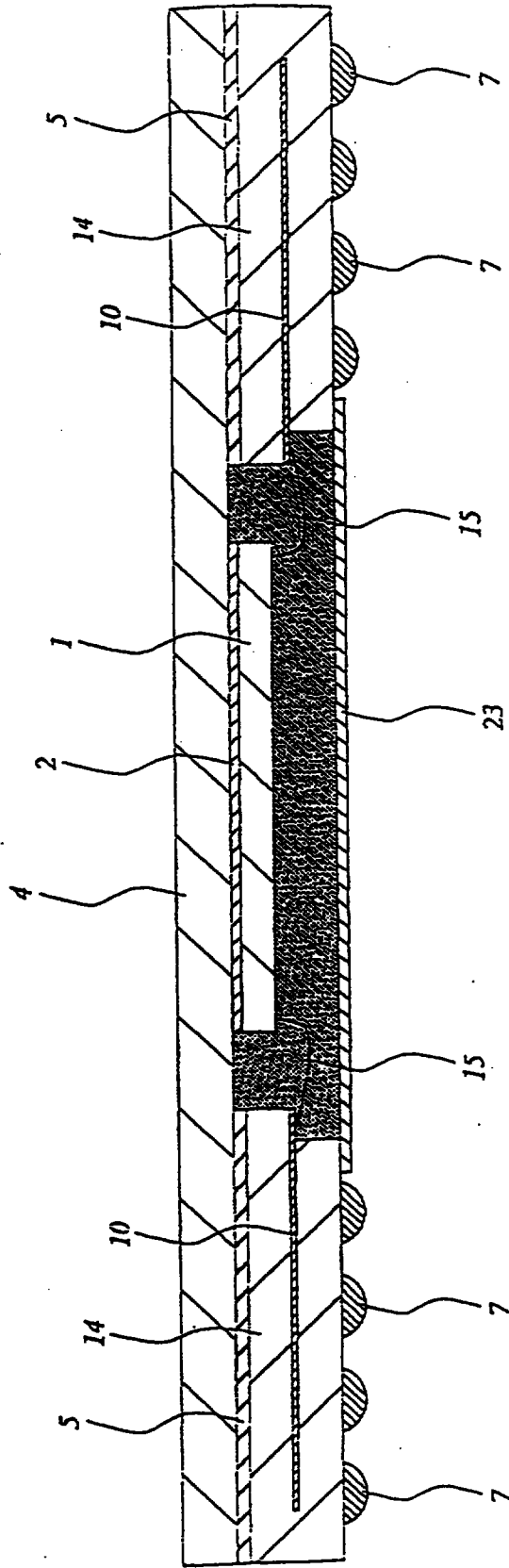


FIG.17



11 OCT 1998



REPLACEMENT SHEET
(151).

- 35 -

of a kind different from said semiconductor device mounted thereon by simultaneous reflow, said mounting board being formed of a material with a thermal expansion coefficient close to a thermal expansion coefficient of 5 said stiffener of said semiconductor device.

43 A semiconductor device to be mounted on a print circuit board via solder bump electrodes, comprising:

a heat sink;

a semiconductor chip being mounted on one surface of said heat sink via a first adhesive layer, said semiconductor chip having a main surface and a rear surface opposite to said main surface, said semiconductor chip having semiconductor elements and bonding pads formed in said main surface, said rear surface being adhered to said heat sink via said first adhesive layer;

a stiffener being mounted on said one surface of said heat sink via a second adhesive layer so as to surround said semiconductor chip, said stiffener having wiring layers which are electrically connected with said bonding pads of said semiconductor chip, said stiffener having one surface and the other surface opposite to said one surface, said one surface of said stiffener being adhered to said one surface of said heat sink via said second adhesive layer; and

solder bump electrodes being formed on the other surface of said stiffener and being electrically connected with said wiring layers of said stiffener,

wherein a thermal expansion coefficient of said heat sink is close to that of said semiconductor chip,

wherein a thermal expansion coefficient of said stiffener is close to that of said print circuit board,

wherein said thermal expansion coefficient of said stiffener and said print circuit board is different from that of said heat sink and said semiconductor chip, and

wherein an elastic modulus of said second adhesive layer is lower than that of said first adhesive layer.



11 OCT 1998

36

REPLACEMENT SHEET

44 A semiconductor device according to claim 43, wherein each of said stiffener and said print circuit board is formed of a glass epoxy-based material.

45 A semiconductor device according to claim 44, further comprising bonding wires, wherein said bonding pads of said semiconductor chip are connected with said wiring layers of said stiffener by said bonding wires.

46 A semiconductor device according to claim 45, further comprising a sealing resin, wherein said semiconductor chip and said bonding wires are sealed with said sealing resin.

47 A semiconductor device according to claim 46, wherein said first adhesive layer includes a selected one of Au-Sn eutectic alloy, Au-Si alloy, and a solder.

48 A semiconductor device according to claim 47, wherein said second adhesive layer includes a silicon-based elastomer.

49 A semiconductor device according to claim 48, wherein said heat sink includes a selected one of Cu-W alloy, Fe-based alloy, mullite, AlN, and carbon-based materials.

50 A semiconductor device to be mounted on a print circuit board via solder bump electrodes, comprising:

a heat sink;

a semiconductor chip being mounted on one surface of said heat sink, said semiconductor chip having a main surface and a rear surface opposite to said main surface, said semiconductor chip having semiconductor elements and bonding pads formed in said main surface, said rear surface being adhered to said one



11 OCT 1998

surface of said heat sink;

a stiffener being mounted on said one surface of said heat sink so as to surround said semiconductor chip, said stiffener having wiring layers which are electrically connected with said bonding pads of said semiconductor chip, said stiffener having one surface and the other surface opposite to said one surface, said one surface of said stiffener being adhered to said one surface of said heat sink; and

solder bump electrodes being formed on the other surface of said stiffener and being electrically connected with said wiring layers of said stiffener,

wherein a thermal expansion coefficient of said heat sink is close to that of said semiconductor chip,

wherein a thermal expansion coefficient of said stiffener is close to that of said print circuit board,

wherein said thermal expansion coefficient of said stiffener and said print circuit board is different from that of said heat sink and said semiconductor chip, and

wherein said rear surface of said semiconductor chip is adhered to said heat sink by metal bonding and the other surface of said stiffener is adhered to said heat sink by resin bonding.

51 A semiconductor device to be mounted on a print circuit board via solder bump electrodes, comprising:

a heat sink;

a semiconductor chip being mounted on one surface of said heat sink by metal bonding, said semiconductor chip having a main surface and a rear surface opposite to said main surface, said semiconductor chip having semiconductor elements and bonding pads formed in said main surface, said rear surface being adhered to said heat sink by said metal bonding;

a stiffener being mounted on said one surface of said heat sink via an



adhesive layer so as to surround said semiconductor chip, said stiffener having one surface and the other surface opposite to said one surface, one surface of said stiffener being adhered to said one surface of said heat sink via said adhesive layer;

a flexible tape leads being formed on the other surface of said stiffener, one ends of said flexible tape leads extending on said main surface of said semiconductor chip and being electrically connected with said bonding pads of said semiconductor chip via bump electrodes, the other ends of said flexible tape leads being disposed on the other surface of said stiffener;

solder bump electrodes being formed on and being electrically connected with the other ends of said flexible tape leads; and

a sealing resin sealing said semiconductor chip and said on ends of said flexible tape leads,

wherein a thermal expansion coefficient of said heat sink is close to that of said semiconductor chip,

wherein a thermal expansion coefficient of said stiffener is close to that of said print circuit board,

wherein said thermal expansion coefficient of said stiffener and said print circuit board is different from that of said heat sink and said semiconductor chip, and

wherein an elastic modulus of said adhesive layer is lower than that of said sealing resin.

52 A semiconductor device according to claim 51, wherein said sealing resin includes an epoxy resin.

53 A semiconductor device according to claim 52, wherein said adhesive layer includes a silicon-based elastomer.

REPLACEMENT SHEET

11 OCT 1998



54 A semiconductor device to be mounted on a print circuit board via solder bump electrodes, comprising:

a heat sink;

a semiconductor chip being mounted on one surface of said heat sink, said semiconductor chip having a main surface and a rear surface opposite to said main surface, said semiconductor chip having semiconductor elements and bonding pads formed in said main surface, said rear surface being adhered to said heat sink;

a stiffener being mounted on said one surface of said heat sink via a second adhesive layer so as to surround said semiconductor chip, said stiffener having wiring layers which are electrically connected with said bonding pads of said semiconductor chip, said stiffener having one surface and the other surface opposite to said one surface, said one surface of said stiffener being adhered to said one surface of said heat sink; and

solder bump electrodes being formed on the other surface of said stiffener and being electrically connected with said wiring layers of said stiffener,

wherein each of said stiffener and said print circuit board is formed of a glass epoxy-based material, and

wherein said one surface of said stiffener is adhered to said one surface of said heat sink by an elastomer.

55 A semiconductor device according to claim 54, wherein said elastomer includes a silicon-based elastomer.

56 A semiconductor device according to claim 54, wherein the elastic modulus of said elastomer is 50 MPa or less.

57 A semiconductor device according to claim 54, wherein the elastic modulus of said elastomer is 10 MPa or less.

REPLACEMENT SHEET

11 OCT 1998

ABSTRACT

A semiconductor device in which a semiconductor chip 1 is bonded by a metal bond 2 to one surface of a heat sink 4 formed of a material with a thermal expansion coefficient is close to the semiconductor chip 1, the heat sink 4 is glued to a stiffener with a silicon adhesive 5 with an elastic modulus of 10 MPa or less, a TAB tape 9 is glued to the stiffener 3 with an epoxy adhesive 6, and the semiconductor chip 1 is sealed with an epoxy sealing resin 8 with an elastic modulus of 10 GPa or more for protection from outside.

REPLACEMENT SHEET

11 OCT 1998

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類 H01L 23/40, 23/36, H05K 7/20	A1	(11) 国際公開番号 WO97/20347 (43) 国際公開日 1997年6月5日(05.06.97)
(21) 国際出願番号 PCT/JP96/02815 (22) 国際出願日 1996年9月27日(27.09.96) (30) 優先権データ 特願平7/308761 1995年11月28日(28.11.95) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 柴本正訓(SHIBAMOTO, Masanori)(JP/JP) 〒337 埼玉県浦和市大門1164-1 ファインハイツ205号 Saitama, (JP) 一谷昌弘(ICHITANI, Masahiro)(JP/JP) 〒184 東京都小金井市貫井北町2-10-19-208 京王小金井マンション Tokyo, (JP) 春田 亮(HARUTA, Ryo)(JP/JP) 〒187 東京都小平市学園西町3丁目15番2号 Tokyo, (JP) 松本雄行(MATSUMOTO, Katsuyuki)(JP/JP) 〒316 茨城県日立市西成沢町4丁目42番35号 Ibaraki, (JP)		有田順一(ARITA, Junichi)(JP/JP) 〒187 東京都小平市上水新町1-22-18-206 Tokyo, (JP) 安生一郎(ANJO, Ichiro)(JP/JP) 〒182 東京都小金井市貫井南町4-5-5 Tokyo, (JP) (74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP) (81) 指定国 AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, HU, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, TR, TT, UA, US, UZ, VN, ARIPO特許 (KE, LS, MW, SD, SZ, UG), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG). 添付公開書類 国際調査報告書
(54) Title: SEMICONDUCTOR DEVICE, PROCESS FOR PRODUCING THE SAME, AND PACKAGED SUBSTRATE (54) 発明の名称 半導体装置およびその製造方法ならびに実装基板 (57) Abstract A semiconductor device wherein a semiconductor chip (1) is adhered via a jointing metal (2) to one face of a heatsink (4) composed of a material having a coefficient of thermal expansion close to that of the semiconductor chip (1); the heatsink (4) is adhered via a silicone adhesive (5) having a modulus of elasticity of 10 MPa or less to a frame (3); to the frame (3) is adhered a TAB tape (9) via an epoxy adhesive (6); and the semiconductor chip (1) is sealed with a sealing epoxy resin (8) having a modulus of elasticity of 10 GPa or more and thus protected from the environment.		

(57) 要約

熱膨張係数が半導体チップ1に近い材料で構成されたヒートシンク4の一面に半導体チップ1が金属接合2で接着されている。ヒートシンク4は、弾性率が10MPa以下のシリコン系接着剤5によって枠体3に接着されている。また、枠体3には、エポキシ系接着剤6を介してTABテープ9が接着されている。半導体チップ1は、外部からの保護を目的に弾性率が10GPa以上のエポキシ系封止樹脂8で封止されている。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	SE	スウェーデン
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SG	シンガポール
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SI	スロベニア
BB	バルバドス	GA	ガボン	LV	ラトヴィア	SK	スロバキア共和国
BE	ベルギー	GB	イギリス	MC	モナコ	SN	セネガル
BG	ブルガリア	GE	グルジア	MD	モルドバ	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MG	マダガスカル	TD	チャド
BI	ブルンジ	GN	ギニア	MK	マケドニア旧ユーゴスラ	TG	トーゴ
BB	ベナール	GR	ギリシャ	VI	ベトナム	TJ	タジキスタン
BY	ベラルーシ	HU	ハンガリー	ML	マリ	TM	トルクメニスタン
CA	カナダ	IE	アイルランド	MN	モンゴル	TR	トルコ
CC	中央アフリカ共和国	IS	アイスランド	MR	モーリタニア	TT	トリニダード・トバゴ
CG	コンゴ	IT	イタリア	MW	マラウイ	UA	ウクライナ
CH	スイス	JP	日本	MX	メキシコ	UG	ウガンダ
CI	コート・ジボワール	KE	ケニア	NE	ニジェール	US	米国
CM	カムeroon	KG	キルギスタン	NL	オランダ	UZ	ウズベキスタン共和国
CN	中国	KR	朝鮮民主主義人民共和国	NO	ノルウェー	VN	ベトナム
CZ	チェコ共和国	KZ	カザフスタン	NZ	ニュージーランド	YU	ユーゴスラビア
DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド		
DK	デンマーク	LK	スリランカ	PT	ポルトガル		
				RO	ルーマニア		