

明 細 書

発明の名称：データ処理装置およびその制御方法

技術分野

[0001] 本発明は、処理内容を変更可能なデータ処理装置およびその制御方法に関するものである。

背景技術

[0002] 国際公開WO2005/022380号公報には、アプリケーションを実行するための回路の少なくとも一部であるオブジェクト回路を動的に再構成可能な論理回路の一部にマッピングするためのオブジェクト回路情報と、オブジェクト回路に接するインタフェース回路を論理回路にマッピングするためのインタフェース回路情報と、インタフェース回路において実現する境界条件とを含むアーキテクチャコードを使用するデータ処理装置が記載されている。

発明の概要

[0003] サイクル単位で回路を動的に再構成することによりハードウェアの利用効率は高まり、アルゴリズムをハードウェアによりフレキシブルに実装できるので処理速度も向上させやすい。しかしながら、電子部品を配線で接続して目的の動作を行わせる電気回路を構成することには変わりはなく、多様なアルゴリズムを、動的に回路を再構成しながら実行させるには多くの配線資源が必要となる。

[0004] 本発明の一態様は、複数のエレメントと、複数のエレメントの間でデータを転送するチャンネルとを含むデータ処理部を有する装置の制御方法である。データ処理部の複数のエレメントのそれぞれは、論理エレメントと、論理エレメントの入力側とチャンネルとの接続をサイクル単位でオンオフし、データの取得の可否を制御する取得ユニットと、論理エレメントの出力側とチャンネルとの接続をサイクル単位でオンオフするポストユニット（ポスティングユニット）とを含み、データ処理部は、さらに、取得ユニットのオンオフおよ

びポストユニットのオンオフを制御する制御ユニットを含む。

[0005] この制御方法は以下のステップを含む。

1. 制御ユニットが取得ユニットのオンオフまたはポストユニットのオンオフをサイクル単位で制御し、複数のエレメントのチャンネルに対する取得およびポストをサイクル単位で変更すること。

[0006] サイクル単位で変更することは、チャンネルの構成をサイクル単位で変更することを含んでいてもよい。また、サイクル単位で変更することは、論理エレメントの処理内容を変更することを含んでいてもよい。

[0007] また、サイクル単位で変更することは、以下のステップを含んでいてもよい。

- ・制御ユニットが自律的に論理エレメントの処理内容、取得ユニットのオンオフまたはポストユニットのオンオフをサイクル単位で制御すること。

- ・外部からのローディングにより論理エレメントの処理内容、取得ユニットのオンオフおよびポストユニットのオンオフをサイクル単位で制御すること。

[0008] 本発明の他の態様の1つは、複数のエレメントと、複数のエレメントの間でデータを転送するチャンネルとを含むデータ処理部を有する装置である。複数のエレメントのそれぞれは、論理エレメントと、論理エレメントの入力側とチャンネルとの接続をサイクル単位でオンオフし、データの取得の可否を制御する取得ユニットと、論理エレメントの出力側とチャンネルとの接続をサイクル単位でオンオフするポストユニットとを含む。データ処理部は、さらに、取得ユニットのオンオフおよびポストユニットのオンオフをサイクル単位で制御するタイミング制御ユニットを含む。複数のエレメントのそれぞれがタイミング制御ユニットを含んでいてもよい。タイミング制御ユニットは論理エレメントの処理内容をサイクル単位で変更するユニットを含んでいてもよい。

[0009] この装置は、データ処理部にアプリケーション、アルゴリズムまたは論理を実装する情報を格納するメモリを有することが望ましい。実装する情報は

、複数のエレメントのいずれかを選択する情報と、取得ユニットのオンオフおよびポストユニットのオンオフの少なくともいずれかをサイクル単位で制御するタイミング情報とを含む。タイミング情報は、サイクル単位で論理エレメントの処理内容を選択する情報を含んでいてもよい。この装置は、さらに、メモリから実装する情報の少なくとも一部を、チャンネルを介して複数のエレメントのそれぞれに供給するユニットを有していてもよい。

[0010] チャンネルは配線群を含んでいてもよく、取得ユニットは、配線群のいずれかの配線との接続をサイクル単位でオンオフするユニットを含み、ポストユニットは、配線群のいずれかの配線との接続をサイクル単位でオンオフするユニットを含んでいてもよい。チャンネルは、第1の方向に沿って配置された第1の配線チャンネルと第1の方向と異なる第2の方向に沿って配置された第2の配線チャンネルとを含み、データ処理部は、第1の配線チャンネルおよび第2の配線チャンネルに時分割で接続する配線ボックスを含んでいてもよい。配線ボックスは、入力側ボックスと、出力側ボックスとを含んでいてもよい。

[0011] エレメントは、特定の処理を行う機能が固定されたブロックを含んでいてもよい。タイミング制御ユニットは、自律的に取得ユニットのオンオフおよびポストユニットのオンオフをサイクル単位で制御する機能と、外部からのローディングにより取得ユニットのオンオフおよびポストユニットのオンオフをサイクル単位で制御する機能とを含んでいてもよい。これらの機能は、論理エレメントの処理内容をサイクル単位で制御する機能を含んでいてもよい。

[0012] ポストユニットは、付加情報を含む拡張ビットを出力するユニットを含むことが望ましい。ポストユニットは、同期機能を実現する多チャンネル対応の出力スイッチを含むことが望ましい。

図面の簡単な説明

[0013] [図1]データ処理装置の概要を示す図。

[図2]データ処理部の概要を示す図。

[図3]データ処理部の構成を拡大して示す図。

[図4]エレメントの概要を示す図。

[図5]配線ボックスの一例を示す図。

[図6]入力側のモジュールの一例を示す図。

[図7]出力側のモジュールの一例を示す図。

[図8]エレメントの制御方法を示すフローチャート。

[図9]図9（a）は、配線チャンネルの使用状況を示す図、図9（b）は配線チャンネルの使用状況を示すタイミングチャート。

[図10]データ処理装置を含むシステムの一例を示す図。

発明の実施の形態

[0014] プログラマブルなデータ処理装置として、回路を動的に再構成可能な論理回路を含む装置がある。回路は、「電気の流れる、輪のように閉じている道筋」、また、電子回路は「電気部品を電気伝導体で接続し電流の通り道を作り、目的の動作を行わせる電気回路」などと定義される。これに対し、電子回路により実装される目的の動作（処理、算術演算、論理演算）を断続的に、たとえば、クロックのタイミングで、断続的に行うことを考えると、閉じている道筋を形成する必要はない。したがって、目的の動作を行わせるための電子回路を形成する必要はない。回路を形成せずに処理を進めることができるデータ処理部、すなわち、非回路型のデータ処理部により、論理回路を経た結果と同等の結果を得ることが可能である。

[0015] 本明細書では、複数のエレメント（ノード、処理エレメント、処理ユニット）と、複数のエレメントの間でデータを転送するチャンネルとを含むデータ処理部を有する装置（データ処理装置）を説明する。チャンネルの代表例は、配線チャンネル、配線群、配線マトリクスと称される電子および／または光の通路である。チャンネルは2次元に配置されていてもよく、3次元に配置されていてもよい。チャンネルは、配線チャンネルのように予め適当なルールにしたがって配置されていてもよく、可視光通信のように指向性を持った通信手段により空間に適宜形成されてもよい。

[0016] 光、電波を用いた指向性がそれほど高くない通信手段であれば、適当なブ

ロトコルを採用することにより所定のエレメント間でデータを転送または交換するチャネルを形成できる。しかしながら、プロトコルの処理に要する時間を考慮するとハード的に接続をオンオフできることが望ましい。

[0017] 複数のエレメントのそれぞれは、論理エレメント（コア）と、論理エレメントの入力側とチャネルとの接続をサイクル単位でオンオフし、データ（信号を含む概念）の取得の要否を制御する取得ユニット（取得デバイス、入力ユニット、ゲットユニット、リードユニット、アクアアイユニット）と、論理エレメントの出力側とチャネルとの接続をサイクル単位でオンオフするポストユニット（ポスティングユニット、ポストデバイス、投稿ユニット、データまたは信号をチャネルに載せるデバイス）とを含む。データ処理部は、さらに、論理エレメントの処理内容、取得ユニットのオンオフおよびポストユニットのオンオフをサイクル単位で制御するタイミング制御ユニットを含む。

[0018] 取得ユニットは受動的に入力データが流れ込むのを待つのではなく、チャネルに載ったデータまたは信号をチャネルに対する接続をオンオフして取得し、エレメントに取り込む。取得ユニットは、たとえば、チャネルとの接続をオンオフしてエレメントに対するデータの流入をオンオフしてもよく、チャネルにポストされたデータをラッチするかしないかでチャネルに対する接続をオンオフして取得の要否を制御してもよい。ポストユニットは、データをチャネルに垂れ流しするのではなく、チャネルに対する接続をオンオフし、チャネルをドライブする権限を取得したり、放棄（解放）したりする。

[0019] このデータ処理部は、複数のエレメントの接続関係をチャネル、たとえば配線群により形成して、複数のエレメントが接続された回路を構成すること、すなわちサイクル単位であっても、目的の動作を行わせる回路を生成または固定することによりアプリケーションまたはアルゴリズムを実現してもよい。

[0020] 一方、目的の動作を行わせる回路を固定または生成せずに、論理エレメント（コア）と、取得ユニットと、ポストユニットとの処理のタイミングをサ

イクル単位（クロック単位）で制御し、複数のエレメントのチャンネルに対する取得およびポスト（取得と投稿との関係、ゲット・ポストの関係）をサイクル単位で変更してもよい。

[0021] このデータ処理部において、チャンネルのみではエレメントの接続関係（接続）は規定されない。チャンネルは、ポストされたデータを配信するが、取得するのはエレメントであり、チャンネルはそれを規定または制限するものではない。チャンネルがマルチルートで、それぞれのルートにアクセスできるエレメントが限られている場合は、その範囲でポストされたデータにアクセスできるエレメントが限定されてもよい。各エレメントは自律的にチャンネルからデータを手し、チャンネルにデータをポストする。チャンネルはエレメント間の接続関係を規定せず、さらに、チャンネルに対するエレメントのゲット・ポスト（ゲット・プット、入出力）は1サイクルで変わる。このため、データ処理部にサイクル単位で実装される接続のオンオフから目的とする動作を読み取れる必要はない。

[0022] エレメントのチャンネルに対するゲット・ポストをサイクル単位で変更することにより、所定のサイクルが経過した後に、目的の動作を行わせる回路と同一の結果が得られるように、チャンネルに対するゲット・ポストを規定する情報（タイミング情報、ファンクション情報）を用意することができる。このファンクション情報は、エレメントが属する、あるいはエレメントがアクセスできるチャンネルに対する取得のタイミング、チャンネルの選択、ポストのタイミング、ポストするチャンネルの選択を含むが、回路あるいは接続関係の構成（再構成）を示すものではない。サイクル単位のデータの交換（入出力、ポストーゲット）は、エレメント毎の取得ユニットとポストユニットとが、それぞれチャンネルにアクセス（オンオフ）するか否かで決定できる。

[0023] 複数のエレメントのチャンネルに対するゲット（アクアア）およびポストを繰り返して変更することにより目的の動作（処理、演算）を行わせる場合、チャンネルは、チャンネルにアクセスできる他のエレメントに対し、相手特定せずに1サイクルでデータを提供する放送網として機能すればよい。チャ

ネルが配線群のようにマルチルートであることは並列に複数種類のデータを広げることができるので好ましい。配線群は、いずれかの配線にアクセスしたエレメントから、その配線にアクセス可能な他のエレメントに対し、相手を特定せずに1サイクル単位でデータを提供する放送網として機能する。

[0024] チャネルに対するポストおよび取得をエレメント単位で独立して制御することにより、チャネルが特定のエレメントに占有されることを防止でき、チャネル資源（配線資源）の利用効率を大幅に向上できる。また、1サイクルでも信号（データ）が載らない、すなわち、いずれかのエレメントによりドライブされないようなチャネルは排除でき、その点でもチャネル資源の利用効率を大幅に向上できる。すなわち、このデータ処理部に実装できる技術は、エレメント同士の接続を規定してもよいが、エレメント同士の接続を規定しなくてもよく、エレメント同士の接続を規定しないことによりチャネルは占有されず、使用範囲が広がりハードウェアの利用効率が格段に向上する。

[0025] サイクル単位で、チャネルの利用者（利用エレメント、送信者と受信者と）は変わり、チャネルを通じて目的の動作を行わせるための回路は形成されない。一方、チャネルへのアクセス（接続のオンオフ）は、取得ユニットおよびポストユニットが接続をオンオフする、すなわち、接続する／接続しないにより制御される。このため、チャネル、たとえば、配線資源は、それに接続されているエレメントとの間で、サイクル単位で、通信プロトコルの確立も不要な放送媒体として使用される。すなわち、チャネル（配線資源）は、非同期の要素としてではなく、送信側および／または受信側と同期した範囲で情報を伝達する媒体（要素）として機能する。

[0026] このため、サイクル単位で異なる論理あるいはアルゴリズムに関連する情報を、エレメントはチャネルにポスト（出力）でき、他のエレメント（1つに限らない）は取得できる。したがって、配線などのチャネル資源を低減でき、実装密度が高く、ハードウェアの利用効率も高いデータ処理装置を提供できる。さらに、チャネルをサイクル単位の論理演算の要素として使用してもよい。すなわち、チャネルに接続する／しないを取得ユニットおよびポス

トユニットでスケジュール管理することによりワイヤードロジックの一部を構成することが可能である。さらに、チャンネルは量子操作を反映できるものであってもよく、量子コンピューティングの一部を構成するものであってもよい。

[0027] このデータ処理部を有する装置においては、アプリケーション、アルゴリズムまたは論理を含み、高位言語で記述されうる手続きを実行または実装する情報（高位レベルの情報、ファンクション情報）は、エレメントの選択（特定）と、チャンネルに対して取得またはポストするタイミングとの情報に変換される。ファンクション情報は、取得またはポストするチャンネルの選択を含んでいてもよい。エレメントを特定する情報はたとえば位置であり、2次元または3次元の位置情報として変換されてもよい。処理のタイミング（時間の経過）を考えると、ファンクション情報（高位レベルの情報）は、エレメントの配置が立体であれば4次元の情報に変換されうるし、エレメントの配置が平面であれば3次元の情報に変換されうる。エレメントを選択（特定）する情報は一次元であってもよく、高位レベルの情報は2次元の情報に変換されうる。高位レベルの情報は5次元以上の多次元の情報に変換されてもよい。

[0028] エレメントを選択する情報は、エレメントに冗長性があれば特定のエレメントや特定の場所等を示す情報でなくてもよく、代替性の高い情報に変換されうる。また、タイミングを示す情報も、チャンネルの冗長性または時間的な裕度、たとえば、配線の占有時間が確保できたり、データを遅延させたり、データを退避させたりすることができれば、代替性の高い情報に変換されうる。したがって、データ処理部において目的の処理を行わせるためのファンクション情報（高位レベルの情報）は、極めて代替性の高い情報として提供でき、データ処理装置のハードウェアを高速処理、低消費電力、超並列性を含む多種多様な目的で利用できる。

[0029] 配線群は固定されたものであってもよく、再構成できるものであってもよい。また、エレメントにより実現される処理内容（論理演算、算術演算）も

、固定されたものであってもよく、再構成または変更可能なものであってもよい。エレメントの冗長性を向上するためには、エレメントにより実現される論理は変更可能であることが望ましい。

[0030] タイミング制御ユニットは、予め設定された順番あるいは情報に基づいて自律的に論理エレメントの処理内容、取得ユニットのオンオフまたはポストユニットのオンオフをサイクル単位で制御してもよい。タイミング制御ユニットは、外部からのローディングにより論理エレメントの処理内容、取得ユニットのオンオフおよびポストユニットのオンオフをサイクル単位で制御してもよい。タイミング制御ユニットは、外部からのローディングのみによりエレメントをサイクル単位で制御してもよいが、データ処理部は、外部からそのための情報、すなわち、上述したファンクション情報をローディングするためのチャネル資源を含む。一方、外部からのローディングなしだと、タイミング制御ユニットで制御できる内容が限定される可能性がある。したがって、上記の2つの制御を組み合わせることが望ましい。

[0031] データ処理装置は、データ処理部に、アプリケーション、アルゴリズムまたは論理を実装する情報（ファンクション情報）を格納するメモリを有し、メモリから実装する情報の少なくとも一部を、チャネルを介して複数のエレメントのそれぞれに供給するユニットを有していてもよい。チャネルはエレメント同士の処理に占有されるものではなく、時分割あるいは並列にチャネルを、ファンクション情報をエレメントに供給するために共用できる。

[0032] チャネル（配線資源）は固定であっても、再構成可能であっても、可視光通信のようにその都度形成されてもよい。チャネルは配線チャネルのようにマルチルートであることが望ましく、適当な範囲で複数のエレメントのアクセスをローカライズしたりグルーピングしたりできることは有効である。また、チャネルは多重化または多層化されていてもよく、2次元、3次元さらにはメモリや遅延素子などを介して時間方向にデータを転送できるものであってもよい。

[0033] チャネルの一例は、第1の方向に沿って配置された第1の配線チャネルと

第1の方向と異なる第2の方向に沿って配置された第2の配線チャネルとを含むものである。第1の配線チャネルと第2の配線チャネルとは縦横等、グリッド状あるいはマトリクス状に複数のエレメントが配置された領域あるいは空間をカバーするものであることが望ましい。第1の配線チャネルと第2の配線チャネルとは直交していても直交していなくてもよく、第3の配線チャネルなどのさらに多くのデータの伝達方向の異なる配線チャネルを含んでもよい。上述したように配線チャネルは2次元である必要はなく、3次元および時間を含めた4次元以上の高次元に配置されたものであってもよい。

[0034] データ処理部は、第1の配線チャネルおよび第2の配線チャネルに時分割で接続する配線ボックスを含む。配線チャネル同士を動的に接続することにより、配線チャネルを再構成でき、配線チャネルによりデータに対するアクセスがローカライズされるエレメントを再構成できる。取得ユニットおよびポストユニットは、第1および第2の配線チャネルに対しそれぞれ独立してアクセスできることが望ましい。取得ユニットおよびポストユニットは直に第1および第2の配線チャネルにアクセスできるものであってよく、タイムシェアードタイプの配線ボックスを介してアクセスできるものであってもよい。

[0035] エレメントの一例は、コアである論理エレメントに対して、データの流れとして、取得ユニットである入力側ボックスと、ポストユニットである出力側ボックスとがコアを挟むような形で接続されるものである。論理エレメントは、固定機能ブロックと、機能書き換えが可能なブロックとを含むものであり、これらのブロックに対し独立して複数、たとえば、4つの配線チャネルが接続されうるものである。論理エレメントは、少なくとも1つの機能書き換え可能ブロックを含み、外部からのローディング無しに、必要に応じてこれを内部更新することが望ましい。論理エレメント（コア）の機能を変更（書き換える）ために要する配線コストをさらに低減できる。つまり、使用頻度の高い機能（演算他）は、内部に実装されている圧縮された機能選択情報から、出力側のメモリスイッチに専用の固定された機能選択情報がコピー

される。これにより、常時外部から更新すべき機能選択情報を取り込む必要がなくなる。

[0036] 論理エレメント（コア）は、さらに、出力側、すなわちポストユニットから、演算機能やその他の付加情報を含む拡張ビットをポストする機能を含むことが望ましい。オーバーフロー、ゼロフラグ、パリティ、キャリービット、多ビット演算対応キャリー、シフト情報、例外イベント出力等に対応可能な構造をもったデータをチャネルにポストできる。

[0037] 論理エレメントは、さらに、ポストユニットの、同期機能を実現する多チャンネル対応の出力スイッチを制御する機能を含むことが望ましい。例えば、急にイベントが発生した場合に、イベント対応の処理領域を生成するには、配線資源およびエレメント資源の割り当てを変更して、ハードウェアに空きがある処理領域を瞬時に生成する必要がある。この資源の割り当て変更の対応や入力チャネル・出力チャネルのタイミングを制御して、矛盾なくイベント対応の処理が実行される領域が実現される必要があり、この為の制御要素がエレメント内に実装されていてもよく、外部に設けられていてもよい。

[0038] ただし、配線との接続は、予め組み込まれパターンでの対応か、イベント情報を受け取り更新された情報の2系統に対応するだけで、その整合性や一致性を確認する機能は実装されていない。この機能は、必要があれば、隣接するコアにその機能を追加で、一時的に実装して、機能が完了すると消滅（更新）させられる構造としている。

[0039] 配線チャネルは、タイムスロットの暗黙の割当を利用して動作する構造を採用できる。取得ユニット（取得デバイス）の一例は、シフトレジスタ型フリップフロップと簡単なマスク機能を持ったANDゲートを利用して、有効データを取り込むか取り込まないのかを決定するものである。4ビットを単位として制御する例であれば、4サイクル分の取り込みの要否の情報（ファンクション情報）をフリップフロップに記憶させる。5サイクル目からは、ファンクション情報をメモリから取り込むか最初に戻って同じ4サイクルを繰り返すかを決めて動作させる。パターンが長い場合は、5サイクル目

、 9 サイクル目、 1 3 サイクル目をそれぞれメモリからローディングして繰り返すことで、メモリのアクセスタイムに余裕を持たせると同時に、長期パターンにも対応可能な構造とすることができる。

[0040] 配線ボックスに実装される配線チャンネルスイッチは、基本的には、複数の縦側チャンネルから次の縦側チャンネルの指定するチャンネルへスイッチするか、横側チャンネルの指定されるチャンネルにスイッチするかを決める機能を含む。スイッチが正常に動作したか否かは、基本的に、アプリケーション側が責任を持つ方式である。すなわち、配線チャンネルの構成がエレメント同士の接続を決定しないので、エレメント側がアクセスするかしないかをタイミングとともに制御することでエレメント間の授受が決定される。したがって、物理的に配線の接続を検証することに意味はなく、エラーチェックをする処理をエレメントの選択情報とタイミングとの情報で追加することが可能である。

[0041] コスト削減を優先する場合、正常に配線チャンネルがスイッチされることを前提にして、エレメントを動作させる。データ取りこみは、エレメント側で制御され、配線チャンネルスイッチは、配線間のスイッチ(取りこみと出力)だけの機能を持っている。取りこみは、指定されたタイミングで、データのスイッチだけを行う。あるいは、出力させる配線チャンネルを選択してデータを有効にするだけの機能を果たす。

[0042] 図 1 に、回路を形成せずに処理を行えるデータ処理部 1 0 を含むデータ処理装置 1 の一例を部分的に拡大しながら示している。このデータ処理装置 1 は、固定された回路または再構成可能な回路を用いてデジタル処理を行うデジタル処理部 3 と、CPU 2 と、メモリ 5 と、タイミング制御により処理を行うデータ処理部 1 0 とを含む。非回路なデータ処理部 1 0 は、複数のエレメント(セル) 2 0 と、縦横にマトリクス状に配置された配線チャンネル 5 0 と、配線ボックス 5 8 とを含む。

[0043] 図 2 に、非回路なデータ処理部 1 0 の構成を、一部を拡大して示している。このデータ処理部 1 0 は、複数、本例では 64×64 個、すなわち、4096 個のエレメント(セル) 2 0 と、それらのエレメント 2 0 が接続できる

ように縦横に配置された配線チャンネル50とを含む。配線チャンネル50は、図2の横方向（第1の方向）に配置された横配線（第1の配線チャンネル）51と、横配線51と直交する第2の方向に配置された縦配線（第2の配線チャンネル）52とを含む。

[0044] 図3に、非回路なデータ処理部10の構成を部分的にさらに拡大して示している。エレメント20は、中心のコア31と、その周囲に配置された4方向の接続制御ユニット35a、35b、35cおよび35dとを含む。接続制御ユニット35a～35dは、後述する取得ユニット21a～21dと、ポストユニット28a～28dとをそれぞれ含む。配線チャンネル50は、縦横の配線チャンネル51および52に加え、配線ボックス58とエレメント20とを接続するローカル配線チャンネル55を含む。各エレメント20は、縦横のグローバルな配線チャンネル51および52に配線ボックス58を介して接続できる。

[0045] 各エレメント20は、さらに、配線ボックス58を介してローカル配線チャンネル55により、グローバルな配線チャンネル51および52を経由せずに、隣接するエレメント20に接続できる。ローカルに接続できるエレメント20の範囲は、4方に限定してもよく、8方向に限定してもよく、さらに、その外側まで延長してもよい。配線ボックス58を介さずに、エレメント20同士がローカルで接続できるようにしてもよい。ローカルな配線はエレメント20に占有される可能性が高いので、配線の利用効率は低くなる可能性がある。その一方、グローバルな配線チャンネル51および52を、ローカルなエレメント20同士のデータ交換から解放できるのでチャンネル51および52の利用効率が向上する。

[0046] 配線ボックス58は、時分割（タイムシェア）で、サイクル単位で縦横の配線チャンネル51および52に含まれる配線の接続を再構成する。配線ボックス58は、入力側ボックス59aおよび出力側ボックス59bを含み、配線チャンネル51および52に対するエレメント20からの出力および入力方向を制御できる。本例では、エレメント（セル）20が独立して、エレメン

ト 20 の上下に配置された 2 つの配線チャネル 51 および左右に配置された縦方向の配線チャネル 52 の 4 つ（4 方向）の配線チャネル 50 に対し接続をオンオフできる構造となっている。接続をオンオフできる配線チャネルの数は 4 方向に限定されない。3 次元にエレメント 20 が配置されている場合は 8 方向（8 配線チャネル）であってもよい。配線チャネルが交差する角度は 90 度に限定されないので、さらに多くの方向に延びた配線チャネルを配置することも可能であり、それらに対して接続が制御できるエレメント 20 を配置してもよい。

[0047] 配線ボックス（接続制御ユニット、配線チャネルスイッチ）58 は、複数の縦側チャネル 52 から次の縦側チャネル 52 の指定するチャネルへスイッチするか、横側チャネル 51 の指定されるチャネルにスイッチするかをサイクル単位で決定する機能を含む。配線ボックス 58 のスイッチングが正常かどうかは、基本的に、アプリケーション側が責任を持つ方式であり、もし、心配であれば、このエラーチェックをする機能が配線ボックス 59 の接続制御ユニットに付加される。コスト削減を優先する場合、正常にスイッチングされることを前提にして動作させる。データの取りこみの要否は、エレメント 20 の側で選択される。したがって、配線ボックス 58 は、配線間のスイッチング（取りこみと出力）だけの機能を持ち、取り込む側のエレメント 20 が指定されたタイミングでデータを取り込むスイッチングだけを行う。あるいは、エレメント 20 が出力する配線チャネルを選択してデータを有効にするだけの処理を行う。

[0048] データ処理部 10 は、バス 8 を介してデジタル処理部 3、CPU 2、およびメモリ 5 と接続される。メモリ 5 には、データ処理部 10 に、アプリケーションなどを実装するファンクション情報 5a が格納されている。ファンクション情報 5a は、上述したタイミング情報 5b と、エレメントを選択（特定）する情報 5c とを含む。ファンクション情報 5a はさらに、配線ボックス 58 をサイクル単位で制御する情報 5d などを含んでいてもよい。

[0049] CPU 2 は、メモリ 5 からファンクション情報 5a を、配線チャネル 50

を介して各エレメント20に供給する機能（供給ユニット）2aを含む。供給ユニット2aは、装置1のリセット時、特定の処理の開始時などのタイミングでファンクション情報5aを各エレメント20に配線チャンネル50を介して供給する。さらに、供給ユニット2aは、処理の途中に、ファンクション情報5aを配線チャンネル50にポストし、所定のエレメント20がローディングできるようにしてもよい。データ処理部10においては、配線チャンネル50がサイクルベースで解放されるので、配線チャンネル50をエレメント20の間でデータの交換、ファンクション情報5aの供給などに共用できる。

[0050] 図4にエレメント20の概略構成を拡大して示している。エレメント20は、データ処理部（AxiomNipeR）10の基本セルであり、独立した4CHの取得ユニット（入力部）21a～21dと、独立した4CHのポストユニット（出力部、2CH×2は共通）28a～28dと、コアである論理エレメント25とを含む。論理エレメント25は、高利用頻度が予想される4ビットの加算・減算・比較・論理演算と8ビット、12ビット、16ビット拡張迄の対応を論理エレメント25の基本回路として内部に圧縮して、他のエレメント20と共通回路として保持し、外部からの情報入力を不要としている。論理エレメント25が対応していない新しい回路構成情報は、ファンクション情報5aを介して外部から導入して更新する方式となる。

[0051] 取得ユニット（取得モジュール、MUX-INA、-INB、-INC、-IND）21a～21dは、配線チャンネル50からのデータを取得する4つの独立したマルチプレクサである。入力データ信号は、隣接している配線チャンネル50から供給される。取得ユニット21a～21dは、配線チャンネル50との接続をサイクル単位でオンオフする。配線チャンネル50に対する接続をオンオフし、配線チャンネル50にポストされたデータを、取得ユニット21a～21dを介して入力制御ユニット22にラッチをするかどうかは、全て以下で説明するタイミング・コントローラ（タイミング制御ユニット、CTL-TMNG）26にてサイクル単位で確定する。

- [0052] 入力制御ユニット（入力制御モジュール、ラッチユニット、MUX-4×4）22は、タイミング・コントローラ26から供給される制御パターン情報に従って、4CHの独立した入力信号をラッチし、レジスタ23aおよび23bに格納済みの入力信号の入替や交換、ファンクション・ラッチ・ブロック24a～24dのいずれに入力データを接続するかを決定する。入力制御ユニット22は、データ信号のスイッチ機能を実現している。入力制御ユニット22は、特殊な制御コード情報による自己診断、配線チャンネル50を介して外部、たとえば、CPU2の供給ユニット2aからのファンクション情報5aのローディング指示を解読する機能を有している。これらの機能は、タイミング・コントローラ26と連動して実現している。
- [0053] ファンクション・ラッチ・ブロック（ファンクションラッチモジュール、FNC-LA、-LB、-LC、-LD）24a～24dは、ファンクションメモリ（論理エレメント）25から内部デコード（解読）されたファンクションを記憶するラッチモジュールである。ファンクション・ラッチ・ブロック24a～24dは、それぞれ、図面上の横方向に4サイクル分のファンクションをラッチして格納し、入力データを4CHの独立した論理で処理（算術演算、論理演算を含む）して出力する。
- [0054] ファンクション・ラッチ・ブロック24a～24dは、ファンクション情報5aなどの特殊制御コードがエレメント20に届き、ラッチされると、その制御コードに含まれている外部情報の取り込みを行い、内部デコードを無視して、それを取り込む機能を含む。内部デコードのラッチは、原則、1サイクルで完了する。外部情報の取り込みを実行する場合は、1～4クロック・サイクルを消費してもよい。
- [0055] ファンクションメモリ（LST-FXP）25は、エレメント20のコアである論理エレメント31の中心となる内部論理が格納されているメモリである。ファンクションメモリ25は、4ビット単位での処理や8ビット、12ビット、16ビットでの拡張データ処理、加算・減算・比較、論理演算、その他のエレメント20として使用頻度の高いパターンを圧縮してエレメン

ト 20 の内部に保持している。ファンクションメモリ 25 は、外部から取得ユニット 21 a ~ 21 d を介して、または、内部のタイミング・コントローラ 26 から特殊ローディングコードを受け取ると、その制御情報に従って、予め格納されている中から必要なファンクション情報 5 a を選んで、これを内部のラッチ 24 a ~ 24 d に格納する。

[0056] タイミング・コントローラ（タイミング制御ユニット、CTL-TMNG）26 は、外部からタイミング制御情報を受け取り、内部に用意された、または内部でデコードされ、レジスタ 27 a および 27 b にセットされた 4 セットのファンクション情報 5 a に基づき 4 つの独立したファンクション・ブロックをサイクル単位（クロック単位）で制御する。すなわち、タイミング・コントローラ 26 は、取得モジュール 21 a ~ 21 d、ファンクション・ラッチ・ブロック 24 a ~ 24 d、および以下で説明するポストユニット 28 a ~ 28 d をそれぞれ必要に応じてタイミング制御をするモジュールである。

[0057] タイミング・コントローラ 26 の主な機能の 1 つは、配線チャンネル 50 から入力データを取り込むタイミングの制御である。タイミング・コントローラ 26 の主な機能の他の 1 つは、配線チャンネル 50 の所定のチャンネルへ出力データを送信（ポスト、配信）するタイミングの制御である。出力の必要が無い場合は、出力信号は、全て “0” または “1” へと固定される。配線チャンネル 50 に接続できるエレメント 20 の間において負論理が処理されているか、正論理が処理されているかに依存する。

[0058] このタイミング・コントローラモジュール 26 は、電源投入後（パワーオンリセット）、特殊パターンが入力されると、自己診断機能や外部からの制御情報や新しいファンクションの取り込みを自動的に行う機能を有していてもよい。また、タイミング・コントローラ 26 は、エレメント 20 の各機能を制御するのみならず、エレメント 20 に属している配線ボックス 58 の制御をサイクル単位で行ってもよい。また、タイミング・コントローラ 26 は、基本的には、内部デコードしてレジスタ 27 a および 27 b に格納された

ファンクション情報 5 a に基づいて繰り返し、または所定のパターンでエレメント 20 を自律して（独立して）制御する。一方、配線チャンネル 50 を介して、外部から特殊コードとともにファンクション情報 5 a が供給されると、それをファンクション・ラッチ・ブロック 24 a ~ 24 d に直接出力してエレメント 20 の機能（処理内容）を一時的に変えたり、ファンクションメモリ 25 の内容を更新してエレメント 20 の基本的な機能を変えたりすることができる。

[0059] ポストユニット（MUX-OUT A、-OUT B、-OUT C、OUT D）28 a ~ 28 d は、エレメント 20 から配線チャンネル 50 に対して出力を決定する 4 つの独立した出力チャンネルである。出力信号をアクティブにするかどうかは、全てタイミング・コントローラ 26 が確定する。ポストユニット 28 a ~ 28 d は、サイクル単位で配線チャンネル 50 に対する接続をオンオフする。ポストユニット 28 a ~ 28 d は、それぞれ異なる配線チャンネル 50 に出力データをポスト（投稿、載せる）してもよく、バス形式の配線チャンネル 50 に所定のビット長のデータをポストしてもよい。ポストユニット 28 a ~ 28 d は、同期機能を実現する多チャンネル対応の出力スイッチを含むことが望ましい。

[0060] ポストユニット（ポスティングユニット）28 a ~ 28 d は、配線チャンネル 50 にデータを出力（ポスト）しないときは、配線チャンネル 50 とエレメント 20 の出力側との接続をオフにする。これにより、配線チャンネル 50 はポストユニット 28 a ~ 28 d にドライブされず、出力しないエレメント 20 から解放され、配線チャンネル 50 は他のデータ出力をするタイミングとなっているエレメント 20 によりドライブされる。

[0061] ポストユニット 28 a ~ 28 d は、出力データに加え、付加情報を出力する。付加情報は、オーバーフロー、ゼロフラグ、パリティ、キャリービット、多ビット演算対応キャリー、シフト情報、例外イベント出力などを、配線チャンネル 50 を介して配信するために用いられる。取得ユニット 21 a ~ 21 d は、配線チャンネル 50 から付加情報を含めてデータを入手してもよく、付

加情報を除いてデータを入手してもよい。

[0062] エレメント20のコア31は、上記の複数の機能書き換え可能ブロック（可変機能ブロック）に加え、固定機能ブロックを含んでいてもよい。エレメント20のコア31の可変機能ブロックは、ファンクションメモリ25を備えており、外部からのローディング無しに、必要に応じてこれを内部のデータ（情報）だけでそれぞれの機能を更新することが可能である。使用頻度のさらに高い機能（演算他）は、固定機能ブロックで対応してもよく、ファンクションメモリ25に圧縮されたファンクション情報の量を削減できる可能性がある。

[0063] なお、上記のエレメント20は4ビットで構成された例を示しているが、2ビットでもよく、8ビット以上を基本とするエレメントであってもよい。さらに、上記のエレメント20は4サイクル分のファンクション情報を予めフリップフロップまたはレジスタ27a、27b、24a～24dに記憶させて内部で自律的に制御できる例を示している。5サイクル分以上のファンクション構成情報を内部に展開して繰り返して処理するものであってもよい。4サイクル分のファンクション情報が終了すると、5サイクル目からは、外部または他のメモリから取り込んでもよく、ファンクションメモリ25から新たにデコードしてもよく、すでにデコード済みのファンクション情報を繰り返し使用してもよい。

[0064] エレメント20において実行する処理の繰り返しパターンが長い場合は、5サイクル目、9サイクル目、13サイクル目をそれぞれ外部メモリ5からローディングして、これを繰り返してもよい。メモリ5のアクセスタイムに余裕を持たせると同時に、長期パターンにも対応可能となる。

[0065] 図5に配線ボックス58の内部構成の一例を示している。配線ボックス58もサイクル単位でグローバルな配線チャネル51および52の接続を変えたり、配線チャネル51または52からローカルな配線チャネル55を介してエレメント20との接続を変えたりする機能を備えている。図5に示した例は、シフトレジスタ型のフリップフロップと簡単なマスク機能を持った

ANDゲートを利用して、有効データを取り込む、または取り込まないかを決定するものである。

[0066] 図6に、取得ユニット21a～21d、配線ボックス58において、配線チャンネル50の中の指定されたバスとの接続をオンオフするモジュール61の一例を示している。このモジュール61は、MUXが不要な単純な構造を採用した例である。

[0067] 図7に、ポストユニット28a～28d、配線ボックス58において、配線チャンネル50の中の指定されたバスとの接続をオンオフするモジュール62の一例を示している。配線チャンネル50は、タイムスロットの暗黙の割当を利用して動作する構造であり、出力側のモジュール62は、配線チャンネル50の中のプログラムされたバスのみをドライブし、必要のないバスを解放する構成が採用されている。

[0068] 図8に、データ処理部10の各エレメント20のタイミングの制御をフローチャートにより示している。この制御方法は、論理（論理回路）としてエレメント20、タイミング・コントローラ26などに実装されていてもよく、ファームウェア、マイクロプログラム（プログラム製品）として提供され、メモリなどの適当な記録媒体に格納されていてもよい。

[0069] ステップ71で、タイミング・コントローラ26がエレメント20の入力側を配線チャンネル50に接続するタイミング（サイクル）であると判断すると、ステップ72で取得ユニット21a～21dのいずれかをオンし、ステップ73で配線チャンネル50にポストされているデータをラッチする。取得ユニット21a～21dをオンする際、ステップ85で配線チャンネル50の縦横の配線チャンネル51および52の接続は再構成されており、その再構成された配線チャンネル50でローカライズされたエレメント20がポストしたデータをラッチする。その後、ステップ74で、取得ユニット21a～21dをオフし、配線チャンネル50を解放する。

[0070] ステップ75においてラッチされたデータが演算用か、ファンクション情報の更新用かを判断する。ファンクション情報であれば、ステップ81でフ

ファンクションメモリ25を更新するか、ファンクション・ラッチ・ブロック24a~24dでラッチして、エレメント20の処理内容を変更する。

[0071] ステップ75においてラッチされたデータが演算用であれば、ステップ76で、エレメント20の内部で、そのタイミング（サイクル）で指定された処理（演算）が行われる。ステップ77で、タイミング・コントローラ26が出力側を配線チャネル50に接続するタイミング（サイクル）であると判断すると、ステップ78でポストユニット28a~28dのいずれかがオンになり、ステップ79で配線チャネル50に出力データがポストされる。ポストユニット28a~28dをオンする際、ステップ85で配線チャネル50の縦横の配線チャネル51および52の接続は再構成されており、その再構成された配線チャネル50でローカライズされたエレメント20がポストされたデータを取得することができる。その後、ステップ80で、ポストユニット28a~28dをオフし、配線チャネル50を解放する。

[0072] その後、ステップ82で、タイミング・コントローラ26が次のファンクション情報を認識し、そのファンクション情報にしたがってエレメント20の制御を繰り返す。

[0073] 図9に、配線チャネル50の占有状況が変化する様子を模式的に示している。図9（a）は、エレメントC33とエレメントC11との間でデータ交換が行われる処理（論理演算）と、エレメントC32とエレメントC21との間でデータ交換が行われる処理とを時分割で物理的に同じ配線チャネル50、具体的には、配線チャネルX6およびY2に対してオンオフすることで行うことを示している。図9（b）は配線チャネルX6およびY2の占有を示すタイミングチャートである。

[0074] ファンクション情報CD1ではエレメントC33およびC11が配線チャネルX6およびY2に対してオンとなり、それらの間でデータ交換が行われる。ファンクション情報CD2ではエレメントC32およびC21が配線チャネルX6およびY2に対してオンとなり、それらの間でデータ交換が行われる。ファンクション情報CD3およびCD4では、エレメントC11、C

21, C32およびC33は、配線チャネルX6およびY2に対してオフであり、これらの配線に他のエレメント20がアクセスしてデータのポストおよび取得が行われる。配線チャネルX6およびY2は、サイクル単位で利用者が変わり、配線チャネルは時分割で占有される。配線チャネルの利用者を固定することももちろん可能である。

[0075] データ処理部10の配線チャネル50は、サイクル単位で送信者と受信者とが変わり、配線チャネル50を通じて目的の動作を行わせるための回路は形成されない。配線チャネル50は、配線チャネル50に接続されているエレメント（セル）20の間で、サイクル単位で、通信プロトコルの確立も不要な放送媒体として使用され、利用者はサイクル単位で配線チャネルにアクセスできる。

[0076] 配線チャネル50は、信号が伝達される非同期の要素としてではなく、送信側および／または受信側と同期した範囲で情報を伝達する媒体（要素）として機能する。このため、エレメント20は、サイクル単位で異なる論理あるいはアルゴリズムに関連する情報を、時分割で配線資源に出力（ポスト）でき、他のセル20は時分割で情報（データ、信号）を取得できる。したがって、配線資源を低減でき、実装密度が高く、ハードウェアの利用効率も高いデータ処理装置を提供できる。さらに、配線資源をサイクル単位で論理演算を行う要素としても使用できる。

[0077] 論理演算エレメントであるコア31は、加算、乗算などの比較的ゲート数の大きな論理演算を行うもの（コースグレイン）であってもよく、4入力以下のAND、NAND、OR、NOR、EXORなどの比較的ゲート数の小さな論理演算を行うもの（ファイングレイン）であってもよい。本例では、ファイングレインなコア31を採用している。論理演算はルックアップテーブルを用いるものであってもよく、セレクタータイプのものであってもよく、メモリタイプのものであってもよい。

[0078] 図10に、データ処理装置1を含むシステム（OLP）100の一例を示している。このシステム100は、FAMSなどのセンサーから得られた

データ１０１を解析するシステムであり、非回路型のデータ処理部１０に様々な機能を時分割または並列に実装することが可能である。このシステム１００は、様々なアプリケーションのプラットフォームとして使用できる。アプリケーションのいくつかの例は、ヘルスケアモニタリング１００a、プロセスモニタリング１００b、セキュリティーモニタリング１００c、コンシューマー向けの匂いビジネスアプリケーション１００dである。装置１には、ＦＡＩＭＳ（イオン移動度センサー）、ＭＳ（質量センサー）などのセンサーから得られるデータ１０１の他に、温度、湿度、圧力、周辺画像、ＧＰＳなどの補助センサーデータ１０２と、サンプリングシステムのデータ、たとえば、サンプリングタイム、サンプリング対象に関するデータ１０３が入力される。

[0079] データ処理部１０には、たとえば、測定対象物のカテゴリーなどを判断して解析条件を設定するパーサ１１０と、ベースライン補正などのデータ補正を行うユニット１１１と、ピークを規格化したり、ノイズを低減するユニット１１３と、センサーデータ１０１に含まれるピークを検出したり分離するユニット１１４と、分離されたピークから種類（性質、属性）および量を判断する分析エンジン１１５と、ＳＯＭ（自己組織化写像）、ニューラルネットワークなどの手法を用いて分析エンジン１１５において得られた情報から測定元の化学物質を類推または分類するエンジン１１６と、装置内部のデータベースまたはネットワークを経由してデータベースサーチを行い、測定対象の化学物質を判断するユニット（機能）１１７とが実装される。これらの機能は、原則として、エレメント２０を選択する情報と、配線チャンネルにアクセスするタイミングの情報とによりデータ処理部１０に実装される。

[0080] ＣＰＵ２は、データ処理部１０における処理を支援するための機能を実現する。たとえば、ＣＰＵ２は、参照データベースにアクセスする機能１２４、クラウド（ＬＡＮ）にアクセスする機能１２３、ユーザーインタフェース機能１２２、データ取得制御機能１２１を提供する。これらの機能は、データ処理部１０の空きスペースや空き時間を用いてデータ処理部１０に実装す

ることも可能である。

[0081] リアルタイムで化学物質を検出および分析のためには大規模並列データ処理エンジンが要望される。リアルタイムで化学物質を検出および分析することにより、疾患検出のバイオマーカの同定や定量化、健康状態あるいは生体機能の監視、遠隔監視技術による管理医療の提供といった画期的なサービスをユーザーに提供することが可能となる。そのためのプラットフォームは、知的であり、拡張可能であり、さまざまなアプリケーションやパフォーマンスへの要求に答えられる必要がある。非回路型の情報処理セクターであるデータ処理部10を含む装置1は、配線チャンネルに複数のエレメントが自在にアクセスできるという並列処理ハードウェアとしての機能に加え、タイミング制御により動的にプログラム可能であり、上記の要求にマッチしたハードウェアである。

[0082] センサーの1つは、F A I M S (Field Asymmetric ion mobility spectrometer) である。F A I M Sは、空気などに含まれる微量な化学成分の検出に適しており、警備、環境モニタリング、ヘルスケア、産業プロセス、エネルギーなどの広範囲にわたるアプリケーションに適用されようとしている。F A I M SおよびMS (質量センサー) はチップレベルの小型軽量なものが市場に提供され始めており、チップレベルで実現できる装置1を解析用のプラットフォームとして採用することにより、小型、軽量、機械的および熱的に堅牢で、低パワーの、チップレベルでのリアルタイム化学物質分析装置を提供できる。

請求の範囲

- [請求項1] 複数のエレメントと、前記複数のエレメントの間でデータを転送するチャンネルとを含むデータ処理部を有する装置の制御方法であって、
前記複数のエレメントのそれぞれは、論理エレメントと、
前記論理エレメントの入力側と前記チャンネルとの接続をサイクル単位でオンオフし、データの取り込みの要否を制御する取得ユニットと、
、
前記論理エレメントの出力側と前記チャンネルとの接続をサイクル単位でオンオフするポストユニットとを含み、
前記データ処理部は、さらに、前記取得ユニットの前記オンオフおよび前記ポストユニットの前記オンオフを制御する制御ユニットを含み、
当該制御方法は、
前記制御ユニットが前記取得ユニットの前記オンオフまたは前記ポストユニットの前記オンオフをサイクル単位で制御し、前記複数のエレメントの前記チャンネルに対する取得およびポストをサイクル単位で変更することを含む、制御方法。
- [請求項2] 請求項1において、
前記サイクル単位で変更することは、前記チャンネルの構成をサイクル単位で変更することを含む、制御方法。
- [請求項3] 請求項1または2において、
前記サイクル単位で変更することは、前記論理エレメントの処理内容を変更することを含む、制御方法。
- [請求項4] 請求項3において、
前記サイクル単位で変更することは、前記制御ユニットが自律的に前記論理エレメントの処理内容、前記取得ユニットの前記オンオフまたは前記ポストユニットの前記オンオフをサイクル単位で制御することと、

外部からのローディングにより前記論理エレメントの処理内容、前記取得ユニットの前記オンオフおよび前記ポストユニットの前記オンオフをサイクル単位で制御することを含む、制御方法。

[請求項5] 複数のエレメントと、前記複数のエレメントの間でデータを転送するチャンネルとを含むデータ処理部を有し、

前記複数のエレメントのそれぞれは、論理エレメントと、

前記論理エレメントの入力側と前記チャンネルとの接続をサイクル単位でオンオフし、データの取得の要否を制御する取得ユニットと、

前記論理エレメントの出力側と前記チャンネルとの接続をサイクル単位でオンオフするポストユニットとを含み、

前記データ処理部は、さらに、前記取得ユニットの前記オンオフおよび前記ポストユニットの前記オンオフをサイクル単位で制御するタイミング制御ユニットを含む装置。

[請求項6] 請求項5において、前記複数のエレメントのそれぞれが前記タイミング制御ユニットを含む、装置。

[請求項7] 請求項5または6において、前記タイミング制御ユニットは、前記論理エレメントの処理内容をサイクル単位で変更するユニットを含む、装置。

[請求項8] 請求項5ないし7のいずれかにおいて、前記データ処理部に、アプリケーション、アルゴリズムまたは論理を実装する情報を格納するメモリを有し、

前記実装する情報は、前記複数のエレメントのいずれかを選択する情報と、

前記取得ユニットの前記オンオフおよび前記ポストユニットの前記オンオフの少なくともいずれかをサイクル単位で制御するタイミング情報とを含む、装置。

[請求項9] 請求項8において、前記メモリから前記実装する情報の少なくとも一部を、前記チャンネルを介して前記複数のエレメントのそれぞれに供

給するユニットを有する、装置。

- [請求項10] 請求項5ないし9のいずれかにおいて、
前記チャネルは配線群を含み、
前記取得ユニットは、前記配線群のいずれかの配線との接続をサイクル単位でオンオフするユニットを含み、
前記ポストユニットは、前記配線群のいずれかの配線との接続をサイクル単位でオンオフするユニットを含む、装置。

- [請求項11] 請求項5ないし10のいずれかにおいて、
前記チャネルは、第1の方向に沿って配置された第1の配線チャネルと、
前記第1の方向と異なる第2の方向に沿って配置された第2の配線チャネルとを含み、
前記データ処理部は、前記第1の配線チャネルおよび前記第2の配線チャネルに時分割で接続する配線ボックスを含む、装置。

- [請求項12] 請求項11において、前記配線ボックスは、入力側ボックスと、出力側ボックスとを含む、装置。

- [請求項13] 請求項5ないし12のいずれかにおいて、前記タイミング制御ユニットは、自律的に前記取得ユニットの前記オンオフおよび前記ポストユニットの前記オンオフをサイクル単位で制御する機能と、
外部からのローディングにより前記取得ユニットの前記オンオフおよび前記ポストユニットの前記オンオフをサイクル単位で制御する機能とを含む、装置。

- [請求項14] 請求項5ないし13のいずれかにおいて、前記ポストユニットは、付加情報を含む拡張ビットを出力するユニットを含む、装置。

- [請求項15] 請求項5ないし14のいずれかにおいて、前記ポストユニットは、同期機能を実現する多チャンネル対応の出力スイッチを含む、装置。