

明細書

発明の名称

金属酸化物の成膜方法、および記憶装置の作製方法

技術分野

[0001]

本発明の一態様は、金属酸化物およびその成膜方法、ならびに、記憶装置およびその作製方法に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタ、ダイオードなどの半導体素子、または半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置、情報処理装置および電子機器などは、半導体素子または半導体回路を含む場合がある。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置および電子機器なども、半導体装置と呼ばれる場合がある。

背景技術

[0004]

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。単位面積あたりの記憶容量を増加させるためには、メモリセルを積層して形成することが有効である（特許文献1、特許文献2参照）。メモリセルを積層して設けることにより、単位面積あたりの記憶容量をメモリセルの積層数に応じて増加させることができる。特許文献3および特許文献4では、酸化物半導体を用いた記憶装置が開示されている。特許文献5では、電荷格納層として酸化物半導体を用いた半導体メモリが開示されている。

[0005]

また、非特許文献1では、結晶性酸化物半導体として、CAAC-IGZOが開示されている。また、非特許文献1では、CAAC-IGZOの成長メカニズムなども開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 米国特許公開2011/0065270A1公報

[特許文献2] 米国特許第9634097B2公報

[特許文献3] 特開2018-207038号公報

[特許文献4] 特開2019-8862号公報

[特許文献5] 特開2018-157205号公報

[非特許文献]

[0007]

[非特許文献1] Noboru Kimizuka and Shunpei Yamazaki、

「PHYSICS AND TECHNOLOGY OF CRYSTALLINE OXIDE SEMICONDUCTOR CAAC-IGZO」 FUNDAMENTALS (米国)、Wiley-SID Series in Display Technology、2017、p. 94-97

発明の概要

発明が解決しようとする課題

[0008]

特許文献1、および特許文献2においては、記憶素子（メモリセルともいう）が複数積層しており、これらが直列に接続することで、三次元構造のメモリセルアレイ（メモリストリングともいう）を構成している。

[0009]

特許文献1においては、柱状に設けられた半導体が、電荷蓄積層を有する絶縁体と接している。特許文献2においては、柱状に設けられた半導体が、トンネル誘電体として機能する絶縁体と接している。特許文献1および特許文献2ともに、メモリセルへの情報の書き込みは、絶縁体を介して電荷の引き抜きおよび注入によって行われる。この場合、半導体と絶縁体が接する界面に、トラップセンターが形成される場合がある。トラップセンターは、電子を捕獲し、トランジスタのしきい値電圧を変動させる場合がある。また、電荷の引き抜きおよび注入により、絶縁体内部および半導体と絶縁体が接する界面の一方、または両方が劣化し、電荷蓄積層に保持された電荷がリークして消失する場合がある。よって、記憶装置の信頼性に悪影響を及ぼす恐れがある。

[0010]

本発明の一形態は、新規の金属酸化物、およびその成膜方法を提供することを課題の一とする。また、本発明の一形態は、新規の金属酸化物の成膜装置を提供することを課題の一とする。本発明の一形態は、信頼性の高い記憶装置、およびその作製方法を提供することを課題の一とする。また、本発明の一形態は、記憶容量の大きい記憶装置、およびその作製方法を提供することを課題の一とする。また、本発明の一形態は、占有面積が小さい記憶装置、およびその作製方法を提供することを課題の一とする。また、本発明の一形態は、製造コストの低い記憶装置、およびその作製方法を提供することを課題の一とする。また、本発明の一形態は、信頼性の高い半導体装置、およびその作製方法を提供することを課題の一とする。また、本発明の一形態は、製造コストの低い半導体装置、およびその作製方法を提供することを課題の一とする。また、本発明の一形態は、新規な半導体装置、およびその作製方法を提供することを課題の一とする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、金属酸化物を成膜する方法であって、第1のプリカーサを第1のチャンバーに導入する第1の工程と、第2のプリカーサを第1のチャンバーに導入する第2の工程と、第3のプリカーサを第1のチャンバーに導入する第3の工程と、第1の工程の後、第2の工程の後、およ

び第3の工程の後のそれぞれに、プラズマ状態の酸化剤を第1のチャンバーに導入する第4の工程と、マイクロ波処理を行う第5の工程と、を有する。第1乃至第4の工程を、それぞれ1回以上行うことを1サイクルとし、1サイクルを複数回繰り返した後で、第2のチャンバー内で、第5の工程を行う。第1乃至第3のプリカーサは、それぞれ異なる種類のプリカーサであり、マイクロ波処理は、酸素ガスとアルゴンガスとを用いて行われ、金属酸化物は、結晶領域を有し、結晶領域のc軸は、金属酸化物の被形成面の法線ベクトル、または金属酸化物の表面の法線ベクトルに概略平行である。

[0013]

また、本発明の一態様は、金属酸化物を成膜する方法であって、第1のプリカーサを第1のチャンバーに導入する第1の工程と、第2のプリカーサを第1のチャンバーに導入する第2の工程と、第3のプリカーサを第1のチャンバーに導入する第3の工程と、第1の工程の後、第2の工程の後、および第3の工程の後のそれぞれに、酸化剤を第1のチャンバーに導入する第4の工程と、マイクロ波処理を行う第5の工程と、を有する。第1乃至第4の工程を、それぞれ1回以上行うことを1サイクルとし、1サイクルを複数回繰り返した後で、第2のチャンバー内で、第5の工程を行う。第1乃至第3のプリカーサは、それぞれ異なる種類のプリカーサであり、マイクロ波処理は、酸素ガスとアルゴンガスとを用いて行われ、金属酸化物は、結晶領域を有し、結晶領域のc軸は、金属酸化物の被形成面の法線ベクトル、または金属酸化物の表面の法線ベクトルに概略平行である。

[0014]

上記金属酸化物の成膜方法において、第1のチャンバーと、第2のチャンバーと、は同じチャンバーであることが好ましい。

[0015]

また、上記金属酸化物の成膜方法において、第5の工程の後に、1サイクルを複数回繰り返すことが好ましい。

[0016]

また、本発明の他の一態様は、金属酸化物を成膜する方法であって、第1のプリカーサをチャンバーに導入する第1の工程と、第2のプリカーサをチャンバーに導入する第2の工程と、第3のプリカーサをチャンバーに導入する第3の工程と、第1の工程の後、第2の工程の後、および第3の工程の後のそれぞれに、プラズマ状態の酸化剤をチャンバーに導入する第4の工程と、を有する。酸化剤は、周波数が2.45GHzのマイクロ波を印加することでプラズマ状態となり、第1乃至第4の工程を、それぞれ1回以上行うことを1サイクルとし、1サイクルを複数回繰り返す。第1乃至第3のプリカーサは、それぞれ異なる種類のプリカーサであり、金属酸化物は、結晶領域を有し、結晶領域のc軸は、金属酸化物の被形成面の法線ベクトル、または金属酸化物の表面の法線ベクトルに概略平行である。

[0017]

また、本発明の他の一態様は、金属酸化物を成膜する方法であって、第1のプリカーサをチャンバーに導入する第1の工程と、第2のプリカーサをチャンバーに導入する第2の工程と、第3のプリカーサをチャンバーに導入する第3の工程と、第1の工程の後、第2の工程の後、および第3の工程の後のそれぞれに、酸化剤をチャンバーに導入する第4の工程と、を有する。第1のプリカーサ乃至第3のプリカーサの少なくとも一に、マイクロ波を印加し、第1乃至第4の工程を、それぞれ1回以上行うことを1サイクルとし、1サイクルを複数回繰り返す。第1乃至第3のプリカーサ

は、それぞれ異なる種類のプリカーサであり、金属酸化物は、結晶領域を有し、結晶領域のc軸は、金属酸化物の被形成面の法線ベクトル、または金属酸化物の表面の法線ベクトルに概略平行である。

[0018]

上記金属酸化物の成膜方法において、第1のプリカーサは、インジウムを有し、第2のプリカーサは、元素M（Mはガリウム、アルミニウム、およびイットリウムのいずれか一または複数）を有し、第3のプリカーサは、亜鉛を有し、酸化剤は、オゾン、酸素、および水から選ばれた一、または複数を含む、ことが好ましい。

[0019]

また、本発明の他の一態様は、第1の絶縁体と、第1の絶縁体上の第1の開口を有する第1の導電体と、第1の導電体上の第2の開口を有する第2の絶縁体と、第2の絶縁体上の第3の開口を有する第2の導電体と、第2の導電体上の第3の絶縁体と、第1の開口乃至第3の開口内に設けられた金属酸化物と、を有する記憶装置の作製方法であって、第1の絶縁体を形成する工程と、第1の絶縁体上に第1の導電体を形成する工程と、第1の導電体上に第2の絶縁体を形成する工程と、第2の絶縁体上に第4の絶縁体を形成する工程と、第4の絶縁体上に第3の絶縁体を形成する工程と、第4の絶縁体に第3の開口を形成する工程と、第2の絶縁体に第2の開口を形成する工程と、第1の導電体に第1の開口を形成する工程と、第1の開口乃至第3の開口内に、ALD法によって金属酸化物を形成する工程と、マイクロ波処理を行う工程と、第4の絶縁体を除去する工程と、第2の絶縁体と、第3の絶縁体との間に第2の導電体を形成する工程と、を有する記憶装置の作製方法である。マイクロ波処理は、酸素ガスとアルゴンガスとを用いて行われ、金属酸化物は、結晶領域を有し、結晶領域のc軸は、金属酸化物の被形成面の法線ベクトル、または金属酸化物の表面の法線ベクトルに平行である。

[0020]

上記記憶装置の作製方法において、第1の開口の径は、第2の開口の径より大きく、第1の開口の径は、第3の開口の径より大きい、ことが好ましい。

発明の効果

[0021]

記憶素子を複数積層し、これらが直列に接続する三次元構造のメモリセルアレイの作製において、総工程数は、積層する記憶素子の数と、1つの記憶素子を作製する工程数の積より少なくできるため好ましい。つまり、上記メモリセルアレイの作製工程は、積層する記憶素子の数に比例しない。例えば、記憶素子を4層有するメモリセルアレイAの作製工程数と、記憶素子を32層有するメモリセルアレイBの作製工程数を比較した場合、記憶素子の積層数は8倍であるにもかかわらず、メモリセルアレイBの作製工程数は、メモリセルアレイAの作製工程数の8倍より大幅に少なくできる。

[0022]

本発明の一形態により、新規の金属酸化物、およびその成膜方法を提供することができる。また、本発明の一形態により、新規の金属酸化物の成膜装置を提供することができる。また、本発明の一形態により、信頼性の高い記憶装置、およびその作製方法を提供することができる。また、本発明の一形態により、記憶容量の大きい記憶装置、およびその作製方法を提供することができる。また、本発明の一形態により、占有面積が小さい記憶装置、およびその作製方法を提供することができる。また、本発明の一形態により、製造コストの低い記憶装置、およびその作製方法を提供することができる。

きる。また、本発明の一形態により、信頼性の高い半導体装置、およびその作製方法を提供することができる。また、本発明の一形態により、製造コストの低い半導体装置、およびその作製方法を提供することができる。また、本発明の一形態により、新規な半導体装置、およびその作製方法を提供することができる。

[0023]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0024]

図1A乃至図1Dは、本発明の一態様に係る金属酸化物の断面図である。

図2Aは、本発明の一態様に係る成膜装置を説明する上面図である。図2Bは、本発明の一態様に係る成膜装置を説明する断面図である。

図3A乃至図3Cは、本発明の一態様に係る成膜装置を説明する断面図である。

図4は本発明の一態様に係るマイクロ波処理装置を説明する上面図である。

図5は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図6は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図7は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図8Aおよび図8Bは、本発明の一態様に係る金属酸化物の成膜方法を説明する図である。

図9AはIGZOの結晶構造の分類を説明する図である。図9BはCAAC-IGZO膜のXRDスペクトルを説明する図である。図9CはCAAC-IGZO膜の極微電子線回折パターンを説明する図である。

図10は、本発明の一態様に係る記憶装置の斜視図である。

図11は、本発明の一態様に係る記憶装置の断面図である。

図12は、本発明の一態様に係るメモリストリングの断面図である。

図13Aおよび図13Bは、本発明の一態様に係るメモリストリングの断面図である。

図14は、本発明の一態様に係る記憶素子の断面図である。

図15は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図16は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図17は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図18は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図19Aおよび図19Bは、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図20は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図21は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図22は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図23は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図24は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図25は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図26は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 27 は、メモリストリングの回路構成例を説明する図である。
図 28 は、メモリストリングの回路構成例を説明する図である。
図 29 は、メモリストリングの書き込み動作例を説明するタイミングチャートである。
図 30 A および図 30 B は、メモリストリングの書き込み動作例を説明する回路図である。
図 31 A および図 31 B は、メモリストリングの書き込み動作例を説明する回路図である。
図 32 A および図 32 B は、メモリストリングの書き込み動作例を説明する回路図である。
図 33 A および図 33 B は、メモリストリングの書き込み動作例を説明する回路図である。
図 34 A および図 34 B は、メモリストリングの書き込み動作例を説明する回路図である。
図 35 A および図 35 B は、メモリストリングの読み出し動作例を説明するタイミングチャートである。
図 36 A および図 36 B は、メモリストリングの読み出し動作例を説明する回路図である。
図 37 A および図 37 B は、メモリストリングの読み出し動作例を説明する回路図である。
図 38 A および図 38 B は、トランジスタの $I_d - V_g$ 特性を説明する図である。
図 39 は、メモリストリングの回路構成例を説明する図である。
図 40 は、メモリストリングの回路構成例を説明する図である。
図 41 は、メモリストリングの回路構成例を説明する図である。
図 42 は、半導体装置の構成例を説明するブロック図である。
図 43 A 乃至図 43 C は、半導体装置の構成例を説明する斜視図である。
図 44 は、本発明の一態様に係る半導体装置を説明する断面図である。
図 45 A はコンピュータの構成例を説明する斜視図であり、図 45 B はモノリシック IC を説明する斜視図である。
図 46 A、及び図 46 B のそれぞれは、コンピュータ、およびモノリシック IC の記憶階層を説明する図である。
図 47 A は、半導体装置の模式図である。図 47 B は、半導体装置の斜視図である。
図 48 A 乃至図 48 E は、記憶装置の一例を説明するための図である。
図 49 A 乃至図 49 G は、電子機器の一例を説明するための図である。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

[0026]

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため図に反映しないことがある。

[0027]

また、図面などにおいて、説明を理解しやすくするために、一部の構成要素の記載を省略する場合がある。

[0028]

また、本明細書等において「電極」または「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」または「配線」が一体となって形成されている場合なども含む。

[0029]

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

[0030]

なお、本明細書等において「上」または「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0031]

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

[0032]

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

[0033]

また、本明細書などにおいて、「平行」とは、例えば、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」および「直交」とは、例えば、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、「概略垂直」および「概略直交」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0034]

なお、本明細書などにおいて、計数値および計量値に関して、または、計数値もしくは計量値に換算可能な物、方法、および事象などに関して、「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0035]

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のこと

を示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書などでは、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

[0036]

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

[0037]

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

[0038]

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番または順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

[0039]

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

[0040]

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

[0041]

また、本明細書等において、高電源電位VDD（以下、単に「VDD」、「H電位」、または「H」ともいう）とは、低電源電位VSS（以下、単に「VSS」、「L電位」、または「L」ともいう）よりも高い電位の電源電位を示す。また、VSSとは、VDDよりも低い電位の電源電位を示す。また、接地電位（以下、単に「GND」、または「GND電位」ともいう）をVDDまたはVSSとして用いることもできる。例えばVDDが接地電位の場合には、VSSは接地電位より低い電位であり、VSSが接地電位の場合には、VDDは接地電位より高い電位である。

[0042]

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）のnチャネル型電界効果トランジスタとする。よって、そのしきい値電圧（「V_{th}」ともいう。）は、0Vより大きいものとする。また、明示されている場合を除き、「トラン

ジスタのゲートにH電位を供給する。」とは、「トランジスタをオン状態にする。」と同義の場合がある。また、明示されている場合を除き、「トランジスタのゲートにL電位を供給する。」とは、「トランジスタをオフ状態にする。」と同義の場合がある。

[0043]

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極または別の配線とを電氣的に接続させるための配線のことをいう。

[0044]

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極または別の配線とを電氣的に接続させるための配線のことをいう。

[0045]

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極または別の配線とを電氣的に接続させるための配線のことをいう。

[0046]

また、図面などにおいて、配線、電極、導電体などの電位をわかりやすくするため、配線、電極、導電体などに隣接してH電位を示す“H”、またはL電位を示す“L”を付記する場合がある。また、電位変化が生じた配線、電極、導電体などには、“H”または“L”を囲み文字で付記する場合がある。また、トランジスタがオフ状態である場合、当該トランジスタに重ねて“X”記号を付記する場合がある。

[0047]

また、一般に、「容量」は、2つの電極が絶縁体（誘電体）を介して向かい合う構成を有する。本明細書等において、「容量素子」とは、前述の「容量」である場合が含まれる。すなわち、本明細書等において、「容量素子」とは、2つの電極が絶縁体を介して向かい合う構成を有したもの、2本の配線が絶縁体を介して向かい合う構成を有したもの、または、2本の配線が絶縁体を介して配置されたもの、である場合が含まれる。

[0048]

また、本明細書等において、複数の要素に同じ符号を用いる場合、特にそれらを区別する必要があるときは、符号に、「__1」、「__2」、「[n]」、「[m, n]」等、識別用の符号を付して記載する場合がある。例えば、2番目の導電体WWLを、導電体WWL[2]と記載する場合がある。

[0049]

また、本明細書において、上限と下限の数値が規定されている場合は、自由に組み合わせる構成も開示されているものとする。

[0050]

(実施の形態 1)

本実施の形態では、図 1 乃至図 9 を用いて、トランジスタの半導体層に適用可能な金属酸化物(以下、酸化物半導体、または酸化物と呼ぶ場合もある。)、およびその成膜方法について説明する。なお、本発明の一態様に係る金属酸化物は、金属酸化物を構成する元素の種類、組み合わせ、組成などによっては、トランジスタの半導体層として用いる場合に限られず、絶縁性材料として用いてもよいし、導電性材料として用いてもよい。

[0051]

金属酸化物は、格子欠陥を有する場合がある。格子欠陥とは、原子空孔及び異種原子などの点欠陥、転位などの線欠陥、結晶粒界などの面欠陥、空隙などの体積欠陥がある。また、格子欠陥の生成の要因として、構成元素の原子数の比率のずれ(構成原子の過不足)、不純物などがある。

[0052]

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成、捕獲などを引き起こす要因となりうる。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

[0053]

金属酸化物を用いたトランジスタは、特に、金属酸化物中のチャネル形成領域に酸素欠損(V_O)および不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥(以下、 V_OH 欠陥と呼ぶ場合がある。)を形成し、キャリアとなる電子を生成する場合がある。このため、金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性(ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性)となりやすい。したがって、金属酸化物中のチャネル形成領域では、酸素欠損および不純物はできる限り低減されていることが好ましい。言い換えると、金属酸化物中のチャネル形成領域は、キャリア濃度が低減され、*i*型化(真性化)または実質的に*i*型化されていることが好ましい。

[0054]

金属酸化物中に存在しやすい格子欠陥の種類、および格子欠陥の存在量は、金属酸化物の構造、金属酸化物の成膜方法などによって異なる。

[0055]

金属酸化物の構造は、単結晶構造と、それ以外の構造(非単結晶の構造)と、に分けられる。非単結晶の構造としては、例えば、CAAC(*c-axis-aligned crystalline*)構造、多結晶(*polycrystalline*)構造、nc(*nanocrystalline*)構造、擬似非晶質(*a-like: amorphous-like*)構造、非晶質構造などがある。*a-like*構造は、nc構造と非晶質構造との間の構造を有する。なお、結晶構造の分類については、後述する。

[0056]

また、*a-like*構造を有する金属酸化物、および非晶質構造を有する金属酸化物は、鬆または低密度領域を有する。すなわち、*a-like*構造を有する金属酸化物、および非晶質構造を有する金属酸化物は、nc構造を有する金属酸化物およびCAAC構造を有する金属酸化物と比べて、結晶性が低い。また、*a-like*構造を有する金属酸化物は、nc構造を有する金属酸化物およ

びC A A C構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、a - l i k e構造を有する金属酸化物、および非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

[0057]

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、C A A C構造を有する金属酸化物、または単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0058]

なお、上記結晶性の高い金属酸化物には、多結晶構造の金属酸化物は含まれない。多結晶構造とは、明確な結晶粒界が確認される結晶構造である。多結晶構造の金属酸化物をトランジスタの半導体層に用いる場合、結晶粒界は再結合中心となり、キャリアが捕獲され、トランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。

[0059]

また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くするとよい。金属酸化物の移動度を高くするには、キャリア（nチャネル型トランジスタの場合は、電子）の伝送を向上させる、または、キャリアの伝送に悪影響を及ぼす散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

[0060]

ここで、チャネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該金属酸化物が有する結晶領域は、複数の層（例えば、第1の層と、第2の層と、第3の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶領域は、層状の結晶構造（層状結晶、層状構造ともいう。）を有する。このとき、当該結晶領域のc軸の向きは、複数の層が積層される方向となる。当該結晶領域を有する金属酸化物には、例えば、単結晶酸化物半導体、後述するC A A C - O Sなどが含まれる。

[0061]

また、上記結晶領域のc軸を、金属酸化物の被形成面または膜表面に対する法線方向に配向することが好ましい。これにより、複数の層は、金属酸化物の被形成面または膜表面に対して、概略平行に配置される。つまり、複数の層のそれぞれは、チャネル長方向に広がる。

[0062]

例えば、上記のような3層の層状の結晶構造は、以下のような構造になる。第1の層は、当該第1の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第2の層は、当該第2の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。また、第3の層は、当該第3の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。

[0063]

上記結晶領域の結晶構造として、例えば、 $YbFe_2O_4$ 型構造、 $Yb_2Fe_3O_7$ 型構造、これら

の変形型構造などがある。

[0064]

上記構成にすることで、金属酸化物の結晶性を向上し、当該金属酸化物の移動度を高くすることができる。よって、当該金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

[0065]

上記金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、インジウムまたは亜鉛の価数と同じ価数を有する金属元素が含まれていることが好ましい。当該金属元素として、例えば、アルミニウム、ガリウム、イットリウムなどがある。また、鉄、コバルト、ニッケル、ランタン、セリウム、ネオジム、マグネシウム、カルシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0066]

ここでは、金属酸化物が、インジウム (In)、元素M、および亜鉛 (Zn) を有する In-M-Zn 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムなどとする。そのほかの元素Mに適用可能な元素としては、鉄、コバルト、ニッケル、ランタン、セリウム、ネオジム、マグネシウム、カルシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0067]

また、微細化または高集積化されたトランジスタを実現するために、トランジスタの半導体層を、凸部を有する構造体上、凹部を有する構造体上、凹凸部を有する構造体上、溝部または開口部の内部などに形成する場合がある。これらに被覆性よく半導体層を形成する方法として、原子層堆積 (ALD: Atomic Layer Deposition) 法、および化学気相成長 (CVD: Chemical Vapor Deposition) 法が挙げられる。

[0068]

ALD法は、プリカーサ分子、あるいはプリカーサに含まれる原子の自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、および低温での成膜が可能、などの効果がある。また、ALD法には、プラズマを利用した成膜方法である、プラズマALD (PEALD: Plasma Enhanced ALD) 法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素、塩素などの元素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素、塩素などの元素を多く含む場合がある。なお、これらの元素の定量は、X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

[0069]

また、ALD法は、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法は、成膜中のプラズマダメージが小さいまたは生じないため、欠陥の少ない膜が得られる。

[0070]

CVD法は、プラズマを利用するプラズマCVD (PECVD: Plasma Enhance

d CVD) 法、熱を利用する熱CVD (Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0071]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0072]

ALD法およびCVD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0073]

ALD法およびCVD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、ALD法およびCVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、ALD法およびCVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送および圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0074]

ALD法またはCVD法を用いて成膜した金属酸化物には、成膜に用いた原料ガスに含まれる元素が混入する場合がある。原料ガスに含まれる元素として、水素、炭素、窒素、塩素などが挙げられる。なお、水素、炭素、窒素、塩素などは、金属酸化物にとっては不純物となりうる。上述したように、金属酸化物は、不純物濃度が高いほど、結晶性が低下する傾向にある。

[0075]

そこで、ALD法またはCVD法を用いて金属酸化物を成膜した後、マイクロ波処理を行うことが好ましい。なお、当該マイクロ波処理は、酸素を含む雰囲気で行うことが好ましい。

[0076]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、RFなどの高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを金属酸化物に作用させることができる。このとき、マイクロ波、RFなどの高周波を金属酸化物に照射することもできる。つまり、金属酸化物に、マイク

ロ波、RFなどの高周波、酸素プラズマなどを作用させることができる。

[0077]

高周波、酸素プラズマなどの作用により、金属酸化物の不純物濃度を低減することができる。例えば、金属酸化物中の水素を水分子として脱離することができる。また、例えば、金属酸化物中の炭素を炭素酸化物（COおよび／またはCO₂）として脱離することができる。また、酸素プラズマで発生した酸素ラジカルを金属酸化物に供給することで、金属酸化物中の酸素欠損、V_OHなどを低減することができる。

[0078]

また、高周波、酸素プラズマなどの作用により、金属酸化物中の原子に、マイクロ波処理の処理温度以上のエネルギーが与えられる。よって、金属酸化物中の金属原子および酸素原子の再配列が促進され、金属酸化物の結晶性を向上させることができる。なお、金属酸化物の、不純物濃度および欠陥（酸素欠損、V_OHなど）の量を低減するほど、金属酸化物の結晶性は向上しやすい傾向がある。つまり、酸素を含む雰囲気でのマイクロ波処理は、金属酸化物中の、不純物濃度および欠陥量の低減、ならびに金属酸化物の結晶性向上をもたらす。

[0079]

以上のように、酸素を含む雰囲気でのマイクロ波処理を行うことで、上記金属酸化物中の、不純物濃度および欠陥の量を低減することができる。さらに、上記金属酸化物中の金属原子および酸素原子の再配列を促進することができる。したがって、上記金属酸化物の結晶性が向上し、CAAC構造を有する金属酸化物を形成することができる。別言すると、上記金属酸化物は、c軸が、当該金属酸化物の被形成面の法線ベクトル、または当該金属酸化物の表面の法線ベクトルに概略平行である結晶領域を有する。

[0080]

上述したように、ALD法は、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。よって、マイクロ波処理が行われた金属酸化物は、被処理物と金属酸化物との界面付近において、c軸が、当該金属酸化物の被形成面の法線ベクトル、または当該金属酸化物の表面の法線ベクトルに概略平行である結晶領域を有する場合がある。なお、被処理物と金属酸化物との界面付近とは、例えば、当該金属酸化物の、被処理物から0 nmより大きく3 nm以下の範囲に位置する領域を指す。

[0081]

なお、上記マイクロ波処理は、ALD法またはCVD法を用いて金属酸化物を成膜した後に行われる場合に限られない。上記マイクロ波処理は、例えば、ALD法またはCVD法を用いた金属酸化物の成膜途中に行われてもよい。

[0082]

ここで、本発明の一態様に係る金属酸化物の成膜方法、ALD法を利用した成膜装置（以下、ALD装置ともいう。）、およびマイクロ波処理装置について説明する。

[0083]

ALD装置は、反応のための第1の原料ガス（前駆体、プリカーサ、または金属プリカーサとも呼ぶ）と第2の原料ガス（反応剤、リアクタント、酸化剤、または非金属プリカーサとも呼ぶ）を交互にチャンバーに導入し、これらの原料ガスの導入を繰り返すことで成膜を行う。なお、原料ガスの導入の切り替えは、例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替

えて行うことができる。また、原料ガス導入の際、窒素 (N_2)、アルゴン (Ar)、ヘリウム (He) などの不活性ガスをキャリアガスとして原料ガスと一緒にチャンバーに導入してもよい。キャリアガスを用いることで、原料ガスの揮発性が低い、あるいは蒸気圧が低い場合でも、原料ガスが配管内部およびバルブ内部に吸着することを抑制し、原料ガスをチャンバーに導入することが可能になる。また、形成される膜の均一性も向上し、好ましい。

[0084]

<金属酸化物の成膜方法>

結晶性の高い金属酸化物を、ALD法およびマイクロ波処理を用いて成膜する方法の一例について説明する。

[0085]

はじめに、ALD法を用いて金属酸化物を成膜する。まず、第1のプリカーサをチャンバーに導入し、基板の表面に第1のプリカーサを吸着させる（以下、当該工程を第1ステップと呼ぶ場合がある。）。ここで、第1のプリカーサが基板の表面に吸着することにより、表面化学反応の自己停止機構が作用し、基板上の第1のプリカーサの層の上にさらに第1のプリカーサが吸着することはない。

[0086]

次に、不活性ガス（アルゴン、ヘリウム、窒素など）などをチャンバーに導入して、余剰な第1のプリカーサ、反応生成物などをチャンバーから排出する（以下、当該工程を第2ステップと呼ぶ場合がある。）。また、不活性ガスをチャンバーに導入する代わりに、真空排気によって、余剰なプリカーサ、反応生成物などをチャンバーから排出してもよい。第2ステップは、パージとも呼ばれる。

[0087]

次に、第1のリアクタント（例えば、酸化剤（オゾン (O_3)、酸素 (O_2)、水 (H_2O)、およびこれらのプラズマ、ラジカル、イオンなど））をチャンバーに導入し、基板の表面に吸着した第1のプリカーサと反応させて、第1のプリカーサの構成分子を基板に吸着させたまま第1のプリカーサに含まれる成分の一部を離脱させる（以下、当該工程を第3ステップと呼ぶ場合がある。）。これにより、第1のプリカーサの一部が酸化されて形成された、第1の酸化物の層が基板の表面に形成される。

[0088]

なお、プラズマALD法を用いる場合には、酸化剤として酸素を常に供給し続けておき、第3ステップでプラズマを発生させてもよい。これにより、第3ステップで、酸素プラズマが形成されて第1のリアクタントとして機能する。この場合、第3ステップ以外で、加熱された酸素と反応しない第1のプリカーサを用いればよい。なお、プラズマの生成には、例えば、周波数が13.56 MHzもしくは60 MHzの高周波、または周波数が2.45 GHzのマイクロ波を用いるとよい。

[0089]

次に、不活性ガスの導入または真空排気によって、余剰な第1のリアクタント、反応生成物などをチャンバーから排出する（以下、当該工程を第4ステップと呼ぶ場合がある。）。

[0090]

次に、第1のプリカーサとは異なる金属元素を有する第2のプリカーサを導入して、第1ステップと同様の工程を行い、第1の酸化物の層の表面に第2のプリカーサを吸着させる。ここで、第2

のプリカーサが第1の酸化物の層に吸着することにより、表面化学反応の自己停止機構が作用し、基板上の第2のプリカーサの層の上にさらに第2のプリカーサが吸着することはない。

[0091]

次に、第2ステップと同様に、不活性ガスの導入または真空排気によって、余剰な第2のプリカーサ、反応生成物などをチャンバーから排出する。

[0092]

次に、第3ステップと同様に、第2のリアクタントをチャンバーに導入する。ここで、第2のリアクタントは、第1のリアクタントと同じものを用いてもよいし、異なるものを用いてもよい。これにより、第2のプリカーサの一部が酸化されて形成された、第2の酸化物の層が第1の酸化物の層の上に形成される。

[0093]

次に、第4ステップと同様に、不活性ガスの導入または真空排気によって、余剰な第2のリアクタント、反応生成物などをチャンバーから排出する。

[0094]

さらに、同様に第1乃至第4ステップを行い、第3のプリカーサおよび第3のリアクタントを用いて、第3の酸化物の層を第2の酸化物の層の上に形成することができる。このように、第1の酸化物の層乃至第3の酸化物の層を形成する工程を繰り返し行うことで、第1のプリカーサが有する金属元素、第2のプリカーサが有する金属元素、および第3のプリカーサが有する金属元素で構成される金属酸化物を形成することができる。つまり、第1ステップ乃至第4ステップを1セットとして、酸化物の層を形成することができ、当該セットを繰り返すことで、金属酸化物を形成することができる。

[0095]

プリカーサおよびリアクタントに含まれる元素のうち、金属酸化物を構成する元素以外の元素は、金属酸化物の不純物となりうる。金属酸化物を構成する元素以外の元素として、水素、炭素、窒素、塩素などが挙げられる。第2ステップ（ページ）および第4ステップによる、余剰なプリカーサ、余剰なリアクタント、反応生成物などのチャンバーからの排出が十分でない場合、金属酸化物中の、水素、炭素、窒素、塩素などの不純物の濃度が高くなる場合がある。上述したように、金属酸化物は、不純物濃度が高いほど、結晶性が低下する傾向にある。

[0096]

そこで、ALD法を用いて金属酸化物を成膜した後に、マイクロ波処理を行うことが好ましい。また、ALD法を用いて金属酸化物を成膜した後に、大気に暴露することなく、連続してマイクロ波処理を行うことがより好ましい。上述したように、マイクロ波処理を行うことで、金属酸化物中の不純物濃度が低減し、かつ、金属酸化物の結晶性が向上する。したがって、層状の結晶構造の金属酸化物、特にCAAC構造の金属酸化物を形成することができる。

[0097]

上記マイクロ波処理は、酸素を含む雰囲気で行うことがより好ましい。酸素を含む雰囲気として、例えば、酸素ガスと、貴ガス（アルゴン、ヘリウム、クリプトンなど）と、を用いて行えばよい。酸素を含む雰囲気として酸素ガスおよびアルゴンガスを用いる場合、酸素ガスの流量およびアルゴンガスの流量の総和に対する、酸素ガスの流量の割合を、酸素流量比（ $O_2 / (O_2 + Ar)$ ）と表記する。酸素流量比（ $O_2 / (O_2 + Ar)$ ）は、0%より大きく100%以下、好ましくは0%よ

り大きく50%以下、より好ましくは10%以上40%以下、さらに好ましくは10%以上30%以下にすればよい。なお、酸素を含む雰囲気として、酸素ガスと、ヘリウムガスまたはクリプトンガスと、を用いる場合も同様に、酸素流量比 ($O_2 / (O_2 + He)$ または $O_2 / (O_2 + Kr)$) は、0%より大きく100%以下、好ましくは0%より大きく50%以下、より好ましくは10%以上40%以下、さらに好ましくは10%以上30%以下にすればよい。

[0098]

また、上記マイクロ波処理は、減圧下で行うことが好ましい。チャンパー内の圧力は、例えば、10Pa以上1000Pa以下、好ましくは300Pa以上700Pa以下とする。

[0099]

なお、上記マイクロ波処理は、ALD法を用いて金属酸化物を成膜した後に行われる場合に限られない。上記マイクロ波処理は、例えば、ALD法を用いて金属酸化物を成膜している途中に行われてもよい。つまり、上記セットを一回または複数回繰り返した後、上記マイクロ波処理を行い、その後、上記セットを一回または複数回繰り返してもよい。なお、ALD法を用いて金属酸化物を成膜している途中に行うマイクロ波処理の回数は、一回でもよいし複数回でもよい。

[0100]

また、ALD法を用いて金属酸化物の成膜を行うチャンパーにて、上記マイクロ波処理を行うことができる場合がある。別言すると、ALD法を用いて金属酸化物の成膜と、マイクロ波処理と、を同じチャンパーで行うことができる場合がある。また、ALD装置が、マイクロ波処理を行う機能を有する場合がある。例えば、プラズマALD法を用いる場合、金属酸化物を成膜している途中、または、金属酸化物を成膜した後に、アルゴンなどの不活性ガスおよび酸素をチャンパーに導入した状態で、マイクロ波を用いてプラズマを発生させてもよい。このとき、酸素プラズマが形成される。また、後述するプラズマ生成装置の条件を適宜設定することで、マイクロ波が金属酸化物に照射されうる。つまり、マイクロ波、酸素プラズマなどを金属酸化物に作用させることができる。これは、上記マイクロ波処理に相当する。なお、プリカーサ（第1のプリカーサ乃至第3のプリカーサの少なくとも一）、または、リアクタント（第1のリアクタント乃至第3のリアクタントの少なくとも一）に、マイクロ波を印加してもよい場合がある。

[0101]

また、第1ステップ乃至第4ステップを基板加熱しながら行ってもよい。例えば、基板温度を200℃以上600℃以下、好ましくは300℃以上プリカーサの分解温度以下にすればよい。なお、異なる種類の複数のプリカーサを用いてALD法による成膜を行う場合は、基板温度を、複数のプリカーサのうち、最も低いプリカーサの分解温度以下にすることが好ましい。これにより、ALD法による成膜中に、使用する複数のプリカーサを、それぞれ分解させずに、対象物（例えば、基板など）に吸着させることができる。このような温度範囲で基板加熱しながら上記の成膜を行うことで、第1ステップ乃至第4ステップの各過程において、プリカーサ、リアクタントなどに含まれる、水素、炭素などの不純物を、金属酸化物中から除去することができる。

[0102]

なお、上記においては、基板上に第1のプリカーサを形成する構成について例示しているがこれに限定されない。例えば、基板上に設けられた絶縁膜（酸素、窒素、シリコン、アルミニウム、ハフニウムなどを有する絶縁膜）、または導電膜（タングステン、タンタル、モリブデン、ジルコニウム、アルミニウム、チタンなどを有する導電膜）上に第1のプリカーサを形成してもよい。また

は、基板上に絶縁膜、導電膜などによって形成された構造物上に第1のプリカーサを形成してもよい。

[0103]

上記金属酸化物の成膜後、および／または、上記マイクロ波処理後に、加熱処理を行ってもよい。当該加熱処理は、上記ALD法による成膜後に、大気にさらさずに連続して行うことが好ましい。当該加熱処理は、100℃以上1200℃以下、好ましくは200℃以上1000℃以下、より好ましくは250℃以上650℃以下、さらに好ましくは300℃以上600℃以下、さらに好ましくは400℃以上550℃以下、さらに好ましくは420℃以上480℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理を行ってもよい。また、加熱処理の温度を高くした場合、金属酸化物が多結晶構造となる場合があるため、金属酸化物が多結晶構造とならない範囲で加熱処理温度を適宜設定すればよい。このように加熱処理を行うことで、金属酸化物に含まれる水素、炭素などの不純物を除去することができる。

[0104]

なお、上記においては、第1の酸化物の層、第2の酸化物の層、および第3の酸化物の層が繰り返し形成される金属酸化物について説明したが、本発明はこれに限られるものではない。例えば、単層、2層、または4層以上の酸化物の層が繰り返し形成される金属酸化物としてもよい。また、上記においては、第1の酸化物、第2の酸化物、第3の酸化物の順番を変えずに繰り返し形成されているが、これに限られるものではない。例えば、第1の酸化物、第2の酸化物、第3の酸化物の順番を入れ替えてもよい。また、膜の途中で、第1の酸化物、第2の酸化物、第3の酸化物の組成を変更してもよい。また、上記においては、第1の酸化物、第2の酸化物、第3の酸化物のように、異なる酸化物の層が隣接するように設けられているが、これに限られるものではない。例えば、第1の酸化物、第1の酸化物、第2の酸化物、第2の酸化物、第3の酸化物、第3の酸化物のように、同じ酸化物の層を連続して設ける構成にしてもよい。

[0105]

また、以降の本明細書の記載において、特段の記載がない限り、リアクタント、または酸化剤としてオゾン、酸素、および／または水を用いる場合、これらは、ガスおよび分子の状態に限らず、プラズマ状態、ラジカル状態、およびイオン状態のものも含むものとする。プラズマ状態、ラジカル状態、またはイオン状態の酸化剤を用いて成膜する場合、後述するラジカルALD装置、またはプラズマALD装置を用いれば良い。

[0106]

プリカーサに含まれる炭素、水素などの不純物を除去するには、当該プリカーサに酸化剤を十分反応させることが好ましい。例えば、酸化剤を導入するパルス時間を長くすればよい。または、酸化剤を複数回導入すればよい。酸化剤を複数回導入する場合、同じ種類の酸化剤を導入してもよいし、異なる種類の酸化剤を導入してもよい。例えば、第1の酸化剤として、水をチャンバーに導入した後、真空排気を行い、第2の酸化剤として水素を含まないオゾンまたは酸素をチャンバーに導入し、真空排気を行ってもよい。

[0107]

なお、上記の説明では、第1の原料ガスをチャンバーに導入してから、第2の原料ガスをチャンバーに導入する例を示したが、本発明はこれに限らない。第2の原料ガスをチャンバーに導入してから、第1の原料ガスをチャンバーに導入してもよい。つまり、初めに第3ステップ、および第4ステップの後に、第1ステップ、第2ステップ、第3ステップ、および第4ステップを行い、以降第1ステップ乃至第4ステップを繰り返し行うことで成膜を行ってもよい。さらに、第3ステップ、および第4ステップを複数回繰り返ししてから、第1ステップ乃至第4ステップを繰り返し行うことで成膜を行ってもよい。

[0108]

このように、第1ステップの前に、第3ステップ、および第4ステップを1回ずつ、または複数回行うことは、チャンバー内の成膜雰囲気制御のため好ましい。例えば、第3のステップで、酸化剤としてオゾンおよび酸素を導入することで、チャンバー内を酸素雰囲気とすることができる。チャンバー内を酸素雰囲気として成膜することで、形成される膜中の酸素濃度を高くでき、好ましい。さらに、当該膜の下地となる絶縁体または酸化物にも酸素を供給できる。このような方法を用いて形成された半導体装置は、良好な特性を有し、高い信頼性を得ることができる。また、例えば、第3ステップで、酸化剤として水を導入することで、被形成面に親水基を形成させることができる。これにより、プリカーサの吸着性をより向上させることができる。

[0109]

また、第1ステップ、および第2ステップの後に、第3ステップにおける第2の原料ガスの導入と、第4ステップにおける真空排気または不活性ガスの導入と、を複数回繰り返し行ってもよい。つまり、第1ステップ、第2ステップ、第3ステップ、第4ステップ、第3ステップ、第4ステップ、と、第3ステップと第4ステップを繰り返し行った後に、第1ステップ、および第2ステップを行ってもよい。

[0110]

例えば、第3ステップで酸化剤としてオゾンおよび酸素を導入し、第4ステップで不活性ガスの導入を行い、この工程を複数回繰り返ししてもよい。また、第3ステップと第4ステップとを繰り返す場合、必ずしも同じ種類の原料ガスの導入を繰り返す必要はない。例えば、1回目の第3ステップで酸化剤として水を用い、2回目以降の第3ステップで酸化剤としてオゾンを用いてもよい。

[0111]

このようにして、チャンバー内で酸化剤の導入と不活性ガスの導入（または真空排気）を短時間で複数回繰り返すことで、基板表面に吸着したプリカーサから、余分な水素原子、炭素原子、塩素原子などをより確実に取り除き、チャンバーの外に排除することができる。また、酸化剤の種類を2種類に増やすことにより、基板表面に吸着したプリカーサから、余分な水素原子などをより多く取り除くことができる。このように、成膜中に水素原子が膜中に取り込まれないようにすることにより形成した膜に含まれる水、水素などを低減することができる。

[0112]

このような方法を用いることにより、TDS分析にて100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、水分子の脱離量が $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $1.0 \times 10^{16} \text{ molecules/cm}^2$ 以下、好ましくは $1.0 \times 10^{13} \text{ molecules/cm}^2$ 以上 $3.0 \times 10^{15} \text{ molecules/cm}^2$ 以下となる膜を形成することができる。

[0113]

ALD法は、熱エネルギーを用いてプリカーサ、およびリアクタントを反応させて行う成膜方法である。プリカーサ、およびリアクタントの反応に必要な温度は、それらの温度特性、蒸気圧、分解温度などによって決まるが、100℃以上600℃以下、好ましくは、200℃以上600℃以下、より好ましくは300℃以上600℃以下である。

[0114]

さらに、上記のプリカーサ、およびリアクタントの反応に加え、第3の原料ガスとして、プラズマ励起されたリアクタントをチャンバーに導入することで処理を行うALD法をプラズマALD法と呼ぶことがある。この場合、第3の原料ガスの導入部には、プラズマ生成装置が設けられる。プラズマの生成には、誘導結合プラズマ（ICP：Inductively Coupled Plasma）、電子サイクロトロン共鳴プラズマ（ECRP：Electron Cyclotron Resonance Plasma）などを用いることができる。またこれに対して、プリカーサ及びリアクタントの反応を熱エネルギーで行うALD法を熱ALD法と呼ぶことがある。

[0115]

プラズマALD法では、第3ステップにおいてプラズマ励起されたリアクタントを導入して成膜を行う。あるいは、第1ステップ乃至第4ステップを繰り返し行うと同時に、プラズマ励起されたリアクタント（第5のリアクタントと呼ぶ）を導入することで、成膜が行われる。この場合、第3ステップで導入されるリアクタントを第4のリアクタントと呼ぶ。プラズマALD法において、第3の原料ガスに用いる第5のリアクタントは、上記酸化剤と同様の材料を用いることができる。すなわち、第5のリアクタントとして、プラズマ励起されたオゾン、酸素、および水を用いることができる。また、第5のリアクタントとして、酸化剤の他に、窒化剤を用いてもよい。窒化剤としては、窒素（N₂）またはアンモニア（NH₃）を用いることができる。また、窒素（N₂）と水素（H₂）の混合ガスを窒化剤として用いることができる。例えば、窒素（N₂）5%、水素（H₂）95%の混合ガスを窒化剤として用いることができる。プラズマ励起された窒素および／またはアンモニアを導入しながら成膜を行うことで、金属窒化膜などの窒化膜を形成することができる。

[0116]

また、第5のリアクタントのキャリアガスとして、アルゴン（Ar）、ヘリウム（He）または窒素（N₂）を用いてもよい。アルゴン、ヘリウム、窒素などのキャリアガスを用いることで、プラズマの放電が容易になり、プラズマ励起された第5のリアクタントが容易に生成されるため、好ましい。なお、プラズマALD法を用いて金属酸化膜などの酸化膜を形成する場合、キャリアガスに窒素を用いると、膜中に窒素が混入し、所望の膜質が得られない場合がある。この場合キャリアガスとして、アルゴンまたはヘリウムを用いることが好ましい。

[0117]

ALD法は、極めて薄い膜を均一な膜厚で成膜することができる。また、凹凸を有する面に対しても、表面被覆率が高い。

[0118]

また、プラズマALD法により成膜することで、熱ALD法に比べてさらに低温での成膜が可能となる。プラズマALD法は、例えば、100℃以下でも成膜速度を低下させずに成膜することができる場合がある。また、プラズマALD法では、酸化剤だけでなく、窒化剤など多くのリアクタントを用いることができるので、酸化物だけでなく、窒化物、フッ化物、金属など多くの種類の膜

を成膜することができる。

[0119]

また、プラズマALD法を行う場合には、ICP、ECRPなどのプラズマ源を基板から離してプラズマを発生させることにより、プラズマダメージを抑えることができる。

[0120]

ここで、層状の結晶構造の金属酸化物が、 $In-M-Zn$ 酸化物である場合の、結晶中の原子配列について、図1A乃至図1Dを用いて説明する。なお、図1B、および図1Dでは、原子を球（丸）で表し、金属原子と酸素原子の結合を線で表している。図1B、および図1Dにおいて、 $In-M-Zn$ 酸化物の結晶構造における c 軸（ $c-axis$ ）方向は、図中の矢印で表す。また、 $In-M-Zn$ 酸化物の結晶構造における $a-b$ 面方向は、図1B、および図1D中の矢印で表す c 軸方向と垂直の方向である。

[0121]

図1Aは、構造体50に形成された $In-M-Zn$ 酸化物を有する酸化物60を示す図である。ここで、構造体とは、トランジスタなどの半導体装置を構成する要素を指す。構造体50として、基板、ゲート電極、ソース電極、ドレイン電極などの導電体、ゲート絶縁膜、層間絶縁膜、下地絶縁膜などの絶縁体、金属酸化物、シリコンなどの半導体、などが含まれる。図1Aでは、構造体50の被成膜面が基板（あるいは基体、図示しない。）に対して平行に配置される場合を示している。

[0122]

図1Bは、図1Aにおける酸化物60の一部である領域53における、結晶中の原子配列を示す拡大図である。ここで、図1Aおよび図1Bに示す酸化物60の、組成は $In:M:Zn=1:1:1$ [原子数比] であり、結晶構造は $YbFe_2O_4$ 型構造とする。また、元素Mは、+3価の金属元素とする。

[0123]

図1Bに示すように、酸化物60が有する結晶は、インジウム（ In ）と酸素（ O ）とを有する層21、元素Mと酸素とを有する層31、亜鉛（ Zn ）と酸素とを有する層41が順に、繰り返し積層されている。層21、層31、および層41はそれぞれ、構造体50の被成膜面に概略平行に配置されている。すなわち、酸化物60の $a-b$ 面は、構造体50の被成膜面に対して概略平行であり、酸化物60の c 軸は、構造体50の被成膜面の法線方向と概略平行である。

[0124]

図1Bに示すように、上記結晶が有する、層21、層31、層41のそれぞれが、一種の金属元素と、酸素とで構成されることで、良好な結晶性が得られ、当該金属酸化物の移動度を高くすることができる。

[0125]

なお、 $In:M:Zn=1:1:1$ [原子数比] の $In-M-Zn$ 酸化物は、図1Bに示す構造に限られるものではない。層21、層31、層41の積層順が変更されてもよい。例えば、層21、層41、層31の順に、繰り返し積層されてもよい。または、層21、層31、層41、層21、層41、層31の順に、繰り返し積層されてもよい。また、層31の元素Mの一部が亜鉛に置換され、層41の亜鉛の一部が元素Mに置換されてもよい。

[0126]

上記においては、組成が $In:M:Zn=1:1:1$ [原子数比] の $In-M-Zn$ 酸化物を形

成する例を示したが、組成式が $\text{In}_{(1+\alpha)}\text{M}_{(1-\alpha)}\text{O}_3(\text{ZnO})_m$ (α は0より大きく1より小さい実数、 m は正の数) で表される、結晶性の $\text{In}-\text{M}-\text{Zn}$ 酸化物は、同様に層状の結晶構造をとることができる。

[0127]

また、酸化物60は、化学組成が異なる複数の酸化物層の積層構造にしてもよい。

[0128]

前述したとおり、ALD法では、アスペクト比の高い構造への成膜が可能であり、構造体の側面に対しても被覆性に優れた成膜が可能である。ALD法を用いることで、被成膜面の向きによらず、容易にCAAC構造などの結晶性の金属酸化物を形成することができる。例えば、構造体が凸型形状、または凹型形状を有しているとしても、構造体の上面、底面、側面、および傾斜を有する面に対して被覆性よく金属酸化物を形成することができる。すなわち、それぞれの被成膜面において、法線方向に概略一定の膜厚を有する金属酸化物を形成することができる。構造体の上面、底面、側面、および傾斜を有する面それぞれに形成された金属酸化物において、最大膜厚に対する最小膜厚の比を0.5以上1以下、好ましくは0.7以上1以下、より好ましくは、0.9以上1以下とすることができる。このとき、金属酸化物が結晶構造を有する場合、当該結晶構造のc軸は、それぞれの被成膜面の法線方向と概略平行な方向に配向する。すなわち、当該c軸は、それぞれの被成膜面に対して垂直に配向する。

[0129]

ここで、図1Cでは、構造体50の被成膜面が基板（あるいは基体、図示しない。）に対して垂直に配置され、構造体50の表面に酸化物64が形成される場合を示している。図1Dは、図1Cにおける酸化物64の一部である領域58の拡大図である。図1Dでは、構造体50の側面にインジウム(In)を含む層21と、元素Mを含む層31と、亜鉛(Zn)を含む層41とが、被成膜面に対して垂直方向に繰り返し積層されている様子を示している。インジウムを含む層21は、構造体50の被成膜面に平行に配置され、その上に元素Mを含む層31が、構造体50の被成膜面に平行に配置され、さらにその上に亜鉛を含む層41が、構造体50の被成膜面に平行に配置されている。すなわち、酸化物60のa-b面は、構造体50の被成膜面に対して概略平行であり、酸化物60のc軸は、構造体50の被成膜面の法線方向と概略平行である。なお、図1Cおよび図1Dにおいては、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比] の $\text{In}-\text{M}-\text{Zn}$ 酸化物の例について示したが、異なる原子数比の酸化物についても同様に、被成膜面が基板に対して垂直に配置された構造体50の表面に形成することができる。

[0130]

なお、原子数比によって、当該金属酸化物の電気伝導特性は大きく異なる。上記のようにALD法を用いて金属酸化物を成膜することにより、各原子数比に応じた、層状の結晶構造を有する金属酸化物を成膜することができる。よって、ALD法を用いることで、求められる特性に応じた金属酸化物を成膜することができる。

[0131]

<成膜装置の構成例>

ここで、ALD法を用いて成膜することが可能な装置の一例として、成膜装置4000の構成について、図2A及び図2Bを用いて説明する。図2Aは、マルチチャンバー型の成膜装置4000の模式図であり、図2Bは、成膜装置4000に用いることができるALD装置の断面図である。

[0132]

成膜装置4000は、搬入搬出室4002と、搬入搬出室4004と、搬送室4006と、成膜室4008と、成膜室4009と、成膜室4010と、搬送アーム4014と、を有する。ここで、搬入搬出室4002、搬入搬出室4004、及び成膜室4008乃至成膜室4010は、搬送室4006とそれぞれ独立に接続されている。これにより、成膜室4008乃至成膜室4010において大気に曝すことなく、連続成膜を行うことができ、膜中に不純物が混入するのを防ぐことができる。また、基板と膜の界面、および各膜の界面の汚染は低減され、清浄な界面が得られる。

[0133]

なお、搬入搬出室4002、搬入搬出室4004、搬送室4006、及び成膜室4008乃至成膜室4010は、水分の付着などを防ぐため、露点が管理された不活性ガス（窒素ガス等）を充填させておくことが好ましく、減圧を維持させることが望ましい。

[0134]

また、成膜室4008乃至成膜室4010には、ALD装置を用いることができる。また、成膜室4008乃至成膜室4010のいずれかにALD装置以外の成膜装置を用いる構成としてもよい。成膜室4008乃至成膜室4010に用いることができる成膜装置としては、例えば、スパッタリング装置、プラズマCVD装置、熱CVD装置、光CVD装置、金属CVD装置、有機金属CVD装置などがある。また、成膜室4008乃至成膜室4010のいずれか1つまたは複数に、成膜装置以外の機能を有する装置を設けても構わない。当該装置としては、例えば、加熱装置（代表的には、真空加熱装置）、プラズマ発生装置（代表的には、マイクロ波プラズマ発生装置）などが挙げられる。

[0135]

例えば、成膜室4008をALD装置とし、成膜室4009をPECVD装置とし、成膜室4010を金属CVD装置とした場合、成膜室4008で金属酸化物、成膜室4009でゲート絶縁膜として機能する絶縁膜、成膜室4010でゲート電極として機能する導電膜を形成することができる。このとき、金属酸化物と、その上の絶縁膜と、その上の導電膜を、大気に曝すことなく、連続で形成することができる。

[0136]

また、成膜装置4000は、搬入搬出室4002、搬入搬出室4004、成膜室4008乃至成膜室4010を有する構成としているが、本発明はこれに限られるものではない。成膜装置4000の成膜室を4個以上にする構成としてもよい。また、成膜装置4000は枚葉式としてもよいし、複数の基板を一括で成膜するバッチ式にしてもよい。

[0137]

<ALD装置>

次に、成膜装置4000に用いることができるALD装置の構成について、図2Bを用いて説明する。ALD装置は、成膜室（チャンバー4020）と、原料供給部4021（原料供給部4021a、および原料供給部4021b）と、原料供給部4031と、導入量制御器である高速バルブ4022a、および高速バルブ4022bと、原料導入口4023（原料導入口4023a、および原料導入口4023b）と、原料導入口4033と、原料排出口4024と、排気装置4025を有する。チャンバー4020内に設置される原料導入口4023a、原料導入口4023b、および原料導入口4033は供給管およびバルブを介して原料供給部4021a、原料供給部402

1 b、および原料供給部4031とそれぞれ接続されており、原料排出口4024は、排出管、バルブおよび圧力調整器を介して排気装置4025と接続されている。

[0138]

また、図2Bに示すようにチャンバー4020にプラズマ発生装置4028を接続することにより、熱ALD法に加えて、プラズマALD法で成膜を行うことができる。プラズマ発生装置4028は、高周波電源に接続されたコイル4029を用いるICP型のプラズマ発生装置とするのが好ましい。高周波電源は、10kHz以上100MHz以下、好ましくは1MHz以上60MHz以下、より好ましくは10MHz以上60MHz以下の周波数を持った電力を出力することができる。例えば、13.56MHz、60MHzの周波数を持った電力を出力することができる。プラズマALD法では、低温でも成膜レートを落とさず成膜ができるので、成膜効率の低い枚葉式の成膜装置で用いるとよい。

[0139]

チャンバー内部には基板ホルダ4026があり、その基板ホルダ4026上に基板4030を配置する。基板ホルダ4026には、一定の電位、または高周波が印加される機構が設けられていてもよい。あるいは、基板ホルダ4026は、フローティングでもよいし、接地されていてもよい。また、チャンバー外壁には、ヒータ4027が設けられており、チャンバー4020内部、基板ホルダ4026、および基板4030表面などの温度を制御することができる。ヒータ4027は、基板4030表面の温度を100℃以上500℃以下、好ましくは、200℃以上400℃以下に制御できることが好ましく、ヒータ4027自体の温度は100℃以上500℃以下に設定できることが好ましい。

[0140]

原料供給部4021a、原料供給部4021b、および原料供給部4031では、気化器、加熱手段などによって固体の原料または液体の原料から原料ガスを形成する。または、原料供給部4021a、原料供給部4021b、および原料供給部4031は、気体の原料ガスを供給する構成としてもよい。

[0141]

また、図2Bでは、原料供給部4021を2つ、原料供給部4031を1つ設けている例を示しているが本実施の形態はこれに限定されない。原料供給部4021を1つ、または3つ以上設けてもよい。また原料供給部4031を2つ以上設けてもよい。また、高速バルブ4022a、高速バルブ4022bは時間で精密に制御することができ、原料供給部4021aから供給される原料ガスと原料供給部4021bから供給される原料ガスの供給を制御する構成となっている。

[0142]

図2Bに示す成膜装置では、基板4030を基板ホルダ4026上に搬入し、チャンバー4020を密閉状態とした後、ヒータ4027により基板4030を所望の温度（例えば、100℃以上500℃以下、好ましくは200℃以上400℃以下）とし、原料供給部4021aから供給される原料ガスの供給と、排気装置4025による排気と、原料供給部4031から供給される原料ガスの供給と、排気装置4025による排気とを繰り返すことで薄膜を基板表面に形成する。また、該薄膜の形成において、さらに原料供給部4021bから供給される原料ガスの供給と、排気装置4025による排気を行ってもよい。ヒータ4027の温度は、形成される膜種、原料ガス、所望の膜質、基板、該基板に設けられている膜、素子の耐熱性などに応じて適宜決定すればよい。例え

ば、ヒータ4027の温度を200℃以上300℃以下に設定して成膜してもよいし、300℃以上500℃以下に設定して成膜してもよい。

[0143]

ヒータ4027を用いて基板4030を加熱しながら成膜することで、後工程に必要な基板4030の加熱処理を省略することができる。すなわち、ヒータ4027が設けられたチャンバー4020、または成膜装置4000を用いることで、基板4030上の膜の形成と、基板4030の加熱処理を兼ねることができる。

[0144]

図2Bに示す成膜装置では、原料供給部4021、および原料供給部4031で用いる原料（揮発性有機金属化合物など）を適宜選択することにより、金属酸化物を形成することができる。金属酸化物として、インジウム、ガリウム、および亜鉛を含むIn-Ga-Zn酸化物を形成する場合、原料供給部4031以外に、少なくとも3つの原料供給部4021が設けられた成膜装置を用いることが好ましい。すなわち、第1の原料供給部4021からインジウムを含むプリカーサが供給され、第2の原料供給部4021からガリウムを含むプリカーサが供給され、第3の原料供給部4021から亜鉛を含むプリカーサが供給されることが好ましい。金属酸化物の形成に、ガリウムおよび亜鉛を含むプリカーサを用いる場合、原料供給部4021は、少なくとも2つ設けられればよい。

[0145]

インジウムを含むプリカーサとして、トリエチルインジウム、トリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオン酸）インジウム、シクロペンタジエニルインジウム、塩化インジウム（III）などを用いることができる。また、ガリウムを含むプリカーサとして、トリメチルガリウム、トリエチルガリウム、三塩化ガリウム、トリス（ジメチルアミド）ガリウム、ガリウム（III）アセチルアセトナート、トリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオン酸）ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、塩化ガリウム（III）などを用いることができる。また、亜鉛を含むプリカーサとして、ジメチル亜鉛、ジエチル亜鉛、ビス（2，2，6，6-テトラメチル-3，5-ヘプタンジオン酸）亜鉛、塩化亜鉛などを用いることができる。

[0146]

また、原料供給部4031からは、リアクタントが供給される。リアクタントとして、オゾン、酸素、水の少なくとも1つを含む酸化剤を用いることができる。

[0147]

また、原料供給部4021a、原料供給部4021b、および原料供給部4031で用いる原料（揮発性有機金属化合物など）を適宜選択することにより、ハフニウム、アルミニウム、タンタル、ジルコニウム等から選択された一種以上の元素を含む酸化物（複合酸化物も含む）を含んで構成される絶縁層を成膜することができる。具体的には、酸化ハフニウムを含んで構成される絶縁層、酸化アルミニウムを含んで構成される絶縁層、ハフニウムシリケートを含んで構成される絶縁層、またはアルミニウムシリケートを含んで構成される絶縁層などを成膜することができる。また、原料供給部4021a、原料供給部4021b、および原料供給部4031で用いる原料（揮発性有機金属化合物など）を適宜選択することにより、タングステン層、チタン層などの金属層、または、窒化チタン層などの窒化物層などの薄膜を成膜することもできる。

[0148]

例えば、ALD装置により酸化ハフニウム層を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド、テトラキスジメチルアミドハフニウム（TDMAHf）などのハフニウムアミド）を気化させた第1の原料ガスと、酸化剤としてオゾン（ O_3 ）および酸素（ O_2 ）の第2の原料ガスを用いる。この場合、原料供給部4021aから供給する第1の原料ガスがTDMAHfであり、原料供給部4031から供給する第2の原料ガスがオゾンおよび酸素となる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。また、第2の原料ガスとして、水を用いることができる。

[0149]

ALD装置により酸化アルミニウム層を形成する場合には、溶媒とアルミニウム前駆体化合物（TMA：トリメチルアルミニウムなど）を含む液体を気化させた第1の原料ガスと、酸化剤としてオゾン（ O_3 ）および酸素（ O_2 ）を含む第2の原料ガスを用いる。この場合、原料供給部4021aから供給する第1の原料ガスがTMAであり、原料供給部4031から供給する第2の原料ガスがオゾンおよび酸素となる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオナート）などがある。また、第2の原料ガスとして、水を用いることができる。

[0150]

図3A乃至図3Cは、成膜装置4000に用いることができるALD装置の異なる構成について説明する。なお、図2Bに示したALD装置と同様の構成、およびその機能については詳細な説明を省略する場合がある。

[0151]

図3AはプラズマALD装置の一態様を示す模式図である。プラズマALD装置4100は、反応室4120と反応室4120上部に、プラズマ生成室4111が設けられている。反応室4120は、チャンバーと呼ぶことができる。または、反応室4120とプラズマ生成室4111を合わせてチャンバーと呼ぶことができる。反応室4120は、原料導入口4123と、原料排出口4124とを有し、プラズマ生成室4111は、原料導入口4133を有する。また、プラズマ生成装置4128によりRF等の高周波、またはマイクロ波をプラズマ生成室4111に導入されたガスに印加し、プラズマ生成室4111内にプラズマ4131を生成することができる。マイクロ波を用いてプラズマ4131を生成する場合、代表的には周波数2.45GHzのマイクロ波が用いられる。このようなマイクロ波を用いて生成されたプラズマをECRPと呼ぶ場合がある。また、反応室4120は、基板ホルダ4126を有し、その上に基板4130が配置される。原料導入口4123から導入された原料ガスは、反応室4120に設けられたヒータからの熱により分解され、基板4130上に堆積する。また、原料導入口4133から導入された原料ガスは、プラズマ生成装置4128によりプラズマ状態となる。プラズマ状態となった原料ガスは、基板4130表面に到達するまでに電子または他の分子と再結合し、ラジカル状態となり基板4130に到達する。このように、ラジカルを利用して成膜を行うALD装置を、ラジカルALD（Radical-Enhanced ALD）装置と呼ぶ場合もある。また、プラズマALD装置4100では、プラズマ生成室4111を反応室4120の上部に設ける構成を示しているが、本実施の形態はこれに限定されない。プラズマ生成室4111を反応室4120の側面に隣接して設けてもよい。

[0152]

図3BはプラズマALD装置の一態様を示す模式図である。プラズマALD装置4200は、チャンバー4220を有している。チャンバー4220は、電極4213、原料排出口4224、基板ホルダ4226を有し、その上に基板4230が配置される。電極4213は、原料導入口4223と、導入された原料ガスをチャンバー4220内に供給するシャワーヘッド4214を有している。また、電極4213には、コンデンサ4217を介して高周波を印加できる電源4215が接続されている。基板ホルダ4226には、一定の電位、または高周波が印加される機構が設けられていてもよい。あるいは、基板ホルダ4226は、フローティングでもよいし、接地されていてもよい。電極4213、および基板ホルダ4226は、それぞれプラズマ4231を生成するための上部電極、および下部電極として機能する。原料導入口4223から導入された原料ガスは、チャンバー4220に設けられたヒータからの熱により分解され、基板4230上に堆積する。または、原料導入口4223から導入された原料ガスは、電極4213、および基板ホルダ4226の間でプラズマ状態となる。プラズマ状態となった原料ガスは、プラズマ4231と基板4230の間に生じる電位差（イオンシースともいう）により基板4230に入射する。

[0153]

図3Cは、図3Bとは異なるプラズマALD装置の一態様を示す模式図である。プラズマALD装置4300は、チャンバー4320を有している。チャンバー4320は、電極4313、原料排出口4324、基板ホルダ4326を有し、その上に基板4330が配置される。電極4313は、原料導入口4323と、導入された原料ガスをチャンバー4320内に供給するシャワーヘッド4314を有している。また、電極4313には、コンデンサ4317を介して高周波を印加できる電源4315が接続されている。基板ホルダ4326には、一定の電位、または高周波が印加される機構が設けられていてもよい。あるいは、基板ホルダ4326は、フローティングでもよいし、接地されていてもよい。電極4313、および基板ホルダ4326は、それぞれプラズマ4331を生成するための上部電極、および下部電極として機能する。プラズマALD装置4300は、電極4313と基板ホルダ4326の間に、コンデンサ4322を介して高周波を印加できる電源4321が接続されたメッシュ4319を有している点で、プラズマALD装置4200と異なる。メッシュ4319を設けることで、基板4130からプラズマ4231を離すことができる。原料導入口4323から導入された原料ガスは、チャンバー4320に設けられたヒータからの熱により分解され、基板4330上に堆積する。または、原料導入口4323から導入された原料ガスは、電極4313、および基板ホルダ4326の間でプラズマ状態となる。プラズマ状態となった原料ガスは、メッシュ4319により電荷が除去され、ラジカルなどの電氣的に中性な状態で基板4130に到達する。このため、イオンの入射およびプラズマによる損傷が抑制された成膜を行うことができる。

[0154]

<マイクロ波処理装置>

以下では、上記絶縁膜の改質方法、および後述する半導体装置の作製方法に用いることができる、マイクロ波処理装置について説明する。

[0155]

まずは、半導体装置などの製造時に不純物の混入が少ない製造装置の構成について図4乃至図7を用いて説明する。

[0156]

図4は、枚葉式マルチチャンバーの製造装置2700の上面図を模式的に示している。製造装置2700は、基板を収容するカセットポート2761と、基板のアライメントを行うアライメントポート2762と、を備える大気側基板供給室2701と、大気側基板供給室2701から、基板を搬送する大気側基板搬送室2702と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室2703aと、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室2703bと、真空中の基板の搬送を行う搬送室2704と、チャンバー2706aと、チャンバー2706bと、チャンバー2706cと、チャンバー2706dと、を有する。

[0157]

また、大気側基板搬送室2702は、ロードロック室2703aおよびアンロードロック室2703bと接続され、ロードロック室2703aおよびアンロードロック室2703bは、搬送室2704と接続され、搬送室2704は、チャンバー2706a、チャンバー2706b、チャンバー2706cおよびチャンバー2706dと接続する。

[0158]

なお、各室の接続部にはゲートバルブGVが設けられており、大気側基板供給室2701と、大気側基板搬送室2702を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室2702には搬送ロボット2763aが設けられており、搬送室2704には搬送ロボット2763bが設けられている。搬送ロボット2763aおよび搬送ロボット2763bによって、製造装置2700内で基板を搬送することができる。

[0159]

搬送室2704および各チャンバーの背圧（全圧）は、例えば、 1×10^{-4} Pa以下、好ましくは 3×10^{-5} Pa以下、さらに好ましくは 1×10^{-5} Pa以下とする。また、搬送室2704および各チャンバーの質量電荷比（ m/z ）が18である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバーの m/z が28である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバーの m/z が44である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。

[0160]

なお、搬送室2704および各チャンバー内の全圧および分圧は、電離真空計、質量分析計などを用いて測定することができる。

[0161]

また、搬送室2704および各チャンバーは、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室2704のリークレートは、 1×10^0 Pa/分以下、好ましくは 5×10^{-1} Pa/分以下とする。また、各チャンバーのリークレートは、 1×10^{-1} Pa/分以下、好ましくは 5×10^{-2} Pa/分以下とする。

[0162]

なお、リークレートに関しては、電離真空計、質量分析計などを用いて測定した全圧および分圧

から導出すればよい。例えば、ターボ分子ポンプなどの真空ポンプで真空引きを開始してから10分経過後の全圧と、バルブを閉じてから10分経過後の全圧と、から導出するとよい。なお、上記真空引きを開始してから10分経過後の全圧は、当該全圧を複数回測定した場合の平均値とするとよい。

[0163]

リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴、シール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れ、または内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。

[0164]

例えば、搬送室2704および各チャンバーの開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットはOリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

[0165]

また、製造装置2700を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の不純物を含む放出ガスの少ない金属を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておく、放出ガスを低減できる。

[0166]

または、前述の製造装置2700の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

[0167]

製造装置2700の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

[0168]

搬送室2704および各チャンバーに存在する吸着物は、内壁などに吸着しているために搬送室2704および各チャンバーの圧力に影響しないが、搬送室2704および各チャンバーを排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないものの、排気能力の高いポンプを用いて、搬送室2704および各チャンバーに存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室2704および各チャンバーをベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100℃以上450℃以下で行えばよい。このとき、不活性ガスを搬送室2704および各チャンバーに導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガス

をベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして貴ガスを用いると好ましい。

[0169]

または、加熱した貴ガスなどの不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を高め、一定時間経過後に再び搬送室2704および各チャンバーを排気する処理を行うと好ましい。加熱したガスの導入により搬送室2704および各チャンバー内の吸着物を脱離させることができ、搬送室2704および各チャンバー内に存在する不純物を低減することができる。なお、この処理は2回以上30回以下、好ましくは5回以上15回以下の範囲で繰り返行うと効果的である。具体的には、温度が40℃以上400℃以下、好ましくは50℃以上200℃以下である不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を0.1Pa以上10kPa以下、好ましくは1Pa以上1kPa以下、さらに好ましくは5Pa以上100Pa以下とし、圧力を保つ期間を1分以上300分以下、好ましくは5分以上120分以下とすればよい。その後、搬送室2704および各チャンバーを5分以上300分以下、好ましくは10分以上120分以下の期間排気する。

[0170]

次に、チャンバー2706bおよびチャンバー2706cについて図5に示す断面模式図を用いて説明する。

[0171]

チャンバー2706bおよびチャンバー2706cは、例えば、被処理物にマイクロ波処理を行うことが可能なチャンバーである。なお、チャンバー2706bと、チャンバー2706cと、はマイクロ波処理を行う際の雰囲気異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

[0172]

チャンバー2706bおよびチャンバー2706cは、スロットアンテナ板2808と、誘電体板2809と、基板ホルダ2812と、排気口2819と、を有する。また、チャンバー2706bおよびチャンバー2706cの外などには、ガス供給源2801と、バルブ2802と、高周波発生器2803と、導波管2804と、モード変換器2805と、ガス管2806と、導波管2807と、マッチングボックス2815と、高周波電源2816と、真空ポンプ2817と、バルブ2818と、が設けられる。

[0173]

高周波発生器2803は、導波管2804を介してモード変換器2805と接続している。モード変換器2805は、導波管2807を介してスロットアンテナ板2808に接続している。スロットアンテナ板2808は、誘電体板2809と接して配置される。また、ガス供給源2801は、バルブ2802を介してモード変換器2805に接続している。そして、モード変換器2805、導波管2807および誘電体板2809を通るガス管2806によって、チャンバー2706bおよびチャンバー2706cにガスが送られる。また、真空ポンプ2817は、バルブ2818および排気口2819を介して、チャンバー2706bおよびチャンバー2706cからガスなどを排気する機能を有する。また、高周波電源2816は、マッチングボックス2815を介して基板ホルダ2812に接続している。

[0174]

基板ホルダ 2812 は、基板 2811 を保持する機能を有する。例えば、基板 2811 を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源 2816 から電力を供給される電極としての機能を有する。また、内部に加熱機構 2813 を有し、基板 2811 を加熱する機能を有する。

[0175]

真空ポンプ 2817 としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ 2817 に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

[0176]

また、加熱機構 2813 としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすればよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) または LRTA (Lamp Rapid Thermal Annealing) などの RTA (Rapid Thermal Annealing) を用いることができる。GRTA は、高温のガスを用いて加熱処理を行う。ガスとしては、不活性ガスが用いられる。

[0177]

また、ガス供給源 2801 は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が -80°C 以下、好ましくは -100°C 以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および貴ガス（アルゴンガスなど）を用いればよい。

[0178]

誘電体板 2809 としては、例えば、酸化シリコン（石英）、酸化アルミニウム（アルミナ）または酸化イットリウム（イットリア）などを用いればよい。また、誘電体板 2809 の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板 2809 は、後述する高密度プラズマ 2810 の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

[0179]

高周波発生器 2803 では、例えば、 0.3GHz 以上 3.0GHz 以下、 0.7GHz 以上 1.1GHz 以下、または 2.2GHz 以上 2.8GHz 以下のマイクロ波を発生させる機能を有する。高周波発生器 2803 で発生させたマイクロ波は、導波管 2804 を介してモード変換器 2805 に伝わる。モード変換器 2805 では、TE (Transverse Electric) モードとして伝わったマイクロ波が TEM (Transverse Electromagnetic) モードに変換される。そして、マイクロ波は、導波管 2807 を介してスロットアンテナ板 2808 に伝わる。スロットアンテナ板 2808 は、複数のスロット孔が設けられており、マイクロ波は該スロット孔および誘電体板 2809 を通過する。そして、誘電体板 2809 の下方に電界を生じさせ、高密度プラズマ 2810 を生成することができる。高密度プラズマ 2810 には、ガス供給源 2801 から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルなどが存在する。

[0180]

このとき、基板2811が高密度プラズマ2810で生成されたイオンおよびラジカルによって、基板2811上の膜などを改質することができる。なお、高周波電源2816を用いて、基板2811側にバイアスを印加すると好ましい場合がある。高周波電源2816には、例えば、13.56MHz、27.12MHzなどの周波数のRF(Radio Frequency)電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ2810中のイオンを基板2811上の膜などの開口部の奥まで効率よく到達させることができる。

[0181]

例えば、チャンバー2706bまたはチャンバー2706cで、ガス供給源2801から酸素を導入することで高密度プラズマ2810を用いた酸素ラジカル処理を行うことができる。

[0182]

次に、チャンバー2706aおよびチャンバー2706dについて図6に示す断面模式図を用いて説明する。

[0183]

チャンバー2706aおよびチャンバー2706dは、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー2706aと、チャンバー2706dと、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

[0184]

チャンバー2706aおよびチャンバー2706dは、一または複数のランプ2820と、基板ホルダ2825と、ガス導入口2823と、排気口2830と、を有する。また、チャンバー2706aおよびチャンバー2706dの外などには、ガス供給源2821と、バルブ2822と、真空ポンプ2828と、バルブ2829と、が設けられる。

[0185]

ガス供給源2821は、バルブ2822を介してガス導入口2823に接続している。真空ポンプ2828は、バルブ2829を介して排気口2830に接続している。ランプ2820は、基板ホルダ2825と向かい合って配置されている。基板ホルダ2825は、基板2824を保持する機能を有する。また、基板ホルダ2825は、内部に加熱機構2826を有し、基板2824を加熱する機能を有する。

[0186]

ランプ2820としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長10nm以上2500nm以下、500nm以上2000nm以下、または40nm以上340nm以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

[0187]

例えば、ランプ2820としては、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

[0188]

例えば、ランプ2820から放射される電磁波は、その一部または全部が基板2824に吸収さ

れることで基板2824上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板2824を加熱しながら行くと、効率よく、欠陥の生成もしくは低減、または不純物の除去などができる。

[0189]

または、例えば、ランプ2820から放射される電磁波によって、基板ホルダ2825を発熱させ、基板2824を加熱してもよい。その場合、基板ホルダ2825の内部に加熱機構2826を有さなくてもよい。

[0190]

真空ポンプ2828は、真空ポンプ2817についての記載を参照する。また、加熱機構2826は、加熱機構2813についての記載を参照する。また、ガス供給源2821は、ガス供給源2801についての記載を参照する。

[0191]

本実施の形態に用いることができるマイクロ波処理装置は、上記に限らない。図7に示すマイクロ波処理装置2900を用いることができる。マイクロ波処理装置2900は、石英管2901、排気口2819、ガス供給源2801、バルブ2802、高周波発生器2803、導波管2804、ガス管2806、真空ポンプ2817、およびバルブ2818を有する。また、マイクロ波処理装置2900は、石英管2901内に、複数の基板2811（2811__1乃至2811__n、nは2以上の整数）を保持する基板ホルダ2902を有する。また、マイクロ波処理装置2900は、石英管2901の外側に、加熱手段2903を有していてもよい。

[0192]

高周波発生器2803で発生させたマイクロ波は、導波管2804を介して、石英管2901内に設けられた基板に照射される。真空ポンプ2817は、バルブ2818を介して排気口2819と接続されており、石英管2901内部の圧力を調整することができる。また、ガス供給源2801は、バルブ2802を介して、ガス管2806に接続されており、石英管2901内に所望のガスを導入することができる。また、加熱手段2903により、石英管2901内の基板2811を、所望の温度に加熱することができる。または、加熱手段2903により、ガス供給源2801から供給されるガスを加熱してもよい。マイクロ波処理装置2900により、基板2811に対して、加熱処理と、マイクロ波処理を同時に行うことができる。また、基板2811を加熱した後に、マイクロ波処理を行うことができる。また、基板2811に対してマイクロ波処理を行った後に、加熱処理を行うことができる。

[0193]

基板2811__1乃至基板2811__nは、全て半導体装置、または記憶装置を形成する処理基板でもよいし、一部の基板をダミー基板としてもよい。例えば、基板2811__1、および基板2811__nをダミー基板とし、基板2811__2乃至基板2811__n-1を処理基板としてもよい。また、基板2811__1、基板2811__2、基板2811__n-1、および基板2811__nをダミー基板とし、基板2811__3乃至基板2811__n-2を処理基板としてもよい。ダミー基板を用いることで、マイクロ波処理、または加熱処理の際、複数の処理基板が均一に処理され、処理基板間のばらつきを低減できるため好ましい。例えば、高周波発生器2803、および導波管2804に最も近い処理基板上にダミー基板を配置することで、該処理基板が直接マイクロ波に曝されることを抑制できるため、好ましい。

[0194]

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能となる。

[0195]

なお、上述した、被処理物にマイクロ波処理を行う機能を有する装置、または、被処理物に電子の照射を行う機能を有する装置を、図2Aに示す成膜室4008乃至成膜室4010のいずれか一つに設けてもよい。このとき、図2Aに示す成膜装置4000を用いることで、ALD法による金属酸化物の成膜後に、大気に暴露することなく、連続してマイクロ波処理を行うことができる。このような処理を行うことで、金属酸化物上に大気環境からの不純物または水分が付着することを防ぐことができる。

[0196]

<成膜シーケンス>

次に、図8Aおよび図8Bを用いて、図2Bに示すALD装置を用いた金属酸化物の成膜シーケンスについて、説明する。図8Aおよび図8Bにおいて、第1の原料ガス乃至第4の原料ガスの導入をそれぞれONで示し、原料ガスが導入されていない期間をOFFで示している。

[0197]

図8Aに、図2Bに示すALD装置を用いた成膜シーケンスを示す。まず、チャンバー4020内の基板ホルダ4026に基板4030をセットする(ステップS101)。次に、ヒータ4027の温度調節を行う(ステップS102)。次に、基板4030の温度が基板面内で一樣になるように基板4030を基板ホルダ4026上で保持する(ステップS103)。次に、上述の第1ステップ乃至第4ステップに従って、金属酸化物の成膜を行う(ステップS104)。なお、基板4030のセット(ステップS101)後に、ヒータ4027の温度調節が不要な場合はステップS102を省略してもよい。

[0198]

ステップS104においては、チャンバー4020に第1の原料ガス(プリカーサを有する原料ガス)、および第2の原料ガス(リアクタントを有する原料ガス)を交互に導入し、基板4030上に成膜を行う。第1の原料ガス、および第2の原料ガスの導入は、それぞれパルス状に行われる。第1の原料ガス、および第2の原料ガスが、いずれも導入されていない期間では、チャンバー4020内がパージされている。ALD法による成膜は、第1の原料ガスの導入(上記第1ステップ)、第1の原料ガスのパージ(上記第2ステップ)、第2の原料ガスの導入(上記第3ステップ)、第2の原料ガスのパージ(上記第4ステップ)を1サイクル(1 cycle)とし、これを繰り返すことで、所望の膜厚を有する膜が形成される。

[0199]

また、ステップS103とステップS104の間に、チャンバー4020内部にリアクタントを有する第2の原料ガスを導入してもよい。第2の原料ガスとして、酸化剤として機能する、オゾン(O_3)、酸素(O_2)、および水(H_2O)から選ばれた一、または複数を導入するのが好ましい。第2の原料ガスとして、水を導入することで、基板4030上に親水基を形成することができるので、プリカーサの吸着性をより向上させることができる。第2の原料ガスとして、オゾンおよび酸素を導入することで、チャンバー内を酸素雰囲気にし、基板4030に形成された下地絶縁膜などに酸素を供給することができる。これにより、当該下地絶縁膜上に形成される金属酸化物膜に酸素

を供給し、膜中酸素濃度を増やすことができる。このとき、第2の原料ガスは、ステップS104に示す方法と同様にパルス状に導入されることが好ましいが、本発明はこれに限らない。第2の原料ガスは、連続的に導入されてもよい。第2の原料ガスが導入されていない期間では、チャンバー4020内を排気する。

[0200]

上記の第1の原料ガスを用いた1サイクルで第1の酸化物層を形成し、第1の原料ガスとは異なる第3の原料ガスを用いた1サイクルで第2の酸化物層を形成し、第1の原料ガスとは異なる第4の原料ガスを用いた1サイクルで第3の酸化物層を形成することで、複数の異なる酸化物層を有する、層状の結晶性酸化物を成膜することができる。以下では、一例として、 $In-M-Zn$ 酸化物の成膜過程に対応させた成膜シーケンスを、図8Bを用いて説明する。

[0201]

図8Bは、プリカーサを有する第1の原料ガス乃至第4の原料ガスを用いて成膜する例について、成膜シーケンスのステップS104を示す。なお、ステップS101乃至ステップS103については、上記と同様に行えばよい。ここで、第1の原料ガスはインジウムを有するプリカーサを含み、第3の原料ガスは元素M（Mはガリウム、アルミニウム、およびイットリウムのいずれかまたは複数）を有するプリカーサを含み、第4の原料ガスは亜鉛を有するプリカーサを含むものとする。また、第2の原料ガスは、オゾン、酸素、および水から選ばれた一、または複数を含むものとする。なお、そのほかの元素Mに適用可能な元素としては、鉄、コバルト、ニッケル、ランタン、セリウム、ネオジム、マグネシウム、カルシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0202]

図8Bに示すように、まず、第1の原料ガスを導入し、インジウムを有するプリカーサを基板4030上に吸着させる。それから、第1の原料ガスの導入を停止し、チャンバー内の余剰な第1の原料ガスをパージする。

[0203]

次に、第2の原料ガスを導入し、吸着したインジウムを有するプリカーサと酸化剤を反応させて、インジウム酸化物の層を形成する。それから、第2の原料ガスの導入を停止し、チャンバー内の余剰な第2の原料ガスをパージする。

[0204]

次に、第3の原料ガスを導入し、元素Mを有するプリカーサをインジウム酸化物の層の上に吸着させる。それから、第3の原料ガスの導入を停止し、チャンバー内の余剰な第3の原料ガスをパージする。

[0205]

次に、第2の原料ガスを導入し、吸着した元素Mを有するプリカーサと酸化剤を反応させて、元素Mの酸化物の層を形成する。それから、第2の原料ガスの導入を停止し、チャンバー内の余剰な第2の原料ガスをパージする。

[0206]

次に、第4の原料ガスを導入し、亜鉛を有するプリカーサを元素Mの酸化物の層の上に吸着させる。それから、第4の原料ガスの導入を停止し、チャンバー内の余剰な第4の原料ガスをパージする。

[0207]

次に、第2の原料ガスを導入し、吸着した亜鉛を有するプリカーサと酸化剤を反応させて、亜鉛酸化物の層を形成する。それから、第2の原料ガスの導入を停止し、チャンバー内の余剰な第2の原料ガスをパージする。さらに上記の方法を用いて、亜鉛酸化物の上にインジウムを有するプリカーサを吸着させる。

[0208]

以上の、インジウム酸化物、元素Mの酸化物、および亜鉛酸化物を形成する工程を1サイクルとして、サイクルを繰り返すことで、所望の膜厚の $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] の $I_n - M - Z_n$ 酸化物を形成することができる。

[0209]

なお、第1の原料ガス乃至第4の原料ガスの導入は、それぞれパルス状に行われる。チャンバー4020に第1の原料ガス、第3の原料ガス、および第4の原料ガスを導入するパルス時間は、0.05秒以上1秒以下、好ましくは、0.1秒以上0.5秒以下とする。また、第1の原料ガス、第3の原料ガス、および第4の原料ガスをチャンバー4020から排気する時間は、0.1秒以上15秒以下、好ましくは、0.5秒以上10秒以下とする。チャンバー4020に第2の原料ガスを導入するパルス時間は、0.05秒以上30秒以下、好ましくは、0.1秒以上15秒以下とする。また、第2の原料ガスをチャンバー4020から排気する時間は、0.1秒以上15秒以下、好ましくは、0.1秒以上5秒以下とする。

[0210]

なお、図8Bに示すシーケンスにおいて、第1の原料ガス、第3の原料ガス、および第4の原料ガスの導入順序は、これに限定されない。例えば、亜鉛を有するプリカーサを含む第4のガスを最初に導入してもよい。酸化亜鉛は、酸化インジウムおよび元素Mの酸化物よりも結晶構造を形成しやすいので、最下層に安定な酸化亜鉛の結晶を形成することができる。これにより、酸化亜鉛の上に、インジウム酸化物および元素Mの酸化物の層を比較的容易に形成することができる。

[0211]

上記においては、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] の $I_n - M - Z_n$ 酸化物の成膜について説明したが、本発明はこれに限られるものではない。同様の方法を用いて、原子数比の異なる $I_n - M - Z_n$ 酸化物を形成することができる。求める $I_n - M - Z_n$ 酸化物の原子数比に合わせて、1サイクルにおける、プリカーサを含む原料ガスのパルス回数、またはパルス時間を設定することが好ましい。

[0212]

例えば、図8Bに示すシーケンスにおいては、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] の $I_n - M - Z_n$ 酸化物を成膜するために、1サイクル中の、インジウムを含む第1の原料ガスと、元素Mを含む第3の原料ガスと、亜鉛を含む第4の原料ガスのパルス回数を1回ずつとした。このとき、それぞれのプリカーサのパルス時間は同じものとする。

[0213]

なお、上記においては、リアクタントを含む原料ガスの導入を挟みながら、異なる種類のプリカーサを導入しているが、本発明はこれに限られるものではない。例えば、リアクタントを含む原料ガスの導入を挟みながら、連続して同じ種類のプリカーサを有する原料ガスを導入してもよい。このとき、1サイクルにおける、プリカーサを含む原料ガスのパルス回数は、求める $I_n - M - Z_n$

酸化物の原子数比と同じであることが好ましい。

[0214]

また、上記においては、第2の原料ガスで酸化を行うインターバルの間に、1種のプリカーサを含む原料ガスしか導入しない構成を示したが、本発明はこれに限られるものではない。第2の原料ガスで酸化を行うインターバルの間に、プリカーサを含む原料ガスを2種以上導入する構成にしてもよい。このとき、プリカーサを含む原料ガスを2種以上同時に導入する構成にしてもよい。また、第2の原料ガスで酸化を行うインターバルの間に、同じ種類のプリカーサを2回連続で導入する構成にしてもよい。

[0215]

上記においては、原子数比が一定の酸化物の成膜について説明したが、本発明はこれに限られるものではない。同様の方法を用いて、原子数比の異なる2種類以上の酸化物を連続して成膜することができる。この場合、原子数比が異なる積層酸化物において、それぞれの酸化物の原子数比に合わせて、1サイクルにおける、プリカーサを含む原料ガスのパルス回数、またはパルス時間を設定することが好ましい。このように成膜することで、原子数比が異なる積層酸化物を、単一のチャンバーで成膜することができる。よって、それぞれの酸化物を成膜するインターバルにおいて、水素、炭素などの不純物が入り込むのを防ぐことができる。

[0216]

なお、上記においては、 $In-M-Zn$ 酸化物を例に挙げて成膜方法について説明したが、本発明はこれに限られるものではない。求める金属酸化物に含まれる金属元素に合わせて、適宜プリカーサを設定すればよい。また、上記においては、プリカーサの数を1種または3種としたが、これに限られることなく、2種または4種以上にしてもよい。

[0217]

また、上記において、1種類の金属元素を有するプリカーサを用いて成膜を行う例を示したが、本発明はこれに限られるものではない。2種以上の金属元素を有するプリカーサを用いてもよい。例えば、インジウムと元素Mとを含むプリカーサ、元素Mと亜鉛とを含むプリカーサなどを用いてもよい。この場合、図2Bなどに示す原料供給部4021の数を減らすことができる。

[0218]

<結晶構造の分類>

以下では、上記の金属酸化物（酸化物半導体）における結晶構造の分類について、説明する。

[0219]

はじめに、酸化物半導体における、結晶構造の分類について、図9Aを用いて説明を行う。図9Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0220]

図9Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC、nc、及びCAC（cloud-aligned composite）が含まれる（excluding single crystal and poly crystal）。なお、「Crystalline」の分類には、singl

e crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0221]

なお、図9Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、および「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0222]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図9Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohl i n法ともいう。以降、図9Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図9Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図9Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0223]

図9Bでは、横軸は 2θ 〔deg.〕であり、縦軸は強度（Intensity）〔a. u.〕である。図9Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図9Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0224]

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図9Cに示す。図9Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図9Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0225]

図9Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0226]

[酸化物半導体の構造]

なお、酸化物半導体は、結晶構造に着目した場合、図9Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。ま

た、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（*a-l i k e O S : a m o r p h o u s - l i k e o x i d e s e m i c o n d u c t o r*）、非晶質酸化物半導体、などが含まれる。

[0227]

続いて、上述のCAAC-OS、nc-OS、及び*a-l i k e O S*の詳細について、説明を行う。

[0228]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0229]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0230]

また、In-M-Zn酸化物において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0231]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0232]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0233]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本と

するが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0234]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0235]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物および欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0236]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSおよび非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0237]

[a-like OS]

a-l i k e OSは、n c-O Sと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-l i k e OSは、鬆又は低密度領域を有する。即ち、a-l i k e OSは、n c-O S及びC A A C-O Sと比べて、結晶性が低い。また、a-l i k e OSは、n c-O S及びC A A C-O Sと比べて、膜中の水素濃度が高い。

[0238]

[酸化物半導体の構成]

次に、上述のC A C-O Sの詳細について、説明を行う。なお、C A C-O Sは材料構成に関する。

[0239]

[C A C-O S]

C A C-O Sとは、例えば、金属酸化物を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0240]

さらに、C A C-O Sとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、C A C-O Sは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0241]

ここで、I n-G a-Z n酸化物におけるC A C-O Sを構成する金属元素に対するI n、G a、およびZ nの原子数比のそれぞれを、[I n]、[G a]、および[Z n]と表記する。例えば、I n-G a-Z n酸化物におけるC A C-O Sにおいて、第1の領域は、[I n]が、C A C-O S膜の組成における[I n]よりも大きい領域である。また、第2の領域は、[G a]が、C A C-O S膜の組成における[G a]よりも大きい領域である。または、例えば、第1の領域は、[I n]が、第2の領域における[I n]よりも大きく、且つ、[G a]が、第2の領域における[G a]よりも小さい領域である。また、第2の領域は、[G a]が、第1の領域における[G a]よりも大きく、且つ、[I n]が、第1の領域における[I n]よりも小さい領域である。

[0242]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、I nを主成分とする領域と言い換えることができる。また、上記第2の領域を、G aを主成分とする領域と言い換えることができる。

[0243]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0244]

例えば、I n-G a-Z n酸化物におけるC A C-O Sでは、エネルギー分散型X線分光法（E D X : E n e r g y D i s p e r s i v e X - r a y s p e c t r o s c o p y）を用いて取得したE D Xマッピングにより、I nを主成分とする領域（第1の領域）と、G aを主成分とす

る領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0245]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[0246]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、*a-like* OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0247]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0248]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0249]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等においては、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。また、高純度真性又は実質的に高純度真性であることをi型または実質的にi型と呼ぶ場合がある。

[0250]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0251]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0252]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不

純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0253]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0254]

酸化物半導体において、第14族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンまたは炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンまたは炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0255]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーモリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0256]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーモリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0257]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーモリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0258]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0259]

<その他の半導体材料>

実施の形態2で説明する半導体125および半導体127に用いることができる半導体材料は、上述の酸化物半導体に限られない。半導体125および半導体127として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いてもよい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0260]

本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス力のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0261]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0262]

半導体125および半導体127として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体125および半導体127として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0263]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0264]

（実施の形態2）

図10に、本発明の一態様に係る記憶装置100の斜視図を示す。記憶装置100は、三次元積層構造を有する記憶装置である。図11は、図10に一点鎖線で示した部位A1-A2、および導電体SELと配線の接続部の断面図である。なお、図10などにおいて、X方向、Y方向、およびZ方向を示す矢印を付す場合がある。X方向、Y方向、およびZ方向は、それぞれが互いに直交する方向である。本明細書などでは、X方向、Y方向、またはZ方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。なお、本実

施の形態などでは、後述する導電体130が延在する方向をZ方向としている。

[0265]

図11は、X-Z平面の断面を示している。なお、前述した通り、説明をわかりやすくするため図10および図11などでは、構成要素の一部を省略している場合がある。

[0266]

<記憶装置の構成例>

本発明の一態様に係る記憶装置100は、メモリセルアレイ110を有する。メモリセルアレイ110は複数のメモリストリング120を有する。メモリストリング120はZ方向に延在し、XY平面上でマトリクス状に配置されている。

[0267]

図12に、本発明の一態様に係るメモリストリング120の断面構成例を示す。メモリストリング120は複数の記憶素子MC（「メモリセル」ともいう。）が直列に接続された構成を有する。本実施の形態では、記憶素子MCが5つ直列に接続する場合を示しているが、メモリストリング120が備える記憶素子MCの数は5に限定されるものではない。メモリストリング120が備える記憶素子MCの数をnとすると、nは2以上の整数であればよい。

[0268]

また、メモリストリング120は、複数の導電体WWLと、複数の導電体RWLと、導電体SGと、導電体SELと、を有する。複数の導電体WWLと複数の導電体RWLとは、絶縁体123を介して交互に積層して設けられている。導電体SGは、複数の導電体WWLおよび複数の導電体RWLよりも下層に設けられている。導電体SELは、複数の導電体WWLおよび複数の導電体RWLよりも上層に設けられている。

[0269]

図12では、5つの記憶素子MCを記憶素子MC[1]乃至記憶素子MC[5]と示している。なお、記憶素子MC[1]乃至記憶素子MC[5]に共通の事柄を説明する場合は単に「記憶素子MC」と示す。導電体WWL、導電体RWL、および絶縁体123などの他の構成要素も同様である。

[0270]

メモリストリング120は、記憶素子MC[1]と接続するトランジスタSTr1と、記憶素子MC[5]と接続するトランジスタSTr2と、を有する。

[0271]

導電体WWL、導電体RWL、導電体SG、および導電体SELは、メモリセルアレイ110を越えて延在する。また、導電体WWL、導電体RWL、導電体SG、および導電体SELは、メモリセルアレイ110の外側で、階段状に積層している（図10および図11参照。）。

[0272]

図12に一点鎖線で示した部位B1-B2をZ方向から見た断面を、図13Aに示す。図12に一点鎖線で示した部位C1-C2をZ方向から見た断面を、図13Bに示す。図12に二点鎖線で示した領域105の拡大図を、図14に示す。図14は、記憶素子MCの断面図に相当する。

[0273]

メモリストリング120は、基体121上に導電体122を有する。基体121としては、例えば絶縁体を用いればよい。また、導電体122上に絶縁体123[1]、導電体SG、絶縁体12

3 [2]、導電体RWL [1]、絶縁体123 [3]、導電体WWL [1]、絶縁体123 [4]、導電体RWL [2]、絶縁体123 [5]、導電体WWL [2]、絶縁体123 [6]、導電体RWL [3]、絶縁体123 [7]、導電体WWL [3]、絶縁体123 [8]、導電体RWL [4]、絶縁体123 [9]、導電体WWL [4]、絶縁体123 [10]、導電体RWL [5]、絶縁体123 [11]、導電体WWL [5]、絶縁体123 [12]、および導電体SELを有する(図12参照)。

[0274]

また、メモリストリング120は、絶縁体123 [1]、導電体SG、絶縁体123 [2]、導電体RWL [1]、絶縁体123 [3]、導電体WWL [1]、絶縁体123 [4]、導電体RWL [2]、絶縁体123 [5]、導電体WWL [2]、絶縁体123 [6]、導電体RWL [3]、絶縁体123 [7]、導電体WWL [3]、絶縁体123 [8]、導電体RWL [4]、絶縁体123 [9]、導電体WWL [4]、絶縁体123 [10]、導電体RWL [5]、絶縁体123 [11]、導電体WWL [5]、絶縁体123 [12]、および導電体SELの、それぞれの一部を除去した開口141を有する。

[0275]

開口141はZ方向に延在し、導電体122に達する。また、開口141において、導電体RWLと重なる領域142の径は、導電体WWLと重なる領域143の径よりも大きい。よって、開口141の側面は凹凸形状を有する。

[0276]

また、開口141の側面に沿って、絶縁体124、および半導体125が設けられている。また、開口141において、導電体RWLと重なる領域において、絶縁体124と半導体125の間に導電体128が設けられている。半導体125は絶縁体124を介して開口141の側面と重なる領域を有する。

[0277]

また、メモリストリング120は、Z方向に延在する導電体130を有する。導電体130は開口141の中心もしくは中心付近に設けられている。また、導電体130の開口141の側面と重なる領域に絶縁体129、半導体127、および絶縁体126が設けられている。半導体127は、絶縁体129を介して、導電体130の側面と重なる領域を有する。絶縁体126は、絶縁体129、および半導体127を介して、導電体130の側面と重なる領域を有する。また、開口141の底部において、半導体125、および半導体127は導電体122と電氣的に接続する領域を有する。また、開口141の底部において、導電体130は、絶縁体129、および半導体127を介して導電体122と重なる領域を有する。

[0278]

導電体WWLと導電体130との間には、導電体WWL側から、絶縁体181、絶縁体124、半導体125、絶縁体126、半導体127、絶縁体129が順に設けられる(図13A参照)。導電体RWLと導電体130との間には、導電体RWL側から、絶縁体124、導電体128、半導体125、絶縁体126、半導体127、絶縁体129が順に設けられる(図13B参照)。

[0279]

記憶素子MCは、トランジスタWTrとトランジスタRTrとを有する(図14参照)。導電体WWLと導電体130が重なる領域がトランジスタWTrとして機能する。導電体WWLがトラン

ジスタWTrのゲート電極として機能し、導電体130がトランジスタWTrのバックゲート電極として機能する。また、半導体125の一部が、トランジスタWTrのチャンネルが形成される半導体層として機能する。トランジスタWTrのチャンネルが形成される半導体層は、絶縁体124の一部を介してゲート電極（導電体WWL）と重なる。なお、本実施の形態などでは、導電体WWLの一部がゲート電極として機能する例を示しているが、ゲート電極および導電体WWLをそれぞれ独立して設け、両者を電氣的に接続してもよい。

[0280]

導電体128、導電体RWL、および導電体130が重なる領域がトランジスタRTrとして機能する。導電体RWLがトランジスタRTrのゲート電極として機能する。また、導電体130がトランジスタRTrのバックゲート電極として機能する。半導体127の一部が、トランジスタRTrのチャンネルが形成される半導体層として機能する。トランジスタRTrのチャンネルが形成される半導体層は、絶縁体126、半導体125、導電体128、および絶縁体124それぞれの一部を介してゲート電極（導電体RWL）と重なる。トランジスタRTrのチャンネルが形成される半導体層は、絶縁体129の一部を介してバックゲート電極（導電体130）と重なる。

[0281]

トランジスタSTr1は、導電体SG、半導体125、および半導体127を有する。また、トランジスタSTr2は、導電体SEL、半導体125、および半導体127を有する。

[0282]

ここで、バックゲートについて説明する。ゲートとバックゲートは、半導体層のチャンネル形成領域を介して重なるように配置される。バックゲートはゲートと同様に機能させることができる。また、バックゲートの電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。ゲートまたはバックゲートの一方を「第1ゲート」または「第1のゲート」と呼び、他方を「第2ゲート」または「第2のゲート」と呼ぶ場合がある。

[0283]

ゲートとバックゲートは、導電層または抵抗率が小さい半導体層などで形成されるため、トランジスタの外部で生じる電場が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気に対する静電遮蔽機能）を有する。すなわち、静電気などの外部の電場の影響によりトランジスタの電氣的な特性が変動することを防止することができる。

[0284]

また、バックゲートの電位を制御することで、トランジスタのしきい値電圧を制御することができる。バックゲートの電位は、ゲートと同じ電位にしてもよく、接地電位（GND電位）または任意の電位としてもよい。

[0285]

トランジスタWTrおよびトランジスタRTrのチャンネルが形成される半導体層は、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。トランジスタSTr1およびトランジスタSTr2も同様である。

[0286]

なお、トランジスタに用いる半導体層は積層してもよい。半導体層を積層する場合は、それぞれ

異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる組成の半導体材料を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

[0287]

トランジスタ WT_r 、トランジスタ RT_r 、トランジスタ ST_{r1} 、およびトランジスタ ST_{r2} に用いられる半導体層は、金属酸化物を有する酸化物半導体であることが好ましい。金属酸化物を半導体層に用いたトランジスタは、アモルファスシリコンを半導体層に用いたトランジスタと比べ、高い電界効果移動度が得られる。また、多結晶シリコンを半導体層に用いたトランジスタでは、半導体層に結晶粒界が生じる恐れがある。結晶粒界では、キャリアが捕獲され、トランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。一方、詳細は後述するが、酸化物半導体では、明確な結晶粒界が確認されない結晶構造、または結晶粒界が極めて少ない結晶構造を実現することができる。このような酸化物半導体を半導体層に用いることは、高いオン電流および電界効果移動度など、良好な電気特性を有するトランジスタが実現できるため、好適である。

[0288]

また、酸化物半導体、特に結晶性の酸化物半導体である $CAAC-IGZO$ においては、被形成面に垂直な方向に c 軸が配向する、数 nm （例えば、 $1nm$ 以上 $3nm$ 以下）のナノクラスター同士が連結した特徴的な構造を持つ。そのため、 Z 方向に延在した開口内においても、明確な結晶粒界が確認されない結晶構造を形成することが可能となる。

[0289]

特に、トランジスタ WT_r は、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ（「OSトランジスタ」ともいう。）であることが好ましい。酸化物半導体はバンドギャップが $2eV$ 以上であるため、オフ電流が著しく小さい。トランジスタ WT_r にOSトランジスタを用いると、後述するノード ND に書き込まれた電荷を長期間保持することができる。記憶素子 MC を構成するトランジスタにOSトランジスタを用いた場合、記憶素子 MC を「OSメモリ」と呼ぶことができる。また、当該記憶素子 MC を含むメモリストリング 120 も「OSメモリ」と呼ぶことができる。また、記憶装置 100 も「OSメモリ」と呼ぶことができる。

[0290]

OSメモリは、電力の供給を停止しても、1年以上、さらには10年以上の期間で書き込まれた情報を保持することができる。よって、OSメモリを不揮発性メモリと見なすこともできる。

[0291]

また、OSメモリは書き込まれた電荷量が長期間変化しにくいいため、OSメモリは2値（1ビット）に限らず、多値（マルチビット）の情報を保持可能である。

[0292]

また、OSメモリはOSトランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フラッシュメモリで行われるデータ書き換え前の消去動作が、OSメモリでは不要である。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われなため、OSメモリは実質的に無制限回のデータの書き込みおよび読み出しが可能である。OSメモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

[0293]

また、OSメモリは磁気抵抗メモリ（MRAM）および抵抗変化型メモリ（ReRAM）のよう

に原子レベルでの構造変化を伴わない。よって、OSメモリは、磁気抵抗メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

[0294]

また、OSトランジスタは高温環境下でもオフ電流がほとんど増加しない。具体的には室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。OSメモリを含む記憶装置は、高温環境下においても動作が安定し、高い信頼性が得られる。また、OSトランジスタは、ソースとドレイン間の絶縁耐圧が高い。半導体装置を構成するトランジスタにOSトランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好な半導体装置が実現できる。

[0295]

半導体127はn型の半導体であることが好ましい。また、半導体125の導電体WWLと重なる領域はi型または実質的にi型の半導体であることが好ましい。この場合、トランジスタWTrはエンハンスメント型（ノーマリーオフ型）のトランジスタ、トランジスタRTrはデプレッション型（ノーマリーオン型）のトランジスタになる。

[0296]

なお、半導体125と半導体127は、同じ材料を有していてもよいし、異なる材料を有していてもよい。例えば、半導体125および半導体127は、それぞれ酸化物半導体でもよい。また、半導体125および半導体127は、それぞれシリコンを有する半導体でもよい。また、半導体125を酸化物半導体とし、半導体127をシリコンを有する半導体としてもよい。また、半導体125をシリコンを有する半導体とし、半導体127を酸化物半導体としてもよい。

[0297]

なお、図13Aは、トランジスタWTrの中心または中心付近のX-Y平面に相当し、図13Bは、トランジスタRTrの中心または中心付近のX-Y平面に相当する。図13Aおよび図13Bにおいて、導電体130の断面形状が円形である場合、絶縁体129は導電体130の外側に同心円状に設けられ、半導体127は絶縁体129の外側に同心円状に設けられ、絶縁体126は半導体127の外側に同心円状に設けられ、半導体125は絶縁体126の外側に同心円状に設けられ、絶縁体124は半導体125の外側に同心円状に設けられている。また、導電体128は、半導体125と絶縁体124の間に同心円状に設けられている。

[0298]

また、導電体130の断面形状は円形に限らない。導電体130の断面形状は矩形でもよい。また、導電体130の断面形状は三角形でもよい。

[0299]

なお、メモリストリング120を記憶装置ということもできるし、記憶素子MCを記憶装置ということもできる。

[0300]

[記憶装置の構成材料]

続いて、記憶装置100に用いることができる構成材料について説明する。

[0301]

[基板]

記憶装置100は基板上に設けることができる。基板としては、例えば、絶縁体基板、半導体基

板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0302]

[絶縁体]

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0303]

なお、本明細書等において、「酸化窒化物」とは、主成分として窒素よりも酸素の含有量が多い材料を指す。例えば「酸化窒化シリコン」とは、窒素よりも酸素の含有量が多い、シリコンと、窒素と、酸素と、を含む材料を指す。また、本明細書等において、「窒化酸化物」とは、主成分として酸素よりも窒素の含有量が多い材料を指す。例えば「窒化酸化アルミニウム」とは、酸素よりも窒素の含有量が多い、アルミニウムと、窒素と、酸素と、を含む材料を示す。

[0304]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0305]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0306]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0307]

また、OSトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物およ

び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0308]

また、半導体125および/または半導体127に酸化物半導体を用いる場合、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを半導体125および/または半導体127と接する構造とすることで、半導体125および/または半導体127が有する酸素欠損を補償することができる。

[0309]

また、導電体WWL（後述する導電体182）および導電体SEL（後述する導電体183）の酸化を抑制するために絶縁体181を設けることが好ましい。絶縁体181として、酸素および/または水素に対するバリア性を有する上記材料を用いることが好ましい。絶縁体181は、導電体WWLおよび導電体SELの、下面、上面、および側面に接するように設けられることが好ましい。

[0310]

[導電体]

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0311]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0312]

なお、トランジスタのチャネル形成領域に金属酸化物の一種である酸化物半導体を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0313]

特に、ゲート電極として機能する導電体として、チャネルが形成される酸化物半導体に含まれる金属元素と、酸素と、を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される酸化物半導体に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0314]

[酸化物半導体]

半導体125および半導体127として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、半導体125および半導体127に適用可能な酸化物半導体について説明する。

[0315]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0316]

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、及び錫の中から選ばれる一または複数とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0317]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0318]

<記憶装置の作製方法例>

次に、本発明に係る記憶装置の作製方法例を図15乃至図26を参照して説明する。なお、図15乃至図26の各図は、X-Z平面の断面を示しており、Y方向から見た断面図である。また、図19Aは、図18において、一点鎖線で囲まれた部分を拡大した断面図である。なお、本作製方法では、5つ（「5段」ともいう。）の記憶素子MCを有するメモリストリング120を3つ作製する例を示すが、本実施の形態はこれに限らない。メモリストリング120は、2段以上の記憶素子MCを有していればよい。例えば、メモリストリング120は、4段の記憶素子MCを有していてもよい。また、32段以上、好ましくは64段以上、より好ましくは128段以上、さらに好ましくは256段以上の記憶素子MCを有していてもよい。また、本実施の形態の一態様を用いることで、メモリストリング120を同時に2つ以上作製することができる。

[0319]

まず、絶縁表面を有する基体121上に導電体122を形成し、導電体122の周囲に、絶縁体132を形成する（図15参照。）。

[0320]

具体的には、導電膜を形成し、リソグラフィー法を用いて該導電膜を加工し、導電体122を形成する。次に、導電体122を覆うように基体121上に絶縁膜を形成する。次に該絶縁膜に対して平坦化处理を行うことが好ましい。該平坦化处理では、導電体122の表面が露出するまで、該絶縁膜を研磨することが好ましい。上記方法により、絶縁体132を形成することができる。ただし、導電体122、および絶縁体132の形成方法はこれに限らない。基体121上に絶縁体132を形成し、絶縁体132の不要な部分を除去することで、溝または開口を形成し、該溝または該開口部に導電体122を埋め込むように形成してもよい。このような導電体の形成方法をダマシン法（シングルダマシン法、デュアルダマシン法）と呼ぶ場合がある。上記方法により、図15に示す構造を得ることができる。

[0321]

導電体122、および絶縁体132の形成は、スパッタリング法、CVD法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、ALD法などを用いて行うことができる。

[0322]

なお、リソグラフィー法では、まず、フォトリソマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、極端紫外線（EUV：Extreme Ultraviolet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームまたはイオンビームを用いてもよい。なお、電子ビームまたはイオンビームを用いる場合には、フォトリソマスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0323]

また、レジストマスクの代わりに絶縁体または導電体からなるハードマスクを用いてもよい。ハ

ードマスクを用いる場合、導電膜上にハードマスク材料となる絶縁膜または導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

[0324]

上記加工は、ドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0325]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、ICPエッチング装置などを用いることができる。

[0326]

導電膜のエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0327]

導電体122となる導電膜は、スパッタリング法を用いて、金属元素を含む導電膜を形成することが好ましい。また、CVD法を用いて形成することもできる。

[0328]

絶縁体132の表面は、必要に応じて、平坦化処理が行われていることが好ましい。平坦化処理には、化学機械研磨（CMP：Chemical Mechanical Polishing）法またはリフロー法を用いることができる。

[0329]

導電体122および絶縁体132上に、絶縁膜123Aと、絶縁膜135Aまたは導電膜136Aと、を交互に積層する。本実施の形態では、導電体122および絶縁体132上に絶縁膜123Aを形成し、絶縁膜123A上に絶縁膜135Aを形成し、絶縁膜135A上に絶縁膜123Aを形成し、絶縁膜123A上に導電膜136Aを形成する例を示す（図15参照。）。絶縁膜135A、導電膜136A、および絶縁膜123Aの形成には、CVD法を用いることができる。また、スパッタリング法を用いてもよい。

[0330]

導電体122、および導電膜136Aとして、不純物が添加されたシリコン、金属など、導電性を有する材料を用いることができる。導電膜136Aは、後工程において、導電体122、および絶縁膜135Aに対して選択的にエッチングを行う必要があるため、導電体122、および絶縁膜135Aに対する選択エッチングが可能な材料であることが好ましい。導電体122、または導電

膜136Aとして、シリコンを用いる場合、アモルファスシリコン、またはポリシリコンを用いることができる。また、シリコンに導電性を持たせるため、p型不純物またはn型不純物を添加してもよい。また、シリコンを含む導電性材料として、チタン、コバルト、またはニッケルを含むシリサイドを導電体122、または導電膜136Aとして用いることができる。また、金属材料を導電体122、または導電膜136Aに用いる場合、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。

[0331]

絶縁体132、絶縁膜135A、および絶縁膜123Aとして、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などを用いることができる。酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを用いることができる。

[0332]

絶縁膜135Aは、後工程において、絶縁体132、および絶縁膜123Aに対して選択的にエッチングを行う必要があるため、絶縁体132、および絶縁膜123Aに対する選択エッチングが可能な材料であることが好ましい。例えば、絶縁体132、および絶縁膜123Aを酸化シリコン、または酸化窒化シリコンとし、絶縁膜135Aを窒化シリコン、または窒化酸化シリコンとすることが好ましい。

[0333]

また、本実施の形態では、絶縁膜123Aを12層、絶縁膜135Aを6層、および導電膜136Aを5層形成する例を示したが、層数は、これに限らない。求められる半導体装置の性能に応じて、それぞれ形成することができる。ここで、絶縁膜135Aの層数を m (m は2以上の整数)とすると、絶縁膜123Aの層数は、 $2 \times m$ 、導電膜136Aの層数は、 $m - 1$ となる。例えば、 m は、33以上、好ましくは65以上、より好ましくは129以上、さらに好ましくは、257以上とすることができる。

[0334]

最上層の絶縁膜123Aの上に絶縁膜137Aを形成し、絶縁膜137A上に絶縁膜138Aを形成する。絶縁膜137Aは、絶縁膜135Aと同様な方法を用い、同様の材料で形成することができる。また絶縁膜138Aは、絶縁膜123Aと同様な方法を用い、同様の材料で形成することができる。また、絶縁膜138A上にマスク140Aを形成する。

[0335]

次に、マスク140Aを用いて、絶縁膜138A、絶縁膜137A、絶縁膜123A、絶縁膜135A、および導電膜136Aを加工し、導電体122を露出するように第1の開口を形成する(図16参照。)。該加工により、マスク140Aがエッチングされ、マスク140Bとなる場合がある。

[0336]

次に、導電膜136Aに対して等方性エッチングを行い、導電膜136Aの開口の径を拡げる(図17参照。)。この処理により、導電膜136Aの開口の径は、絶縁膜138A、絶縁膜137A、絶縁膜123A、および絶縁膜135Aの開口の径より大きくなる。また、導電膜136Aは、上部または下部に位置する絶縁膜138A、絶縁膜137A、絶縁膜123A、または絶縁膜135Aの側面に対して、凹部を有しているといえる。このような加工には、ガス、ラジカル、プラズマなどを用いたドライエッチングによる等方性エッチング、または、液体を用いたウェットエッチングによる等方性エッチングを用いることができる。ウェットエッチングに用いる液体をエッチャントと呼ぶことがある。ドライエッチングを用いて等方性エッチングを行う場合、塩素、臭素、およびフッ素の少なくとも一を含むガス、ラジカル、プラズマなどを用いることができる。等方性エッチングは、第1の開口の形成に用いたマスクを除去せずに行うことが好ましい。上記処理により得られた第1の開口は、図12に示した開口141に相当する。

[0337]

次に、絶縁膜138A、およびマスク140B上、および第1の開口内部に、絶縁膜124A、および導電膜128Aを形成する(図17参照。)。なお、図示しないが、絶縁膜124Aは、積層構造を有していてもよい。絶縁膜124Aは、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法とを組み合わせ、絶縁膜124Aを形成してもよい。絶縁膜124Aが積層構造を有する場合、各絶縁膜は、同じ成膜装置で形成されてもよいし、異なる成膜装置で形成されてもよい。

[0338]

上記の方法で形成された絶縁膜124Aは、被覆性が良く、導電膜136Aが有する凹部に対しても絶縁膜124Aを形成することができる。すなわち、絶縁膜123A、絶縁膜135A、および導電膜136Aの側面だけでなく、絶縁膜123Aの上面の一部、および下面の一部とも接するように絶縁膜124Aを形成することができる。

[0339]

導電膜128Aは、少なくとも、絶縁膜124Aを介して、導電膜136Aの凹部を充填するように形成されていればよく、必ずしも第1の開口内部全てを充填する必要はない。導電膜128Aは、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせ、導電膜128Aを形成してもよい。

[0340]

次に、導電膜128Aを加工して、導電体128を形成する(図18参照。)。導電膜128Aの加工には、等方性エッチング、または異方性エッチングを用いることができる。導電膜128Aの形成において、図17に示すように、導電膜128Aが凹部を充填し、第1の開口は完全に充填されていない場合は、導電膜128Aの加工には、等方性エッチングを用いることが好ましい。一方、凹部および第1の開口を充填するように導電膜128Aが形成されている場合は、異方性エッチングを用いることが好ましい。上記のような加工により、凹部の内部に、導電体128を形成することができる。

[0341]

次に、第1の開口底部に形成された絶縁膜124Aを除去し、絶縁体124を形成する。絶縁膜124Aの除去には、異方性エッチングを用いることが好ましい。このとき、絶縁膜138Aおよびマスク140B上の絶縁膜124Aも除去されるため、絶縁体124は、第1の開口の側壁のみに設けられる(図18参照。)。第1の開口底部の絶縁膜124Aを除去することで、再び導電体122が露出する。

[0342]

次に、第1の開口内部に、導電体122と接するように半導体膜125Aを形成する(図18参照。)。半導体膜125Aは、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法とを組み合わせる半導体膜125Aを形成してもよい。

[0343]

ここで、半導体膜125Aとして、ALD法を用いて金属酸化物を形成する場合、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、および亜鉛を含むプリカーサを用いてIn-Ga-Zn酸化物を形成することが好ましい。このとき、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、および亜鉛を含むプリカーサとしては、先の実施の形態で例示したプリカーサを用いることができる。

[0344]

なお、半導体膜125Aは、CAAC構造を有する酸化物半導体であることが好ましい。そこで、半導体膜125Aを形成した後、酸素を含む雰囲気中でマイクロ波処理を行うことが好ましい。図18および図19Aに示す点線は、マイクロ波、RFなどの高周波酸素プラズマ、酸素ラジカルなどを示す。当該マイクロ波処理において、例えば、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく金属酸化物中に導くことができる。

[0345]

ALD法を用いて金属酸化物を形成する場合、金属酸化物を構成する元素以外の元素が混入する場合がある。金属酸化物を構成する元素以外の元素は、プリカーサに含まれる元素である。プリカーサに含まれる元素として、例えば、炭素、水素、窒素、塩素などがある。これらの元素は、金属酸化物にとっては不純物となる。不純物が多く含まれる金属酸化物は、結晶性が低くなる傾向がある。また、低抵抗化する場合がある。

[0346]

先の実施の形態で説明したように、酸素を含む雰囲気中でマイクロ波処理を行うことで、金属酸化物中の、不純物濃度および欠陥の量を低減することができる。さらに、金属酸化物中の金属原子および酸素原子の再配列を促進することができる。したがって、金属酸化物の結晶性が向上し、CAAC構造を有する金属酸化物を形成することができる。

[0347]

半導体膜125AがCAAC構造を有する酸化物半導体である場合、半導体膜125Aのc軸は、第1の開口内部において、被形成面の法線方向に配向する。このとき、絶縁体124を介して、絶縁膜138A、絶縁膜137A、絶縁膜123A、絶縁膜135A、および導電膜136Aの側面に位置する半導体膜125Aのc軸は、被形成面から図18に一点鎖線で示す軸185に向かって配向する。なお、軸185は、第1の開口の中心軸と呼ぶことができる。これにより、上記に位置

する半導体125のc軸は、被形成面から軸185に向かって配向する。

[0348]

また、上記マイクロ波処理を行うことで、半導体膜125Aの一部を高抵抗化し、高抵抗領域(i型領域)を形成することができる。なお、半導体膜125Aの導電体128と接する領域においては、その抵抗値は低いままである場合がある。

[0349]

次に、加熱処理を行ってもよい。加熱処理は、窒素を含む雰囲気で、200℃以上500℃以下、好ましくは300℃以上400℃以下で行う。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧下で行われてもよいし、大気圧下で行われてもよい。

[0350]

上記加熱処理により、導電体128と接する半導体膜125Aが低抵抗化し、低抵抗領域(N型領域)を形成することができる。半導体膜125Aと、導電体128が接する状態で、加熱処理を行うことで、導電体128と半導体膜125Aの界面には、導電体128が有する金属元素と、半導体膜125Aの成分とを含む金属化合物層が形成される場合がある。該金属化合物層が形成されることで、導電体128と接する領域において、半導体膜125Aの抵抗が低減するため好ましい。また、半導体膜125Aに含まれる酸素を、導電体128が吸収する場合がある。半導体膜125Aと、導電体128が接する状態で、加熱処理を行うことで、半導体膜125Aは、より低抵抗化する。また、加熱処理により、半導体膜125Aの結晶性が向上する場合がある。該加熱処理は、マイクロ波処理前に行ってもよい。

[0351]

上記マイクロ波処理、および/または上記加熱処理後の半導体膜125Aのキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{17} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下である。また、半導体膜125Aの導電体128と接する領域のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以上、より好ましくは $1 \times 10^{20} / \text{cm}^3$ 以上である。

[0352]

次に、半導体膜125Aの内側に、絶縁膜126Aを形成する(図20参照。)

[0353]

絶縁膜126Aは、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁膜126Aを形成してもよい。

[0354]

ここで、図19Bに示すように、マイクロ波処理を行ってもよい。また、当該マイクロ波処理前または当該マイクロ波処理後に、加熱処理を行ってもよい。なお、絶縁膜126Aを形成した後に行う、マイクロ波処理および/または加熱処理は、上述した条件を用いて行えばよい。

[0355]

次に、絶縁膜126Aの上面に絶縁体131Aを形成する。絶縁体131Aは、第1の開口内部に形成されないよう、選択的に形成されることが好ましい。または、絶縁体131Aを絶縁膜126Aの上面、および第1の開口内部に形成し、絶縁体131Aを介して絶縁膜126Aの上面の上

にマスクを形成し、第1の開口内部の絶縁体131Aを選択的に除去してもよい。絶縁体131Aとして、窒化シリコンを用いることが好ましい。絶縁体131Aを絶縁膜126Aの上面に選択的に形成するには、PECVD法を用いることが好ましい。また、成膜ガスに、 SiH_4 と N_2 を含む混合ガスを用いることで、第1の開口内部への絶縁体131Aの形成が抑制されるため好ましい。また、該混合ガスに NH_3 が含まれると、第1の開口内部に絶縁体131Aが形成されやすくなるため、該混合ガスに NH_3 が含まれないことが好ましい。また、該混合ガスに N_2 および NH_3 が含まれる場合、 NH_3 の混合比は、 N_2 の混合比の10%以下、好ましくは5%以下、より好ましくは1%以下とする。また、該混合ガスにおいて、 SiH_4 に対する N_2 の比率（流量比）が低いと、絶縁体131Aに含まれる窒素の量が少なくなり、アモルファスシリコンが形成される場合がある。そのため、 SiH_4 に対する N_2 の比率（流量比）を100以上にすることが好ましい。

[0356]

次に、第1の開口底部に形成された半導体膜125A、および絶縁膜126Aを除去し、半導体125B、および絶縁体126Bを形成する。半導体膜125A、および絶縁膜126Aの除去には、絶縁体131Aをマスクに用いて、異方性エッチングを用いることが好ましい。このとき、絶縁膜138A、およびマスク140B上の半導体膜125A、および絶縁膜126Aは、絶縁体131Aに覆われているため、除去されない（図21参照。）。第1の開口底部の半導体膜125A、および絶縁膜126Aを除去することで、再び導電体122が露出する。

[0357]

次に、第1の開口内部に、導電体122と接するように半導体膜127Aを形成する（図21参照。）。このとき、半導体膜127Aは、第1の開口底部で半導体125Bと接するように形成することが好ましい。半導体膜127Aは、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせる半導体膜127Aを形成してもよい。

[0358]

ここで、半導体膜127Aとして、ALD法を用いて金属酸化物を形成する場合、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、および亜鉛を含むプリカーサを用いてIn-Ga-Zn酸化物を形成することが好ましい。このとき、半導体膜127Aは、半導体膜125Aの形成に用いることができるプリカーサを用いて、形成することができる。

[0359]

なお、半導体膜127Aは、CAAC構造を有する酸化物半導体であることが好ましい。そこで、半導体膜127Aを形成した後、酸素を含む雰囲気中でマイクロ波処理を行うことが好ましい。なお、当該マイクロ波処理は、上述した条件を用いて行えばよい。

[0360]

先の実施の形態で説明したように、酸素を含む雰囲気中でマイクロ波処理を行うことで、金属酸化物中の、不純物濃度および欠陥の量を低減することができる。さらに、金属酸化物中の金属原子および酸素原子の再配列を促進することができる。したがって、金属酸化物の結晶性が向上し、CAAC構造を有する金属酸化物を形成することができる。

[0361]

半導体膜127AがCAAC構造を有する酸化物半導体である場合、半導体膜127Aのc軸は、

第1の開口内部において、被形成面の法線方向に配向する。このとき、第1の開口の側面に位置する半導体膜127Aのc軸は、被形成面から図21に示す軸185に向かって配向する。これにより、上記に位置する半導体127のc軸は、被形成面から軸185に向かって配向する。

[0362]

なお、半導体膜127Aに対してマイクロ波処理を行うことで、半導体膜125Aの結晶性も向上させることができる場合、先の工程のマイクロ波処理は省略してもよい。

[0363]

次に、半導体膜127Aの内側に、絶縁膜129Aを形成し、絶縁膜129Aの内側に、導電膜130Aを形成する(図21参照。)。絶縁膜129A、および導電膜130Aは、CVD法またはALD法を用いて形成することができる。CVD法またはALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせて形成してもよい。また、形成する膜ごとに、異なる成膜方法または成膜装置を用いてもよい。

[0364]

次に、加熱処理を行う。加熱処理は、窒素を含む雰囲気、200℃以上500℃以下、好ましくは300℃以上400℃以下で行う。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧下で行われてもよいし、大気圧下で行われてもよい。また、加熱処理により、半導体膜127Aの結晶性が向上する場合がある。

[0365]

次に、導電膜130A、絶縁膜129A、半導体膜127A、絶縁体131A、絶縁体126B、半導体125B、およびマスク140Bを加工し、導電体130、絶縁体129、半導体127、絶縁体131、絶縁体126、半導体125、およびマスク140を形成する(図22参照。)。該加工はドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。該加工において、導電膜130Aの加工を行い、導電膜130Aの加工後に絶縁膜129A、および半導体膜127Aの加工を行い、絶縁膜129A、および半導体膜127Aの加工後に、絶縁体131A、絶縁体126B、半導体125B、およびマスク140Bの加工を行ってもよい。このような加工工程においては、各加工工程で異なるマスクを形成すればよい。また、第1の加工として、導電膜130A、絶縁膜129A、半導体膜127A、絶縁体131A、絶縁体126B、半導体125B、およびマスク140Bを、マスクを用いて加工した後、第2の加工として、導電膜130A、絶縁膜129A、および半導体膜127Aの加工を再度行い、さらに第3の加工として、導電膜130Aの加工を再度行ってもよい。第2の加工、および第3の加工に用いるマスクは、第1の加工で用いたマスクを加工して用いてもよいし、異なるマスクを形成してもよい。

[0366]

次に、絶縁膜138A上に、導電体130、絶縁体129、半導体127、絶縁体131、絶縁体126、半導体125、およびマスク140を覆うように絶縁体139を形成する。絶縁体139は、絶縁体132の形成に用いることができる方法にて形成することができ、絶縁体132に用いることができる材料を用いることができる。

[0367]

次に、絶縁体139、絶縁膜138A、絶縁膜137A、絶縁膜123A、絶縁膜135A、および導電膜136Aを加工し、図23に示すような階段状の絶縁体139、絶縁体138、絶縁体137、絶縁体123、絶縁体135、および導電体136を形成する。絶縁体139、絶縁膜138A、絶縁膜137A、絶縁膜123A、絶縁膜135A、および導電膜136Aの加工において、絶縁体139、絶縁膜138A、絶縁膜137A、絶縁膜123A、絶縁膜135A、および導電膜136Aのエッチングと、マスクのスリミングを交互に行うことで、階段状の絶縁体139、絶縁体138、絶縁体137、絶縁体123、絶縁体135、および導電体136を形成することができる。

[0368]

次に、絶縁体150を形成する（図23参照。）。絶縁体150は、CVD法を用いて形成することができる。絶縁体150は、CMP法、またはリフロー法を用いて、平坦化处理されていることが好ましい。

[0369]

次に、Y方向に配置されるメモリストリング120を分離するため、絶縁体150、絶縁体139、絶縁体138、絶縁体137、絶縁体123、絶縁体135、および導電体136を加工しスリットを形成する。なお、スリットは、図23に示す断面のY方向に形成されるため、図23に図示していない。また、スリットは、X方向に延伸するように形成される。また、スリットは、Y方向に配置された各メモリストリング120の間に形成されることが好ましい。

[0370]

次に、絶縁体137、および絶縁体135を除去する（図24参照。）。絶縁体137、および絶縁体135の除去には、ウェットエッチング、またはドライエッチングを用いることができる。ウェットエッチングに用いられるエッチャント、またはドライエッチングに用いられるガスは、スリットから導入され、絶縁体137、および絶縁体135は等方性エッチングにより除去される。絶縁体137、および絶縁体135のエッチングガスとして、 CH_3F 、 CH_2F_2 、および CHF_3 の少なくとも1を用いることができる。また、上記ガスの少なくとも1を含む混合ガスを用いることができる。混合ガスの例としては、上記ガスの少なくとも1と、 He 、 Ne 、 Ar 、 Kr 、 Xe 、および Rn から選ばれた1のガスを含む混合ガス等がある。また、絶縁体137、および絶縁体135のエッチャントとして、リン酸を用いることができる。なお、絶縁体137、および絶縁体135の除去にウェットエッチングを用いる場合、エッチャントの温度を調整することで、絶縁体137、および絶縁体135のエッチングレートを制御することができる。リン酸を加熱して絶縁体137、および絶縁体135をエッチングすることが好ましい。

[0371]

絶縁体137、および絶縁体135の除去により、上下に位置する絶縁体123の間は空洞となる層が生じる。

[0372]

絶縁体137、および絶縁体135を除去した領域に導電体182、および導電体183となる導電体を形成する。該導電体は、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。また、該導電体として、導電体122、または導電膜136Aに用いることができる材料を用いることができる。該導電体は、導電体122、または導電膜1

36Aと同じ材料を含んでいてもよいし、異なる材料でもよい。また、該導電体の酸化を抑制するため、該導電体の形成前に、絶縁体181を形成することが好ましい。絶縁体181は酸素に対するバリア性を有することが好ましい。絶縁体181はALD法を用いて形成することができる。ALD法を用いることで、絶縁体123の上面、絶縁体123の下面、絶縁体124の側面、および絶縁体150の側面に絶縁体181を形成することができる。

[0373]

次に、前工程で形成したスリット内に位置する上記導電体に対して異方性エッチングすることで、導電体182、および導電体183を形成する(図25参照。)。ここで、絶縁体135が設けられていた領域に形成された導電体を導電体182とし、絶縁体137が設けられていた領域に形成された導電体を導電体183とする。導電体182、および導電体183は、スリット側に位置する面、すなわちY方向に直交する面を除き、周囲が絶縁体181に覆われる。

[0374]

次に、上記加工により除去された部分、すなわちスリット部を埋め込むように絶縁体を形成する。該絶縁体は、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁体を形成してもよい。絶縁体は、CMP法、またはリフロー法を用いて、平坦化処理されていることが好ましい。

[0375]

次に、絶縁体150、絶縁体139、絶縁体129、絶縁体131、絶縁体126、絶縁体138、絶縁体181を、リソグラフィ法を用いて加工し、導電体182、導電体136、導電体130、導電体183、半導体125、および半導体127を露出するように第2の開口を形成する。第2の開口は、階段状に形成された導電体182、および導電体136それぞれに対して形成する(図26参照。)。

[0376]

次に、第2の開口に埋め込むように、導電体182と電氣的に接続する導電体161、導電体136と電氣的に接続する導電体162、導電体183と電氣的に接続する導電体164、半導体125と電氣的に接続する導電体165、および半導体127と電氣的に接続する導電体166を形成する(図26参照。)。導電体161、導電体162、導電体164、導電体165、および導電体166は、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで上記導電体を形成してもよい。また、導電体161、導電体162、導電体164、導電体165、および導電体166は、複数の層からなる積層構造を有していてもよい。導電体161、導電体162、導電体164、導電体165、および導電体166は、絶縁体150上、および第2の開口内部に導電膜を形成し、CMPなどを用いて不要な導電膜を除去することで、形成することができる。

[0377]

次に、導電体161と電氣的に接続する導電体171、導電体162と電氣的に接続する導電体172、導電体164と電氣的に接続する導電体174、導電体165と電氣的に接続する導電体175、および導電体166と電氣的に接続する導電体176を形成する(図26参照。)。導電体171、導電体172、導電体174、導電体175、および導電体176は、絶縁体150上

に導電膜を形成し、リソグラフィ法を用いて加工することで形成できる。該加工はドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0378]

導電体171、導電体161、および導電体182は、導電体SG、または導電体WWLとして機能する。導電体172、導電体162、および導電体136は導電体RWLとして機能する。導電体174、導電体164、および導電体183は、導電体SELとして機能する。導電体175、および導電体165は、導電体WBLとして機能する。導電体176、および導電体166は、導電体RBLとして機能する。

[0379]

次に、絶縁体150、スリットを埋め込むように形成された絶縁体、導電体171、導電体172、導電体174、導電体175、および導電体176を覆うように絶縁体156を形成する（図26参照。）。絶縁体156は、CVD法、ALD法、スパッタリング法等を用いて形成することができる。

[0380]

次に、絶縁体156、絶縁体150、および絶縁体139を、リソグラフィ法を用いて加工し、導電体130を露出するように第3の開口を形成する（図26参照。）。）。。

[0381]

次に、第3の開口に埋め込むように、導電体130と電氣的に接続する導電体163を形成する（図26参照。）。導電体163は、CVD法またはALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝または開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで上記導電体を形成してもよい。また、導電体163は、複数の層からなる積層構造を有していてもよい。導電体163は、絶縁体156上、および第3の開口内部に導電膜を形成し、CMPなどを用いて不要な導電膜を除去することで、形成することができる。

[0382]

次に、導電体163と電氣的に接続する導電体173を形成する（図26参照。）。導電体173は、絶縁体156上に導電膜を形成し、リソグラフィ法を用いて加工することで形成できる。該加工はドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0383]

導電体173、導電体163、および導電体130は、導電体BGとして機能する。

[0384]

以上の工程により、チャネル形成領域として機能する半導体127と、ゲートとして機能する導電体182とを有するトランジスタSTr1、チャネル形成領域として機能する半導体125、および半導体127と、ゲートとして機能する導電体183とを有するトランジスタSTr2、チャネル形成領域として機能する半導体125と、ゲートとして機能する導電体182とを有するトランジスタWTr、ならびにチャネル形成領域として機能する半導体127と、ゲートとして機能する導電体136と、バックゲートとして機能する導電体130と、半導体127と導電体136の間の導電体128とを有するトランジスタRTrを作製することができる。また、トランジスタS

Tr 1、トランジスタSTr 2、トランジスタWTr、およびトランジスタRTrを有する記憶装置を作製することができる。

[0385]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0386]

(実施の形態3)

本実施の形態では、記憶装置であるメモリストリング120の回路構成と動作について説明する。図27にメモリストリング120の回路構成例を示す。また、図28に記憶素子MCの等価回路図を示す。

[0387]

<メモリストリングの回路構成例>

図27では、5つの記憶素子MCを備えるメモリストリング120の回路構成例を示している。記憶素子MCはトランジスタWTrおよびトランジスタRTrを有する。図27では、記憶素子MC[1]に含まれるトランジスタWTrをトランジスタWTr[1]と示し、記憶素子MC[1]に含まれるトランジスタRTrをトランジスタRTr[1]と示している。よって、図27に示すメモリストリング120は、トランジスタWTr[1]乃至トランジスタWTr[5]、およびトランジスタRTr[1]乃至トランジスタRTr[5]を有する。また、図27に示すメモリストリング120は、トランジスタSTr 1、トランジスタSTr 2、およびトランジスタSTr 3を有する。メモリストリング120は、NAND型の記憶装置である。

[0388]

トランジスタWTrはノーモリーオフ型のトランジスタである。トランジスタRTrはノーモリーオン型のトランジスタである。また、上記実施の形態で説明した通り、トランジスタRTrは、ゲートと半導体層の間に導電体128を備える。導電体128は、トランジスタRTrのフローティングゲートとして機能できる。例えば、トランジスタRTr[1]に含まれる導電体128を導電体128[1]と呼ぶ。

[0389]

また、導電体128と、トランジスタWTrのソースまたはドレインの一方が電氣的に接続する接点をノードNDとする。例えば、導電体128[1]と、トランジスタWTr[1]のソースまたはドレインの一方が電氣的に接続する接点をノードND[1]と呼ぶ。

[0390]

トランジスタRTr[1]のソースまたはドレインの一方は、トランジスタSTr 1のソースまたはドレインの一方と電氣的に接続され、他方はトランジスタRTr[2]のソースまたはドレインの一方と電氣的に接続される。トランジスタRTr[1]のゲートは導電体RWL[1]と電氣的に接続される。トランジスタRTr[1]のバックゲートは導電体BGと電氣的に接続される。トランジスタWTr[1]のソースまたはドレインの一方は導電体128[1]と電氣的に接続され、他方は導電体128[2]と電氣的に接続される。トランジスタWTr[1]のゲートは導電体WWL[1]と電氣的に接続される。また、トランジスタSTr 1のソースまたはドレインの他方は導電体122と電氣的に接続され、ゲートは導電体SGと電氣的に接続される。

[0391]

ここで、図28に示すように、トランジスタ RTr は、容量 Cs とトランジスタ Tr に置き換えて表すことができる。トランジスタ Tr のゲートは、容量 Cs を介して導電体 RWL と電氣的に接続される。

[0392]

また、トランジスタ RTr [5] のソースまたはドレインの一方は、トランジスタ RTr [4] のソースまたはドレインの他方と電氣的に接続され、他方はトランジスタ STr 2のソースまたはドレインの一方と電氣的に接続される。トランジスタ RTr [5] のゲートは、導電体 RWL [5] と電氣的に接続される。トランジスタ RTr [5] のバックゲートは導電体 BG と電氣的に接続される。トランジスタ WTr [5] のソースまたはドレインの一方は導電体128 [5] と電氣的に接続され、他方はトランジスタ STr 3のソースまたはドレインの一方と電氣的に接続される。トランジスタ WTr [5] のゲートは導電体 WWL [5] と電氣的に接続される。また、トランジスタ STr 2のソースまたはドレインの他方は導電体 RBL と電氣的に接続され、ゲートは導電体 $RSEL$ と電氣的に接続される。また、トランジスタ STr 3のソースまたはドレインの他方は導電体 WBL と電氣的に接続され、ゲートは導電体 $WSEL$ と電氣的に接続される。

[0393]

メモリストリング120が n 個 (n は1以上の整数) の記憶素子 MC を備える場合、1番目と n 番目の記憶素子 MC を除く i 番目 (i は1以上 n 以下の整数) の記憶素子 MC [i] において、トランジスタ RTr [i] のソースまたはドレインの一方は、トランジスタ RTr [$i-1$] のソースまたはドレインの他方と電氣的に接続され、他方はトランジスタ RTr [$i+1$] のソースまたはドレインの一方と電氣的に接続される。トランジスタ RTr [i] のゲートは、導電体 RWL [i] と電氣的に接続される。トランジスタ RTr [i] のバックゲートは導電体 BG と電氣的に接続される。トランジスタ WTr [i] のソースまたはドレインの一方は導電体128 [i] と電氣的に接続され、他方は、導電体128 [$i-1$] と電氣的に接続される。トランジスタ WTr [i] のゲートは導電体 WWL [i] と電氣的に接続される。

[0394]

<メモリストリングの動作例>

続いて、図27に示したメモリストリング120の動作例を説明する。

[0395]

[書き込み動作]

本実施の形態では、記憶素子 MC [1] および記憶素子 MC [3] に H 電位を書き込み、他の記憶素子 MC に L 電位を書き込む場合の動作例を説明する。図29は書き込み動作を説明するタイミングチャートである。図30A乃至図34Bは、書き込み動作を説明するための回路図である。

[0396]

初期状態として、記憶素子 MC [1] 乃至記憶素子 MC [5] に L 電位が書き込まれているものとする。また、導電体 WWL [1] 乃至導電体 WWL [5]、導電体 RWL [1] 乃至導電体 RWL [5]、導電体 $WSEL$ 、導電体 $RSEL$ 、導電体 BG 、導電体 WBL 、導電体 RBL 、導電体 SG 、および導電体122に L 電位が供給されているものとする。なお、導電体 BG は、トランジスタ RTr の閾値を制御することができる。トランジスタ RTr が所望のノーモリーオン型のトランジスタとなるよう、導電体 BG に供給する電位を適宜調整してもよい。なお導電体 $WSEL$ および導電体 $RSEL$ は共通の導電体であるとして説明するが、異なる導電体としてもよい。

[0397]

[期間T1]

期間T1において、導電体WWL [1] 乃至導電体WWL [5]、導電体WBL、および導電体WSEL（および導電体RSEL）にH電位を供給する（図30A参照。）。すると、ノードND [1] 乃至ノードND [5] の電位がH電位になる。

[0398]

[期間T2]

期間T2において、導電体WWL [1] にL電位を供給する（図30B参照。）。すると、トランジスタWTr [1] がオフ状態になり、ノードND [1] に書き込まれた電荷が保持される。ここでは、H電位に相当する電荷が保持される。

[0399]

[期間T3]

期間T3において、導電体WBLにL電位を供給する（図31A参照。）。すると、ノードND [2] 乃至ノードND [5] の電位がL電位になる。この時、導電体128 [2] 乃至導電体128 [5] もL電位になるが、トランジスタRTr はノーマリーオン型のトランジスタであるため、トランジスタRTr [2] 乃至トランジスタRTr [5] はオフ状態にならない。

[0400]

[期間T4]

期間T4において、導電体WWL [2] にL電位を供給する（図31B参照。）。すると、トランジスタWTr [2] がオフ状態になり、ノードND [2] に書き込まれた電荷が保持される。ここでは、L電位に相当する電荷が保持される。

[0401]

[期間T5]

期間T5において、導電体WBLにH電位を供給する（図32A参照。）。すると、ノードND [3] 乃至ノードND [5] の電位がH電位になる。

[0402]

[期間T6]

期間T6において、導電体WWL [3] にL電位を供給する（図32B参照。）。すると、トランジスタWTr [3] がオフ状態になり、ノードND [3] に書き込まれた電荷が保持される。ここでは、H電位に相当する電荷が保持される。

[0403]

[期間T7]

期間T7において、導電体WBLにL電位を供給する（図33A参照。）。すると、ノードND [4] およびノードND [5] の電位がL電位になる。

[0404]

[期間T8]

期間T8において、導電体WWL [4] にL電位を供給する（図33B参照。）。すると、トランジスタWTr [4] がオフ状態になり、ノードND [4] に書き込まれた電荷が保持される。ここでは、L電位に相当する電荷が保持される。

[0405]

[期間T 9]

期間T 9において、導電体WBLをL電位のままとする(図3 4 A参照。)。よって、ノードND [5] の電位もL電位のままである。

[0 4 0 6]

[期間T 1 0]

期間T 1 0において、導電体WWL [5] にL電位を供給する(図3 4 B参照。)。すると、トランジスタWTr [5] がオフ状態になり、ノードND [5] に書き込まれた電荷が保持される。ここでは、L電位に相当する電荷が保持される。また、導電体WSEL (および導電体RSEL) にL電位を供給する。

[0 4 0 7]

このようにして、記憶素子MCに情報を書き込むことができる。

[0 4 0 8]

なお、複数の記憶素子MCのうち、i 番目 (i = 1 を除く) の記憶素子MCに情報を書き込む場合は、i - 1 番目までの記憶素子MCに対する情報の書き込み動作を省略することができる。例えば、記憶素子MC [4] に情報を書き込みたい場合は、記憶素子MC [1] 乃至記憶素子MC [3] に対する情報の書き込み動作を行わなくてもよい。言い換えると、本実施の形態に示した期間T 1 乃至期間T 6 までの書き込み動作を省略することができる。よって、記憶装置の書き込み動作に係る時間と、消費電力を低減できる。

[0 4 0 9]

[読み出し動作]

上記回路構成のメモリストリング1 2 0 の読み出し動作例を説明する。初期状態として、記憶素子MC [1] および記憶素子MC [3] にH電位が保持されているものとする。また、導電体WWL [1] 乃至導電体WWL [5]、導電体RWL [1] 乃至導電体RWL [5]、導電体WSEL、導電体RSEL、導電体BG、導電体WBL、導電体RBL、導電体SG、および導電体1 2 2 にL電位が供給されているものとする。図3 5 Aおよび図3 5 Bは読み出し動作を説明するタイミングチャートである。図3 6 A乃至図3 7 Bは読み出し動作を説明するための回路図である。

[0 4 1 0]

<保持電位がH電位の場合>

まず、H電位が保持されている記憶素子MC [3] の読み出し動作について説明する。

[0 4 1 1]

[期間T 1 1]

期間T 1 1において、導電体RWL [1] 乃至導電体RWL [5]、および導電体RSEL (および導電体WSEL) にH電位を供給する(図3 6 A参照。)。すると、トランジスタSTr 2 (およびトランジスタSTr 3) がオン状態になり、トランジスタRTrが備える半導体1 2 7 と導電体RBLが導通する。この状態で、導電体RBLと半導体1 2 7 にH電位をプリチャージし、両者をフローティング状態にする。

[0 4 1 2]

ここで、トランジスタの $I_d - V_g$ 特性について説明しておく。図3 8 Aおよび図3 8 Bは、トランジスタの $I_d - V_g$ 特性を説明する図である。図3 8 Aおよび図3 8 Bの横軸はゲート電圧 (V_g)、縦軸はドレイン電流 (I_d) を示している。図3 8 Aはノーモリーオフ型トランジスタ

の $I_d - V_g$ 特性を示し、図 38 B はノーマリーオン型トランジスタの $I_d - V_g$ 特性を示している。

[0413]

H 電位は L 電位よりも高い電位である。L 電位を 0 V とすると、H 電位は正の電圧である。ノーマリーオフ型トランジスタでは、 V_g が L 電位 (0 V) の時のチャネル抵抗値 (ソースとドレイン間の抵抗値) が極めて大きく I_d がほとんど流れない。また、 V_g が H 電位になるとチャネル抵抗値が低下し、 I_d が増加する (図 38 A 参照。)

[0414]

ノーマリーオン型トランジスタでは、 V_g が L 電位の時でもチャネル抵抗値が小さく、ノーマリーオフ型トランジスタと比較して多くの I_d が流れる。また、 V_g が H 電位になるとチャネル抵抗値がさらに小さくなり、 I_d がさらに増加する (図 38 B 参照。)

[0415]

トランジスタ R_{Tr} はノーマリーオン型のトランジスタであるため、導電体 R_{WL} の電位が L 電位のままだでも半導体 127 へのプリチャージは可能である。しかしながら、導電体 R_{WL} に H 電位を供給することで、トランジスタ R_{Tr} のオン抵抗が下がるため、プリチャージに必要な時間と消費電力を低減できる。

[0416]

[期間 T12]

期間 T12 において、導電体 R_{WL} [3] に L 電位を供給する (図 36 B 参照。)。ノード ND [3] には H 電位が保持されているため、導電体 R_{WL} [3] の電位が L 電位になってもトランジスタ R_{Tr} [3] のチャネル抵抗値が小さいままとする。

[0417]

[期間 T13]

期間 T13 において、導電体 S_G に H 電位を供給し、トランジスタ S_{Tr1} をオン状態にする (図 37 A 参照。)。すると、導電体 R_{BL} と導電体 122 が導通する。この時、導電体 R_{WL} [1]、導電体 R_{WL} [2]、導電体 R_{WL} [4]、および導電体 R_{WL} [5] に H 電位が供給されているため、トランジスタ R_{Tr} [1]、トランジスタ R_{Tr} [2]、トランジスタ R_{Tr} [4]、およびトランジスタ R_{Tr} [5] のチャネル抵抗値は、ノード ND の電位にかかわらず小さくなっている。導電体 R_{WL} [3] には L 電位が供給されているが、ノード ND [3] に H 電位が保持されているため、トランジスタ R_{Tr} [3] のチャネル抵抗値も小さくなっている。このため、フローティング状態である導電体 R_{BL} の電位が、H 電位から L 電位へ急激に変化する (図 35 A 参照)。

[0418]

[期間 T14]

期間 T14 において、導電体 R_{SEL} (および導電体 W_{SEL})、導電体 R_{WL} 、および導電体 S_G に L 電位を供給する (図 37 B 参照。)

[0419]

<保持電位が L 電位の場合>

次に、L 電位が保持されている記憶素子 MC [2] の読み出し動作について説明する。記憶素子 MC [2] に保持されている情報 (電位) を読み出す場合は、期間 T12 において、導電体 R_{WL}

[2] の電位をL電位にする(図35B参照。)。この時、ノードND[2]にはL電位が保持されているため、トランジスタRTr[2]のチャネル抵抗値は大きいままである。

[0420]

続いて、期間T13において導電体SGにH電位を供給し、導電体RBLと導電体122を導通させる。この時、トランジスタRTr[2]のチャネル抵抗値が大きいため、導電体RBLのH電位からL電位への電位変化が緩やかになる。

[0421]

このように、期間T13において、読み出したい記憶素子MCに対応する導電体RWLの電位をL電位にすることで、当該記憶素子MCに保持されている情報を知ることができる。

[0422]

<変形例>

図39に、メモリストリング120の変形例であるメモリストリング120Aの回路構成例を示す。

[0423]

図39に示すメモリストリング120Aでは、トランジスタSTr3のソースまたはドレインの他方は、導電体BLと電氣的に接続される。また、トランジスタSTr2のソースまたはドレインの他方は、導電体BLと電氣的に接続される。

[0424]

書き込み動作時はトランジスタSTr3をオン状態にし、トランジスタSTr2をオフ状態にする。読み出し動作時はトランジスタSTr3をオフ状態にし、トランジスタSTr2をオン状態にする。導電体BLを介して情報の書き込みまたは読み出しを行う際に、それぞれ専用のトランジスタで情報伝達経路の切り替えを行うことができる。よって、記憶装置の動作が安定し、記憶装置の信頼性を高めることができる。

[0425]

また、図40に示すメモリストリング120Bのように、トランジスタSTr2とトランジスタSTr3とを共通にしてよい。この場合、トランジスタSTr2のソースまたはドレインの他方を導電体BLと電氣的に接続すればよい。書き込み動作および読み出し動作は導電体BLを介して情報の書き込みおよび読み出しを行う。書き込み動作と読み出し動作のそれぞれで共通の導電体BLを設けることで、配線数の削減を図ることができる。

[0426]

図41に示すメモリストリング120Cは、メモリストリング120にトランジスタSTr4を追加した回路構成を有する。トランジスタSTr4のソースまたはドレインの一方は、トランジスタWTr[1]のソースまたはドレインの一方と電氣的に接続され、他方は導電体WBL[2]と電氣的に接続される。トランジスタSTr4のゲートは導電体WSEL[2]と電氣的に接続される。

[0427]

また、メモリストリング120Cでは、トランジスタSTr3のゲートが導電体WSEL[1]と電氣的に接続され、トランジスタSTr3のソースまたはドレインの他方が導電体WBL[1]と電氣的に接続される。なお、図39に示したように、トランジスタSTr2およびトランジスタSTr3を導電体BLと電氣的に接続する回路構成としてもよい。

[0428]

メモリストリング120Cは、情報の書き込みを導電体WBL[1]および導電体WBL[2]の双方から行うことができる。よって、情報の書き込み速度を高めることができる。また、書き込む情報に相当する電荷の供給をより確実に行うことができる。

[0429]

また、i番目の記憶素子MCに情報を書き込む場合、iがnに近い場合は導電体WBL[1]側から情報を書き込むことで、1番目乃至i-1番目までの記憶素子MCの情報の書き込み動作を省略することができる。また、iが1に近い場合は導電体WBL[2]側から情報を書き込むことで、i+1番目乃至n番目までの記憶素子MCの情報の書き込み動作を省略することができる。メモリストリング120Cでは、書き込み動作に係る時間と、消費電力をさらに低減できる。

[0430]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0431]

(実施の形態4)

本実施の形態では、記憶装置100を含む半導体装置200の構成例について説明する。

[0432]

図42に、本発明の一態様である半導体装置200の構成例を示すブロック図を示す。図42に示す半導体装置200は、駆動回路210と、メモリアレイ220と、を有する。メモリアレイ220は、1以上の記憶装置100を有する。図42では、メモリアレイ220がマトリクス状に配置された複数の記憶装置100を有する例を示している。

[0433]

駆動回路210は、PSW241（パワースイッチ）、PSW242、および周辺回路215を有する。周辺回路215は、周辺回路211、コントロール回路212（Control Circuit）、および電圧生成回路228を有する。なお、半導体装置200は、メモリアレイ220、PSW241、PSW242、周辺回路211、コントロール回路212、電圧生成回路228などの様々な機能を有する素子または回路などを有する。そのため、半導体装置200をシステム、またはサブシステムと呼称してもよい。

[0434]

半導体装置200において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0435]

また、信号BW、信号CE、および信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路212で生成してもよい。

[0436]

コントロール回路212は、半導体装置200の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GWおよび信号BWを論理演算して、半導体装置200の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路212は、この動作モードが実行されるように、周辺回路211の制御信号を生成する。

[0437]

電圧生成回路228は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路228への入力を制御する機能を有する。例えば、信号WAKEとしてHレベルの信号が与えられると、信号CLKが電圧生成回路228へ入力され、電圧生成回路228は負電圧を生成する。

[0438]

周辺回路211は、記憶装置100に対するデータの書き込みおよび読み出しをするための回路である。周辺回路211は、行デコーダ221 (Row Decoder)、列デコーダ222 (Column Decoder)、行ドライバ223 (Row Driver)、列ドライバ224 (Column Driver)、入力回路225 (Input Cir.)、出力回路226 (Output Cir.)、センスアンプ227 (Sense Amplifier)を有する。

[0439]

行デコーダ221および列デコーダ222は、信号ADDRをデコードする機能を有する。行デコーダ221は、アクセスする行を指定するための回路であり、列デコーダ222は、アクセスする列を指定するための回路である。行ドライバ223は、行デコーダ221が指定する配線を選択する機能を有する。列ドライバ224は、データを記憶装置100に書き込む機能、記憶装置100からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0440]

入力回路225は、信号WDAを保持する機能を有する。入力回路225が保持するデータは、列ドライバ224に出力される。入力回路225の出力データが、記憶装置100に書き込むデータ (Din) である。列ドライバ224が記憶装置100から読み出したデータ (Dout) は、出力回路226に出力される。出力回路226は、Doutを保持する機能を有する。また、出力回路226は、Doutを半導体装置200の外部に出力する機能を有する。出力回路226から出力されるデータが信号RDAである。

[0441]

PSW241は周辺回路215への V_{DD} の供給を制御する機能を有する。PSW242は、行ドライバ223への V_{HM} の供給を制御する機能を有する。ここでは、半導体装置200の高電源電圧が V_{DD} であり、低電源電圧はGND (接地電位) である。また、 V_{HM} は、ワード線を高レベルにするために用いられる高電源電圧であり、 V_{DD} よりも高い。信号PON1によってPSW241のオン・オフが制御され、信号PON2によってPSW242のオン・オフが制御される。図42では、周辺回路215において、 V_{DD} が供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0442]

駆動回路210とメモリアレイ220は同一平面上に設けてもよい。また、図43Aに示すように、駆動回路210とメモリアレイ220を重ねて設けてもよい。駆動回路210とメモリアレイ220を重ねて設けることで、信号伝搬距離を短くすることができる。また、図43Bに示すよう

に、駆動回路210上にメモリアレイ220を複数層重ねて設けてもよい。

[0443]

また、図43Cに示すように、駆動回路210の上層および下層に、メモリアレイ220を設けてもよい。図43Cでは、駆動回路210の上層および下層にそれぞれ1層のメモリアレイ220を設ける例を示している。複数のメモリアレイ220で駆動回路210を挟むように配置することで、信号伝搬距離をさらに短くすることができる。なお、駆動回路210の上層に積層されるメモリアレイ220と、駆動回路210の下層に積層されるメモリアレイ220の層数は、それぞれ1層以上であればよい。駆動回路210の上層に積層されるメモリアレイ220の数と、駆動回路210の下層に積層されるメモリアレイ220の数は等しいことが好ましい。

[0444]

＜半導体装置200の断面構成例＞

図44に、図43Aに示す半導体装置200の断面構成例を示す。図44では図43Aに示す半導体装置200の一部を示している。

[0445]

図44では、駆動回路210に含まれる、トランジスタ301、トランジスタ302、およびトランジスタ303を示している。なお、トランジスタ301、およびトランジスタ302は、センスアンプ227の一部として機能する。また、トランジスタ303は列選択スイッチとして機能する。具体的には、メモリアレイ220に含まれる導電体RBLは、トランジスタ301のソースおよびドレインの一方と電氣的に接続し、トランジスタ301のゲートは、トランジスタ302のソースおよびドレインの一方と電氣的に接続し、トランジスタ302のゲートは、トランジスタ301のソースおよびドレインの他方と電氣的に接続する。また、トランジスタ301のソースおよびドレインの一方と、トランジスタ302のソースおよびドレインの他方は、列選択スイッチとして機能する、トランジスタ303のソースおよびドレインの一方と電氣的に接続する。これにより半導体装置200のレイアウト面積を縮小することができる。なお、図44には、1つのメモリストリングあたり、5個の記憶素子MCを設けた例を示している。ただし、1つのメモリストリングに設ける記憶素子MCの数はこれに限らない。例えば、1つのメモリストリングに設ける記憶素子MCの数は、32、64、128または、200以上でもよい。

[0446]

メモリアレイ220の導電体RBLは、導電体715、導電体714、導電体705、および絶縁体726、絶縁体722などに、埋め込まれるように形成された導電体752を介して、センスアンプ227、または列選択スイッチとして機能するトランジスタ303と電氣的に接続している。なお、駆動回路210が有する回路およびトランジスタは、一例であり、その回路構成、およびトランジスタ構造に限定されない。上記以外にも、制御回路、行デコーダ、行ドライバ、ソース線ドライバ、入出力回路など、半導体装置200の構成、ならびにその駆動方法に応じて適切な回路およびトランジスタを設けることができる。

[0447]

トランジスタ301、トランジスタ302、およびトランジスタ303は、基板311上に設けられ、それぞれ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。なお、図44に示すように、一つの低抵抗領域を、トランジスタ301およびトラン

ジスタ 302 の、一方のソース領域またはドレイン領域、かつ他方のソース領域またはドレイン領域として共有する場合がある。

[0448]

トランジスタ 301、トランジスタ 302、およびトランジスタ 303 は、チャネルが形成される半導体領域 313（基板 311 の一部）が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 301、トランジスタ 302、およびトランジスタ 303 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0449]

トランジスタ 301、トランジスタ 302、およびトランジスタ 303 は、それぞれ p チャネル型、あるいは n チャネル型のいずれでもよいが、トランジスタ 301 とトランジスタ 302 は、それぞれ異なる極性を有するトランジスタであることが好ましい。

[0450]

半導体領域 313 のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 314 a、および低抵抗領域 314 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、G e（ゲルマニウム）、S i G e（シリコンゲルマニウム）、G a A s（ヒ化ガリウム）、G a A l A s（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または G a A s と G a A l A s 等を用いることで、トランジスタ 301、トランジスタ 302、およびトランジスタ 303 を H E M T（H i g h E l e c t r o n M o b i l i t y T r a n s i s t o r）としてもよい。

[0451]

低抵抗領域 314 a、および低抵抗領域 314 b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

[0452]

絶縁体 315 は、トランジスタ 301、トランジスタ 302、およびトランジスタ 303 のゲート絶縁膜として機能する。

[0453]

ゲート電極として機能する導電体 316 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0454]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することでしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウ

ムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

[0455]

また、導電体316の上方には、エッチストッパーとして機能する絶縁体317が設けられていることが好ましい。また、絶縁体315の側面には、スペーサーとして機能する絶縁体318が設けられていることが好ましい。絶縁体317および絶縁体318を設けることで、低抵抗領域314a、および低抵抗領域314bと導電体328が電氣的に接続する領域が自己整合的に定めることができる。よって、低抵抗領域314a、および低抵抗領域314bの一部を露出するための開口を形成する際に、アライメントずれが生じたとしても、意図した領域を露出するための開口を形成することができる。このようにして形成された開口に、導電体328を形成することで、低抵抗領域314a、および低抵抗領域314bと導電体328の間で、コンタクト抵抗が低減した良好なコンタクトが得られる。このようにして形成された低抵抗領域314a、および低抵抗領域314bと導電体328とのコンタクトを、セルフアラインコンタクトと呼ぶ場合がある。また、絶縁体317、および絶縁体322に埋め込まれるように、導電体316と電氣的に接続する導電体329を設けてもよい。

[0456]

トランジスタ301、トランジスタ302、およびトランジスタ303を覆って、絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327が順に積層して設けられている。

[0457]

絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0458]

絶縁体322は、その下方に設けられるトランジスタ301などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

[0459]

また、絶縁体324には、基板311、またはトランジスタ301などから、メモリアレイ220が設けられる領域に、水素および不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0460]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、記憶素子MC等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、記憶素子MCと、トランジスタ301などとの間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0461]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積あたりに換算して、10

$\times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0462]

なお、絶縁体326、および絶縁体327は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326、および絶縁体327の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326、および絶縁体327の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0463]

また、絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327にはメモリアレイ220と電気的に接続する導電体328、導電体329、および導電体330等が埋め込まれている。なお、導電体328、導電体329、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0464]

各プラグ、および配線（導電体328、導電体329、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0465]

絶縁体327、および導電体330上に、配線層を設けてもよい。例えば、図44において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、導電体329、および導電体330と同様の材料を用いて設けることができる。

[0466]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ301などと、記憶素子MCとは、バリア層により分離することができ、トランジスタ301などから記憶素子MCへの水素の拡散を抑制することができる。

[0467]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ301などからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構

造であることが好ましい。

[0468]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図44において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線としての機能を有する。なお導電体366は、導電体328、導電体329、および導電体330と同様の材料を用いて設けることができる。

[0469]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ301などと、記憶素子MCとは、バリア層により分離することができ、トランジスタ301などから記憶素子MCへの水素の拡散を抑制することができる。

[0470]

絶縁体364、および導電体366上には絶縁体722が設けられ、さらに絶縁体722の上方には、メモリアレイ220が設けられている。絶縁体364と絶縁体722の間に、絶縁体324と同様の材料を用いたバリア膜を設けてもよい。

[0471]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0472]

(実施の形態5)

本実施の形態では、本発明の一態様の記憶装置の応用例について説明する。

[0473]

一般に、コンピュータは、構成要素として、マザーボード上にプロセッサ、メインメモリ、ストレージなどを有し、それぞれの構成要素は、一例として、バス配線によって、電氣的に接続されている。このため、バス配線が長くなるほど寄生抵抗が大きくなるため、信号の送信に必要な消費電力も高くなる。

[0474]

具体的には、コンピュータとしては、例えば、図45Aに示すような構成となる。コンピュータは、マザーボードBDを有し、またマザーボードBD上には、演算処理装置（プロセッサ、CPUなど）1010、メインメモリ（DRAM（Dynamic Random Access Memory）など）1030、ストレージ（三次元構造のNAND型（3D NAND型）の記憶装置、3D OS NAND型の記憶装置など）1040、インターフェース1060などが設けられている。なお、図45には、メインメモリとしても機能するSRAM（Static Random Access Memory）1020も図示しているが、マザーボードBD上に必ずしも設けなくてもよい。

[0475]

なお、図45には、演算処理装置1010がレジスタ1011を有する構成を図示している。

[0476]

図45Aにおいて、演算処理装置1010は、SRAM1020と、メインメモリ1030と、ストレージ1040と、インターフェース1060と、に電氣的に接続されている。また、メインメモリ1030は、SRAM1020と、ストレージ1040と、に電氣的に接続されている。

[0477]

なお、図45Aのコンピュータの各構成要素は、バス配線BSHによって電氣的に接続されている。つまり、コンピュータの構成要素が増えるほど、又は、マザーボードBDが大きくなるほど、引き回されるバス配線BSHが長くなるため、信号の送信に必要な消費電力が高くなる。

[0478]

ところで、図45Aのコンピュータは、当該コンピュータの各構成要素を1個のチップにまとめて、モノリシックIC(Integrated Circuit)にまとめてもよい。また、このとき、上記の実施の形態で説明した、図10などの記憶装置をメインメモリ1030及びストレージ1040として適用することができる。このように、図45AのコンピュータをモノリシックICとしたものを図45Bに示す。

[0479]

図45BのモノリシックICは、Siを有する半導体基板上に、回路層LGCを有する。また、回路層LGCの上部に記憶層STRを有し、記憶層STRの上部に回路層OSCを有する。

[0480]

回路層LGCは、例えば、Siを有する半導体基板SBTに形成されるSiトランジスタを含む複数の回路を有する。当該複数の回路の一部としては、例えば、図45Aにおける、演算処理装置1010、SRAM1020などとすることができる。また、図10などの記憶装置をメインメモリ1030及びストレージ1040として適用した場合、当該複数の回路の一部としては、情報処理装置1050に含まれているコントローラ1197とすることができる。

[0481]

特に、SRAM1020は、一例として、Siトランジスタを用いることによって、SRAMの駆動周波数を高くすることができる。

[0482]

記憶層STRは、Siトランジスタ、及び／又はOSTランジスタを有する記憶部として機能する。記憶層STRとしては、例えば、三次元構造のNAND型の記憶回路、3DOSNAND型の記憶回路などとすることができる。そのため、記憶層STRは、図10の記憶装置、図45Aにおけるストレージ1040などを有する。

[0483]

なお、3DOSNAND型の記憶回路を用いることによって、図45BのモノリシックICの消費電力を低減することができる。

[0484]

回路層OSCは、例えば、OSTランジスタを含む複数の回路を有する。当該複数の回路の一部としては、例えば、演算処理装置1010、SRAM1020など回路層LGCに含まれている回路とは異なる、回路とすることができる。

[0485]

図45BのモノリシックICでは、マザーボード上に引き回すためのバス配線BSHを設けてい

ないため、それぞれの構成要素同士を電氣的に接続する配線が短くなる。このため、信号の送信に必要な消費電力を低くすることができる。

[0486]

また、図45BのモノリシックICは、情報処理装置1050を有している。このため、情報処理装置1050は、図45Aにおけるストレージ1040と、メインメモリ1030と、の役割として機能する。このため、図45BのモノリシックICにおいて、記憶層STRの記憶部1196が、メインメモリ1030の機能を有することができる。

[0487]

バス配線BSHを設けていない点、メインメモリ1030の代替として記憶部1196を用いる点によって、図45BのモノリシックICは、図45Aのコンピュータよりも回路面積を低減することができる。

[0488]

次に、図45Aのコンピュータ、及び図45BのモノリシックICの記憶階層の一例をそれぞれ図46A、及び図46Bに示す。

[0489]

一般に、記憶階層は、上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図46Aでは、一例として、最上層から順にCPU（演算処理装置1010）に含まれているレジスタ（register）と、SRAMと、メインメモリ（main memory）1030に含まれているDRAMと、ストレージ（storage）1040に含まれている三次元構造のNAND型の記憶回路と、を示している。

[0490]

演算処理装置1010に含まれているレジスタと、SRAMと、は、演算結果の一時保存などに用いられるため、演算処理装置1010からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0491]

メインメモリ1030に含まれているDRAMは、一例として、ストレージ1040から読み出されたプログラムおよびデータを保持する機能を有する。DRAMの記録密度は、およそ0.1 Gbit/mm²乃至0.3 Gbit/mm²である。

[0492]

ストレージ1040は、長期保存が必要なデータ、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージ1040には動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージ1040に用いられる記憶装置の記録密度は、およそ0.6 Gbit/mm²乃至6.0 Gbit/mm²である。このため、ストレージ1040としては、三次元構造のNAND型の記憶回路、ハードディスクドライブ（HDD）などが用いられる。

[0493]

ところで、図45BのモノリシックICは、図45Aのストレージ1040、及びメインメモリ1030の役割を有するため、図45BのモノリシックICの記憶階層は図46Bに示すとおりとなる。

[0494]

つまり、図45BのモノリシックICにおいて、情報処理装置1050の記憶部に含まれている

メモリセルは、記憶部のキャッシュメモリだけでなく、図45Aのコンピュータにおけるメインメモリ1030として扱うことができる。このため、図45BのモノリシックICでは、DRAMなどのメインメモリ1030を設ける必要がなくなるため、図45BのモノリシックICの回路面積を低減することができ、また、DRAMなどのメインメモリ1030を動作させることに必要な消費電力を低減することができる。

[0495]

なお、図45Bに示したモノリシックICの構成は、一例であり、本発明の一態様に限定されない。図45Bに示したモノリシックICは、状況に応じて、構成を変更してもよい。例えば、図45BのモノリシックICにおいて、例えば、SRAMとして1GHz以上の高速なメモリが求められる場合には、SRAMは、演算処理装置に混載されてもよい。

[0496]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0497]

(実施の形態6)

本実施の形態では、図47Aおよび図47Bを用いて、本発明の記憶装置が実装された半導体装置の一種であるチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

[0498]

図47Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0499]

チップ1200には、バンプ（図示しない）が設けられ、図47Bに示すように、プリント基板（Printed Circuit Board: PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0500]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。フラッシュメモリ1222として、先の実施の形態に示す半導体装置を用いることが好ましい。先の実施の形態に示す半導体装置をフラッシュメモリ1222に用いることで、フラッシュメモリ1222の記憶容量を大きくすることができる。

[0501]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。また、GPU1212は、多数のデータの並列計算に適しており、画像処理および積和演算に用いることができる。GPU1212に、画像処理回路、および積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0502]

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0503]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0504]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0505]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0506]

ネットワーク回路1216は、LAN（Local Area Network）などと接続するためのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0507]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0508]

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0509]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0510]

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

[0511]

(実施の形態7)

本実施の形態では、先の実施の形態に示す記憶装置を用いた半導体装置の応用例について説明する。先の実施の形態に示す記憶装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用することができる。図48A乃至図48Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0512]

図48AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

[0513]

図48BはSDカードの外観の模式図であり、図48Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

[0514]

図48DはSSDの外観の模式図であり、図48Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

[0515]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0516]

(実施の形態8)

図49A乃至図49Gに、本発明の一態様に係る記憶装置または半導体装置を搭載した電子機器

の具体例を示す。

[0517]

＜電子機器・システム＞

本発明の一態様に係る記憶装置または半導体装置は、様々な電子機器に搭載することができる。電子機器の例としては、例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、テレビジョン装置、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、録画再生装置、ナビゲーションシステム、音響再生装置、などが挙げられる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0518]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像、情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0519]

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

[0520]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0521]

[情報端末]

本発明の一態様に係る記憶装置または半導体装置を用いて、マイクロコントローラのプログラム保持用記憶装置を形成することができる。よって、本発明の一態様によれば、マイクロコントローラチップを小型にすることができる。

[0522]

図49Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、携帯電話内部の限られた空間を有効に利用することができる。また、携帯電話のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

[0523]

図49Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。本発明の一態様

に係る、小型化されたマイクロコントローラを用いることで、ノート型情報端末内部の限られた空間を有効に利用することができる。また、ノート型情報端末のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

[0524]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図49A、図49Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0525]

[ゲーム機]

図49Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに本発明の一態様に係る記憶装置または半導体装置などを組み込むことができる。

[0526]

また、図49Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

[0527]

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、ゲーム機内部の限られた空間を有効に利用することができる。また、携帯ゲーム機のストレージに、本発明の一態様に係る記憶装置または半導体装置などを用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

[0528]

図49C、図49Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のマイクロコントローラを適用するゲーム機はこれに限定されない。本発明の一態様のマイクロコントローラを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0529]

[大型コンピュータ]

本発明の一態様の記憶装置または半導体装置などは、大型コンピュータに適用することができる。

[0530]

図４９Ｅは、大型コンピュータの一例である、スーパーコンピュータ５５００を示す図である。
図４９Ｆは、スーパーコンピュータ５５００が有するラックマウント型の計算機５５０２を示す図である。

[０５３１]

スーパーコンピュータ５５００は、ラック５５０１と、複数のラックマウント型の計算機５５０２と、を有する。なお、複数の計算機５５０２は、ラック５５０１に格納されている。また、計算機５５０２には、複数の基板５５０４が設けられ、当該基板上に本発明の一態様に係るマイクロコントローラを搭載することができる。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、大型コンピュータの限られた空間を有効に利用することができる。また、大型コンピュータのストレージに、本発明の一態様に係る記憶装置または半導体装置などを用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

[０５３２]

図４９Ｅ、図４９Ｆでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様に係るマイクロコントローラを適用する大型コンピュータはこれに限定されない。本発明の一態様に係るマイクロコントローラを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[０５３３]

[電化製品]

図４９Ｇは、電化製品の一例である電気冷凍冷蔵庫５８００を示している。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

[０５３４]

本発明の一態様に係る記憶装置または半導体装置などは、電気冷凍冷蔵庫５８００に適用することもできる。例えば、電気冷凍冷蔵庫５８００に本発明の一態様に係る小型化されたマイクロコントローラを適用することによって、電気冷凍冷蔵庫の限られた空間を有効に利用することができる。

[０５３５]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバー、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[０５３６]

本実施の形態で説明した電子機器、その電子機器の機能、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[０５３７]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[０５３８]

２１：層、３１：層、４１：層、５０：構造体、５３：領域、５８：領域、６０：酸化物、６４：酸化物、１００：記憶装置、１０５：領域、１１０：メモリセルアレイ、１２０：メモリストリン

グ、120A:メモリストリング、120B:メモリストリング、120C:メモリストリング、
 121:基体、122:導電体、123:絶縁体、123A:絶縁膜、124:絶縁体、124A:絶縁膜、125:半導体、125A:半導体膜、125B:半導体、126:絶縁体、126A:絶縁膜、126B:絶縁体、127:半導体、127A:半導体膜、128:導電体、128A:導電膜、129:絶縁体、129A:絶縁膜、130:導電体、130A:導電膜、131:絶縁体、131A:絶縁体、132:絶縁体、135:絶縁体、135A:絶縁膜、136:導電体、136A:導電膜、137:絶縁体、137A:絶縁膜、138:絶縁体、138A:絶縁膜、139:絶縁体、140:マスク、140A:マスク、140B:マスク、141:開口、142:領域、143:領域、150:絶縁体、156:絶縁体、161:導電体、162:導電体、163:導電体、164:導電体、165:導電体、166:導電体、171:導電体、172:導電体、173:導電体、174:導電体、175:導電体、176:導電体、181:絶縁体、182:導電体、183:導電体、185:軸、200:半導体装置、210:駆動回路、211:周辺回路、212:コントロール回路、215:周辺回路、220:メモリアレイ、221:行デコーダ、222:列デコーダ、223:行ドライバ、224:列ドライバ、225:入力回路、226:出力回路、227:センサアンプ、228:電圧生成回路、241:PSW、242:PSW、301:トランジスタ、302:トランジスタ、303:トランジスタ、311:基板、313:半導体領域、314a:低抵抗領域、314b:低抵抗領域、315:絶縁体、316:導電体、317:絶縁体、318:絶縁体、320:絶縁体、322:絶縁体、324:絶縁体、326:絶縁体、327:絶縁体、328:導電体、329:導電体、330:導電体、350:絶縁体、352:絶縁体、354:絶縁体、356:導電体、360:絶縁体、362:絶縁体、364:絶縁体、366:導電体、705:導電体、714:導電体、715:導電体、722:絶縁体、726:絶縁体、752:導電体、1010:演算処理装置、1011:レジスタ、1020:SRAM、1030:メインメモリ、1040:ストレージ、1050:情報処理装置、1060:インターフェース、1100:USBメモリ、1101:筐体、1102:キャップ、1103:USBコネクタ、1104:基板、1105:メモリチップ、1106:コントローラチップ、1110:SDカード、1111:筐体、1112:コネクタ、1113:基板、1114:メモリチップ、1115:コントローラチップ、1150:SSD、1151:筐体、1152:コネクタ、1153:基板、1154:メモリチップ、1155:メモリチップ、1156:コントローラチップ、1196:記憶部、1197:コントローラ、1200:チップ、1201:PCB、1202:バンプ、1203:マザーボード、1204:GPUモジュール、1211:CPU、1212:GPU、1213:アナログ演算部、1214:メモリコントローラ、1215:インターフェース、1216:ネットワーク回路、1221:DRAM、1222:フラッシュメモリ、2700:製造装置、2701:大気側基板供給室、2702:大気側基板搬送室、2703a:ロードロック室、2703b:アンロードロック室、2704:搬送室、2706a:チャンバー、2706b:チャンバー、2706c:チャンバー、2706d:チャンバー、2761:カセットポート、2762:アライメントポート、2763a:搬送ロボット、2763b:搬送ロボット、2801:ガス供給源、2802:バルブ、2803:高周波発生器、2804:導波管、2805:モード変換器、2806:ガス管、2807:導波管、2808:スロットアンテナ板、2809:誘電体板、2810:高密度プラズマ、2811:基板、2811__n:基板、2811__n-1:基板、2811__n-2:基板、2811__1:基板、2811__

2 : 基板、2811__3 : 基板、2812 : 基板ホルダ、2813 : 加熱機構、2815 : マッチングボックス、2816 : 高周波電源、2817 : 真空ポンプ、2818 : バルブ、2819 : 排気口、2820 : ランプ、2821 : ガス供給源、2822 : バルブ、2823 : ガス導入口、2824 : 基板、2825 : 基板ホルダ、2826 : 加熱機構、2828 : 真空ポンプ、2829 : バルブ、2830 : 排気口、2900 : マイクロ波処理装置、2901 : 石英管、2902 : 基板ホルダ、2903 : 加熱手段、4000 : 成膜装置、4002 : 搬入搬出室、4004 : 搬入搬出室、4006 : 搬送室、4008 : 成膜室、4009 : 成膜室、4010 : 成膜室、4014 : 搬送アーム、4020 : チャンバー、4021 : 原料供給部、4021a : 原料供給部、4021b : 原料供給部、4022a : 高速バルブ、4022b : 高速バルブ、4023 : 原料導入口、4023a : 原料導入口、4023b : 原料導入口、4024 : 原料排出口、4025 : 排気装置、4026 : 基板ホルダ、4027 : ヒータ、4028 : プラズマ発生装置、4029 : コイル、4030 : 基板、4031 : 原料供給部、4033 : 原料導入口、4100 : プラズマALD装置、4111 : プラズマ生成室、4120 : 反応室、4123 : 原料導入口、4124 : 原料排出口、4126 : 基板ホルダ、4128 : プラズマ生成装置、4130 : 基板、4131 : プラズマ、4133 : 原料導入口、4200 : プラズマALD装置、4213 : 電極、4214 : シャワーヘッド、4215 : 電源、4217 : コンデンサ、4220 : チャンバー、4223 : 原料導入口、4224 : 原料排出口、4226 : 基板ホルダ、4230 : 基板、4231 : プラズマ、4300 : プラズマALD装置、4313 : 電極、4314 : シャワーヘッド、4315 : 電源、4317 : コンデンサ、4319 : メッシュ、4320 : チャンバー、4321 : 電源、4322 : コンデンサ、4323 : 原料導入口、4324 : 原料排出口、4326 : 基板ホルダ、4330 : 基板、4331 : プラズマ、5100 : 情報端末、5101 : 筐体、5102 : 表示部、5200 : ノート型情報端末、5201 : 本体、5202 : 表示部、5203 : キーボード、5300 : 携帯ゲーム機、5301 : 筐体、5302 : 筐体、5303 : 筐体、5304 : 表示部、5305 : 接続部、5306 : 操作キー、5400 : 据え置き型ゲーム機、5402 : コントローラ、5500 : スーパーコンピュータ、5501 : ラック、5502 : 計算機、5504 : 基板、5800 : 電気冷凍冷蔵庫、5801 : 筐体、5802 : 冷蔵室用扉、5803 : 冷凍室用扉

請求の範囲

[請求項 1]

金属酸化物を成膜する方法であって、

第 1 のプリカーサを第 1 のチャンバーに導入し、プラズマ状態の酸化剤を前記第 1 のチャンバーに導入する第 1 の工程と、

第 2 のプリカーサを前記第 1 のチャンバーに導入し、前記プラズマ状態の酸化剤を前記第 1 のチャンバーに導入する第 2 の工程と、

第 3 のプリカーサを前記第 1 のチャンバーに導入し、前記プラズマ状態の酸化剤を前記第 1 のチャンバーに導入する第 3 の工程と、

マイクロ波処理を行う第 4 の工程と、を有し、

前記第 1 乃至第 3 の工程を、それぞれ 1 回以上行うことを 1 サイクルとし、

前記 1 サイクルを複数回繰り返した後で、第 2 のチャンバー内で、前記第 4 の工程を行い、

前記第 1 乃至第 3 のプリカーサは、それぞれ異なる種類のプリカーサであり、

前記マイクロ波処理は、酸素ガスとアルゴンガスとを用いて行われ、

前記金属酸化物は、結晶領域を有し、

前記結晶領域の c 軸は、前記金属酸化物の被形成面の法線ベクトル、または前記金属酸化物の表面の法線ベクトルに概略平行である、

金属酸化物の成膜方法。

[請求項 2]

金属酸化物を成膜する方法であって、

第 1 のプリカーサを第 1 のチャンバーに導入し、酸化剤を前記第 1 のチャンバーに導入する第 1 の工程と、

第 2 のプリカーサを前記第 1 のチャンバーに導入し、前記酸化剤を前記第 1 のチャンバーに導入する第 2 の工程と、

第 3 のプリカーサを前記第 1 のチャンバーに導入し、前記酸化剤を前記第 1 のチャンバーに導入する第 3 の工程と、

マイクロ波処理を行う第 4 の工程と、を有し、

前記第 1 乃至第 3 の工程を、それぞれ 1 回以上行うことを 1 サイクルとし、

前記 1 サイクルを複数回繰り返した後で、第 2 のチャンバー内で、前記第 4 の工程を行い、

前記第 1 乃至第 3 のプリカーサは、それぞれ異なる種類のプリカーサであり、

前記マイクロ波処理は、酸素ガスとアルゴンガスとを用いて行われ、

前記金属酸化物は、結晶領域を有し、

前記結晶領域の c 軸は、前記金属酸化物の被形成面の法線ベクトル、または前記金属酸化物の表面の法線ベクトルに概略平行である、

金属酸化物の成膜方法。

[請求項 3]

金属酸化物を成膜する方法であって、

第 1 のプリカーサをチャンバーに導入し、プラズマ状態の酸化剤を前記チャンバーに導入する第 1 の工程と、

第 2 のプリカーサを前記チャンバーに導入し、前記プラズマ状態の酸化剤を前記チャンバーに導

入する第2の工程と、

第3のプリカーサを前記チャンバーに導入し、前記プラズマ状態の酸化剤を前記チャンバーに導入する第3の工程と、

前記酸化剤は、周波数が2.45GHzのマイクロ波を印加することでプラズマ状態となり、

前記第1乃至第3の工程を、それぞれ1回以上行うことを1サイクルとし、前記1サイクルを複数回繰り返す、

前記第1乃至第3のプリカーサは、それぞれ異なる種類のプリカーサであり、

前記金属酸化物は、結晶領域を有し、

前記結晶領域のc軸は、前記金属酸化物の被形成面の法線ベクトル、または前記金属酸化物の表面の法線ベクトルに概略平行である、

金属酸化物の成膜方法。

[請求項4]

請求項1または請求項2において、

前記第4の工程の後に、前記1サイクルを複数回繰り返す、

金属酸化物の成膜方法。

[請求項5]

請求項1乃至請求項4のいずれか一項において、

前記第1のプリカーサは、インジウムを有し、

前記第2のプリカーサは、元素M（Mはガリウム、アルミニウム、およびイットリウムのいずれか一または複数）を有し、

前記第3のプリカーサは、亜鉛を有し、

前記酸化剤は、オゾン、酸素、および水から選ばれた一、または複数を含む、

金属酸化物の成膜方法。

[請求項6]

第1の絶縁体と、

前記第1の絶縁体上の第1の開口を有する第1の導電体と、

前記第1の導電体上の第2の開口を有する第2の絶縁体と、

前記第2の絶縁体上の第3の開口を有する第2の導電体と、

前記第2の導電体上の第3の絶縁体と、

前記第1の開口乃至第3の開口内に設けられた金属酸化物と、

を有する記憶装置の作製方法であって、

前記第1の絶縁体を形成する工程と、

前記第1の絶縁体上に前記第1の導電体を形成する工程と、

前記第1の導電体上に前記第2の絶縁体を形成する工程と、

前記第2の絶縁体上に第4の絶縁体を形成する工程と、

前記第4の絶縁体上に前記第3の絶縁体を形成する工程と、

前記第4の絶縁体に前記第3の開口を形成する工程と、

前記第2の絶縁体に前記第2の開口を形成する工程と、

前記第1の導電体に前記第1の開口を形成する工程と、

前記第1の開口乃至第3の開口内に、ALD法によって前記金属酸化物を形成する工程と、

マイクロ波処理を行う工程と、
前記第4の絶縁体を除去する工程と、
前記第2の絶縁体と、前記第3の絶縁体との間に前記第2の導電体を形成する工程と、
を有し、
前記マイクロ波処理は、酸素ガスとアルゴンガスとを用いて行われ、
前記金属酸化物は、結晶領域を有し、
前記結晶領域のc軸は、前記金属酸化物の被形成面の法線ベクトル、または前記金属酸化物の表面の法線ベクトルに平行である、
記憶装置の作製方法。

[請求項7]

請求項6において、
前記第1の開口の径は、前記第2の開口の径より大きく、
前記第1の開口の径は、前記第3の開口の径より大きい、
記憶装置の作製方法。