

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2021 年 3 月 4 日 (04.03.2021)



(10) 国际公布号  
**WO 2021/036421 A1**

(51) 国际专利分类号:  
**G06F 1/12** (2006.01)

(21) 国际申请号: PCT/CN2020/096390

(22) 国际申请日: 2020 年 6 月 16 日 (16.06.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
201910785053.1 2019 年 8 月 23 日 (23.08.2019) CN

(71) 申请人: 北京希姆计算科技有限公司  
(**STREAM COMPUTING INC**) [CN/CN]; 中国北京市  
海淀区高里掌路 1 号院 6 号楼 202-24,  
Beijing 100080 (CN)。

(72) 发明人: 王王伟(**WANG, Weiwei**); 中国北京市海  
淀区高里掌路 1 号院 6 号楼 202-24, Beijing 100080

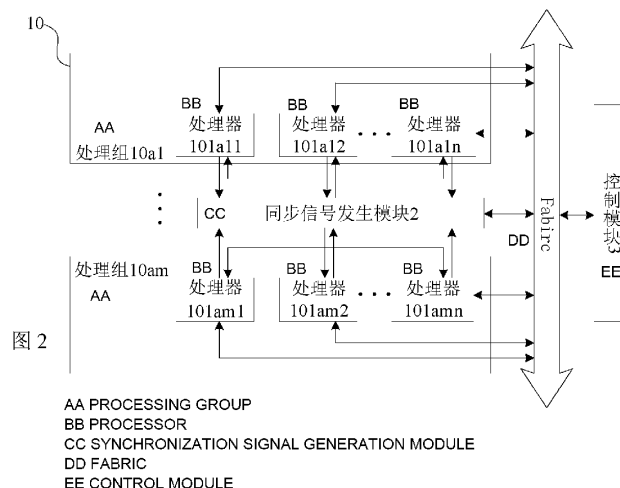
(CN)。罗飞(**LUO, Fei**); 中国北京市海淀区高里  
掌路 1 号院 6 号楼 202-24, Beijing 100080 (CN)。

(74) 代理人: 深圳舍穆专利代理事务所 (特  
殊普通合伙) 等(**SHENZHEN SERMON PATENT  
FIRM et al.**); 中国广东省深圳市宝安区新  
安街道留芳路 6 号庭威产业园 3 栋 5 楼 B2  
区, Guangdong 518101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家  
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,  
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,  
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,  
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,  
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,  
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** MULTI-CORE SYNCHRONIZATION SIGNAL GENERATION CIRCUIT, CHIP, AND SYNCHRONIZATION  
METHOD AND DEVICE

(54) 发明名称: 多核架构的同步信号产生电路、芯片和同步方法及装置



(57) **Abstract:** A multi-core synchronization signal generation circuit, a chip, and a synchronization method and device. The multi-core synchronization signal generation circuit is used to generate a synchronization signal for M node groups. The node groups comprise at least one node. M is an integer greater than or equal to 1. The synchronization signal generation circuit comprises: a synchronization signal generation unit (22) and M group preparation signal generation units (21a1-21am). The M group preparation signal generation units (21a1-21am) are in a one-to-one correspondence with the M node groups. A first group preparation signal generation unit (21a1) of the M group preparation signal generation units (21a1-21am) is connected to K nodes in a first node group to be synchronized. The first group preparation signal generation unit (21a1) is used to generate a first activation signal (a1) for the first node group. K is an integer greater than or equal to 1. Output ends of the M group preparation signal generation units (21a1-21am) are connected to the

[见续页]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区  
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,  
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,  
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4. 17的声明:

- 关于发明人身份(细则4. 17(i))
- 关于申请人有权申请并被授予专利(细则  
4. 17(ii))
- 关于申请人有权要求在先申请的优先权(细则  
4. 17(iii))
- 发明人资格(细则4. 17(iv))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

synchronization signal generation unit (22). The synchronization signal generation unit (22) generates a first synchronization signal (a1) according to the first activation signal (a1). The first synchronization signal (a1) is used to instruct the K nodes in the first node group to start synchronization.

(57) 摘要: 一种多核架构的同步信号产生电路、芯片和同步方法及装置, 其包括: 用于为M个节点组产生同步信号, 节点组中包括至少一个节点, M为大于等于1的整数; 同步信号产生电路包括: 同步信号生成单元(22)和M个组准备信号生成单元(21a1-21am); M个组准备信号生成单元(21a1-21am)与M个节点组一一对应; M个组准备信号生成单元(21a1-21am)中的第一组准备信号生成单元(21a1)与待同步的第一节点组中的K个节点相连接; 第一组准备信号生成单元(21a1)用于为待同步的第一节点组生成第一待启动信号(a1), K为大于等于1的整数; M个组准备信号生成单元(21a1-21am)的输出端与同步信号生成单元(22)相连接, 同步信号生成单元(22)根据第一待启动信号(a1)生成第一同步信号(a1), 第一同步信号(a1)用于指示第一节点组内的K个节点开始同步。