

一种刷新控制电路及其方法、存储器

相关申请的交叉引用

本公开基于申请号为 202210724803.6、申请日为 2022 年 06 月 23 日、发明名称为“一种刷新控制电路及其方法、存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体存储器技术领域，尤其涉及一种刷新控制电路及其方法、存储器。

背景技术

行锤击（Row Hammer）是一种针对动态随机存取存储器的数据攻击方式，通过短时间内频繁刷新某一字线（下称锤击行）从而引起相邻字线（下称受害行）的数据丢失。目前，在检测到行锤击发生时，需要对受害行进行刷新操作以恢复受到影响的数据，也被称为锤击刷新操作。然而，锤击刷新操作需要借助于常规刷新操作的过程实现，导致一些无关的字线也会在锤击刷新过程中被额外刷新，造成资源浪费，降低了存储器的性能。

发明内容

本公开提供了一种刷新控制电路及其方法、存储器，能够减少锤击刷新操作中无关字线的刷新数量，降低刷新电流和功耗。

本公开的技术方案是这样实现的：

第一方面，本公开实施例提供了一种刷新控制电路，所述刷新控制电路与存储阵列连接，所述刷新控制电路包括：

地址输出模块，配置为输出待刷新地址信号，且所述待刷新地址信号包括块地址信号和行地址信号；

块译码模块，配置为接收所述块地址信号，在所述存储阵列未遭受行锤击的情况下，对所述块地址信号进行译码处理，输出第一块选择信号；或者，在所述存储阵列遭受行锤击的情况下，对所述块地址信号进行译码处理，输出第二块选择信号；其中，所述第一块选择信号用于在所述存储阵列选中多个数据块，所述第二块选择信号用于在所述存储阵列选中一个数据块；

行译码模块，配置为接收所述行地址信号，对所述行地址信号进行译码处理，输出行选择信号，且所述行选择信号用于在被选中的数据块中选定目标刷新字线。

5 在一些实施例中，所述块译码模块包括：预处理模块，配置为接收第一行锤信号、刷新指示信号和所述块地址信号；在所述第一行锤信号无效的情况下，基于所述刷新指示信号对所述块地址信号进行第一预处理，得到块预选信号；或者，在所述第一行锤信号有效的情况下，基于所述块地址信号进行第二预处理，得到所述块预选信号；译码处理模块，配置为接收
10 所述块预选信号，对所述块预选信号进行译码处理，得到所述第一块选择信号或者所述第二块选择信号；其中，在所述存储阵列未遭受行锤击的情况下，所述第一行锤信号无效；在所述存储阵列遭受行锤击的情况下，所述第一行锤信号有效。

在一些实施例中，所述块地址信号包括第一类信号和第二类信号，所述块预选信号包括第一信号对和第二信号对；所述预处理模块包括：第一
15 处理模块，配置为接收所述第一类信号，对所述第一类信号进行逻辑处理，输出所述第一信号对；其中，所述第一信号对包括第一类信号和第一类信号的反相信号，且所述第一类信号和所述第一类信号的反相信号的电平状态相反；第二处理模块，配置为接收所述第一行锤信号、所述刷新指示信号和所述第二类信号，基于所述第一行锤信号和所述刷新指示信号，对所
20 述第二类信号进行所述第一预处理或所述第二预处理，输出所述第二信号对；其中，所述第二信号对包括第二类信号和所述第二类信号的反相信号；在所述第一行锤信号有效的情况下，所述第二类信号和所述第二类信号的反相信号的电平状态相反；在所述第一行锤信号无效且所述刷新指示信号有效的情况下，所述第二类信号和所述第二类信号的反相信号的电平信号均被置
25 为高电平状态。

在一些实施例中，所述第一处理模块包括第一非门，所述第一非门的输入端接收所述第一类信号，所述第一非门的输出端输出所述第一类信号的反相信号。

30 在一些实施例中，所述第二处理模块包括：使能模块，配置为接收第一行锤信号和所述刷新指示信号，输出运算控制信号；其中，在所述第一行锤信号无效且所述刷新指示信号有效的情况下，所述运算控制信号有效；在所述第一行锤信号有效的情况下，所述运算控制信号无效；逻辑模块，配置为接收所述运算控制信号和所述第二类信号；在所述运算控制信号有效的情况下，对所述第二类信号进行所述第一预处理，输出所述第二信号
35 对；在所述运算控制信号无效的情况下，对所述第二类信号进行所述第二预处理，输出所述第二信号对。

在一些实施例中，所述使能模块包括第二非门、第一与非门和第三非门；其中，所述第二非门的输入端接收所述第一行锤信号，所述第一与非

门的第一输入端与所述第二非门的输出端连接，所述第一与非门的第二输入端接收所述刷新指示信号，所述第一与非门的输出端与所述第三非门的输入端连接，所述第三非门的输出端用于输出所述运算控制信号。

5 在一些实施例中，所述逻辑模块包括第四非门、第二与非门、第五非门、第三与非门；其中，所述第四非门接收所述运算控制信号，所述第二与非门的第一输入端与所述第四非门的输出端连接，所述第二与非门的第二输入端接收所述第二类信号，所述第二与非门的输出端用于输出所述第二类信号的反相信号；所述第五非门的输入端接收所述第二类信号，所述第三与非门的第一输入端与所述第四非门的输出端连接，所述第三与非门的第二输入端与所述第五非门的输出端连接，所述第三与非门的输出端用于输出新的第二类信号。

10 在一些实施例中，所述第一块选择信号和所述第二块选择信号均包括多个块选择子信号；在所述第一块选择信号中，多个所述块选择子信号处于有效状态，其余的所述块选择子信号处于无效状态，以在所述存储阵列选中多个数据块；在所述第二块选择信号中，一个所述块选择子信号处于有效状态，其余的所述块选择子信号处于无效状态，以在所述存储阵列选中一个数据块。

20 在一些实施例中，所述译码处理模块包括多个译码子模块；所述译码子模块，配置为接收所述块预选信号中的部分信号，对所接收的信号进行逻辑运算，输出其中一个所述块选择子信号；不同所述译码子模块接收的信号不同；其中，在逻辑运算结果为预设值的情况下，所述译码子模块输出的块选择子信号处于有效状态。

25 在一些实施例中，所述地址输出模块，具体配置为接收常规刷新地址信号和激活地址信号；在所述存储阵列未遭受行锤击的情况下，将所述常规刷新地址信号输出为所述待刷新地址信号；或者，在所述存储阵列遭受行锤击的情况下，基于所述激活地址信号，输出所述待刷新地址信号。

30 在一些实施例中，所述地址输出模块包括：控制模块，配置为接收所述激活地址信号、第二行锤信号和第一控制信号；在所述第二行锤信号有效的情况下，基于所述第一控制信号对所述激活地址信号进行计算处理，输出受害地址信号；选择模块，配置为接收所述常规刷新地址信号、所述受害地址信号和第二控制信号；在所述第二控制信号处于第一状态的情况下，将所述常规刷新地址信号输出为所述待刷新地址信号；或者，在所述第二控制信号处于第二状态的情况下，将所述受害地址信号输出为所述待刷新地址信号；其中，所述第二行锤信号表征所述存储阵列遭受行锤击。

35 在一些实施例中，所述控制模块包括锁存器和计算模块；其中，所述锁存器的输入端接收所述激活地址信号，所述锁存器的时钟端接收所述第二行锤信号，所述锁存器的输出端与所述计算模块的输入端连接，所述计算模块的控制端接收所述第一控制信号；所述选择模块的第一输入端接收

所述常规刷新地址信号，所述选择模块的第二输入端与所述计算模块的输出端连接，所述选择模块的控制端与所述第二控制信号连接，所述选择模块的输出端用于输出所述待刷新地址信号。

第二方面，本公开实施例提供了一种刷新控制方法，应用于刷新控制电路，且所述刷新控制电路与存储阵列连接，所述方法包括：

确定待刷新地址信号，且所述待刷新地址信号包括块地址信号和行地址信号；

在所述存储阵列未遭受行锤击的情况下，对所述块地址信号进行译码处理，得到第一块选择信号；在所述存储阵列遭受行锤击的情况下，对所述块地址信号进行译码处理，得到第二块选择信号；其中，所述第一块选择信号用于在所述存储阵列选中多个数据块，所述第二块选择信号用于在所述存储阵列选中一个数据块；

对所述行地址信号进行译码处理，得到行选择信号，且所述行选择信号用于在被选中的数据块中选定目标刷新字线；

对所述目标刷新字线进行刷新处理。

第三方面，本公开实施例提供了一种存储器，所述存储器包括如第一方面所述的刷新控制电路和存储阵列，且所述刷新控制电路与所述存储阵列连接。

本公开实施例提供了一种刷新控制电路及其方法、存储器，通过减少锤击刷新操作中无关字线的刷新数量，能够降低刷新电流和刷新功耗，进而提高存储器的性能。

附图说明

图 1 为一种存储阵列的结构示意图；

图 2 为本公开实施例提供的一种刷新控制电路的结构示意图；

图 3 为本公开实施例提供的一种块译码模块的结构示意图；

图 4 为本公开实施例提供的第一处理模块的结构示意图；

图 5 为本公开实施例提供的第二处理模块的结构示意图；

图 6 为本公开实施例提供的译码处理模块的结构示意图；

图 7 为本公开实施例提供的另一种刷新控制电路的结构示意图；

图 8 为相关技术提供的第二处理模块的结构示意图；

图 9 为本公开实施例提供的一种刷新控制方法的流程示意图；

图 10 为本公开实施例提供的一种存储器的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于

解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

动态随机存取存储器（Dynamic Random Access Memory, DRAM）需要通过刷新操作维持存储单元中的数据。在常规刷新操作中，每次刷新操作会开启存储阵列中的多个数据块，并在所开启的数据块中进一步选定字线进行刷新处理。参见图 1，其示出了一种存储阵列的结构示意图。如图 1 所示，该存储阵列被划分为：数据块 0、数据块 1...数据块 7。刷新操作中的地址信号可以表示为 $RA<15:0>$ ；其中， $RA<15:13>$ 为块地址信号，用于选中需要开启的数据块； $RA<12:0>$ 为行地址信号，用于在开启的数据块中选定目标刷新字线。在常规刷新操作中， $RA14$ 、 $RA14B$ 、 $RA15$ 、 $RA15B$ 均被置为（Force）高电平，其中“B”表征反相信号。由于“ $RA14=0$ ”在电路译码中表现为“ $RA14=1$ ”，所以可以认为 $RA14=1$ 、 $RA14=0$ 、 $RA15=1$ 、 $RA15=0$ 均是有效的。以 $RA<15:13>=000$ 为例，由于数据块 0、数据块 2、数据块 4 和数据块 6 均采用 $Ra13B$ 作为块预选信号，且 $Ra14$ 和 $Ra15$ 及其反相信号被 force 为 1，因此实际上仅基于 $Ra13$ 选择数据块，又由于偶数级数据块（数据块 0、2、4、6）使用的是 $Ra13B$ ，因此，当 $Ra13=0$ 的时候，偶数级数据块是被选中的。也就是说，在常规刷新操作中，每次均在 4 个数据块中选择相应的字线（由 $RA<12:0>$ 进行译码）进行刷新。特别地，在不同存储容量的存储阵列中，数据块的数量和译码过程可能有所不同，此时选中的数据块的数量也是不同的，图 1 仅为示例。

然而，在检测到行锤击发生时，需要对受害行（Victim WL）进行刷新，以恢复受到影响的数据，且锤击刷新需要借助于常规刷新的过程实现。以图 1 为例，假设受害行为数据块 0 中的字线，但是由于前述的译码机制，仍然会导致数据块 0、数据块 2、数据块 4 和数据块 6 均选中，从而导致一些无关的字线也会在锤击刷新过程中被额外刷新，造成资源浪费，降低了存储器的性能。

本公开实施例提供了一种刷新控制电路，通过减少锤击刷新操作中无关字线的刷新数量，能够降低刷新电流和刷新功耗，进而提高存储器的性能。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中，参见图 2，其示出了本公开实施例提供的一种刷新控制电路 10 的结构示意图。该刷新控制电路 10 与存储阵列连接，如图 2 所示，刷新控制电路 10 可以包括：

- 5 地址输出模块 11，配置为输出待刷新地址信号，且待刷新地址信号包括块地址信号和行地址信号；

块译码模块 121，配置为接收块地址信号，在存储阵列未遭受行锤击的情况下，对块地址信号进行译码处理，输出第一块选择信号；或者，在存储阵列遭受行锤击的情况下，对块地址信号进行译码处理，输出第二块选择信号；其中，第一块选择信号用于在存储阵列选中多个数据块，第二块选择信号用于在存储阵列选中一个数据块；

行译码模块 122，配置为接收行地址信号，对行地址信号进行译码处理，输出行选择信号，且行选择信号用于在被选中的数据块中选定目标刷新字线。

- 15 需要说明的是，本公开实施例的刷新控制电路 10 应用于动态存储器，用于解决锤击刷新操作中刷新功耗较高的问题。

在这里，地址输出模块 11 配置为输出待刷新地址信号，且待刷新地址信号用于指示需要被刷新的字线地址。块译码模块 121 和行译码模块 122 共同构成预译码模块 12，配置为对待刷新地址信号进行初步译码，得到行选择信号和块选择信号，行译码信号和块译码信号经过后续处理后用于开启目标刷新字线。

在本公开实施例中，块选择信号具有两种类型：第一块选择信号和第二块选择信号。在常规刷新操作（即存储阵列未遭受行锤击）中，块选择信号为能够选中多个数据块的第一块选择信号，从而在多个数据块中选中相应的字线进行刷新；在锤击刷新操作（即存储阵列遭受行锤击）中，块选择信号为仅选中一个数据块的第二块选择信号，从而仅在一个数据块选中相应的字线进行刷新，能够减少无关字线的刷新数量，降低锤击刷新过程中的电流和功耗，提高存储器的性能。

需要说明的是，块地址信号所表征的块地址的实际意义可以根据实际情况进行调整。具体地，当选择对象是某个存储体（bank）或半个存储体（half bank）时，块地址信号表征的是对存储体在位线方向上进行分割所得到的部段（section），如图 1 所示，地址译码模块上下两个区域均为半个存储体，两个共同构成一个完整的存储体，每半个存储体可被划分为 8 个数据块，在进行常规刷新中，同时刷新同一 half bank 中部分 section 的多条字线，每个 section 一般至多一条字线；当选择对象是整个芯片（chip）时，块地址信号所表征的块地址的实际意义可能是存储体地址，此时，在进行常规刷新，同时刷新同一 chip 的部分 bank 的多条字线，每个 bank 一般至多一条字线；进一步的，当选择对象是整个芯片时，块地址信号所表征的

实际意义可能包含存储体地址和部段地址，此时，在进行常规刷新时，同时刷新同一 chip 中部分 bank 的多个 section 的字线，即被选中的任一 bank 中有多条字线在被同时刷新。总而言之，块地址信号所表征的层级可以根据实际需要和后续容量、规范的变化进行调整，本文仅作示例性说明。

5 需要说明的是，第一块选择信号所选中的数据块的具体数量可以根据实际应用场景确定。以图 1 示出的存储阵列为例。第一块选择信号每次选中 4 个数据块，但这并不构成相关限制。

在一些实施例中，如图 3 所示，块译码模块 121 包括：

10 预处理模块 21，配置为接收第一行锤信号、刷新指示信号和块地址信号；在第一行锤信号无效的情况下，基于刷新指示信号对块地址信号进行第一预处理，得到块预选信号；或者，在第一行锤信号有效的情况下，基于块地址信号进行第二预处理，得到块预选信号；

译码处理模块 22，配置为接收块预选信号，对块预选信号进行译码处理，得到第一块选择信号或者第二块选择信号。

15 需要说明的是，在存储阵列未遭受行锤击的情况下，第一行锤信号无效；在存储阵列遭受行锤击的情况下，第一行锤信号有效。另外，刷新指示信号用于指示执行刷新操作。

20 这样，利用第一行锤信号区分本次刷新操作为常规刷新操作或者锤击刷新操作，通过采用对应的预处理方式后续译码得到第一块选择信号或者第二块选择信号，在不影响常规刷新操作的前提下能够减少锤击刷新操作中无关字线的刷新数量，降低锤击刷新操作中的刷新电流和功耗。

在一些实施例中，块地址信号包括第一类信号和第二类信号，第一类信号和第二类信号共同构成块地址信号，块预选信号包括第一信号对和第二信号对。如图 3 所示，预处理模块 21 包括：

25 第一处理模块 211，配置为接收第一类信号，对第一类信号进行逻辑处理，输出第一信号对；其中，第一信号对包括第一类信号和第一类信号的反相信号，且第一类信号和第一类信号的反相信号的电平状态相反；

30 第二处理模块 212，配置为接收第一行锤信号、刷新指示信号和第二类信号；基于第一行锤信号和刷新指示信号，对第二类信号进行第一预处理或第二预处理，输出第二信号对；其中，第二信号对包括第二类信号和第二类信号的反相信号；在第一行锤信号有效的情况下，第二类信号和第二类信号的反相信号的电平状态相反；在第一行锤信号无效且刷新指示信号有效的情况下，第二类信号和第二类信号的反相信号的电平信号均被置为高电平状态。

35 以下提供一种具体示例，对待刷新地址信号的译码过程进行详细说明。在本示例中，待刷新地址信号由 16 个子信号构成，可以表示为 RA<15:0>，其中，RA<15:13>为块地址信号，用于进行数据块的选择；RA<12:0>为行地址信号，用于进行字线的选择。

请参照图 1, 第一类信号是指 RA<13>, 经由第一处理模块 211 处理为第一信号对(RA13/RA13B), 此时 RA13 与 RA<13>的电平状态相同, RA13B 与 RA<13>的电平状态相反。

第二类信号是指 RA<14>和 RA<15>, 经由第二处理模块 212 处理为第二信号对 (RA14/RA14B、RA15/RA15B)。在锤击刷新操作中, RA14 与 RA<14>的电平状态相同, RA14B 与 RA<14>的电平状态相反, RA15 与 RA<15>的电平状态相同, RA15B 与 RA<15>的电平状态相反; 在常规刷新操作中, RA14、RA14B、RA15、RA15B 均被置为高电平状态, 表征被选中。可以理解的是, 在其他实施例中, RA14、RA14B、RA15、RA15B 还可以被置为表征被选中的其他电平状态。

特别地, RA13、RA13B、RA14、RA14B、RA15、RA15B 在时序上均是同步的, 以便共同进行后续译码。

应理解, 第一类信号 RA<13>和第一类信号 RA13 在电路中承担的意义相同, 因此未引入额外的名称, 仅以符号进行区分, RA<14>和 RA14、RA<15>和 RA15 类似。另外, 在不同存储容量的存储器中, 存储阵列中数据块的数量和划分规则可能是不同的, 需要控制开启的数据块的数量是不同的额, 则此时第一类信号和第二类信号的数据位需要进行相应调整, 本公开实施例仅作为示例但不构成具体限定。

在一些实施例中, 如图 4 所示, 第一处理模块 211 包括第一非门, 第一非门的输入端接收第一类信号 RA<13>, 第一非门的输出端输出第一类信号的反相信号 RA13B。

需要说明的是, 第一处理模块 211 中还可以设置对第一类信号 RA<13>进行延迟的延迟器件, 以保证得到时序同步的第一类信号 RA13 和第一类信号的反相信号 RA13B。

还需要说明的是, 图 4 中仅存在一个第一类信号, 因此第一非门的数量为 1 个。在第一类信号有多个的情况下, 第一非门的数量可以为多个, 以对不同的第一类信号进行并行处理; 或者, 在第一类信号有多个的情况下, 仍然可以仅设置 1 个第一非门, 通过延迟器件串行处理不同的第一类信号, 再通过另外的延迟器件保证所有的第一类信号和第一类信号的反相信号在时序上处于同步状态。

在一些实施例中, 如图 5 所示, 第二处理模块 212 包括:

使能模块, 配置为接收第一行锤信号 RHR 和刷新指示信号 RefreshIP, 输出运算控制信号; 其中, 在第一行锤信号 RHR 无效且刷新指示信号 RefreshIP 有效的情况下, 运算控制信号有效; 在第一行锤信号 RHR 有效的情况下, 运算控制信号无效;

逻辑模块, 配置为接收运算控制信号和第二类信号; 在运算控制信号有效的情况下, 对第二类信号进行第一预处理, 输出第二信号对; 在运算控制信号无效的情况下, 对第二类信号进行第二预处理, 输出第二信号对。

也就是说,在存储阵列遭受行锤击的过程中,有效的第一行锤信号 RHR 可以“屏蔽 (Disable)”刷新指示信号 RefreshIP,得到无效的运算控制信号,从而对第二类信号进行第二预处理,得到第二信号对,进而译码得到第二块译码信号,仅选定一个数据块中的字线进行刷新处理,降低锤击刷新

类似地,在第二类信号为一个的情况下,第二处理模块 212 可以包括一个使能模块和一个逻辑模块。在第二类信号为多个的情况下,如图 5 所示,使能模块和逻辑模块将串行处理不同的第二类信号,再通过另外的延迟器件保证所有的第二类信号和第二类信号的反相信号在时序上处于同步状态,或者,在第二类信号为多个的情况下,第二处理模块 212 可以包括多套如图 5 所示的电路,分别对一个第二类信号进行处理。

由于电路器件的多样性,第二处理模块的具体构成存在多种可能,只要能够实现前述的电路逻辑均可。以下示例性的提供第二处理模块 212 的具体构成。

在一些实施例,使能模块包括第二非门 301、第一与非门 302 和第三非门 303;其中,第二非门 301 的输入端接收第一行锤信号 RHR,第一与非门 302 的第一输入端与第二非门 301 的输出端连接,第一与非门 302 的第二输入端接收刷新指示信号 RefreshIP,第一与非门 302 的输出端与第三非门 303 的输入端连接,第三非门 303 的输出端用于输出运算控制信号。

在一些实施例,如图 5 所示,逻辑模块包括第四非门 304、第二与非门 305、第五非门 306 和第三与非门 307;其中,第四非门 304 接收运算控制信号,第二与非门 305 的第一输入端与第四非门 304 的输出端连接,第二与非门 305 的第二输入端接收第二类信号,第二与非门 305 的输出端用于输出第二类信号的反相信号;第五非门 306 的输入端接收第二类信号,第三与非门 307 的第一输入端与第四非门 304 的输出端连接,第三与非门 307 的第二输入端与第五非门 306 的输出端连接,第三与非门 307 的输出端用于输出新的第二类信号。

需要说明的是,以第二类信号 RA<14>为例,在第一行锤信号 RHR 有效的情况下,运算控制信号是无效的,第二与非门 305 输出的 RA14B 与 RA<14>的电平状态是相反的,第三与非门 307 输出的 RA14 与 RA<14>的电平状态是相同的。在第一行锤信号 RHR 无效且刷新指示信号 RefreshIP 有效的情况下,运算控制信号是有效的,第二与非门 305 和第三与非门 307 均固定输出高电平信号,即 RA14B 与 RA14 均被置为高电平状态。

这样,通过预处理模块 21 确定块预选信号 RA13、RA13B、RA14、RA14B、RA15 和 RA15B。在常规刷新操作中,RA14、RA14B、RA15 和 RA15B 均为置为高电平状态;在锤击刷新操作中,RA14、RA14B、RA15 和 RA15B 均不进行电平强置的处理,以便准确选中受害行所在的数据块,从而减少锤击刷新操作中无关字线的刷新数量。

在一些实施例中，第一块选择信号和第二块选择信号均包括多个块选择子信号；在第一块选择信号中，多个块选择子信号处于有效状态，其余的块选择子信号处于无效状态，以在存储阵列选中多个数据块；在第二块选择信号中，一个块选择子信号处于有效状态，其余的块选择子信号处于无效状态，以在存储阵列选中一个数据块。在其他实施例中，还可以控制第二块选择信号中处于有效状态的块选择子信号的数量大于 1 且小于第一块选择信号中处于有效状态的块选择子信号的数量。

示例性的，块选择子信号的数量可以为 8，此时第一块选择信号和第二块选择信号均可以表示为 Region<7:0>。相应的，如图 3 和图 6 所示，译码处理模块 22 包括多个译码子模块 221（图 3 和图 6 中仅以一个译码子模块为例进行标号）。译码子模块 221，配置为接收块预选信号中的部分信号，对所接收的信号进行逻辑运算，输出其中一个块选择子信号（例如 Region<0>）。应理解，不同译码子模块 221 接收的信号不同，且输出的块选择子信号不同。

在这里，在逻辑运算结果为预设值的情况下，译码子模块 221 输出的块选择子信号处于有效状态。示例性的，预设值可以为 1（高电平信号）。

在一些实施例中，如图 6 所示，译码子模块 221 包括第四与非门和第六非门；其中，第四与非门的输入端用于接收块预选信号中的部分信号，第四与非门的输出端与第六非门的输入端连接，第六非门的输出端用于输出块选择子信号。

需要说明的是，每个译码子模块 221 所接收的具体信号需要根据实际译码规则进行，图 6 仅为示例。假设 RA<15:13>=000，在未遭受行锤击的情况下，RA15=RA15B=RA14=RA14B=1，RA13=0，RA13B=1，此时，Region<0>=Region<2>=Region<4>=Region<6>=1（相当于有效状态），即选中数据块 0、数据块 2、数据块 4、数据块 6；在遭受行锤击的情况下，RA15=0，RA15B=1，RA14=0，RA14B=1，RA13=0，RA13B=1，此时仅有 Region<0>=1，即仅选中数据块 0。可见，通过本公开实施例提供的校准控制电路，在锤击刷新时能够仅选中受害行所在的数据块进行刷新操作，减少无关字线的刷新，降低功耗。

在一些实施例中，如图 7 所示，地址输出模块 11，具体配置为接收常规刷新地址信号 RefRa<15:0>和激活地址信号 RaExt<15:0>；在存储阵列未遭受行锤击的情况下，将常规刷新地址信号 RefRa<15:0>输出为待刷新地址信号 RA<15:0>；或者，在存储阵列遭受行锤击的情况下，基于激活地址信号 RaExt<15:0>，输出待刷新地址信号 RA<15:0>。

需要说明的是，常规刷新地址信号 RefRa<15:0>是指常规刷新操作中的地址信号，激活地址信号 RaExt<15:0>就是指激活操作中的地址信号。应理解，行锤击是指在单位时间内某一字线地址的激活次数达到门限值。也就是说，如果同一激活地址信号 RaExt<15:0>在单位时间内出现的次数达到门

限值, 将确认存储阵列遭受行锤击, 且激活地址信号 $RaExt<15:0>$ 也是锤击行的地址信号。特别地, 在行锤击场景中, 受害行是锤击行的相邻行, 所以待刷新地址信号 $RA<15:0>$ 需要根据激活地址信号 $RaExt<15:0>$ 进一步确定。

5 在一些实施例中, 如图 7 所示, 地址输出模块 11 包括:

控制模块, 配置为接收激活地址信号 $RaExt<15:0>$ 、第二行锤信号 $RHRSeedSample$ 和第一控制信号 $RHRRaCtrl$; 在第二行锤信号 $RHRSeedSample$ 有效的情况下, 基于第一控制信号 $RHRRaCtrl$ 对激活地址信号 $RaExt<15:0>$ 进行计算处理, 输出受害地址信号 $RHRRa<15:0>$;

10 选择模块 113, 配置为接收常规刷新地址信号 $RefRa<15:0>$ 、受害地址信号 $RHRRa<15:0>$ 和第二控制信号 $SelCtrl$; 在第二控制信号 $SelCtrl$ 处于第一状态的情况下, 将常规刷新地址信号 $RefRa<15:0>$ 输出为待刷新地址信号 $RA<15:0>$; 或者, 在第二控制信号 $SelCtrl$ 处于第二状态的情况下, 将受害地址信号 $RHRRa<15:0>$ 输出为待刷新地址信号 $RA<15:0>$ 。另外, 预译码电路 12 对待刷新地址信号 $RA<15:0>$ 进行预译码, 得到行选择信号 (例如如图 7 中的 $Ra210<7:0>$ 、 $Ra453<7:0>$ ……等) 和块选择信号 $Region<7:0>$, 以便最终确定目标刷新字线。

在这里, 受害地址信号 $RHRRa<15:0>$ 用于指示行锤击中的受害行, 第二行锤信号 $RHRSeedSample$ 表征存储阵列遭受行锤击, 第一控制信号 $RHRRaCtrl$ 用于控制相关的计算过程。特别地, 第二行锤信号 $RHRSeedSample$ 、第一控制信号 $RHRRaCtrl$ 、第二控制信号 $SelCtrl$ 以及前述的第一行锤信号 RHR 都与存储阵列是否遭受行锤击相关, 由于这些信号在电路中的位置不同, 其变化逻辑还需要考虑到时序问题, 所以彼此间可能并不存在固定的逻辑关联。

25 在一些实施例中, 控制模块包括锁存器 111 和计算模块 112; 其中, 锁存器 111 的输入端接收激活地址信号 $RaExt<15:0>$, 锁存器 111 的时钟端接收第二行锤信号 $RHRSeedSample$, 锁存器 111 的输出端与计算模块 112 的输入端连接, 计算模块 112 的控制端接收第一控制信号 $RHRRaCtrl$; 选择模块 113 的第一输入端接收常规刷新地址信号 $RefRa<15:0>$, 选择模块 113 的第二输入端与计算模块 112 的输出端连接, 选择模块 113 的控制端与第二控制信号 $SelCtrl$ 连接, 选择模块 113 的输出端用于输出待刷新地址信号 $RA<15:0>$ 。

35 这样, 在第二行锤信号 $RHRSeedSample$ 有效的情况下, 锁存器 111 对激活地址信号 $RaExt<15:0>$ 进行锁存, 输出锤击地址信号 $RHRSeedRa<15:0>$; 同时第一控制信号 $RHRRaCtrl$ 有效, 计算模块 112 根据锤击地址信号 $RHRSeedRa<15:0>$ 计算出受害地址信号 $RHRRa<15:0>$ 。在这里, 锁存器 111 还具有复位端, 在接收到复位信号 $ResetN$ 的情况下, 执行复位操作。

需要说明的是, 激活地址信号 $RaExt<15:0>$ 既可以是访问次数最多的或

者相对较多的可以造成行锤效应的行地址信号，也可以是在出现行锤效应之后新接收的激活地址信号，此时将该新接收的激活地址信号作为造成行锤效应的行地址信号。

另外，如图 7 所示，选择模块 113 还具有第三输入端，选择模块 113 的第三输入端与激活地址信号 RaExt<15:0>相连。相应的，在第二控制信号 SelCtrl 处于第三状态的情况下，选择模块 113 可以输出激活地址信号 RaExt<15:0>，可以执行某些特殊情况下的任务。

在本公开实施例中，“有效”或者“无效”是通过信号的电平状态进行区分的。例如，信号有效可以是指该信号处于高电平状态，信号无效可以是指该信号处于低电平状态；或者，信号有效可以是指该信号处于低电平状态，信号无效可以是指该信号处于高电平状态，具体取决于实际应用场景，只要符合相应的电路逻辑，能够执行相应的电路功能即可。

综上所述，本公开实施例提供了一种刷新控制电路，在锤击刷新操作中能够仅选中受害行所在的数据块，从而减少锤击刷新的电流和功耗。参见图 8，其提供了第二处理模块的结构示意图。如图 8 所示，通过刷新指示信号 RefreshIP 将部分块选择信号及其反相信号（RA14、RA14B、RA15、RA15B）均置为高电平信号，从而选中多个数据块，以便后续在多个数据块中选定目标刷新字线进行刷新操作；在本公开实施例中，如图 5 所示，在第二处理模块 212 中增加了使能模块，引入了标识本次刷新操作是否为锤击刷新操作的第一行锤信号，利用有效的第一行锤信号对受害行地址进行保护，即有效的第一行锤信号可以 Disable 刷新指示信号 RefreshIP，解除刷新指示信号 RefreshIP 对部分块选择信号的控制，使得所有块选择信号及其反相信号保留原有控制逻辑，从而准确译码出受害行所在的数据块，仅对受害行进行刷新，减少锤击刷新的电流。

在本公开的另一实施例中，参见图 9，其示出了本公开实施例提供一种刷新控制方法的流程示意图。如图 9 所示，该方法包括：

S401：确定待刷新地址信号，且待刷新地址信号包括块地址信号和行地址信号。

S402：在存储阵列未遭受行锤击的情况下，对块地址信号进行译码处理，得到第一块选择信号；在存储阵列遭受行锤击的情况下，对块地址信号进行译码处理，得到第二块选择信号；其中，第一块选择信号用于在存储阵列选中多个数据块，第二块选择信号用于在存储阵列选中一个数据块。

S403：对行地址信号进行译码处理，得到行选择信号，且行选择信号用于在被选中的数据块中选定目标刷新字线。

S404：对目标刷新字线进行刷新处理。

需要说明的是，本公开实施例提供的刷新控制方法应用于前述的刷新控制电路 10，且刷新控制电路 10 与存储阵列连接。这样，在存储阵列遭受行锤击的情况下，仅在一个数据块中选中目标刷新字线进行刷新处理，能

够减少无关字线的刷新数量，降低锤击刷新过程中的刷新电流和功耗，提高存储器的性能。

在一些实施例中，步骤 S402 具体可以包括：

5 确定第一行锤信号和刷新指示信号；其中，在存储阵列未遭受行锤击的情况下，第一行锤信号无效；在存储阵列遭受行锤击的情况下，第一行锤信号有效；在第一行锤信号无效的情况下，基于刷新指示信号对块地址信号进行第一预处理，得到块预选信号；或者，在第一行锤信号有效的情况下，基于块地址信号进行第二预处理，得到块预选信号；对块预选信号进行译码处理，得到第一块选择信号或者第二块选择信号；

10 在一些实施例中，块地址信号包括第一类信号和第二类信号，块预选信号包括第一信号对和第二信号对。其中，（1）第一信号对包括第一类信号和第一类信号的反相信号，且第一类信号和第一类信号的反相信号的电平状态相反。（2）第二信号对包括第二类信号和第二类信号的反相信号；在第一行锤信号有效的情况下，第二类信号和第二类信号的反相信号的电平状态相反；在第一行锤信号无效且刷新指示信号有效的情况下，第二类信号和第二类信号的反相信号的电平信号均被置为高电平状态。

20 在一些实施例中，第一块选择信号和第二块选择信号均包括多个块选择子信号；在第一块选择信号中，多个块选择子信号处于有效状态，其余的块选择子信号处于无效状态，以在存储阵列选中多个数据块；在第二块选择信号中，一个块选择子信号处于有效状态，其余的块选择子信号处于无效状态，以在存储阵列选中一个数据块。

在一些实施例中，所述确定待刷新地址信号，包括：

25 接收常规刷新地址信号和激活地址信号；在存储阵列未遭受行锤击的情况下，将常规刷新地址信号输出为待刷新地址信号；或者，在存储阵列遭受行锤击的情况下，基于激活地址信号，输出待刷新地址信号。

需要说明的是，在存储阵列遭受行锤击时，激活地址信号用于指示行锤击中的锤击行，待刷新地址信号用于指示行锤击中的受害行。因此，在这种场景下，待刷新地址信号需要根据激活地址信号进行计算得到。

30 本公开实施例提供了一种刷新控制方法，在存储阵列遭受行锤击的情况下，仅在一个数据块中选中目标刷新字线进行刷新处理，能够减少无关字线的刷新数量，减少锤击刷新过程中的电流及功耗，提高存储器的性能。

在本公开的又一实施例中，参见图 10，其示出了本公开实施例提供了一种存储器 50 的结构示意图。如图 10 所示，存储器 50 包括如前述的刷新控制电路 10 和存储阵列 501，且刷新控制电路 10 与存储阵列 501 连接。

35 对于存储器 50 来说，在存储阵列遭受行锤击的情况下，通过刷新控制电路 10 可以仅在一个数据块中选中目标刷新字线进行刷新处理，能够减少无关字线的刷新数量，减少锤击刷新过程中的电流及功耗，提高存储器的性能。

以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。本公开所提供的几个方法实施例中揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。本公开所提供的几个产品实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。本公开所提供的几个方法或设备实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供了一种刷新控制电路及其方法、存储器，通过减少锤击刷新操作中无关字线的刷新数量，能够降低刷新电流和刷新功耗，进而提高存储器的性能。

权利要求书

1.一种刷新控制电路，所述刷新控制电路与存储阵列连接，所述刷新控制电路包括：

地址输出模块，配置为输出待刷新地址信号，且所述待刷新地址信号包括块地址信号和行地址信号；

块译码模块，配置为接收所述块地址信号，在所述存储阵列未遭受行锤击的情况下，对所述块地址信号进行译码处理，输出第一块选择信号；或者，在所述存储阵列遭受行锤击的情况下，对所述块地址信号进行译码处理，输出第二块选择信号；其中，所述第一块选择信号用于在所述存储阵列选中多个数据块，所述第二块选择信号用于在所述存储阵列选中一个数据块；

行译码模块，配置为接收所述行地址信号，对所述行地址信号进行译码处理，输出行选择信号，且所述行选择信号用于在被选中的数据块中选定目标刷新字线。

2.根据权利要求1所述的刷新控制电路，其中，所述块译码模块包括：

预处理模块，配置为接收第一行锤信号、刷新指示信号和所述块地址信号；在所述第一行锤信号无效的情况下，基于所述刷新指示信号对所述块地址信号进行第一预处理，得到块预选信号；或者，在所述第一行锤信号有效的情况下，基于所述块地址信号进行第二预处理，得到所述块预选信号；

译码处理模块，配置为接收所述块预选信号，对所述块预选信号进行译码处理，得到所述第一块选择信号或者所述第二块选择信号；

其中，在所述存储阵列未遭受行锤击的情况下，所述第一行锤信号无效；在所述存储阵列遭受行锤击的情况下，所述第一行锤信号有效。

3.根据权利要求2所述的刷新控制电路，其中，所述块地址信号包括第一类信号和第二类信号，所述块预选信号包括第一信号对和第二信号对；

所述预处理模块包括：

第一处理模块，配置为接收所述第一类信号，对所述第一类信号进行逻辑处理，输出所述第一信号对；其中，所述第一信号对包括第一类信号和第一类信号的反相信号，且所述第一类信号和所述第一类信号的反相信号的电平状态相反；

第二处理模块，配置为接收所述第一行锤信号、所述刷新指示信号和所述第二类信号；基于所述第一行锤信号和所述刷新指示信号，对所述第二类信号进行所述第一预处理或所述第二预处理，输出所述第二信号对；

其中，所述第二信号对包括第二类信号和第二类信号的反相信号；在所述第一行锤信号有效的情况下，所述第二类信号和所述第二类信号的反

相信号的电平状态相反；在所述第一行锤信号无效且所述刷新指示信号有效的情况下，所述第二类信号和所述第二类信号的反相信号的电平信号均被置为高电平状态。

4.根据权利要求3所述的刷新控制电路，其中，所述第一处理模块包括
5 第一非门，所述第一非门的输入端接收所述第一类信号，所述第一非门的输出端输出所述第一类信号的反相信号。

5.根据权利要求3所述的刷新控制电路，其中，所述第二处理模块包括：
使能模块，配置为接收所述第一行锤信号和所述刷新指示信号，输出运算
控制信号；其中，在所述第一行锤信号无效且所述刷新指示信号有效的情况
10 下，所述运算控制信号有效；在所述第一行锤信号有效的情况下，所述运算控制信号无效；

逻辑模块，配置为接收所述运算控制信号和所述第二类信号；在所述
运算控制信号有效的情况下，对所述第二类信号进行所述第一预处理，输出
所述第二信号对；在所述运算控制信号无效的情况下，对所述第二类信
15 号进行所述第二预处理，输出所述第二信号对。

6.根据权利要求5所述的刷新控制电路，其中，所述使能模块包括第二
非门、第一与非门和第三非门；其中，

所述第二非门的输入端接收所述第一行锤信号，所述第一与非门的第一
输入端与所述第二非门的输出端连接，所述第一与非门的第二输入端接
20 收所述刷新指示信号，所述第一与非门的输出端与所述第三非门的输入端
连接，所述第三非门的输出端用于输出所述运算控制信号。

7.根据权利要求5所述的刷新控制电路，其中，所述逻辑模块包括第四
非门、第二与非门、第五非门、第三与非门；其中，

所述第四非门接收所述运算控制信号，所述第二与非门的第一输入端
25 与所述第四非门的输出端连接，所述第二与非门的第二输入端接收所述第
二类信号，所述第二与非门的输出端用于输出所述第二类信号的反相信号；

所述第五非门的输入端接收所述第二类信号，所述第三与非门的第一
输入端与所述第四非门的输出端连接，所述第三与非门的第二输入端与所
述第五非门的输出端连接，所述第三与非门的输出端用于输出新的第二类
30 信号。

8.根据权利要求2所述的刷新控制电路，其中，所述第一块选择信号和
所述第二块选择信号均包括多个块选择子信号；

在所述第一块选择信号中，多个所述块选择子信号处于有效状态，其
余的所述块选择子信号处于无效状态，以在所述存储阵列选中多个数据块；

35 在所述第二块选择信号中，一个所述块选择子信号处于有效状态，其
余的所述块选择子信号处于无效状态，以在所述存储阵列选中一个数据块。

9.根据权利要求8所述的刷新控制电路，其中，所述译码处理模块包括
多个译码子模块；

所述译码子模块，配置为接收所述块预选信号中的部分信号，对所接收的信号进行逻辑运算，输出其中一个所述块选择子信号；不同所述译码子模块接收的信号不同；

其中，在逻辑运算结果为预设值的情况下，所述译码子模块输出的块选择子信号处于有效状态。

10.根据权利要求1所述的刷新控制电路，其中，

所述地址输出模块，具体配置为接收常规刷新地址信号和激活地址信号；在所述存储阵列未遭受行锤击的情况下，将所述常规刷新地址信号输出为所述待刷新地址信号；或者，在所述存储阵列遭受行锤击的情况下，基于所述激活地址信号，输出所述待刷新地址信号。

11.根据权利要求10所述的刷新控制电路，其中，所述地址输出模块包括：

控制模块，配置为接收所述激活地址信号、第二行锤信号和第一控制信号；在所述第二行锤信号有效的情况下，基于所述第一控制信号对所述激活地址信号进行计算处理，输出受害地址信号；

选择模块，配置为接收所述常规刷新地址信号、所述受害地址信号和第二控制信号；在所述第二控制信号处于第一状态的情况下，将所述常规刷新地址信号输出为所述待刷新地址信号；或者，在所述第二控制信号处于第二状态的情况下，将所述受害地址信号输出为所述待刷新地址信号；

其中，所述第二行锤信号表征所述存储阵列遭受行锤击。

12.根据权利要求11所述的刷新控制电路，其中，所述控制模块包括锁存器和计算模块；其中，

所述锁存器的输入端接收所述激活地址信号，所述锁存器的时钟端接收所述第二行锤信号，所述锁存器的输出端与所述计算模块的输入端连接，所述计算模块的控制端接收所述第一控制信号；

所述选择模块的第一输入端接收所述常规刷新地址信号，所述选择模块的第二输入端与所述计算模块的输出端连接，所述选择模块的控制端与所述第二控制信号连接，所述选择模块的输出端用于输出所述待刷新地址信号。

13.一种刷新控制方法，应用于刷新控制电路，且所述刷新控制电路与存储阵列连接，所述方法包括：

确定待刷新地址信号，且所述待刷新地址信号包括块地址信号和行地址信号；

在所述存储阵列未遭受行锤击的情况下，对所述块地址信号进行译码处理，得到第一块选择信号；在所述存储阵列遭受行锤击的情况下，对所述块地址信号进行译码处理，得到第二块选择信号；其中，所述第一块选择信号用于在所述存储阵列选中多个数据块，所述第二块选择信号用于在所述存储阵列选中一个数据块；

对所述行地址信号进行译码处理，得到行选择信号，且所述行选择信号用于在被选中的数据块中选定目标刷新字线；

对所述目标刷新字线进行刷新处理。

- 14.一种存储器，所述存储器包括如权利要求 1-12 任一项所述的刷新控制电路和存储阵列，且所述刷新控制电路与所述存储阵列连接。
- 5