

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置およびその駆動方法に関し、特に、複数の映像信号線を単位とする組おける映像信号線のそれぞれに、各組に共通の映像信号を時分割して与える表示装置およびその駆動方法に関する。

背景技術

[0002] 従来、液晶表示装置等の表示装置の駆動方式の1つとして、SSD (Source Shared Driving: ソース・シェアド・ドライビング) と呼ばれる駆動方式 (以下「SSD方式」という) が知られている。このSSD方式を採用した液晶表示装置では、液晶パネルにおける複数のソースライン (映像信号線) を駆動するためのソースドライバ (映像信号線駆動回路) の複数の出力端子に、複数の薄膜トランジスタ等のスイッチング素子により構成される選択回路が接続される。ソースドライバの各出力端子には、上記複数の薄膜トランジスタのうちの所定数の薄膜トランジスタが接続される。この選択回路内の複数の薄膜トランジスタには複数のソースラインが接続される。すなわち、この液晶表示装置では、上記所定数のソースラインを単位とする組が上記所定数の薄膜トランジスタをそれぞれ介して共通のソースドライバの出力端子に接続される。そして、各組に共通の映像信号がソースドライバに与えられ、選択回路によりこの映像信号が時分割されて複数のソースラインに与えられる。このようなSSD方式を採用することにより、ソース端ドライバの出力端子数を削減することができる。

[0003] 特許文献1には、このようなSSD方式を採用し、上記選択回路を液晶パネルと一体的に形成した液晶表示装置が開示されている。以下では、選択回路を液晶パネル (表示部) と一体的に形成した液晶表示装置を「選択回路モノリシック型の液晶表示装置」という。この選択回路モノリシック型の液晶表示装置によれば、狭額縁化および低コスト化を図ることができる。なお、

この選択回路モノリシック型の液晶表示装置では、特許文献１に開示されているように、アモルファスシリコン（ $a-Si$ ）を半導体層に用いた薄膜トランジスタ（以下「 $a-Si TFT$ 」という）等が駆動素子として採用されている。

- [0004] ところで、特許文献２には、ゲートライン（走査信号線）を走査する走査期間 T_1 の後に、全てのゲートラインを非走査状態にする休止期間 T_2 を設ける表示装置の駆動方法が開示されている。この休止期間 T_2 では、ゲートドライバ（走査信号線駆動回路）にクロック信号等が与えられず、画像の書き換えが行われない。このため、走査期間 T_1 においてゲートラインを 60 Hz で走査したとしても、例えばこの走査期間 T_1 の同じ長さの休止期間 T_2 を設けることにより、全体としてのゲートラインの駆動周波数が 30 Hz 程度になる。このため、低消費電力化を図ることができる。

先行技術文献

特許文献

- [0005] 特許文献１：日本の特開 $2010-102266$ 号公報
特許文献２：日本の特開 $2001-312253$ 号公報

発明の概要

発明が解決しようとする課題

- [0006] 従来から、表示装置等の電子機器には低消費電力化が求められている。
- [0007] そこで、本発明は、消費電力を低減した、 SSD 方式を採用した表示装置（以下「 SSD 方式の表示装置」という）およびその駆動方法を提供することを目的とする。

課題を解決するための手段

- [0008] 本発明の第１の局面は、表示装置であって、
複数の映像信号線および該複数の映像信号線と交差する複数の走査信号線を含む表示部と、
前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線の

いずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と、

前記表示部と一体的に形成され、複数の選択ブロックを含む選択回路と、
前記複数の選択ブロックにそれぞれ複数の映像信号を与える映像信号線駆動回路と、

前記映像信号線駆動回路に前記複数の映像信号に対応する画像データを与え、各選択ブロックにオンレベルとオフレベルとを周期的に繰り返す複数の選択制御信号を与える表示制御回路とを備え、

各選択ブロックが、前記複数の選択制御信号と同数の互いに隣接する映像信号線を単位とする映像信号線組における各映像信号線に、該選択ブロックが受け取る前記映像信号を該複数の選択制御信号に基づいて時分割して与え、

前記表示制御回路が、前記休止期間における前記複数の選択制御信号の周波数を前記走査期間における該複数の選択制御信号の周波数よりも低くする該複数の選択制御信号を生成することを特徴とする。

[0009] 本発明の第2の局面は、本発明の第1の局面において、

前記表示制御回路が、前記休止期間における前記複数の選択制御信号の振幅を前記走査期間における該複数の選択制御信号の振幅よりも小さくするように該複数の選択制御信号を生成することを特徴とする。

[0010] 本発明の第3の局面は、本発明の第1の局面において、

前記休止期間が前記走査期間よりも長いことを特徴とする。

[0011] 本発明の第4の局面は、本発明の第1の局面において、

前記映像信号線駆動回路が、前記休止期間における前記映像信号の電位を固定電位にすることを特徴とする。

[0012] 本発明の第5の局面は、本発明の第1の局面において、

各選択ブロックは、該選択ブロックに対応する映像信号線組内の複数の映像信号線にそれぞれ第1導通端子が接続された複数のスイッチング素子を有

し、

各選択ブロックにおける前記複数のスイッチング素子の第2導通端子には、
該選択ブロックが受け取る前記映像信号が与えられ、

前記表示制御回路が、各選択ブロックにおける前記複数のスイッチング素子にそれぞれ前記複数の選択制御信号を与えることを特徴とする。

[0013] 本発明の第6の局面は、本発明の第5の局面において、
前記表示部が複数の原色に基づく画像を表示し、
各映像信号線組における複数の映像信号線が、前記複数の原色にそれぞれ対応することを特徴とする。

[0014] 本発明の第7の局面は、本発明の第6の局面において、
前記複数の原色が3原色であり、
各映像信号線組が3本の映像信号線からなり、
各選択ブロックが3つのスイッチング素子を有し、
各映像信号線組における前記3本の映像信号線が、前記3原色にそれぞれ対応することを特徴とする。

[0015] 本発明の第8の局面は、本発明の第5の局面において、
前記表示部が複数の原色に基づく画像を表示し、
各映像信号線組における複数の映像信号線が、該映像信号線数よりも多い所定数の原色のうちの、該映像信号線と同数の原色にそれぞれ対応すると共に、該所定数の原色のうちの、該映像信号線と同数の他の原色にそれぞれ対応することを特徴とする。

[0016] 本発明の第9の局面は、本発明の第8の局面において、
前記複数の原色が4原色であり、
各映像信号線組が2本の映像信号線からなり、
各選択ブロックが2つのスイッチング素子を有し、
各映像信号線組における前記2本の映像信号線が、前記4原色のうちの2色にそれぞれ対応すると共に、該4原色のうちの他の2色にそれぞれ対応することを特徴とする。

- [0017] 本発明の第10の局面は、本発明の第5の局面において、
前記表示部が複数の原色に基づく画像を表示し、
各映像信号線組が、前記複数の原色の数の整数倍の映像信号線からなることを特徴とする。
- [0018] 本発明の第11の局面は、本発明の第10の局面において、
前記複数の原色が3原色であり、
各映像信号線組が6本の映像信号線からなり、
各選択ブロックが6つのスイッチング素子を有し、
各映像信号線組における3本の映像信号線が前記3原色にそれぞれ対応し、
該映像信号線組における他の3本の映像信号線が該3原色にそれぞれ対応することを特徴とする。
- [0019] 本発明の第12の局面は、本発明の第1の局面において、
前記選択回路は、
前記表示部に対して一方に位置する第1選択回路と、
前記表示部に対して他方に位置する第2選択回路とにより構成されることを特徴とする。
- [0020] 本発明の第13の局面は、本発明の第1の局面から第12の局面までのいずれかにおいて、
前記選択回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。
- [0021] 本発明の第14の局面は、本発明の第1の局面から第12の局面までのいずれかにおいて、
前記選択回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。
- [0022] 本発明の第15の局面は、複数の映像信号線および該複数の映像信号線に直交する複数の走査信号線を含む表示部と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、複数の選択ブロックを含む選択回路と、該複数の選択ブロックにそれぞれ複数の映像信号

を与える映像信号線駆動回路と、該映像信号線駆動回路に該複数の映像信号に対応する画像データを与え、各選択ブロックにオンレベルとオフレベルとを周期的に繰り返す複数の選択制御信号を与える表示制御回路とを備える表示装置の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記複数の選択制御信号と同数の互いに隣接する映像信号線を単位とする映像信号線組における各映像信号線に、該選択ブロックが受け取る前記映像信号を前記複数の選択制御信号に基づいて時分割して与えるステップと、

前記休止期間における前記複数の選択制御信号の周波数を、前記走査期間における該複数の選択制御信号の周波数よりも低くするステップとを備えることを特徴とする。

[0023] 本発明の第 16 の局面は、本発明の第 15 の局面において、

前記休止期間における前記複数の選択制御信号の振幅が、前記走査期間における該複数の選択制御信号の振幅よりも小さいことを特徴とする。

[0024] 本発明の第 17 の局面は、本発明の第 15 の局面において、

前記休止期間が前記走査期間よりも長いことを特徴とする。

[0025] 本発明の第 18 の局面は、本発明の第 15 の局面において、

前記休止期間における前記映像信号の電位が固定電位であることを特徴とする。

発明の効果

[0026] 本発明の第 1 の局面によれば、表示部と選択回路とが一体的に形成され、選択回路内の選択ブロックが映像信号線組内の複数の映像信号線に映像信号を時分割して与える表示装置において、1 フレーム期間が上記走査期間および上記休止期間からなる。この休止期間における複数の選択制御信号の周波数は、走査期間における複数の選択制御信号の周波数よりも低くなる。この

ため、1フレーム期間全体での選択回路の駆動周波数が低減される。これにより、消費電力が低減される。また、表示部と選択回路とが一体的に形成されているので、額縁面積が縮小されると共に、選択回路のコストが低減される。

[0027] 本発明の第2の局面によれば、休止期間における複数の選択制御信号の振幅が、走査期間における複数の選択制御信号の振幅よりも小さくなる。このため、さらなる低消費電力化を図ることができる。

[0028] 本発明の第3の局面によれば、休止期間が走査期間よりも長くなる。このため、さらなる低消費電力化を図ることができる。

[0029] 本発明の第4の局面によれば、休止期間において映像信号の電位が固定電位とすることにより、本発明の第1の局面と同様の効果を奏することができる。

[0030] 本発明の第5の局面によれば、複数のスイッチング素子により選択ブロックを実現することができる。ここで、休止期間において、複数の制御信号に基づいて映像信号が映像信号線組（複数の映像信号線）に与えられる。このため、休止期間において映像信号線が受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間における複数の選択制御信号の周波数が走査期間におけるものよりも低くなるので、スイッチング素子に掛かる負荷が低減される。したがって、スイッチング素子におけるしきい値変動が低減されるので、当該スイッチング素子の信頼性低下を抑制することができる。

[0031] 本発明の第6の局面によれば、複数原色に基づく画像表示を行う表示装置において、本発明の第5の局面と同様の効果を奏することができる。

[0032] 本発明の第7の局面によれば、3原色に基づく画像表示を行うことができる。

[0033] 本発明の第8の局面によれば、1本の映像信号線に複数原色を対応させることにより、複数原色に基づく画像表示を行う表示装置において、本発明の第5の局面と同様の効果を奏することができる。

- [0034] 本発明の第9の局面によれば、1本の映像信号線に2原色を対応させることにより、4原色に基づく画像表示を行うことができる。
- [0035] 本発明の第10の局面によれば、映像信号線駆動回路の出力数が削減されるので、さらなる低コスト化を図ることができる。
- [0036] 本発明の第11の局面によれば、3原色に基づく画像表示を行うことができる。
- [0037] 本発明の第12の局面によれば、走査信号線の延びる方向における選択回路のサイズを約半分にできる。このため、走査信号線の延びる方向におけるレイアウトピッチが倍に広がる。これにより、例えば表示部の高精細化を図ることができる。
- [0038] 本発明の第13の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて選択回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間における複数の制御信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。
- [0039] 本発明の第14の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて選択回路が実現される。このため、さらなる低コスト化を図ることができる。
- [0040] 本発明の第15の局面から第18の局面までによれば、表示装置の駆動方法において、本発明の第1の局面から第4の局面までとそれぞれ同様の効果を奏することができる。

図面の簡単な説明

- [0041] [図1]本発明の第1の実施形態に係る液晶表示装置の全体構成を示すブロック図である。
- [図2]上記第1の実施形態におけるソースドライバの構成を示すブロック図で

ある。

[図3]上記第1の実施形態における選択回路の構成を説明するためのブロック図である。

[図4]上記第1の実施形態における選択ブロックとソースラインとの対応関係を説明するための回路図である。

[図5]上記第1の実施形態に係る液晶表示装置の詳細な動作を説明するための信号波形図である。

[図6] a-Si TFTおよびIGZO TFTのドレイン電流ーゲート電圧特性を示す図である。

[図7]上記第1の実施形態の変形例における選択回路の構成、および選択ブロックとソースラインとの対応関係を説明するための回路図である。

[図8]上記第1の実施形態の変形例における液晶表示装置の詳細な動作を説明するための信号波形図である。

[図9]本発明の第2の実施形態における液晶表示装置の詳細な動作を説明するための信号波形図である。

[図10]本発明の第3の実施形態における選択回路の構成、および選択ブロックとソースラインとの対応関係を説明するための回路図である。

[図11]上記第3の実施形態における液晶表示装置の詳細な動作を説明するための信号波形図である。

[図12]本発明の第4の実施形態における選択回路の構成、および選択ブロックとソースラインとの対応関係を説明するための回路図である。

発明を実施するための形態

[0042] 以下、添付図面を参照しながら、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子は制御端子に相当し、ドレイン端子は第1導通端子に相当し、ソース端子は第2導通端子に相当する。また、薄膜トランジスタはすべてnチャネル型であるものとして説明する。

[0043] <1. 第1の実施形態>

< 1. 1 全体構成および動作>

図 1 は、本発明の第 1 の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、電源 10 と DC/DC コンバータ 110 と表示制御回路 200 とソースドライバ（映像信号線駆動回路）300 と選択回路（選択回路）400 とゲートドライバ（走査信号線駆動回路）500 と表示部 600 と共通電極駆動回路 900 とを備えている。本実施形態に係る液晶表示装置は、複数のソースライン（映像信号線）が所定数のソースラインを単位として組み分けられ、各組が選択回路 400 を介してソースドライバ 300 に接続されている、いわゆる S SD (Source Shared Driving : ソース・シェアード・ドライビング) 方式を採用した液晶表示装置である。

[0044] 選択回路 400 は、アモルファスシリコン、多結晶シリコン、または酸化物半導体（例えば IGZO）等を用いて、表示部 600 を含む液晶表示パネル 700 上に形成されている。すなわち、本実施形態に係る液晶表示装置は、選択回路 400 と表示部 600 とが同一基板（液晶表示パネル）を構成する 2 枚の基板のうちの一方の基板であるアレイ基板）上に形成された選択回路モリシック型の液晶表示装置である。これにより、液晶表示装置の額縁面積を縮小することができる。なお、ソースドライバ 300 および/またはゲートドライバ 500 も、アモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体等を用いて液晶表示パネル 700 上に形成されていても良い。これらのアモルファスシリコンおよび IGZO を用いた具体的な実現例については後述する。

[0045] 表示部 600 には、 n 本のソースライン（映像信号線） $SL1 \sim SLn$ と m 本のゲートライン（走査信号線） $GL1 \sim GLm$ と、これらのソースライン $SL1 \sim SLn$ とゲートライン $GL1 \sim GLm$ との交差点にそれぞれ対応して設けられた $m \times n$ 個の画素形成部とが形成されている。上記 $m \times n$ 個の画素形成部は、マトリクス状に配置されることにより画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートラインにゲート

端子が接続されると共に当該交差点を通過するソースラインにソース端子が接続されたスイッチング素子である画素薄膜トランジスタ80と、その画素薄膜トランジスタ80のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極E_cと、上記複数の画素形成部に共通的に設けられ画素電極と共通電極E_cとの間に挟持された液晶層とからなる。そして、画素電極と共通電極E_cとにより形成される液晶容量により、画素容量C_pが構成される。なお通常、画素容量C_pに確実に電圧を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

[0046] 本実施形態に係る液晶表示装置では、RGBの3原色によるカラー画像が行われる。このため、上記画素形成部は、R、G、およびBにそれぞれ対応する3個の画素形成部を1組として構成されている。この1組により1画素が形成される。以下では、R、G、およびBにそれぞれ対応する画素形成部を「R画素形成部」、「G画素形成部」、および「B画素形成部」という。

[0047] 電源100は、DC/DCコンバータ110と表示制御回路200と共通電極駆動回路900とに所定の電源電圧を供給する。DC/DCコンバータ110は、ソースドライバ300およびゲートドライバ500を動作させるための所定の直流電圧を電源電圧から生成し、それをソースドライバ300およびゲートドライバ500に供給する。共通電極駆動回路900は、共通電極E_cに所定の電位V_{com}を与える。

[0048] 表示制御回路200は、外部から送られる画像信号DATおよび水平同期信号や垂直同期信号などのタイミング信号群TGを受け取り、デジタル映像信号DV（画像データ）と、表示部600における画像表示を制御するためのソーススタートパルス信号SSP、ソースクロック信号CLK、ラッチストロブ信号LS、選択制御信号CT、ゲートスタートパルス信号GSP、およびゲートクロック信号GCKを出力する。選択制御信号CTのハイレベル側の電位はV_{dd}電位、ローレベル側の電位はV_{ss}電位となっている。

[0049] 本実施形態では、この選択制御信号CTは3相の選択制御信号CT_r、C

T_g、およびC T_bからなっている。これらの選択制御信号C T_r、C T_g、およびC T_bはそれぞれ、R画素形成部、G画素形成部、およびB画素形成部に対応している。以下では、選択制御信号C T_rを「R用選択制御信号」といい、選択制御信号C T_gを「G用選択制御信号」といい、選択制御信号C T_bを「B用選択制御信号」という。また、R用選択制御信号C T_r、G用選択制御信号C T_g、およびB用選択制御信号C T_bのそれぞれがローレベル電位からハイレベル電位に変化する時点から、ハイレベル電位からローレベル電位に変化する時点までの期間を便宜上「切替選択期間」という。これらのR用選択制御信号C T_r、G用選択制御信号C T_g、およびB用選択制御信号C T_bは、互いに1切替選択期間だけ位相がずれており、いずれも3切替選択期間中の1切替選択期間だけハイレベル電位（V_{dd}電位）になる（ただし、後述の休止期間T₂を除く）。本実施形態では、3切替選択期間が1水平走査期間に相当する。

[0050] ソースドライバ300は、表示制御回路200から出力されるデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSを受け取り、k本の出力信号線OL1～OLkにそれぞれ映像信号SS(1)～SS(k)を与える。ここで、本実施形態では $k = n / 3$ である。なお、このソースドライバについての詳しい説明は後述する。

[0051] 選択回路400は、表示制御回路200から出力されるR用選択制御信号C T_r、G用選択制御信号C T_g、およびB用選択制御信号C T_bとソースドライバ300から出力される映像信号SS(1)～SS(k)とを受け取り、これらの映像信号SS(1)～SS(k)を時分割してソースラインSL1～SLnに印加する。なお、この選択回路400についての詳しい説明は後述する。

[0052] ゲートドライバ500は、表示制御回路200から出力されるゲートスタートパルス信号GSPおよびゲートクロック信号GCKに基づいて、ハイレベル電位の走査信号GS(1)～GS(m)のゲートラインGL1～GLm

それぞれへの印加を1フレーム期間を周期として繰り返す。

[0053] 以上のようにして、ソースライン $SL_1 \sim SL_n$ に映像信号 $SS(1) \sim SS(k)$ が時分割されて印加され、ゲートライン $GL_1 \sim GL_m$ に走査信号 $GS(1) \sim GS(m)$ がそれぞれ印加されることにより、外部から送られた画像信号 DAT に基づく画像が表示部600に表示される。

[0054] <1. 2 ソースドライバの構成および動作>

図2は、本実施形態におけるソースドライバ300の構成を示すブロック図である。図2に示すように、このソースドライバ300は、出力信号線 $OL_1 \sim OL_k$ の本数に等しい段数のシフトレジスタ310と、シフトレジスタ310に接続されたサンプリングラッチ回路320と、サンプリングラッチ回路320に接続され、出力信号線 $OL_1 \sim OL_k$ に接続された出力回路330とにより構成されている。

[0055] シフトレジスタ310は、表示制御回路200から出力されたソーススタートパルス信号 SSP およびソースクロック信号 SCK を受け取る。このシフトレジスタ310は、これらのソーススタートパルス信号 SSP およびソースクロック信号 SCK に基づいて、各水平走査期間における3切替選択期間のそれぞれにおいてソーススタートパルス信号 SSP に含まれるパルスを入力端から出力端へと順次転送する。この転送に応じて、サンプリングラッチ回路320にサンプリングパルスが順次与えられる。

[0056] サンプリングラッチ回路320は、表示制御回路200から出力されたデジタル映像信号 DV およびラッチストロープ信号 LS と、シフトレジスタ310から出力されたサンプリングパルスを受け取る。このサンプリングラッチ回路320は、デジタル映像信号 DV をサンプリングパルスのタイミングで保持し、さらに、ラッチストロープ信号 LS でラッチして1切替選択期間(1/3水平走査期間)ずつ保持する。ここで保持されるデジタル映像信号 DV は各色に対応する、例えば8ビットデータである。この保持されたデジタル映像信号 DV は出力回路330に与えられる。

[0057] 出力回路330は、サンプリングラッチ回路320から受け取ったデジタ

ル映像信号DVを例えば256階調を表すアナログ信号に変換し、映像信号SS(1)～SS(k)としてそれぞれ出力信号線OL1～OLkに出力される。なお、本実施形態では、これらの映像信号SS(1)～SS(k)は、各水平走査期間中の1番目の切替選択期間（以下「第1切替選択期間」という）ではR画素形成部に対応する電位となり、各水平走査期間中の2番目の切替選択期間（以下「第2切替選択期間」という）ではG画素形成部に対応する電位となり、各水平走査期間中の3番目の切替選択期間（以下「第3切替選択期間」という）ではB画素形成部に対応する電位となっている。また、出力回路330では、映像信号の電位をシフトするレベルシフト動作等が行われても良い。

[0058] <1. 3 選択回路の構成>

図3は、本実施形態における選択回路400の構成を説明するためのブロック図である。図3に示すように、この選択回路400は、k個の選択ブロック410(1)～410(k)により構成されている。表示部600には上述のようにm行×n列の画素マトリクスが形成されており、これらの画素マトリクスの各列と3対1で対応するように上記選択ブロックが設けられている。

[0059] 選択ブロック410(1)～410(k)にはそれぞれ出力信号線OL1～OLkが接続されている（対応している）。また、選択ブロック410(1)～410(k)のそれぞれには互いに異なる3本のソースラインが接続されている。選択ブロック410(j)にはソースラインSL3j-2～SL3jが接続されている（j=1～k）。各選択ブロックには、R用選択制御信号CTR、G用選択制御信号CTG、およびB用選択制御信号CTBが与えられている。

[0060] 図4は、本実施形態における選択ブロック410(1)～410(k)とソースラインSL1～SLnとの対応関係を説明するための回路図である。図4に示すように、ソースラインSL1～SLnは、3本を単位としてソースライン組SG1～SGkに組み分けされている。ここで、ソースライン組

SG_j は3本のソースライン $SL_{3j-2} \sim SL_{3j}$ からなっている。これらのソースライン組 $SG_1 \sim SG_k$ はそれぞれ、選択ブロック $410(1) \sim 410(k)$ に対応している。

[0061] 図4において、ソースライン組 SG_j 中の、 R に対応するソースライン（以下「 R 用ソースライン」という）を符号 SL_{rj} で表し、 G に対応するソースライン（以下「 G 用ソースライン」という）を符号 SL_{gj} で表し、 B に対応するソースライン（以下「 B 用ソースライン」という）を符号 SL_{bj} で表している。また、 R 用ソースライン SL_{rj} とゲートライン GL_i との交差点に対応して設けられた R 画素形成部を符号 ri_j で表し（ $i=1 \sim m$ ）、 G 用ソースライン SL_{gj} とゲートライン GL_i との交差点に対応して設けられた G 画素形成部を符号 gi_j で表し、 B 用ソースライン SL_{bj} とゲートライン GL_i との交差点に対応して設けられて B 画素形成部を符号 bi_j で表している。

[0062] 各選択ブロックは、図4に示すように3つの薄膜トランジスタにより構成されている。以下では、選択ブロック $410(j)$ 内の3つの薄膜トランジスタをそれぞれ、 R 用薄膜トランジスタ $40r(j)$ 、 G 用薄膜トランジスタ $40g(j)$ 、および B 用薄膜トランジスタ $40b(j)$ という。

[0063] 各 R 用薄膜トランジスタについては、ゲート端子には R 用選択制御信号 CT_r が与えられ、ソース端子には当該 R 用薄膜トランジスタを含む選択ブロックに対応する出力信号線が接続され、ドレイン端子には当該 R 用薄膜トランジスタを含む選択ブロックに対応するソースライン組内の R 用ソースラインが接続されている。各 G 用薄膜トランジスタについては、ゲート端子には G 用選択制御信号 CT_g が与えられ、ソース端子には当該 G 用薄膜トランジスタを含む選択ブロックに対応する出力信号線が接続され、ドレイン端子には当該 G 用薄膜トランジスタを含む選択ブロックに対応するソースライン組内の G 用ソースラインが接続されている。各 B 用薄膜トランジスタについては、ゲート端子には B 用選択制御信号 CT_b が与えられ、ソース端子には当該 B 用薄膜トランジスタを含む選択ブロックに対応する出力信号線が接続さ

れ、ドレイン端子には当該B用薄膜トランジスタを含む選択ブロックに対応するソースライン組内のB用ソースラインが接続されている。

[0064] なお、選択ブロック内の各薄膜トランジスタのソース端子に与えられる映像信号の極性によって当該薄膜トランジスタのソース端子とドレイン端子とが入れ替わる。しかし本明細書では、この極性に関わらず、選択ブロック内の各薄膜トランジスタにおいて、当該選択ブロックに対応する出力信号線が接続されている側の端子をソース端子とし、当該選択ブロックに対応するソースライン組内のソースラインが接続されている側の端子をドレイン端子として説明する。

[0065] このような選択回路400により、映像信号SS(1)～SS(k)を時分割してソースラインSL1～SLnに印加する上述の動作が実現される。なお、この動作について詳しい説明は後述する。

[0066] <1.4 液晶表示装置の詳細な動作>

図5は、本実施形態に係るSSD方式の液晶表示装置の詳細な動作を説明するための信号波形図である。本実施形態では、図5に示すように、1フレーム期間が走査期間T1と、当該走査期間T1の後に設けられた休止期間T2とからなっている。この走査期間T1では走査信号GS(1)～GS(m)がゲートクロック信号GCKに基づいて順次にハイレベル電位になる。一方休止期間T2では、m本のゲートラインGL1～GLm(走査信号GS(1)～GS(m))のいずれもがローレベル電位になっている。

[0067] <1.4.1 走査期間の動作>

上記図4および図5を参照しつつ、走査期間T1における液晶表示装置の動作について説明する。図5に示すように、この走査期間T1では、R用選択制御信号CTr、G用選択制御信号CTg、およびB用選択制御信号CTbは、第1切替選択期間、第2切替選択期間、および第3切替選択期間でそれぞれハイレベル電位になる。すなわち、走査期間T1におけるR用選択制御信号CTr、G用選択制御信号CTg、およびB用選択制御信号CTbのそれぞれの周期(以下「走査期間周期」という)は1水平走査期間(3切替

選択期間)である。なお、この走査期間周期を符号 t_{ck1} で表す。また、走査期間 T_1 における R 用選択制御信号 C_{Tr} 、G 用選択制御信号 C_{Tg} 、および B 用選択制御信号 C_{Tb} のそれぞれの周波数 (以下「走査期間周波数」という) を符号 f_{ck1} で表す。また、走査期間 T_1 における R 用選択制御信号 C_{Tr} 、G 用選択制御信号 C_{Tg} 、および B 用選択制御信号 C_{Tb} のそれぞれの振幅 (以下「走査期間振幅」という) を符号 V_{ck1} で表す。

[0068] 図 5 に示すように、映像信号 $SS(j)$ は、走査期間 T_1 中の i 番目の 1 水平走査期間における第 1 切替選択期間～第 3 切替選択期間ではそれぞれ R 画素形成部 r_{ij} に対応する電位、G 画素形成部 g_{ij} に対応する電位、および B 画素形成部 b_{ij} に対応する電位となっている。なお、本実施形態および後述の各実施形態では、1 切替選択期間毎に各映像信号の極性を反転させ且つ互いに隣接する出力信号線に与えられる映像信号の極性を互いに反転させると共に、フレーム期間毎に各映像信号の極性を反転させることにより極性反転駆動を行っているが、本発明はこれに限定されるものではない。

[0069] まず、走査信号 $GS(1)$ がハイレベル電位になるとゲートライン GL_1 が選択状態になるので、R 画素形成部 r_{1j} 、G 副画素形成部 g_{1j} 、および B 画素形成部 b_{1j} は映像信号を書き込み可能な状態になる。以下では、ゲートライン GL_1 が選択状態になる期間を「第 1 選択期間」という。

[0070] このとき、第 1 切替選択期間では R 用選択制御信号 C_{Tr} がハイレベル電位になるので、図 4 に示す R 用薄膜トランジスタ $40r(j)$ がオン状態になる。このため、R 画素形成部 r_{1j} に対応する電位になっている映像信号 $SS(j)$ が R 用ソースライン SL_{rj} に与えられる。この R 用ソースライン SL_{rj} の電位 (R 画素形成部 r_{1j} に対応する電位になっている映像信号 $SS(j)$) は R 画素形成部 r_{1j} に書き込まれる。なお、この第 1 選択期間では奇数行の R 用ソースライン SL_{rj} は正極性に变化し、偶数行の R 用ソースライン SL_{rj} は負極性に变化する。この第 1 切替選択期間では、G 用ソースライン SL_{gj} および B 用ソースライン SL_{bj} は先行の休止期間 T_2 における電位 (V_{com} 電位) を維持する。

[0071] 第2切替選択期間ではG用選択制御信号C T gがハイレベル電位になるので、図4に示すG用薄膜トランジスタ40g(j)がオン状態になる。このため、G画素形成部g1jに対応する電位になっている映像信号SS(j)がG用ソースラインSLg jに与えられる。このG用ソースラインSLg jの電位(G画素形成部g1jに対応する電位になっている映像信号SS(j))はG画素形成部g1jに書き込まれる。なお、この第1選択期間では奇数行のG用ソースラインGLg jは負極性に变化し、偶数行のG用ソースラインSLg jは正極性に变化する。この第2切替選択期間では、R用ソースラインSLr jおよびB用ソースラインSLb jは第1切替選択期間における電位を維持する。

[0072] 第3切替選択期間ではB用選択制御信号SPCk bがハイレベル電位になるので、図4に示すB用薄膜トランジスタ40b(j)がオン状態になる。このため、B画素形成部b1jに対応する電位になっている映像信号SS(j)がB用ソースラインSLb jに与えられる。このB用ソースラインSLb jの電位(B画素形成部b1jに対応する電位になっている映像信号SS(j))はB画素形成部b1jに書き込まれる。なお、この第1選択期間では奇数行のB用ソースラインGLb jは正極性に变化し、偶数行のB用ソースラインSLb jは負極性に变化する。この第3切替選択期間では、R用ソースラインSLr jおよびG用ソースラインSLg jは第2切替選択期間における電位を維持する。

[0073] 以上のような1水平走査期間(3切替選択期間)が繰り返されることにより走査期間T1の動作が実現される。

[0074] <1.4.2 休止期間の動作>

次に、上記図4および図5を参照しつつ、休止期間T2における液晶表示装置の動作について説明する。本実施形態および後述の各実施形態では、休止期間T2が走査期間T1よりも長く設けられている。ただし、本発明はこれに限定されるものではなく、休止期間T2が走査期間T1よりも短くても良い。

[0075] 図5に示すように、この休止期間 T_2 では、R用選択制御信号 CT_r 、G用選択制御信号 CT_g 、およびB用選択制御信号 CT_b は走査期間周期 t_{ck1} よりも長い周期で、第1切替選択期間、第2切替選択期間、および第3切替選択期間でそれぞれハイレベル電位になる。以下では、休止期間 T_2 におけるR用選択制御信号 CT_r 、G用選択制御信号 CT_g 、およびB用選択制御信号 CT_b のそれぞれの周期（以下「休止期間周期」という）を符号 t_{ck2} で表す。また、休止期間 T_2 におけるR用選択制御信号 CT_r 、G用選択制御信号 CT_g 、およびB用選択制御信号 CT_b のそれぞれの周波数（以下「休止期間周波数」という）を符号 f_{ck2} で表す。また、休止期間 T_2 におけるR用選択制御信号 CT_r 、G用選択制御信号 CT_g 、およびB用選択制御信号 CT_b のそれぞれの振幅（以下「休止期間振幅」という）を符号 V_{ck2} で表す。

[0076] 上述のように、休止期間周期 t_{ck2} は走査期間周期 t_{ck1} よりも長い。すなわち、休止期間周波数 f_{ck2} は走査期間周波数 f_{ck1} よりも低い。ここで、走査期間周波数 f_{ck1} は休止期間周波数 f_{ck2} の整数倍であることが望ましい。これにより、表示制御回路200等を簡易な構成とすることができる。また、走査期間周波数 f_{ck1} は休止期間周波数 f_{ck2} の2倍以上であることが望ましい。言い換えると、休止期間周波数 f_{ck2} は走査期間周波数 f_{ck1} の $1/2$ 倍以下であることが望ましい。これにより、選択回路400の駆動に要する消費電力を十分に低減することができる。このような選択制御信号 CT の周波数（周期）の制御は、例えば表示制御回路200において行われる。なお、本実施形態では、休止期間振幅 V_{ck2} および走査期間振幅 V_{ck1} は互いに同じ大きさである。

[0077] 図5に示すように、休止期間 T_2 では映像信号 $SS(j)$ は V_{com} 電位になっている。また、休止期間 T_2 では走査信号 $GS(1) \sim GS(m)$ はハイレベル電位にならないので、R画素形成部 rij 、G画素形成部 gij 、およびB画素形成部 bij には映像信号は書き込まれない。

[0078] 休止期間 T_2 における最初の、1水平走査期間と同じ長さの期間（以下で

は単に「1 水平走査期間」という)において、第1切替選択期間でR用選択制御信号C T rがハイレベル電位になると、図4に示すR用薄膜トランジスタ40 r (j)がオン状態になる。このため、V c o m電位である映像信号S S (j)がR用ソースラインS L r jに与えられる。なお、この最初の1 水平走査期間における第1切替選択期間では、G用ソースラインS L g jおよびB用ソースラインS L b jは先行の走査期間T 1における電位を維持する。

[0079] 次に、第2切替選択期間ではG用選択制御信号C T gがハイレベル電位になるので、図4に示すG用薄膜トランジスタ40 g (j)がオン状態になる。このため、V c o m電位である映像信号S S (j)がG用ソースラインS L g jに与えられる。なお、この最初の1 水平走査期間における第2切替選択期間では、R用ソースラインS L r jはV c o m電位を維持し、B用ソースラインS L b jは先行の走査期間T 1における電位を維持する。

[0080] 次に、第3切替選択期間ではB用選択制御信号C T bがハイレベル電位になるので、図4に示すB用薄膜トランジスタ40 b (j)がオン状態になる。このため、V c o m電位である映像信号S S (j)がB用ソースラインS L b jに与えられる。なお、この第3切替選択期間では、R用ソースラインS L r jおよびG用ソースラインS L g jはV c o m電位を維持する。

[0081] 以上のような動作が休止期間周期t c k 2毎に繰り返されることにより、休止期間T 2の動作が実現される。この休止期間T 2の動作により、各ソースラインに休止期間周期t c k 2毎にV c o m電位が与えられることとなる。

[0082] <1. 5 考察>

上記選択回路モノリシック型の液晶表示装置において特許文献2に記載の駆動方法を単純に用いる場合、休止期間T 2においてソースラインを所定電位(V c o m電位)に固定するために、休止期間T 2において選択回路400内の各薄膜トランジスタをオフ状態に維持するか、または、休止期間T 2において当該薄膜トランジスタをオン状態維持すると共に各映像信号をV c

o m 電位にすることが考えられる。

[0083] しかし、休止期間 T_2 において選択回路 400 内の各薄膜トランジスタをオフ状態に維持すると、ソースラインがフローティング状態になる。このため、休止期間 T_2 においてソースラインがノイズ等の影響を受けやすくなってしまう。ソースラインと画素電極との間には寄生容量があり、画素電極もフローティング状態なので、ソースラインのノイズは容量カップリングにより画素電位へも影響する。その結果、表示品位の低下を招くおそれがある。これに対して、本実施形態では上述のように、休止期間 T_2 において、R 用選択制御信号 CT_r 、G 用選択制御信号 CT_g 、および B 用選択制御信号 CT_b の電位が休止期間周期 t_{ck2} 毎にハイレベルになることにより、R 用薄膜トランジスタ、G 用薄膜トランジスタ、および B 用薄膜トランジスタがそれぞれオン状態になる。このため、休止期間周期 t_{ck2} 毎に各ソースラインに V_{com} 電位が与えられることとなる。これにより、本実施形態では、休止期間 T_2 においてソースラインが受けるノイズ等の影響が低減される。その結果、表示品位の低下を抑制することができる。

[0084] また、休止期間 T_2 において選択回路 400 内の各薄膜トランジスタをオン状態維持すると共に各映像信号を V_{com} 電位にすると、この薄膜トランジスタのゲート端子にハイレベル電位を与え続ける必要がある。この薄膜トランジスタにゲートバイアスストレスが長時間掛かることとなるので、この薄膜トランジスタにおけるしきい値変動が大きくなる。その結果、この薄膜トランジスタが低下する。これに対して、本実施形態では、選択回路 400 内の各薄膜トランジスタのゲート端子には休止期間周期 t_{ck2} 毎にハイレベル電位が与えられるのみである。これにより、本実施形態では、この薄膜トランジスタに掛かるゲートバイアスストレスが低減されるので、この薄膜トランジスタにおけるしきい値変動が低減される。その結果、この薄膜トランジスタ M_2 の動能力（信頼性）の低下を抑制することができる。

[0085] <1. 6 実現例>

本実施形態における選択回路 400 内の各薄膜トランジスタの半導体層に

は、例えば、 $a-S$ ！または酸化物半導体等を用いることができる。なお、酸化物半導体としては、典型的には、インジウム、ガリウム、亜鉛、および酸素を主成分とする酸化物半導体である $InGaZnO_x$ (以下、「IGZO」という) が用いられるが本発明はこれに限定されるものではない。例えば、インジウム、ガリウム、亜鉛、銅、珪素、錫、アルミニウム、カルシウム、ゲルマニウム、および鉛のうち少なくとも1つを含む酸化物半導体であれば良い。

[0086] 図6は、 $a-S$ ！TFトおよびIGZOを半導体層に用いたTFト (以下「IGZOFT」という) のドレイン電流-ゲート電圧特性を示す図である。図6において、横軸はゲート電圧 V_g を表し、縦軸はドレイン電流 I_d を表している。図6に示すように、IGZOFTのドレイン電流は $a-S$ ！TFトのドレイン電流の $1/1000$ 以下であると共に、IGZOFTのドレイン電流は $a-S$ ！TFトのドレイン電流の約20倍である。

[0087] IGZOFTは上述のようにリーク電流が小さいので、IGZOFTを本実施形態における選択回路400内の各薄膜トランジスタとして用いた場合、 $a-S$ ！TFトをこの薄膜トランジスタとして用いた場合により、選択回路400の駆動電力を低減することができる ($1/100$ 以下)。

[0088] また、IGZOFTは上述のようにオン電流が大いので、IGZOFTをTFトを用いた場合、 $a-S$ ！TFトを用いた場合に比べてTFトのサイズを $1/20$ 程度に小さくすることができる。

[0089] なお、 $a-S$ ！TFトを用いた場合は、IGZOFTを用いた場合よりも低コストで本実施形態を実現することができる。

[0090] <1.7 効果>

本実施形態によれば、選択回路モニタ型液晶表示装置において、1フレーム期間内で走査期間 T_1 の後に休止期間 T_2 が設けられる。選択回路400内の薄膜トランジスタR用薄膜トランジスタ、B用薄膜トランジスタ、およびG用薄膜トランジスタにそれぞれ与えられるR用選択制御信号 C_{Tr} 、B用選択制御信号 C_{Tb} 、およびG用選択制御信号 C_{Tg} の休止期間

周波数 f_{ck2} が、これらの走査期間周波数 f_{ck1} よりも低いので、1フレーム期間全体での選択回路400の駆動周波数が低減される。このため、消費電力が低減される。また、選択回路400がモノリシック化されて形成されているので、液晶表示パネル700の額縁面積が縮小されると共に、選択回路400のコストが低減される。

[0091] また、本実施形態によれば、休止期間 T_2 において、R用選択制御信号 CT_r 、B用選択制御信号 CT_b 、およびG用選択制御信号 CT_g の電位が休止期間周期 t_{ck2} 毎にハイレベルになることにより、R用薄膜トランジスタ、B用薄膜トランジスタ、およびG用薄膜トランジスタがそれぞれ休止期間周期 t_{ck2} 毎にオン状態になる。これにより、休止期間 T_2 中にソースラインが受けるノイズ等の影響、およびR用薄膜トランジスタ、B用薄膜トランジスタ、およびG用薄膜トランジスタにおけるしきい値変動が低減される。したがって、表示品位の低下を抑制すると共に、R用薄膜トランジスタ、B用薄膜トランジスタ、およびG用薄膜トランジスタの信頼性を高めることができる。

[0092] また、本実施形態によれば、休止期間 T_2 が走査期間 T_1 よりも長く設けられているので、さらなる消費電力化を図ることができる。

[0093] $IGZOTFT$ を本実施形態における選択回路400内の各薄膜トランジスタとして用いた場合には、 $IGZOTFT$ のリーク電流が十分に小さいので、休止期間周波数 f_{ck2} をさらに低くすることができる。このため、消費電力を低減することができる。また、この場合、 $IGZOTFT$ のオン電流が十分に大きいので、 TFT サイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。

[0094] 一方、 $a-SiTFT$ を本実施形態における選択回路400内の各薄膜トランジスタとして用いた場合には、さらなる低コスト化を図ることができる。

[0095] <1.8 変形例>

図7は、本実施形態の変形例における選択回路400の構成、および選択

ブロック410(1)～410(k)とソースラインSL1～SLnとの対応関係を説明するための回路図である。選択制御信号CTは6相の選択制御信号CTr1、CTg1、CTb1、CTr2、CTg2、およびCTb2からなっている。選択制御信号CTr1およびCTr2はR画素形成部に対応し、選択制御信号CTg1およびCTg2はG画素形成部に対応し、選択制御信号CTb1およびCTb2はB画素形成部に対応している。

[0096] 図7に示すように、本変形例では6本を単位としてソースライン組SG1～SGkに組み分けされている。ここで、ソースライン組SGjは2本のソースライン6j-5およびSL6jからなっている(j=1～k)。これらのソースライン組SG1～SGkはそれぞれ、選択ブロック410(1)～410(k)に対応している。

[0097] 各ソースライン組中には、同色に対応するソースラインが2本設けられている。図7において、ソースライン組SGj中の、2本のR用ソースラインのうち的一方(以下「第1R用ソースライン」という)および他方(以下「第2R用ソースライン」という)をそれぞれ符号SLrj__1およびSLrj__2で表し、2本のG用ソースラインのうち的一方(以下「第1G用ソースライン」という)および他方(以下「第2G用ソースライン」という)をそれぞれ符号SLgj__1およびSLgj__2で表し、2本のB用ソースラインのうち的一方(以下「第1B用ソースライン」という)および他方(以下「第2B用ソースライン」という)をそれぞれ符号SLbj__1およびSLbj__2で表している。また、第1R用ソースラインSLrj__1とゲートラインGLiとの交差点に対応して設けられたR画素形成部を符号rij__1で表し(i=1～m)、第2R用ソースラインSLrj__2とゲートラインGLiとの交差点に対応して設けられたR画素形成部を符号rij__2で表し、第1G用ソースラインSLgj__1とゲートラインGLiとの交差点に対応して設けられたG画素形成部を符号gij__1で表し、第2G用ソースラインSLgj__2とゲートラインGLiとの交差点に対応して設けられたG画素形成部を符号gij__2で表し、第1B用ソースラインSLbj

__1とゲートラインGL_iとの交差点に対応して設けられたB画素形成部を符号b_{i j}__1で表し、第2B用ソースラインSL_{b j}__2とゲートラインGL_iとの交差点に対応して設けられたB画素形成部を符号b_{i j}__2で表している。このように、本変形例における各ソースライン組内の6本のソースラインが、2画素分の3原色（すなわち2×3原色）にそれぞれ対応している。

[0098] 選択ブロック410(j)は、6つの薄膜トランジスタ40r1(j)、40g1(j)、40b1(j)、40r2(j)、40g2(j)、および40b2(j)により構成されている。6つの薄膜トランジスタ40r1(j)、40g1(j)、40b1(j)、40r2(j)、40g2(j)、および40b2(j)はそれぞれ、ソースライン組SG_j中の第1R用ソースライン、第1G用ソースライン、第1B用ソースライン、第2R用ソースライン、第2G用ソースライン、および第2B用ソースラインに対応している。

[0099] 図8は、本変形例に係るSSD方式の液晶表示装置の詳細な動作を説明するための信号波形図である。本変形例では、図8に示すように走査期間T1では6切替選択期間からなる1水平走査期間が繰り返されることにより、各映像信号線に映像信号が与えられる。なお、走査期間T1における基本的な動作は上記第1の実施形態におけるものと同様であるので説明を省略する。また、休止期間T2における基本的な動作についても上記第1の実施形態におけるものと同様であるので説明を省略する。

[0100] 本変形例によれば、上記第1の実施形態よりもソースドライバ300の出力端子数（出力信号線の本数）が削減されるので、さらなる低コスト化を図ることができる。

[0101] <2. 第2の実施形態>

<2. 1 休止期間の動作>

図9は、本発明の第2の実施形態における液晶表示装置の詳細な動作を説明するための信号波形図である。なお、本実施形態は、休止期間の動作を除

き上記第1の実施形態と同様であるので、当該同様の部分についての説明を省略する。本実施形態における休止期間振幅 V_{ck2} は走査期間振幅 V_{ck1} よりも小さい。なお、休止期間 T_2 において選択回路400内の各薄膜トランジスタを確実にオン状態にするためには、この休止期間振幅 V_{ck2} はこの薄膜トランジスタのしきい値電圧よりも大きい必要がある。すなわち、本実施形態における休止期間振幅 V_{ck2} は、走査期間振幅 V_{ck1} よりも小さく且つ選択回路400内の各薄膜トランジスタのしきい値電圧よりも大きい。

[0102] <2. 2 効果>

本実施形態によれば、休止期間 T_2 におけるR用選択制御信号 CT_r 、G用選択制御信号 CT_g 、およびB用選択制御信号 CT_b のそれぞれの振幅である休止期間振幅 V_{ck2} が、走査期間 T_1 におけるR用選択制御信号 CT_r 、G用選択制御信号 CT_g 、およびB用選択制御信号 CT_b のそれぞれの振幅である走査期間振幅 V_{ck1} よりも小さい。このため、さらなる低消費電力化を図ることができる。また、休止期間 T_2 にR用薄膜トランジスタ、G用薄膜トランジスタ、およびB用薄膜トランジスタに掛かるゲートバイアスストレスがさらに低減されるので、これらのR用薄膜トランジスタ、G用薄膜トランジスタ、およびB用薄膜トランジスタのさらなる高信頼性化を図ることができる。

[0103] <3. 第3の実施形態>

<3. 1 選択回路の構成>

図10は、本発明の第3の実施形態における選択回路400の構成、および選択ブロック410(1)～410(k)とソースライン $SL_1 \sim SL_n$ との対応関係を説明するための回路図である。なお、本実施形態は、選択回路400の構成および液晶表示装置の詳細な動作を除き上記第1の実施形態と同様であるので、当該同様の部分についての説明を省略する。本実施形態では、RGBYの4原色によるカラー画像表示が行われる。このため、上記画素形成部は、R、G、B、およびYにそれぞれ対応する4個の画素形成部

を1組として構成されている。この1組により1画素が形成される。以下では、Yに対応する画素形成部を「Y画素形成部」という。

[0104] 本実施形態では、図10に示すように、ゲートラインGL1～GLmは、2本を単位としてゲートライン組GG1～GGl ($l = m/2$) に組み分けされている。ここで、ゲートライン組GGiは2本のゲートラインGL2i-1およびGL2i ($i = 1 \sim l$) からなっている。RGBYからなる1画素は、各ゲートライン組における先行のゲートラインに対応して設けられたR画素形成部およびB画素形成部と、当該ゲートラインの後続のゲートラインに対応して設けられたY画素形成部およびG画素形成部とにより実現される。

[0105] 本実施形態では、選択制御信号CTは2相の選択制御信号CTryおよびCTbgからなっている。選択制御信号CTryはR画素形成部およびY画素形成部に対応し、選択制御信号CTbgはB画素形成部およびG画素形成部に対応している。以下では、選択制御信号CTryを「RY用選択制御信号」といい、選択制御信号CTbgを「BG用選択制御信号」という。また、RY用選択制御信号CTryおよびBG用選択制御信号CTbgのそれぞれがローレベル電位からハイレベル電位に変化する時点から、ハイレベル電位からローレベル電位に変化する時点までの期間を便宜上「切替選択期間」という。これらのRY用選択制御信号CTryおよびBG用選択制御信号CTbgは互いに1切替選択期間だけ位相がずれており、いずれも2切替選択期間中の1切替選択期間だけハイレベル電位(Vdd電位)になる(ただし、休止期間T2を除く)。本実施形態では、2切替選択期間が1水平走査期間に相当する。

[0106] 図10に示すように、本実施形態における選択回路400は、上記第1の実施形態と同様にk個の選択ブロック410(1)～410(k)により構成されている。これらの選択ブロック410(1)～410(k)にはそれぞれ出力信号線OL1～OLkが接続されている(対応している)。また、本実施形態では、選択ブロック410(1)～410(k)のそれぞれには

互いに異なる2本のソースラインが接続されている。選択ブロック410(j)にはソースライン SL_{2j-1} および SL_{2j} が接続されている($j=1\sim k$)。各選択ブロックには、RY用選択制御信号 CT_{ry} およびBG用選択制御信号 CT_{bg} が与えられている。

[0107] また、図10に示すように、ソースライン $SL_1\sim SL_n$ は、2本を単位としてソースライン組 $SG_1\sim SG_k$ に組み分けされている。ここで、ソースライン組 SG_j は2本のソースライン SL_{2j-1} および SL_{2j} からなっている。これらのソースライン組 $SG_1\sim SG_k$ はそれぞれ、選択ブロック410(1)~410(k)に対応している。

[0108] 図10において、ソースライン組 SG_j 中の、RおよびYに対応するソースライン(以下「RY用ソースライン」という)を符号 SL_{ryj} で表し、BおよびGに対応するソースライン(以下「BG用ソースライン」という)を符号 SL_{bgj} で表している。また、RY用ソースライン SL_{ryj} とゲートライン GL_{2i-1} との交差点に対応して設けられたR画素形成部を符号 ri_j で表し、BG用ソースライン SL_{bgj} とゲートライン GL_{2i-1} との交差点に対応して設けられたB画素形成部を符号 bi_j で表し、RY用ソースライン SL_{ryj} とゲートライン GL_{2i} との交差点に対応して設けられたY画素形成部を符号 yi_j で表し、BG用ソースライン SL_{bgj} とゲートライン GL_{2i} との交差点に対応して設けられたG画素形成部を符号 gi_j で表している。

[0109] 各選択ブロックは、図10に示すように2つの薄膜トランジスタにより構成されている。以下では、選択ブロック410(j)内の2つの薄膜トランジスタをそれぞれ、RY用薄膜トランジスタ $40_{ry}(j)$ およびBG用薄膜トランジスタ $40_{bg}(j)$ という。

[0110] 各RY用薄膜トランジスタについては、ゲート端子にはRY用選択制御信号 CT_{ry} が与えられ、ソース端子には当該RY用薄膜トランジスタを含む選択ブロックに対応する出力信号線が接続され、ドレイン端子には当該RY用薄膜トランジスタを含む選択ブロックに対応するソースライン組内のRY

用ソースラインが接続されている。各BG用薄膜トランジスタについては、ゲート端子にはBG用選択制御信号CTbgが与えられ、ソース端子には当該BG用薄膜トランジスタを含む選択ブロックに対応する出力信号線が接続され、ドレイン端子には当該BG用薄膜トランジスタを含む選択ブロックに対応するソースライン組内のBG用ソースラインが接続されている。

[0111] このような選択回路400により、映像信号SS(1)～SS(k)を時分割してソースラインSL1～SLnに印加する動作が実現される。

[0112] <3.2 液晶表示装置の詳細な動作>

図11は、本実施形態に係るSSD方式の液晶表示装置の詳細な動作を説明するための信号波形図である。

[0113] <3.2.1 走査期間の動作>

上記図10および図11を参照しつつ、走査期間T1における液晶表示装置の動作について説明する。図11に示すように、この走査期間T1における映像信号SS(1)～SS(k)は、連続する2水平走査期間のうちの先行の1水平走査期間における第1切替選択期間ではR画素形成部に対応する電位となり、当該先行の1水平走査期間における第2切替選択期間ではB画素形成部に対応する電位となっている。また、これらの映像信号SS(1)～SS(k)は、連続する2水平走査期間のうちの後続の1水平走査期間における第1切替選択期間ではY画素形成部に対応する電位となり、当該後続の1水平走査期間における第2切替選択期間ではG画素形成部に対応する電位となっている。

[0114] 走査期間T1では、RY用選択制御信号CTryおよびBG用選択制御信号CTbgはそれぞれ第1切替選択期間および第2切替選択期間でそれぞれハイレベル電位になる。すなわち、RY用選択制御信号CTryおよびBG用選択制御信号CTbgのそれぞれの周期は1水平走査期間(2切替選択期間)である。以下では、本実施形態における走査期間T1でのRY用選択制御信号CTryおよびBG用選択制御信号CTbgのそれぞれの周期についても、上記第1の実施形態における走査期間T1でのR用選択制御信号CT

r、G用選択制御信号CT_g、およびB用選択制御信号CT_bのそれぞれの周期と同様に「走査期間周期t_{ck1}」という。また、本実施形態における走査期間T₁でのRY用選択制御信号CT_{ry}およびBG用選択制御信号CT_{bg}のそれぞれの周波数についても、上記第1の実施形態における走査期間T₁でのR用選択制御信号CT_r、G用選択制御信号CT_g、およびB用選択制御信号CT_bのそれぞれの周波数と同様に「走査期間周波数f_{ck1}」という。

[0115] まず、走査信号GS(1)がハイレベル電位になるとゲートラインGL1が選択状態になる(第1選択期間になる)ので、R画素形成部r_{1j}およびB画素形成部b_{1j}は映像信号を書き込み可能な状態になる。

[0116] このとき、第1切替選択期間ではRY用選択制御信号CT_{ry}がハイレベル電位になるので、図10に示すRY用薄膜トランジスタ40_{ry(j)}がオン状態になる。このため、R画素形成部r_{1j}に対応する電位になっている映像信号SS(j)がRY用ソースラインSL_{ryj}に与えられる。このRY用ソースラインSL_{ryj}の電位(R画素形成部r_{1j}に対応する電位になっている映像信号SS(j))はR画素形成部r_{1j}に書き込まれる。なお、この第1選択期間では奇数行のRY用ソースラインSL_{ryj}は正極性に変化し、偶数行のRY用ソースラインSL_{ryj}は負極性に変化する。この第1切替選択期間では、BG用ソースラインSL_{bgj}は先行の休止期間T₂における電位(V_{com}電位)を維持する。

[0117] 第2切替選択期間ではBG用選択制御信号CT_{bg}がハイレベル電位になるので、図10に示すBG用薄膜トランジスタ40_{bg(j)}がオン状態になる。このため、B画素形成部b_{1j}に対応する電位になっている映像信号SS(j)がBG用ソースラインSL_{bgj}に与えられる。このBG用ソースラインSL_{bgj}の電位(B画素形成部b_{1j}に対応する電位になっている映像信号SS(j))はB画素形成部b_{1j}に書き込まれる。なお、この第1選択期間では奇数行のBG用ソースラインSL_{bgj}は負極性に変化し、偶数行のBG用ソースラインSL_{bgj}は正極性に変化する。この第2切

替選択期間では、RG用ソースラインSL_{ryj}は第1切替選択期間における電位を維持する。

[0118] 次に、走査期間GS(2)がハイレベル電位になるとゲートラインGL2が選択状態になるので、Y画素形成部y_{1j}およびG画素形成部g_{1j}は映像信号が書き込み可能な状態になる。以下では、ゲートラインGL2が選択状態になる期間を「第2選択期間」という。

[0119] このとき、第1選択期間の第1切替選択期間と同様にRY用薄膜トランジスタ4O_{ry(j)}がオン状態になるが、RY用ソースラインSL_{ryj}にはY画素形成部y_{1j}に対応する電位になっている映像信号SS(j)が与えられる。このRY用ソースラインSL_{ryj}の電位(Y画素形成部y_{1j}に対応する電位になっている映像信号SS(j))はY画素形成部y_{1j}に書き込まれる。なお、このRY用ソースラインSL_{ryj}は第1選択期間におけるものと同じ極性となる。この第1切替選択期間では、BG用ソースラインSL_{bgj}は第1選択期間の第2切替選択期間における電位を維持する。

[0120] 第2選択期間の第2切替選択期間では、第1選択期間の第2切替選択期間と同様にBG用薄膜トランジスタ4O_{bg(j)}がオン状態になるが、BG用ソースラインSL_{bgj}にはG画素形成部g_{1j}に対応する電位になっている映像信号SS(j)が与えられる。このBG用ソースラインSL_{bgj}の電位(G画素形成部g_{1j}に対応する電位になっている映像信号SS(j))はG画素形成部g_{1j}に書き込まれる。なお、このBG用ソースラインSL_{bgj}は第1選択期間におけるものと同じ極性となる。この第2切替選択期間では、RY用ソースラインSL_{rj}は第2選択期間の第1切替選択期間における電位を維持する。

[0121] 以上のような2水平走査期間(4切替選択期間)が繰り返されることにより本実施形態における走査期間T₁の動作が実現される。

[0122] <3. 2. 2 休止期間の動作>

次に、上記図10および図11を参照しつつ、休止期間T₂における液晶

表示装置の動作について説明する。図 11 に示すように、この休止期間 T_2 では、R Y 用選択制御信号 CT_{ry} および B G 用選択制御信号 CT_{bg} は走査期間周期 t_{ck1} よりも長い周期で、第 1 切替選択期間および第 2 切替選択期間でそれぞれハイレベル電位になる。以下では、本実施形態における休止期間 T_2 での R Y 用選択制御信号 CT_{ry} および B G 用選択制御信号 CT_{bg} のそれぞれの周期についても、上記第 1 の実施形態における休止期間 T_2 での R 用選択制御信号 CT_r 、G 用選択制御信号 CT_g 、および B 用選択制御信号 CT_b のそれぞれの周期と同様に「休止期間周期 t_{ck2} 」という。また、本実施形態における休止期間 T_2 での R Y 用選択制御信号 CT_{ry} および B G 用選択制御信号 CT_{bg} のそれぞれの周波数についても、上記第 1 の実施形態における休止期間 T_2 での R 用選択制御信号 CT_r 、G 用選択制御信号 CT_g 、および B 用選択制御信号 CT_b のそれぞれの周波数と同様に「休止期間周波数 f_{ck2} 」という。

[0123] 上記第 1 の実施形態と同様に、本実施形態においても休止期間周期 t_{ck2} は走査期間周期 t_{ck1} よりも長い。すなわち、休止期間周波数 f_{ck2} は走査期間周波数 f_{ck1} よりも低い。なお、これらの走査期間周波数 f_{ck1} と休止期間周波数 f_{ck2} との関係は上記第 1 の実施形態と同様なので、その説明を省略する。

[0124] 図 11 に示すように、映像信号 $SS(j)$ は V_{com} 電位になっている。また、休止期間 T_2 では走査信号 $GS(1) \sim GS(m)$ はハイレベル電位にならないので、R 画素形成部 rij 、G 画素形成部 gij 、B 画素形成部 bij 、および Y 画素形成部 yij には映像信号は書き込まれない。

[0125] 休止期間 T_2 における最初の 1 水平走査期間において、第 1 切替選択期間で R Y 用選択制御信号 CT_{ry} がハイレベル電位になると、図 10 に示す R Y 用薄膜トランジスタ $4O_{ry}(j)$ がオン状態になる。このため、 V_{com} 電位である映像信号 $SS(j)$ が R Y 用ソースライン SL_{ryj} に与えられる。なお、この最初の 1 水平走査期間における第 1 切替選択期間では、B G 用ソースライン SL_{bgj} は先行の走査期間 T_1 における電位を維持する

。

[0126] 第2切替選択期間ではBG用選択制御信号CTbgがハイレベル電位になるので、図10に示すBG用薄膜トランジスタ40bg(j)がオン状態になる。このため、Vcom電位である映像信号SS(j)がBG用ソースラインSLbgjに与えられる。なお、第2切替選択期間ではRY用ソースラインSLryjはVcom電位を維持する。

[0127] 以上のような動作が休止期間周期tck2毎に繰り返されることにより、休止期間T2の動作が実現される。この休止期間T2の動作により、各ソースラインに休止期間周期tck2毎にVcom電位が与えられることとなる。

。

[0128] <3. 3 効果>

本実施形態によれば、RGBYからなる画素が2本のゲートラインに渡って形成される液晶表示装置において、上記第1の実施形態と同様の効果を奏することができる。

[0129] <4. 第4の実施形態>

<4. 1 選択回路の構成>

図12は、本発明の第5の実施形態における選択回路400の構成を説明するための回路図である。本実施形態は選択回路400の構成を除き上記第1の実施形態と同様であるので、当該同様の部分についての説明を省略する。図12に示すように、本実施形態における選択回路400は、表示部600の両側（図12における上下）にそれぞれ分けて構成されている。以下では、表示部600に対してソースドライバ300が配置されている側を「上側」といい、表示部600に対して当該上側の反対側を「下側」という。選択回路400のうち、表示部600の上側の部分（以下「第1選択回路」という）は第1選択回路に相当し、表示部600の下側の部分（以下「第2選択回路」という）は第2選択回路に相当する。本実施形態では、第1選択回路と第2選択回路とで各選択ブロックを共有している。より詳細には、選択回路400内の各選択ブロックが表示部600の上側および下側にそれぞれ

分けて構成されている。

[0130] ゲートドライバ500が配置されている側から数えて奇数番目の選択ブロックは、上側に配置されたR用薄膜トランジスタおよびB用薄膜トランジスタと、下側に配置されたG用薄膜トランジスタとにより構成されている。ゲートドライバ500が配置されている側から数えて偶数番目の選択ブロックは、上側に配置されたG用薄膜トランジスタと、下側に配置されたR用薄膜トランジスタおよびB用薄膜トランジスタとにより構成されている。なお、下側に配置されたR用薄膜トランジスタ、G用薄膜トランジスタ、およびB用薄膜トランジスタのソース端子には、表示部600の上側から下側に渡って延伸した配線により映像信号が与えられる。なお、各薄膜トランジスタの接続および各薄膜トランジスタに対して与えられる信号については第1の実施形態と同様であるのでその説明を省略する。

[0131] <4. 2 効果>

本実施形態によれば、表示部600の上側および下側のそれぞれに必要な選択回路400内の薄膜トランジスタの数（第1選択回路および第2選択回路のそれぞれのサイズ）が、上記第1の実施形態における選択回路400内の薄膜トランジスタの数（選択回路のサイズ）の約半分になる。このため、ゲートラインの延びる方向におけるレイアウトピッチが倍に広がる。これにより、例えばより高精細な液晶表示パネルに対応可能となる。

[0132] <5. その他>

上記第3の実施形態ではRGBYの4原色の組み合わせによりカラー画像表示を行っているが、本発明はこれに限定されるものではない。例えば、RGBW等の他の4原色の組み合わせによるカラー画像表示にも本発明を適用することができる。

[0133] 上記第4の実施形態において、各ソースライン組を例えば9本、12本、15本…等のソースラインにより構成しても良い。この場合、各選択ブロックはソースライン組を構成するソースラインの本数と同数の薄膜トランジスタにより構成される。

[0134] 上記各実施形態では、薄膜トランジスタはすべてnチャネル型であるものとして説明したが、本発明はこれに限定されるものではない。薄膜トランジスタがpチャネル型であっても本発明を適用することができる。

[0135] 上記各実施形態では液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機EL (Electro Luminescence) 表示装置等の他の表示装置にも本発明を適用することができる。また、その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

[0136] 以上により、消費電力を低減したSSD方式の表示装置、および当該表示装置内の選択回路の制御方法を提供することができる。

産業上の利用可能性

[0137] 本発明は、SSD方式の表示装置に適用することができる。

符号の説明

[0138] 40x (j) …薄膜トランジスタ (x = r、g、b、ry、bg)
 40x1 (j)、40x2 (j) …薄膜トランジスタ (x = r、g、b)
 200 …表示制御回路
 300 …ソースドライバ (映像信号線駆動回路)
 400 …選択回路
 410 (j) …選択ブロック (選択ブロック)
 500 …ゲートドライバ (走査信号線駆動回路)
 600 …表示部
 700 …液晶表示パネル
 CTx …選択制御信号 (x = r、g、b、ry、bg)
 CTx1、CTx2 …選択制御信号 (x = r、g、b)
 SLxj …ソースライン (映像信号線) (x = r、g、b、ry、bg)
 SLxj_1、SLxj_2 …ソースライン (映像信号線) (x = r、g、b)
 SGj …ソースライン組 (映像信号線組)

x_{ij} …画素形成部 ($x = r, g, b, y$)

x_{ij_1} 、 x_{ij_2} …画素形成部 ($x = r, g, b$)

T_1 …走査期間

T_2 …休止期間

t_{ck1} …走査期間周期

t_{ck2} …休止期間周期

f_{ck1} …走査期間周波数

f_{ck2} …休止期間周波数

V_{ck1} …走査期間振幅

V_{ck2} …休止期間振幅

V_{ss} …ローレベルの直流電源電位

V_{dd} …ハイレベルの直流電源電位

請求の範囲

- [請求項1] 複数の映像信号線および該複数の映像信号線と交差する複数の走査信号線を含む表示部と、
- 前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と、
- 前記表示部と一体的に形成され、複数の選択ブロックを含む選択回路と、
- 前記複数の選択ブロックにそれぞれ複数の映像信号を与える映像信号線駆動回路と、
- 前記映像信号線駆動回路に前記複数の映像信号に対応する画像データを与え、各選択ブロックにオンレベルとオフレベルとを周期的に繰り返す複数の選択制御信号を与える表示制御回路とを備え、
- 各選択ブロックが、前記複数の選択制御信号と同数の互いに隣接する映像信号線を単位とする映像信号線組における各映像信号線に、該選択ブロックが受け取る前記映像信号を該複数の選択制御信号に基づいて時分割して与え、
- 前記表示制御回路が、前記休止期間における前記複数の選択制御信号の周波数を前記走査期間における該複数の選択制御信号の周波数よりも低くする該複数の選択制御信号を生成することを特徴とする、表示装置。
- [請求項2] 前記表示制御回路が、前記休止期間における前記複数の選択制御信号の振幅を前記走査期間における該複数の選択制御信号の振幅よりも小さくするように該複数の選択制御信号を生成することを特徴とする、請求項1に記載の表示装置。
- [請求項3] 前記休止期間が前記走査期間よりも長いことを特徴とする、請求項1に記載の表示装置。

- [請求項4] 前記映像信号線駆動回路が、前記休止期間における前記映像信号の電位を固定電位にすることを特徴とする、請求項1に記載の表示装置。
- [請求項5] 各選択ブロックは、該選択ブロックに対応する映像信号線組内の複数の映像信号線にそれぞれ第1導通端子が接続された複数のスイッチング素子を有し、
- 各選択ブロックにおける前記複数のスイッチング素子の第2導通端子には、該選択ブロックが受け取る前記映像信号が与えられ、
- 前記表示制御回路が、各選択ブロックにおける前記複数のスイッチング素子にそれぞれ前記複数の選択制御信号を与えることを特徴とする、請求項1に記載の表示装置。
- [請求項6] 前記表示部が複数の原色に基づく画像を表示し、
- 各映像信号線組における複数の映像信号線が、前記複数の原色にそれぞれ対応することを特徴とする、請求項5に記載の表示装置。
- [請求項7] 前記複数の原色が3原色であり、
- 各映像信号線組が3本の映像信号線からなり、
- 各選択ブロックが3つのスイッチング素子を有し、
- 各映像信号線組における前記3本の映像信号線が、前記3原色にそれぞれ対応することを特徴とする、請求項6に記載の表示装置。
- [請求項8] 前記表示部が複数の原色に基づく画像を表示し、
- 各映像信号線組における複数の映像信号線が、該映像信号線数よりも多い所定数の原色のうちの、該映像信号線と同数の原色にそれぞれ対応すると共に、該所定数の原色のうちの、該映像信号線と同数の他の原色にそれぞれ対応することを特徴とする、請求項5に記載の表示装置。
- [請求項9] 前記複数の原色が4原色であり、
- 各映像信号線組が2本の映像信号線からなり、
- 各選択ブロックが2つのスイッチング素子を有し、

各映像信号線組における前記 2 本の映像信号線が、前記 4 原色のうちの 2 色にそれぞれ対応すると共に、該 4 原色のうちの他の 2 色にそれぞれ対応することを特徴とする、請求項 8 に記載の表示装置。

[請求項 10] 前記表示部が複数の原色に基づく画像を表示し、
各映像信号線組が、前記複数の原色の数の整数倍の映像信号線からなることを特徴とする、請求項 5 に記載の表示装置。

[請求項 11] 前記複数の原色が 3 原色であり、
各映像信号線組が 6 本の映像信号線からなり、
各選択ブロックが 6 つのスイッチング素子を有し、
各映像信号線組における 3 本の映像信号線が前記 3 原色にそれぞれ対応し、該映像信号線組における他の 3 本の映像信号線が該 3 原色にそれぞれ対応することを特徴とする、請求項 10 に記載の表示装置。

[請求項 12] 前記選択回路は、
前記表示部に対して一方に位置する第 1 選択回路と、
前記表示部に対して他方に位置する第 2 選択回路とにより構成されることを特徴とする、請求項 1 に記載の表示装置。

[請求項 13] 前記選択回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 1 から 12 までのいずれか 1 項に記載の表示装置。

[請求項 14] 前記選択回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 1 から 12 までのいずれか 1 項に記載の表示装置。

[請求項 15] 複数の映像信号線および該複数の映像信号線に直交する複数の走査信号線を含む表示部と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、複数の選択ブロックを含む選択回路と、該複数の選択ブロックにそれぞれ複数の映像信号を与える映像信号線駆動回路と、該映像信号線駆動回路に該複数の映像信号に対応する画像データを与え、各選択ブロックにオンレベルと

オフレベルとを周期的に繰り返す複数の選択制御信号を与える表示制御回路とを備える表示装置の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記複数の選択制御信号と同数の互いに隣接する映像信号線を単位とする映像信号線組における各映像信号線に、該選択ブロックが受け取る前記映像信号を前記複数の選択制御信号に基づいて時分割して与えるステップと、

前記休止期間における前記複数の選択制御信号の周波数を、前記走査期間における該複数の選択制御信号の周波数よりも低くするステップとを備えることを特徴とする、駆動方法。

[請求項16] 前記休止期間における前記複数の選択制御信号の振幅が、前記走査期間における該複数の選択制御信号の振幅よりも小さいことを特徴とする、請求項15に記載の駆動方法。

[請求項17] 前記休止期間が前記走査期間よりも長いことを特徴とする、請求項15に記載の駆動方法。

[請求項18] 前記休止期間における前記映像信号の電位が固定電位であることを特徴とする、請求項15に記載の駆動方法。