

半导体器件、光器件及半导体结构的制造方法

技术领域

本申请属于半导体技术领域，具体涉及一种半导体器件、光器件及半导体结构的制造方法。

背景技术

随着摩尔定律的不断推进，半导体工艺发展到 3nm 节点以后，环栅型（Gate All Around, GAA）晶体管被认为是鳍式场效应晶体管（FinFET）的有效替代者。在 GAA 制造工艺工程中，高选择性比刻蚀牺牲层的水平堆叠纳米片至关重要。业界通常是通过在 Si 和 SiGe 多层叠层中选择性地去除 SiGe 产生垂直叠层的 Si 纳米线，进而形成 n 型 GAA-FET。

然而，由于 Si 和 SiGe 之间的晶格常数（Lattice Constant）之间存在较大差异，随着 Si 层和 SiGe 层的堆叠层数不断增加，其内部应力也会不断累积，当 Si 层和 SiGe 层的堆叠层数达到一定程度时，会导致晶圆翘曲，严重时甚至会导致晶圆破裂，从而限制了 Si 层和 SiGe 层的堆叠层数。此外，由于 Si 层与 SiGe 层之间的晶格失配，会使得在 SiGe 层上外延生长的 Si 层的位错缺陷增大，由于 Si 层会作为 GAA-FET 的沟道，Si 层中的位错缺陷也会使得 GAA-FET 的性能下降。

发明内容

本申请实施例公开了一种半导体器件、光器件及半导体结构的制造方法，以解决相关技术中堆叠层数不高且易产生位错缺陷的问题。

为了解决上述技术问题，根据第一方面，本申请实施例公开了一种半导体结构的制造方法，包括：在衬底上形成叠层结构，所述叠层结构包括交替

堆叠的功能层和牺牲层，所述功能层和所述牺牲层由相同材料构成，所述牺牲层掺杂有 n 型或 p 型杂质，且所述牺牲层的掺杂浓度大于所述功能层的掺杂浓度；从所述叠层结构中选择性地去除所述牺牲层。

在一些实施方式中，所述功能层和所述牺牲层为多个，所述功能层中的至少一个的至少部分为弯曲状或弯折状；和/或所述牺牲层中的至少一个的至少部分为弯曲状或弯折状。

在一些实施方式中，所述衬底为平面，所述叠层结构形成在所述平面上；或者所述衬底包括波浪状表面，所述叠层结构适应性地形成在所述波浪状表面上；或者所述衬底包括从衬底本体表面凸起的凸起结构，所述叠层结构适应性地形成在所述衬底本体和所述凸起结构的表面上。

在一些实施方式中，所述凸起结构包括：第一凸起部，位于所述衬底本体上；第二凸起部，位于所述第一凸起部上，所述第二凸起部在所述衬底本体所处平面上的投影面积大于所述第一凸起部在所述衬底本体所处平面上的投影面积，且所述第一凸起部在所述衬底本体所处平面上的投影位于所述第二凸起部在所述衬底本体所处平面上的投影内。

在一些实施方式中，从所述叠层结构中选择性地去除所述牺牲层，包括：对所述叠层结构进行各向异性刻蚀，保留所述第二凸起部正下方的所述叠层结构；从所保留的所述叠层结构中选择性地去除所述牺牲层。

在一些实施方式中，所述功能层为非掺杂层；或者所述功能层的掺杂浓度小于 $5 \times 10^{14} \text{cm}^{-3}$ ；或者所述牺牲层的掺杂浓度大于 $5 \times 10^{14} \text{cm}^{-3}$ ；或者所述牺牲层的掺杂浓度为 $6 \times 10^{14} \text{cm}^{-3}$ 至 $5 \times 10^{21} \text{cm}^{-3}$ 。

在一些实施方式中，所述在衬底上形成叠层结构，包括：利用化学气相沉积工艺，在所述衬底上交替外延生长所述功能层和所述牺牲层。

在一些实施方式中，所述功能层和所述牺牲层的材料为硅；所述外延生长所述功能层的步骤包括：向工艺腔室内通入含硅气体；所述外延生长所述

牺牲层的步骤包括：向所述工艺腔室内通入所述含硅气体和含杂质元素的气体。

在一些实施方式中，所述含硅气体包括 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 中的至少一个；所述含杂质元素的气体包括 B_2H_6 ，或者所述含杂质元素的气体包括 PH_3 、 AsH_3 、 SbH_3 、 BiH_3 中的至少一个。

在一些实施方式中，所述外延生长的温度为 400°C 至 750°C 。

在一些实施方式中，所述从所述叠层结构中选择性地去除所述牺牲层，包括：利用工艺气体对所述叠层结构进行各向同性等离子体刻蚀。

在一些实施方式中，所述功能层和所述牺牲层的材料为硅；所述工艺气体包括含氯气体、含溴气体中的至少一个。

在一些实施方式中，所述含氯气体包括 Cl_2 、 HCl 中的至少一个；所述含溴气体包括 Br_2 、 HBr 中的至少一个；所述工艺气体还包括 N_2 、 He 、 Ar 中的至少一个。

在一些实施方式中，在从所述叠层结构中选择性地去除所述牺牲层之后，还包括：对所述功能层进行氧化处理；去除所述功能层表面的氧化层。

根据第二方面，本申请实施例公开了一种半导体器件，包括：衬底；至少一个功能层，设置在所述衬底上，至少一个所述功能层在竖直方向上间隔设置，所述功能层中的至少一个的至少部分为弯曲状或弯折状；栅极结构，围绕各个所述功能层设置；源/漏区，分别设置在所述功能层的两侧，且与所述功能层连接。

根据第三方面，本申请实施例公开了一种半导体器件，包括：衬底；至少一个功能层，设置在所述衬底上，至少一个所述功能层在竖直方向上间隔设置，所述功能层由上述第一方面中所述的半导体结构的制造方法得到；栅极结构，围绕各个所述功能层设置；源/漏区，分别设置在所述功能层的两侧，且与所述功能层连接。

根据第四方面，本申请实施例公开了一种光器件，包括：至少一个功能层，用于传输光信号，所述功能层由上述第一方面中所述的半导体结构的制造方法得到。

在本申请实施例的半导体器件、光器件及半导体结构的制造方法中，功能层和牺牲层由相同材料构成，仅掺杂浓度存在差异，功能层和牺牲层的晶格常数几乎不存在差异，功能层和牺牲层的界面处不会出现因晶格失配而导致应力，也不会的功能层中引入位错缺陷；并且，与采用渐变牺牲层的相关技术相比，本申请实施例的牺牲层的厚度可以做的很薄，且制造工艺简单、堆叠层数高且产能大，本申请实施例的叠层结构的堆叠层数可达上百层，不会出现晶圆翘曲甚至破裂的现象。

附图说明

图 1 示出了相关技术中 Si/SiGe 叠层结构的示意图；

图 2 示出了本申请实施例的半导体结构的制造方法的一种流程图；

图 3 示出了本申请实施例的半导体结构的制造方法的另一种流程图；

图 4 至图 10 分别示出了本申请实施例的半导体结构的制造方法的各步骤结构示意图；

图 11 示出了 SiGe 材料的晶格示意图；

图 12 示出了掺杂 P 元素的 Si 材料的晶格示意图；

图 13 和图 14 示出了本申请实施例的一个示例半导体结构的制造方法的各步骤结构示意图；

图 15 和图 16 示出了本申请实施例的一个示例半导体结构的制造方法的各步骤结构示意图；

图 17 示出了本申请实施例中的凸起结构的其他示例的示意图；

图 18 至图 20 示出了本申请实施例的一个示例半导体结构的制造方法的

各步骤结构示意图；

图 21 示出了本申请实施例的半导体器件的示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本领域技术人员应当理解，本申请实施例仅是对可以以各种形式来实施本申请所请求保护的结构和方法的说明。此外，结合各种实施例给出的每个示例旨在是说明性的，而不是限制性的。此外，附图不一定按比例绘制，一些特征可能被夸大以显示特定组件的细节。因此，本申请实施例中的具体结构和功能细节不应被解释为限制性的，而仅仅是作为教导本领域技术人员以不同方式采用本申请实施例的方法和结构的代表性基础。还应注意，相同和对应的元素由相同的附图标记表示。

在下文的描述中，阐述了许多具体细节，例如特定结构、组件、材料、尺寸、处理步骤和技术，以便提供对本申请的各种实施例的理解。然而，本领域技术人员应当理解，可以在没有这些具体细节的情况下实践本申请的各种实施例。在其他情况下，未详细描述众所周知的结构或处理步骤，以避免混淆本申请。

出于下文描述的目的，术语“上”、“右”、“左”、“垂直”、“水平”、“顶部”、“底部”及其派生词应与说明书附图所公开的结构和方法中的定向有关。应当理解，当作为层、区域或衬底的元素被称为在另一元素上时，该元素可以直接在另一元素上，或者也可以存在中间元素。相反，当一个元素被称为直

接在另一元素上时,两者之间不存在中间元素。还应当理解,当一个元素被称为在另一元素下时,该元素可以直接在另一元素下,或者可以存在中间元素。相反。当一个元素被称为直接在另一元素下时,两者之间不存在中间元素。

如上文所述,由于 Si 层与 SiGe 层之间的晶格失配,一方面限制了 Si 层和 SiGe 层的堆叠层数,另一方面在 Si 层中引入了位错缺陷,导致所制造的 GAA-FET 的性能不佳。为了解决该技术问题,相关技术中提供了一种解决方案,如图 1 所示,该方案在衬底 1 表面外延生长 SiGe 层 2 时,需要使得 SiGe 层 2 中的 Ge 浓度渐变,即先使 Ge 浓度随着 SiGe 层 2 生长厚度的增大而逐渐提高,再使 Ge 浓度随着 SiGe 层 2 生长厚度的增大而逐渐降低,从而使 SiGe 层 2 与 Si 层 3 接触的两侧的晶格常数与 Si 层 3 接近,以避免或减小因晶格失配而导致的 Si 层与 SiGe 层之间的应力和在 Si 层中引入位错缺陷。然而,由于该方案一方面需要在 SiGe 层 2 的外延生长过程中不断调整 Ge 浓度,工艺复杂度高且制造成本高;另一方面由于需要形成较厚的 SiGe 层 2 才能实现渐变缓冲的效果,导致堆叠层数仍然不高且产能较低。

为解决上述技术问题,本申请实施例提供了一种半导体结构的制造方法,如图 2 所示,该方法可以包括如下步骤:

S110. 在衬底上形成叠层结构。

如图 4 和图 5 所示,图 4 示出了本申请实施例的半导体结构的俯视示意图,图 5 是沿图 1 中 A-A 线的截面示意图,衬底 100 上形成了叠层结构 200,叠层结构 200 包括交替堆叠的功能层 201 和牺牲层 202。其中,功能层 201 用于实现半导体结构的功能,例如当该半导体结构用于 GAA-FET 时,功能层 201 作为 GAA-FET 的沟道,牺牲层 202 在后续工序中被去除。本领域技术人员应当理解,本申请并不限于此,功能层 201 在不同的应用场景下,还可以实现其他功能,例如在有源或无源光器件中起到波导的作用等。

功能层 201 和牺牲层 202 由相同材料构成,例如均由 Si 构成,本领域技

术人员应当理解，功能层 201 和牺牲层 202 也可以由其他材料构成，例如还可以由 Ge、SiGe、GaAs、InSb、GaP、GaN、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 或 InP 等材料构成。需要说明的是，当功能层 201 和牺牲层 202 由化合物材料构成时，本申请实施例中的“相同材料”指的是化合物材料包含了相同种类的元素，且各元素占比相同，仅掺杂浓度不同。对于 n 型或 p 型杂质，本领域有明确的定义，通过向半导体材料中掺入少量的 n 型或 p 型杂质，不会改变半导体材料的主体元素构成，其目的通常是改变半导体材料中自由电子或自由空穴的浓度，以改变半导体材料的电性能。本领域技术人员应当理解，由于常规半导体掺杂工艺的掺杂浓度相对于主体元素的含量而言极其微量，不同掺杂浓度几乎不会改变功能层 201 和牺牲层 202 的晶格常数，这种具有不同掺杂浓度的“相同材料”使得功能层 201 和牺牲层 202 的晶格常数几乎一致。例如，若功能层 201 和牺牲层 202 均由 Si_xGe_y 构成，则本申请实施例中的“相同材料”指的是 Si 和 Ge 占比相同，即 x 和 y 的值相同，仅掺杂浓度不同的 SiGe。若构成化合物材料的各元素占比不同，即使功能层 201 和牺牲层 202 的化合物材料包含了相同种类的元素，也会导致功能层 201 和牺牲层 202 的晶格常数存在较大差异，因此，功能层 201 和牺牲层 202 的化合物材料在各元素占比不同的情况下，仍然无法解决相关技术中因晶格失配而导致的 Si 层与 SiGe 层之间的应力和在 Si 层中引入位错缺陷的问题。本领域技术人员应当理解，化合物材料的组成元素相同，但各元素占比不同，不应当认为是本申请实施例所指的“相同材料”。在本申请实施例的一些实施方式中，牺牲层 202 可以掺杂有 n 型或 p 型杂质，功能层 201 可以是非掺杂的，例如功能层 201 为本征半导体，此时牺牲层 202 的掺杂浓度必然大于功能层 201 的掺杂浓度（即没有掺杂）。在本申请实施例的另一些实施方式中，功能层 201 也可以是掺杂的，例如功能层 201 掺杂有 n 型或 p 型杂质，牺牲层 202 的掺杂浓度大于功能层 201 的掺杂浓度。

在本申请实施例的一些实施方式中，功能层 201 可以为非掺杂层或轻掺杂层，牺牲层 202 可以为重掺杂层，由于功能层 201 和牺牲层 202 的掺杂浓度之间的差异，在后续的刻蚀工艺中，能够选择性地从叠层结构 200 中刻蚀牺牲层 202。在一些实施方式中，功能层 201 可以由本征半导体材料构成，或者功能层 201 的掺杂浓度可以小于 $5 \times 10^{14} \text{cm}^{-3}$ ，牺牲层 202 的掺杂浓度可以大于 $5 \times 10^{14} \text{cm}^{-3}$ 。本申请的发明人发现，掺杂浓度在 $5 \times 10^{14} \text{cm}^{-3}$ 是一个截止点，以 n 型掺杂的 Si 材料为例，掺杂浓度大于 $5 \times 10^{14} \text{cm}^{-3}$ 的掺杂层相对于掺杂浓度小于 $5 \times 10^{14} \text{cm}^{-3}$ 的掺杂层或非掺杂层具有良好的刻蚀选择比。进一步地，牺牲层 202 的掺杂浓度也不适宜过高，当牺牲层 202 的掺杂浓度过高时，会使得功能层 201 和牺牲层 202 的晶格常数之间差异增大，在一些实施方式中，牺牲层 202 的掺杂浓度为 $6 \times 10^{14} \text{cm}^{-3}$ 至 $5 \times 10^{21} \text{cm}^{-3}$ ，更优选地为 $1 \times 10^{15} \text{cm}^{-3}$ 至 $5 \times 10^{21} \text{cm}^{-3}$ 。

衬底 100 在至少其表面部分上包括单晶半导体层。衬底 100 可以包括单晶半导体材料，诸如但不限于 Si、Ge、SiGe、GaAs、InSb、GaP、GaN、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 和 InP 等。在一些实施方式中，衬底 100 可以由晶体 Si 制成。衬底 100 与叠层结构 200 之间还可以有其他层。衬底 100 与功能层 201 或牺牲层 202 的材料可以相同，也可以不同，当衬底 100 与功能层 201 或牺牲层 202 的材料不同时，衬底 100 与叠层结构 200 之间还可以存在有缓冲层，缓冲层可以用于逐渐地将晶格常数从衬底 100 的晶格常数改变为功能层 201 或牺牲层 202 的晶格常数。

相关技术中的 SiGe 层中，Ge 含量在 20% 至 50% 的量级，如图 11 所示，使得 SiGe 的晶格常数与 Si 的晶格常数存在较大差异，因此，随着 Si 层和 SiGe 层的堆叠层数不断增加，其内部应力也会不断累积，当 Si 层和 SiGe 层的堆叠层数达到一定程度时，会导致晶圆翘曲，严重时甚至会导致晶圆破裂，从而限制了 Si 层和 SiGe 层的堆叠层数。而本申请实施例的功能层 201 和牺牲

层 202 由相同材料构成, 仅掺杂浓度存在差异, 功能层 201 和牺牲层 202 的晶格常数差异极小。以功能层 201 和牺牲层 202 为 Si 材料为例, 当向牺牲层 202 掺杂 P 等 V 族元素时, P 原子取代 Si 晶体中的少量的 Si 原子, 占据其晶格上的位置, 常规半导体掺杂工艺的掺杂浓度与 SiGe 层中的 Ge 含量相比极其微量, 如图 12 所示, 几乎不会改变牺牲层 202 的晶格常数, 因此功能层 201 和牺牲层 202 的晶格常数几乎一致, 功能层 201 和牺牲层 202 的界面处不会出现因晶格失配而导致应力累积, 也不会和功能层 201 中引入位错缺陷。与图 1 所示的相关技术相比, 本申请实施例的叠层结构的牺牲层 202 的厚度可以做的很薄, 例如与功能层的厚度保持一致, 工艺简单、堆叠层数高且产能大, 本申请实施例的叠层结构的堆叠层数可达上百层, 不会出现晶圆翘曲甚至破裂的现象, 且不会在功能层 201 中引入因晶格失配而导致的位错缺陷。

在本申请实施例的一些实施方式中, 上述步骤 S110 可以包括: 利用化学气相沉积工艺, 在衬底 100 上交替外延生长功能层 201 和牺牲层 202。

在图 5 的示例中, 衬底 100 上先外延生长牺牲层 202, 再外延生长功能层 201, 然而本申请并不限于此, 也可以先外延生长功能层 201, 再外延生长牺牲层 202, 并且功能层 201 与牺牲层 202 之间还可以存在其他层。

仍以功能层 201 和牺牲层 202 为 Si 材料为例, 外延生长功能层 201 的步骤包括: 向工艺腔室内通入含硅气体; 外延生长牺牲层 202 的步骤包括: 向工艺腔室内通入含硅气体和含杂质元素的气体。更具体地, 该工艺腔室为化学气相沉积 (Chemical Vapor Deposition, 简称 CVD) 工艺腔室, 该含硅气体可以包括 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 中的至少一个。在外延生长功能层 201 的步骤中, 含硅气体受热分解, Si 原子沉积在衬底表面成膜。在外延生长牺牲层 202 的步骤中, 含硅气体和含杂质元素的气体受热分解, Si 原子和杂质原子沉积在衬底表面成膜, 即原位掺杂形成掺杂半导体层。当需要 n 型掺杂时, 该含杂质元素的气体例如可以包括 PH_3 、 AsH_3 、 SbH_3 、 BiH_3 中的至少一个;

当需要 p 型掺杂时, 该含杂质元素的气体例如可以包括 B_2H_6 。在一些实施方式中, 牺牲层 202 中掺杂大原子量的杂质元素, 例如 As、Sb、Bi 等, 相应地, 外延生长牺牲层 202 的步骤中所采用的含杂质元素的气体可以包括 AsH_3 、 SbH_3 、 BiH_3 等。大原子量的杂质元素更加难以向功能层扩散, 可以避免牺牲层 202 与功能层 201 之间的掺杂浓度差异降低, 提高牺牲层 202 相对于功能层 201 的刻蚀选择比。

在本申请实施例的一些实施方式中, 该外延生长的温度为 $400^{\circ}C$ 至 $750^{\circ}C$ 。外延生长的温度不宜过高, 若外延生长的温度过高, 可能使得牺牲层 202 中的部分杂质原子扩散到功能层 201 中, 这样会降低牺牲层 202 与功能层 201 之间的掺杂浓度差异, 从而导致后续的选择性刻蚀工艺中, 牺牲层 202 相对于功能层 201 的刻蚀选择比降低。

S120. 从叠层结构中选择性地去除牺牲层。

如图 9 所示, 图 9 是沿图 1 中的 A-A 线的截面示意图, 叠层结构 200 被选择性地去除了牺牲层 202, 而仅保留功能层 201。在本申请实施例的一些实施方式中, 功能层 201 例如可以作为 GAA-FET 的沟道, 在后续工序中, 在功能层 201 的周围形成栅极结构。

在本申请实施例的一些实施方式中, 如图 3 所示, 在步骤 S110 之后且在步骤 S120 之前, 还可以包括如下步骤:

S111. 去除预定厚度的牺牲层 202。

如图 6 所示, 图 6 是沿图 4 中的 B-B 线的截面示意图, 在沿 B-B 线的方向上, 牺牲层 202 的两侧被去除预定厚度, 该预定厚度约为 3nm 至 10nm, 更优选地为约 5nm。

S112. 利用绝缘层 203 填充牺牲层 202 被去除预定厚度后所形成的空间。

如图 7 所示, 绝缘层 203 例如可以为氮化硅, 例如可以通过原子层沉积 (Atomic Layer Deposition, 简称 ALD) 工艺形成, 绝缘层 203 例如可以用

于避免后续形成的栅极结构与源区或漏区导通。

S113. 在功能层 201 侧面外延生长外延层 204。

如图 8 所示，外延层 204 例如可以作为 GAA-FET 的源区和漏区。由于外延层 204 的支撑，在去除牺牲层 202 之后，能够形成如图 9 所示的相互间隔开的多个功能层 201。

在本申请实施例的一些实施方式中，上述步骤 S120 可以包括：利用工艺气体对叠层结构 200 进行各向同性等离子体刻蚀。

由于需要对牺牲层 202 进行横向刻蚀，因此需要采用各向同性等离子体刻蚀，在刻蚀过程中，工艺腔室的下电极功率为 0，或者施加小功率的下电极功率。

为了提高牺牲层 202 相对于功能层 201 的刻蚀选择比，能够在完全去除牺牲层 202 的同时使得功能层 201 不受损伤或者仅受少量损伤，本申请的发明人通过研究后发现，利用含氯气体和/或含溴气体作为主刻蚀气体，对于高掺杂的牺牲层 202 具有良好的选择性，其中该含氯气体例如可以包括 Cl_2 、 HCl 中的至少一个，该含溴气体可以包括 Br_2 、 HBr 中的至少一个。为了进一步提升刻蚀形貌，工艺气体还可以包括辅助刻蚀气体，该辅助刻蚀气体可以包括 N_2 、 He 、 Ar 中的至少一个。进一步地，在工艺气体中，辅助刻蚀气体与主刻蚀气体的流量比可以为 3 至 2500，其中主刻蚀气体的流量可以为 20sccm 至 1000sccm，辅助刻蚀气体的流量可以为 3slm 至 50slm。经测试，采用本申请实施例的各向同性等离子体刻蚀，能够实现数十微米量级的横向刻蚀且具有良好的刻蚀选择比。

在本申请实施例的一些实施方式中，在步骤 S120 之后，还可以包括如下步骤：

S121. 对功能层 201 进行氧化处理。

功能层 201 可能因各种因素而残留有杂质元素，例如在利用外延生长形

成功能层 201 的过程中，可能存在重掺杂的牺牲层 202 中的部分杂质原子扩散到功能层 201 中的情况，或者在步骤 S120 对牺牲层 202 选择性刻蚀结束后，仍可能有少量牺牲层 202 残留在功能层 201 表面。在某些应用场景下，残留在功能层 201 中的杂质元素可能会产生不利影响，例如在功能层 201 作为 GAA-FET 的沟道时，残留的杂质元素可能导致沟道难以被完全关断。为了去除这些杂质，可以对功能层 201 进行氧化处理，以在功能层 201 表面生成氧化层，在功能层 201 为 Si 材料时，该氧化层例如为氧化硅层。该氧化层能够使得功能层 201 表面附近的杂质原子在该氧化层中富集。

S122. 去除功能层 201 表面的氧化层。

由于杂质元素在氧化层中富集，在去除掉功能层 201 表面氧化生成的氧化层之后，就可以去除掉功能层 201 中残留的杂质元素。

经过上述步骤 S121 和步骤 S122 之后，不仅可以去除功能层 201 中残留的杂质元素，还可以使得功能层 201 的表面更为平滑。由于从功能层 201 表面凸起的毛刺部分更容易被氧化，在选择性地去除功能层 201 表面的氧化层之后，即可以清除功能层 201 表面的毛刺部分，以进一步提升后续制造的器件的性能。在一些实施方式中，由于上述步骤 S121 和步骤 S122 会去除一定厚度的功能层，因此，在外延生长功能层的过程中，可以使功能层的厚度略大于预定厚度，从而可以在经过步骤 S121 和步骤 S122 之后使得功能层的厚度正好等于预定厚度。

为了形成半导体器件，在本申请实施例的一些实施方式中，在步骤 S120 之后，还可以包括：

S130. 在功能层周围形成栅极结构。

如图 10 所示，在功能层 201 周围形成栅极结构，从而功能层 201 作为了半导体器件的沟道，栅极结构围绕沟道设置。栅极结构可以包括围绕功能层 201 设置的栅极介电层 205 和栅电极层 206。栅极介电层 205 例如可以包

括一层或多层介电材料，例如 HfO_2 等高 k 介电材料；栅电极层 206 可以包括一层或多层导电材料，例如多晶硅、铝、铜、钛、钽、钨、钴、钼、氮化钽、硅化镍、硅化钴、 TiN 、 WN 、 TiAl 、 TiAlN 、 TaCN 、 TaC 、 TaSiN 、其合金、其他合适的材料和/或其组合。

相应地，当功能层用作半导体器件的沟道时，本申请实施例还提供了一种半导体器件，如图 3 至图 10 所示，该半导体器件可以包括衬底 100；至少一个功能层 201，设置在衬底 100 上，至少一个功能层 201 在竖直方向上间隔设置，功能层 201 由上文所述的半导体结构的制造方法得到；栅极结构，围绕各个功能层 201 设置；源/漏区 204，分别设置在功能层 201 的两侧，且与功能层 201 连接。优选地，功能层 201 为多个。更具体地，该半导体器件例如可以是 3D DRAM。

而当功能层用作光器件的波导时，本申请实施例还提供了一种光器件，该光器件包括至少一个功能层 201，功能层 201 用于传输光信号，功能层 201 由上文所述的半导体结构的制造方法得到。优选地，功能层 201 为多个。

由于本申请实施例的叠层结构中的各层由相同材料构成，各层之间的晶格常数差异极小，在外延生长的过程中不会累积应力而导致晶圆翘曲甚至破裂，且不会向功能层中引入位错缺陷，因此，本申请实施例的叠层结构不仅可以形成在平面上，还可以适应性地形成在各种复杂表面上，以适应不同应用场景下的需要。在此情况下，叠层结构的功能层中的至少一个的至少部分为弯曲状或弯折状，和/或叠层结构的牺牲层中的至少一个的至少部分为弯曲状或弯折状。而常规方案中的 Si/SiGe 叠层结构由于弯曲或弯折处会引入更大的应力，无法制造具有弯曲状或弯折状的叠层结构。下面将通过若干示例来详细描述本申请实施例的具有弯曲状或弯折状的叠层结构，本领域技术人员应当理解，下文的示例并非穷举，由于本申请实施的叠层结构的功能层与牺牲层之间几乎不存在晶格常数差异，本领域技术人员可以根据实际情况设

计其他具有弯曲状或弯折状的叠层结构。

在本申请实施例的一个示例中，如图 13 和图 14 所示，衬底 110 包括波浪状表面，本领域技术人员应当理解，衬底 110 不必全部为波浪状表面，可以仅部分为波浪状表面。叠层结构 210 适应性地形成在衬底 110 的波浪状表面上，叠层结构 210 包括交替堆叠的功能层 211 和牺牲层 212，同样地，可以利用化学气相沉积工艺，在衬底 110 上交替外延生长功能层 211 和牺牲层 212。在从叠层结构 210 中选择性地去除牺牲层 212 之后，形成如图 14 所示的多个相互间隔开的波浪状的功能层 211。关于在衬底上形成叠层结构以及从叠层结构中选择性地去除牺牲层的步骤的进一步细节可以对应参考上文的相应描述，在此不再赘述。

在本申请实施例的另一示例中，如图 15 和图 16 所示，衬底 120 包括从衬底本体 121 表面凸起的凸起结构 122，叠层结构 220 适应性地形成在衬底本体 121 和凸起结构 122 的表面上，叠层结构 220 包括交替堆叠的功能层 221 和牺牲层 222，在从叠层结构 220 中选择性地去除牺牲层 222 之后，形成如图 16 所示的多个相互间隔开的类似于字符 Ω 状的功能层 221。在图 15 和图 16 的示例中，凸起结构 122 的截面为矩形状，然而本申请并不限于此，凸起结构也可以为其他形状，如图 17 所示，凸起结构可以为锯齿状凸起结构 123 或梯形状凸起结构 124 等。在图 15 和图 16 的示例中，凸起结构 122 的顶面和侧面均为平面，然而本申请并不限于此，凸起结构的表面可以全部为曲面，如图 17 中的凸起结构 125，或者部分为曲面，如图 17 中的凸起结构 126。本领域技术人员还应当理解，衬底本体 121 的上表面也不限于为平面，也可以包括弯曲或弯折状表面。关于在衬底上形成叠层结构以及从叠层结构中选择性地去除牺牲层的步骤的进一步细节可以对应参考上文的相应描述，在此不再赘述。

在本申请实施例的又一示例中，如图 18 至图 20 所示，衬底 130 具有从

衬底本体 131 表面凸起的凸起结构，该凸起结构可以包括第一凸起部 132 和第二凸起部 133，其中第一凸起部 132 位于衬底本体 131 上，第二凸起部 133 位于第一凸起部 132 上，第二凸起部 133 在衬底本体 131 所处平面上的投影面积大于第一凸起部 132 在衬底本体 131 所处平面上的投影面积，且第一凸起部 132 在衬底本体 131 所处平面上的投影位于第二凸起部 133 在衬底本体 131 所处平面上的投影内。叠层结构 230 适应性地形成在衬底本体 131 和该凸起结构的表面上，叠层结构 230 包括交替堆叠的功能层 231 和牺牲层 232。关于在衬底上形成叠层结构的步骤的进一步细节可以对应参考上文的相应描述，在此不再赘述。

进一步地，从叠层结构 230 中选择性地去除牺牲层 232 的步骤可以包括：
S120a. 对叠层结构 230 进行各向异性刻蚀。

在此步骤中，可以对工艺腔室施加下电极功率以实现各向异性等离子体刻蚀。在该各向异性刻蚀过程中，衬底本体 131 和第二凸起部 133 相对于功能层 231 和牺牲层 232 具有高刻蚀选择比，即第二凸起部 133 成为了刻蚀掩膜，第二凸起部 133 正下方以外的叠层结构 230 均被刻蚀，仅保留第二凸起部 133 正下方的叠层结构 230，如图 19 所示。

S120b. 从所保留的叠层结构 230 中选择性地去除牺牲层 232。

如图 20 所示，在从叠层结构 230 中选择性地去除牺牲层 232 之后，形成多个相互间隔开的类似于中括号的功能层 221。关于从叠层结构中选择性地去除牺牲层的步骤的进一步细节可以对应参考上文的相应描述，在此不再赘述。

在图 13 至图 20 所示的示例中，分别示例性地描述了在各种不同形貌的衬底上形成叠层结构，叠层结构中的功能层和牺牲层均适应性地形成在衬底上，形成为弯曲状或弯折状，并从叠层结构中选择性地去除牺牲层，以得到相互间隔开的不同形貌的功能层，这些不同形貌的功能层能够满足不同应用

场景下的需求。例如，当该半导体结构用于 GAA-FET 时，本申请实施例中的功能层由于为弯曲状或弯折状，相比与常规 GAA-FET 中的平直状的沟道，当围绕本申请实施例的功能层形成栅极结构时，其栅极宽度更宽，能够更好地抑制短沟道效应，对漏电流实现更好的控制。当该半导体结构用于有源或无源光器件时，本申请实施例中的功能层能够起到波导的作用，能够实现不同场景下端点间光信号的传播。

相应地，本申请实施例还提供了一种半导体器件，如图 21 所示，该半导体器件可以包括：衬底 110；至少一个功能层 211，设置在衬底上，至少一个功能层 211 在竖直方向上间隔设置，功能层 211 中的至少一个的至少部分为弯曲状；栅极结构，围绕各个功能层 211 设置；源/漏区（未示出），分别设置在多个功能层 211 的两侧，且与功能层 211 连接。在本实施例中，栅极结构可以包括围绕功能层 211 设置的栅极介电层 215 和栅电极层 216。由于本申请实施例的半导体器件的功能层为弯曲状或弯折状，相比与常规的平直状的沟道，本申请实施例的半导体器件的栅极宽度更宽，能够更好地抑制短沟道效应，对漏电流实现更好的控制。优选地，功能层 211 为多个。更具体地，该半导体器件例如可以是 3D DRAM。

在图 21 的示例中，所有的功能层 211 均为弯曲状，本领域技术人员应当理解，也可以仅部分功能层 211 为弯曲状，对于一个功能层 211 而言，也不必全部为弯曲状，也可以一个功能层 211 的部分区段为弯曲状。本领域技术人员应当理解，功能层也可以为弯折状，例如图 15 至图 20 所示例的弯折状，同样地，不必所有的功能层均为弯折状，也可以仅部分功能层 211 为弯折状，对于一个功能层而言，也不必全部为弯折状，也可以一个功能层的部分区段为弯折状。本领域技术人员还应当理解，在本申请实施例的半导体器件中，可以部分功能层包括弯曲状的区段或全部为弯曲状，部分功能层包括弯折状的区段或全部为弯折状，还可以一个功能层即包括弯曲状的区段也包

括弯折状的区段，本申请对此不做任何限定。

本申请上文实施例中重点描述的是各个实施例之间的不同，各个实施例之间不同的优化特征只要不矛盾，均可以组合形成更优的实施例，考虑到行文简洁，在此则不再赘述。

以上所述仅为本申请的实施例而已，并不用于限制本申请。对于本领域技术人员来说，本申请可以有各种更改和变化。凡在本申请的精神和原理之内所作的任何修改、等同替换、改进等，均应包含在本申请的权利要求范围之内。

权 利 要 求 书

1、一种半导体结构的制造方法，其特征在于，包括：

在衬底上形成叠层结构，所述叠层结构包括交替堆叠的功能层和牺牲
5 层，所述功能层和所述牺牲层由相同材料构成，所述牺牲层掺杂有 n 型或 p
型杂质，且所述牺牲层的掺杂浓度大于所述功能层的掺杂浓度；

从所述叠层结构中选择性地去除所述牺牲层。

2、根据权利要求 1 所述的制造方法，其特征在于，所述功能层和所述
10 牺牲层为多个，所述功能层中的至少一个的至少部分为弯曲状或弯折状；和
/或

所述牺牲层中的至少一个的至少部分为弯曲状或弯折状。

3、根据权利要求 1 所述的制造方法，其特征在于，所述衬底为平面，
15 所述叠层结构形成在所述平面上；或者

所述衬底包括波浪状表面，所述叠层结构适应性地形成在所述波浪状表
面上；或者

所述衬底包括从衬底本体表面凸起的凸起结构，所述叠层结构适应性地
形成在所述衬底本体和所述凸起结构的表面上。

20

4、根据权利要求 3 所述的制造方法，其特征在于，所述凸起结构包括：

第一凸起部，位于所述衬底本体上；

第二凸起部，位于所述第一凸起部上，所述第二凸起部在所述衬底本体
所处平面上的投影面积大于所述第一凸起部在所述衬底本体所处平面上的
25 投影面积，且所述第一凸起部在所述衬底本体所处平面上的投影位于所述第
二凸起部在所述衬底本体所处平面上的投影内。

5、根据权利要求4所述的制造方法，其特征在于，从所述叠层结构中选择性地去除所述牺牲层，包括：

对所述叠层结构进行各向异性刻蚀，保留所述第二凸起部正下方的所述叠层结构；

5 从所保留的所述叠层结构中选择性地去除所述牺牲层。

6、根据权利要求1所述的制造方法，其特征在于，所述功能层为非掺杂层；或者所述功能层的掺杂浓度小于 $5 \times 10^{14} \text{cm}^{-3}$ ；或者

所述牺牲层的掺杂浓度大于 $5 \times 10^{14} \text{cm}^{-3}$ ；或者

10 所述牺牲层的掺杂浓度为 $6 \times 10^{14} \text{cm}^{-3}$ 至 $5 \times 10^{21} \text{cm}^{-3}$ 。

7、根据权利要求1至6中任一项所述的制造方法，其特征在于，所述在衬底上形成叠层结构，包括：

15 利用化学气相沉积工艺，在所述衬底上交替外延生长所述功能层和所述牺牲层。

8、根据权利要求7所述的制造方法，其特征在于，所述功能层和所述牺牲层的材料为硅；

所述外延生长所述功能层的步骤包括：向工艺腔室内通入含硅气体；

20 所述外延生长所述牺牲层的步骤包括：向所述工艺腔室内通入所述含硅气体和含杂质元素的气体。

9、根据权利要求8所述的制造方法，其特征在于，所述含硅气体包括 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 中的至少一个；

25 所述含杂质元素的气体包括 B_2H_6 ，或者所述含杂质元素的气体包括 PH_3 、 AsH_3 、 SbH_3 、 BiH_3 中的至少一个。

10、根据权利要求 7 所述的制造方法，其特征在于，所述外延生长的温度为 400°C 至 750°C。

11、根据权利要求 1 至 6 中任一项所述的制造方法，其特征在于，所述
5 从所述叠层结构中选择性地去除所述牺牲层，包括：

利用工艺气体对所述叠层结构进行各向同性等离子体刻蚀。

12、根据权利要求 11 所述的制造方法，其特征在于，所述功能层和所述牺牲层的材料为硅；

10 所述工艺气体包括含氯气体、含溴气体中的至少一个。

13、根据权利要求 12 所述的制造方法，其特征在于，所述含氯气体包括 Cl_2 、 HCl 中的至少一个；

所述含溴气体包括 Br_2 、 HBr 中的至少一个；

15 所述工艺气体还包括 N_2 、 He 、 Ar 中的至少一个。

14、根据权利要求 1 至 6 中任一项所述的制造方法，其特征在于，在从所述叠层结构中选择性地去除所述牺牲层之后，还包括：

对所述功能层进行氧化处理；

20 去除所述功能层表面的氧化层。

15、一种半导体器件，其特征在于，包括：

衬底；

至少一个功能层，设置在所述衬底上，至少一个所述功能层在竖直方向
25 上间隔设置，所述功能层中的至少一个的至少部分为弯曲状或弯折状；

栅极结构，围绕各个所述功能层设置；

源/漏区，分别设置在所述功能层的两侧，且与所述功能层连接。

16、一种半导体器件，其特征在于，包括：

衬底；

至少一个功能层，设置在所述衬底上，至少一个所述功能层在竖直方向
5 上间隔设置，所述功能层由权利要求 1 至 14 中任一项所述的半导体结构的
制造方法得到；

栅极结构，围绕各个所述功能层设置；

源/漏区，分别设置在所述功能层的两侧，且与所述功能层连接。

10 17、一种光器件，其特征在于，包括：

至少一个功能层，用于传输光信号，所述功能层由权利要求 1 至 14 中
任一项所述的半导体结构的制造方法得到。