

半导体结构及其制作方法、存储器

相关申请的交叉引用

本公开基于申请号为 202210708950.4、申请日为 2022 年 06 月 21 日、发明名称为“半导体结构及其制作方法、存储器”的中国专利申请提出，并要求该中国
5 专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，具体地，涉及一种半导体结构及其制作方法、存储器。

背景技术

10 动态随机存取存储器（DRAM，Dynamic Random Access Memory）的存储阵列架构是由包括一个晶体管和一个电容器的存储单元（即 1T1C 的存储单元）组成的阵列。晶体管的栅极与字线相连，漏极与位线相连，源极与电容器相连。

随着动态随机存取存储器的尺寸不断缩小，电容器的尺寸也随之缩小。如何保证动态随机存取存储器中电容器的性能，成为亟待解决的问题。
15

发明内容

有鉴于此，本公开实施例提出一种半导体结构及其制作方法、存储器。

根据本公开的一个方面，提供了一种半导体结构，包括：

20 多个第一有源柱，沿第一方向和第二方向呈阵列排布；所述第一方向和所述第二方向均与所述第一有源柱的延伸方向垂直，且所述第一方向和所述第二方向相交；

多个第一电极；每一所述第一电极覆盖一个所述第一有源柱的侧壁，所述第一电极位于间隔设置的第一凹槽中，每一所述第一凹槽环绕每一所述第一有源柱的表面；

25 多个第一介质层；每一所述第一介质层覆盖一个所述第一电极的侧壁及相邻的两个所述第一电极之间的间隙的底部；

第二电极，覆盖所述多个第一介质层的表面。

上述方案中，所述半导体结构还包括：

30 多个第二有源柱，位于所述第一有源柱上，每一所述第二有源柱与相应的一个所述第一有源柱在所述第一方向和所述第二方向所在平面上的正投影重合；

多个第三电极，每一所述第三电极覆盖一个所述第二有源柱的侧壁，所述第三电极位于间隔设置的第三凹槽中，每一所述第三凹槽环绕每一所述第二有源柱

的表面，且所述第三电极和所述第一电极相互连接；

多个第二介质层，每一所述第二介质层覆盖一个所述第三电极的侧壁，且所述第二介质层和所述第一介质层相互连接；

5 第四电极，覆盖所述多个第二介质层，且所述第四电极和所述第二电极相互连接。

上述方案中，所述半导体结构还包括：

衬底；所述衬底表面形成有第二氧化层；

多个氧化柱，位于所述第二氧化层上，且每一所述第一有源柱均位于相应的一个所述氧化柱的顶面上；

10 第一牺牲层，位于多个所述氧化柱的间隙中；

所述第一介质层覆盖所述第一电极的侧壁及所述第一牺牲层的顶面。

上述方案中，所述半导体结构还包括：

多个第三有源柱，每一所述第三有源柱均位于相应的一个所述第一有源柱的顶面上；

15 多个晶体管，每个所述晶体管的沟道结构位于所述第三有源柱内，所述沟道结构的延伸方向垂直于所述第一方向和所述第二方向所在的平面。

上述方案中，所述晶体管包括：

至少围绕所述第三有源柱一侧设置的栅极结构，以及

分别设置在所述第三有源柱相对的两个端部的源极和漏极。

20 上述方案中，所述半导体结构还包括：

多条位线，位于所述晶体管上方，与所述第三有源柱的顶部电接触。

根据本公开的另一个方面，提供了一种存储器，包括：一个或多个如本公开上述方案中任一方案所述的半导体结构。

25 根据本公开的再一个方面，提供了一种半导体结构的制作方法，所述方法包括：

提供衬底，在所述衬底上形成沿第一方向和第二方向呈阵列排布的多个第一半导体柱；所述第一方向和所述第二方向均与所述第一半导体柱的延伸方向垂直，且所述第一方向和所述第二方向相交；

30 对多个所述第一半导体柱进行氧化处理，在所述第一半导体柱的表面形成氧化层；

在所述氧化层的间隙中填充第一牺牲材料；

去除部分所述氧化层，得到第一有源柱及第一凹槽；

在所述第一凹槽中形成第一电极；

去除所述氧化层的间隙中的部分所述第一牺牲材料，形成第二凹槽；

35 形成覆盖所述第二凹槽侧壁及底部的第一介质层；

在形成有所述第一介质层的第二凹槽中形成第二电极。

上述方案中，所述形成沿第一方向和第二方向呈阵列排布的多个第一半导体柱，包括：刻蚀所述衬底，在所述衬底上形成沿第一方向间隔排布的多个第一沟槽和沿第二方向间隔排布的多个第二沟槽，对所述第一沟槽和/或所述第二沟槽的底部进行扩大处理，使得每一所述第一半导体柱包括第一部分和位于所述第一部分上的第二部分，所述第一部分的最大径宽小于所述第二部分的最小径宽。

40

上述方案中，在所述第一半导体柱的表面形成氧化层，包括：

对所述第一半导体柱进行氧化处理，以使所述第一部分被完全氧化成氧化柱，暴露的所述第二部分的表面被氧化成第一氧化层，所述衬底的表面被氧化成第二氧化层。

5 上述方案中，在所述氧化层的间隙中填充第一牺牲材料，包括：

在多个所述氧化柱的间隙中以及所述第一氧化层的间隙中填充第一牺牲材料；

去除所述第一氧化层的间隙中的第一牺牲材料，形成第二凹槽时，多个所述氧化柱的间隙中的所述第一牺牲材料被保留，以形成第一牺牲层。

10 上述方案中，所述方法还包括：

在形成所述第二电极之后，在所述第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱；

对所述第二半导体柱进行氧化处理，以使所述第二半导体柱暴露的表面被氧化成第三氧化层；

15 在所述第三氧化层的间隙中填充第二牺牲材料；

去除所述第三氧化层，得到第二有源柱并形成第三凹槽；

在所述第三凹槽中形成第三电极；

去除所述第二牺牲材料，形成第四凹槽；

在所述第四凹槽的侧壁形成第二介质层；

20 在形成有第二介质层的第四凹槽中形成第四电极；其中，所述第一电极和所述第三电极相互连接，所述第一介质层和所述第二介质层相互连接，所述第二电极和所述第四电极相互连接。

上述方案中，所述在第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱，包括：

25 在第一有源柱上形成第二半导体基底；

在所述第二半导体基底中形成多条沿第一方向间隔排布的第三沟槽，以及多条沿第二方向间隔排布的第四沟槽，以在第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱。

上述方案中，所述在第一有源柱上形成第二半导体基底包括：

30 利用外延生长工艺，在第一有源柱上形成第二半导体基底。

上述方案中，所述方法还包括：在第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第三有源柱，每一所述第三有源柱均位于相应的一个所述第一有源柱的顶面上；

形成覆盖所述第三有源柱的至少一侧的栅极结构；

35 在所述第三有源柱相对的两端分别形成源极、漏极。

上述方案中，所述方法还包括：

在所述第三有源柱上形成多条位线；所述多条位线与所述第三有源柱的顶部电接触。

40 本公开实施例提供了一种半导体结构及其制作方法、存储器，所述半导体结构的制作方法包括：提供衬底，在所述衬底上形成沿第一方向和第二方向呈阵列排布的多个第一半导体柱；所述第一方向和所述第二方向均与所述第一半导体柱

的延伸方向垂直，且所述第一方向和所述第二方向相交；对多个所述第一半导体柱进行氧化处理，在所述第一半导体柱的表面形成氧化层；在所述氧化层的间隙中填充第一牺牲材料；去除部分所述氧化层，得到第一有源柱及第一凹槽；在所述第一凹槽中形成第一电极；去除所述氧化层的间隙中的部分所述第一牺牲材料，形成第二凹槽；形成覆盖所述第二凹槽侧壁及底部的第一介质层；在形成有所述第一介质层的第二凹槽中形成第二电极。本公开实施例中，通过在衬底上先形成多个第一半导体柱，并对多个第一半导体柱的表面进行氧化处理形成氧化层，在氧化层的间隙中填充第一牺牲材料，再去掉部分氧化层，从而在多个第一半导体柱之间形成多个第一凹槽，并在多个第一凹槽中直接形成多个第一电极，这样使得所形成的多个第一电极之间相互独立，从而改善多个第一电极之间的相互干扰问题，从而提高半导体结构的性能。

附图说明

图 1 为本公开实施例中提供的一种 DRAM 晶体管的电路连接示意图；
图 2 为本公开实施例提供的半导体结构的制造方法的流程示意图；
图 3a-图 3l 为本公开实施例提供的一种半导体结构的制造过程的剖面示意图。

具体实施方式

为使本公开实施例的技术方案和优点更加清楚，下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

可以理解的是，本公开中的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层（即直接在某物上）的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

此外，为了便于描述，可以在本文中使用诸如“在……上”、“在……之上”、“在……上方”、“上”“上部”等的空间相对术语来描述如图所示的一个元件或特征与另一个元件或特征的关系。除了在附图中所描绘的取向之外，空间相对术语旨在涵盖设备在使用或操作中的不同取向。装置可以以其它方式定向（旋转 90 度或处于其它取向）并且同样可以相应地解释本文使用的空间相对描述词。

在本公开实施例中，术语“衬底”是指在其上添加后续材料层的材料。衬底本身可以被图案化。被添加在衬底顶部的材料可以被图案化或者可以保持未被图案化。此外，衬底可以包括多种半导体材料，例如硅、硅锗、锗、砷化镓、磷化铟

等。替代地，衬底可以由非导电材料制成，例如玻璃、塑料或蓝宝石晶圆。

在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。例如，互连层可包括一个或多个导体和接触子层（其中形成互连线和/或过孔触点）、以及一个或多个电介质子层。

在本公开实施例中，术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

本公开实施例涉及的半导体结构是将被用于后续制程以形成最终的器件结构的至少一部分。这里，所述最终的器件可以包括存储器，所述存储器包括但不限于动态随机存取存储器，以下仅以动态随机存取存储器为例进行说明。

但需要说明的是，以下实施例关于动态随机存取存储器的描述仅用来说明本公开，并不用来限制本公开的范围。

随着动态随机存取存储器技术的发展，存储单元的尺寸越来越小，其阵列架构由 $8F^2$ 到 $6F^2$ 再到 $4F^2$ ；另外，基于动态随机存取存储器中对离子和漏电流的需求，存储器的架构从平面阵列晶体管（Planar Array Transistor）到凹栅阵列晶体管（Recess Gate Array Transistor），又从凹栅阵列晶体管到掩埋式沟道阵列晶体管（Buried Channel Array Transistor），再从掩埋式沟道阵列晶体管到垂直沟道阵列晶体管（Vertical Channel Array Transistor）。

本公开的一些实施例中，不论是平面晶体管、凹栅阵列晶体管、掩埋式晶体管还是垂直栅极晶体管，动态随机存取存储器均由多个存储单元结构构成，每一个存储单元结构主要是由一个晶体管与一个由晶体管所操控的存储单元（存储电容）构成，即动态随机存取存储器包括 1 个晶体管（T，Transistor）和 1 个电容（C，Capacitor）（1T1C）的架构；其主要的作用原理是利用电容内存储电荷的多寡来代表一个二进制比特（bit）是 1 还是 0。

图 1 为本公开实施例中提供的一种采用 1T1C 的架构的电路连接示意图；如图 1 所示，晶体管 T 的漏极与位线（BL，Bit Line）电连接，晶体管 T 的源极与电容 C 的其中一个电极板电连接，电容 C 的另外一个电极板可以连接参考电压，所述参考电压可以是地电压也可以是其他电压，晶体管 T 的栅极与字线（WL，Word Line）连接；通过字线 WL 施加电压控制晶体管 T 导通或截止，位线 BL 用于在晶体管 T 导通时，对所述晶体管 T 执行读取或写入操作。

然而，为了实现存储器的小型化发展，动态随机存取存储器的尺寸在不断缩小，电容的尺寸也随之缩小，进而使得形成电容的工艺难度越来越大，同时电容在使用过程中存在漏电问题，且电容中的多个下电极板之间存在相互干扰的问题。

基于此，为解决上述问题中的一个或多个，本公开实施例提供了一种半导体结构的制作方法，可以改善电容的漏电问题，以及改善电容中的多个下电极板之间存在的相互干扰问题。图 2 为本公开实施例提供的半导体结构的制作方法的流程示意图。如图 2 所示，本公开实施例提供的半导体结构的制

作方法包括以下步骤:

S100: 提供衬底, 在所述衬底上形成沿第一方向和第二方向呈阵列排布的多个第一半导体柱; 所述第一方向和所述第二方向均与所述第一半导体柱的延伸方向垂直, 且所述第一方向和所述第二方向相交;

5 S200: 对多个所述第一半导体柱进行氧化处理, 在所述第一半导体柱的表面形成氧化层;

S300: 在所述氧化层的间隙中填充第一牺牲材料;

S400: 去除部分所述氧化层, 得到第一有源柱及第一凹槽;

S500: 在所述第一凹槽中形成第一电极;

10 S600: 去除所述氧化层的间隙中的部分所述第一牺牲材料, 形成第二凹槽;

S700: 形成覆盖所述第二凹槽侧壁及底部的第一介质层;

S800: 在形成有所述第一介质层的第二凹槽中形成第二电极。

应当理解, 图 2 中所示的步骤并非排他的, 也可以在所示操作中的任何
15 步骤之前、之后或之间执行其他步骤; 图 2 中所示的各步骤可以根据实际需求进行顺序调整。图 3a 至图 3l 为本公开实施例提供的一种半导体结构的制作过程的剖面示意图。需要说明的是, 图 3a 至图 3l 为一个完整的反映半导体结构的制造方法的实现过程示意图, 对于部分附图中未做标记的部分可以相互
20 共用。下面结合图 2、图 3a 至图 3l, 对本公开实施例提供的半导体结构的制作方法进行详细地说明。

在步骤 S100 中, 主要是提供衬底 101, 并在衬底 101 上形成多个第一半导体柱 102-1。

在一些实施例中, 所述形成沿第一方向和第二方向呈阵列排布的多个第一
25 半导体柱 102-1, 包括: 刻蚀所述衬底 101, 在所述衬底 101 上形成沿第一方向间隔排布的多个第一沟槽 110 和沿第二方向间隔排布的多个第二沟槽 111, 对所述第一沟槽 110 和/或所述第二沟槽 111 的底部进行扩大处理, 使得每一所述第一半导体柱 102-1 包括第一部分 113 和位于所述第一部分 113 上的第二部分 112, 所述第一部分 113 的最大径宽小于所述第二部分 112 的最小径宽。

30 在一些具体示例中, 所述衬底 101 可以包括单质半导体材料衬底 (例如为硅 (Si) 衬底、锗 (Ge) 衬底等)、复合半导体材料衬底 (例如为锗硅 (SiGe) 衬底等)、绝缘体上硅 (SOI) 衬底、绝缘体上锗 (GeOI) 衬底等。优选地, 所述衬底为硅衬底。

35 在一些具体示例中, 所述衬底 101 可以通过物理气相沉积 (PVD, Physical Vapor Deposition) 工艺、化学气相沉积 (CVD, Chemical Vapor Deposition) 工艺、原子层沉积 (ALD, Atomic Layer Deposition) 等工艺形成。

下面结合图 3a-图 3d 对第一半导体柱 102-1 的形成过程进行详细说明。

40 如图 3a 所示, 对衬底 101 的表面进行第一刻蚀, 在衬底 101 中形成沿第一方向间隔排布的多个第一沟槽 110。这里, 每一所述第一沟槽 110 沿第二方向延伸。

这里, 所述第一方向与衬底 101 的表面平行; 所述第二方向与所述第一

方向相交，且与所述衬底 101 的表面平行。第三方向为第一半导体柱 102-1 的延伸方向，且所述第三方向垂直于所述衬底 101 的表面。

这里，第一方向与第二方向相交，可以理解为，第一方向与第二方向之间的夹角为 0-90 度。

5 为了清楚的描述本公开，以下实施例中以第一方向与第二方向垂直为例进行说明。示例性的，所述第一方向为图 3a 中示出的 X 轴方向；所述第二方向为图 3a 中示出的 Y 轴方向；所述第三方向为图 3a 中示出的 Z 轴方向。但需要说明的是，以下实施例中关于方向的描述仅用于说明本公开，并不用来限制本公开的范围。

10 在一些具体示例中，所述第一沟槽 110 包括但不限于浅槽隔离（STI，Shallow Trench Isolation）结构。

在一些具体示例中，形成第一沟槽 110 的方法包括但不限于干法等离子体刻蚀工艺。

15 如图 3b 所示，在所述第一沟槽 110 中形成第一绝缘层 119；其中，所述第一绝缘层 119 的顶面与衬底 101 的顶面基本齐平；这里，所述第一绝缘层 119 用于起支撑作用。

在一些具体示例中，所述第一绝缘层 119 的组成材料包括但不限于氧化硅（ SiO_2 ）。

20 在一些具体示例中，形成第一绝缘层 119 的方法包括但不限于 PVD、CVD、ALD 等工艺。

如图 3c 所示，对形成有第一绝缘层 119 的衬底 101 进行第二刻蚀，以在所述衬底 101 中形成多个第二沟槽 111；其中，多个第二沟槽 111 沿第二方向间隔排布，且每个所述第二沟槽 111 沿第一方向延伸；也就是说，所述第一沟槽 110 和所述第二沟槽 111 相交。

25 在一些具体示例中，在第一方向与第二方向垂直时，所述第一沟槽 110 和所述第二沟槽 111 互相垂直。

在一些具体示例中，多个所述第一沟槽 110 沿 X 轴方向间隔排布；且每个所述第一沟槽 110 沿 Y 轴方向延伸；多个所述第二沟槽 111 沿 Y 轴方向间隔排布；且每个所述第二沟槽 111 沿 X 轴方向延伸。

30 在一些具体示例中，形成第二沟槽 111 的方法包括但不限于干法等离子体刻蚀工艺。

在一些具体示例中，所述第二沟槽 111 包括但不限于浅槽隔离（STI）结构。

在一些具体示例中，第一沟槽 110 沿第三方向上的深度与第二沟槽 111 沿第三方向上的深度可以相同，也可以不同。

35 优选地，第一沟槽 110 沿第三方向上的深度与第二沟槽 111 沿第三方向上的深度相同，这样，可以减少制造过程中对工艺参数的调整，降低工艺难度。

这里，第一沟槽 110 和第二沟槽 111 将所述衬底 101 分割成多个沿第一方向和第二方向呈阵列排布的第一半导体柱 102-1。

40 在一些具体示例中，还可以在衬底 101 的表面上形成网格状的掩膜层，将该网格状的掩膜层作为掩膜对衬底 101 进行刻蚀，同时形成第一沟槽 110

和第二沟槽 111, 以在衬底 101 中形成多个沿第一方向和第二方向呈阵列排布的第一半导体柱 102-1。

接下来, 如图 3c 所示, 对每一所述第一沟槽 110 和/或所述第二沟槽 111 底部进行扩大处理; 这里, 所述扩大处理可以理解为对第一沟槽 110 的底部进行沿第一方向的刻蚀; 和/或, 对第二沟槽 111 的底部进行沿第二方向的刻蚀, 使得第一沟槽 110 和/或第二沟槽 111 的底部沿所述第一方向的径宽大于相应沟槽的顶部沿所述第一方向的径宽;

和/或,

第一沟槽 110 和/或第二沟槽 111 的底部沿所述第二方向的径宽大于相应沟槽的顶部沿所述第二方向的径宽。

在一些具体示例中, 所采用的刻蚀工艺可以包括湿法刻蚀工艺、干法刻蚀工艺等。

示例性的, 所述湿法刻蚀工艺中, 将刻蚀剂通入第一沟槽 110 和/或第二沟槽 111 的底部, 通过刻蚀剂的各向异性刻蚀, 增大第一沟槽 110 和/或第二沟槽 111 的底部沿 X 轴方向的径宽; 和/或, 增大第一沟槽 110 和/或第二沟槽 111 的底部沿 Y 轴方向的径宽。

示例性的, 所述干法刻蚀工艺中, 通过控制等离子体进行横向刻蚀, 以在第一沟槽 110 和/或第二沟槽 111 的底部形成径宽扩大的沟槽结构。

本公开实施例中, 在对每一所述第一沟槽 110 和/或所述第二沟槽 111 底部进行扩大处理的过程中, 刻蚀工艺使得位于衬底 101 上的多个第一半导体柱 102-1 的底部区域被刻蚀, 第一半导体柱 102-1 的底部区域尺寸减小。

换言之, 所述第一半导体柱 102-1 包括第一部分 113 和位于所述第一部分 113 上的第二部分 112; 这里, 所述第一半导体柱 102-1 的第二部分 112 位于所述第一半导体柱 102-1 的第一部分 113 之上。

示例性的, 在仅对第一沟槽 110 进行扩大处理时, 所述第一半导体柱 102-1 的第一部分 113 沿 X 轴方向的最大径宽小于所述第一半导体柱 102-1 的第二部分 112 沿 X 轴方向的最小径宽。

示例性的, 在仅对第二沟槽 111 进行扩大处理时, 所述第一半导体柱 102-1 的第一部分 113 沿 Y 轴方向的最大径宽小于所述第一半导体柱 102-1 的第二部分 112 沿 Y 轴方向的最小径宽。

示例性的, 在对第一沟槽 110 和第二沟槽 111 均进行扩大处理时, 所述第一半导体柱 102-1 的第一部分 113 沿 X 轴方向的最大径宽小于所述第一半导体柱 102-1 的第二部分 112 沿 X 轴方向的最小径宽; 以及所述第一半导体柱 102-1 的第一部分 113 沿 Y 轴方向的最大径宽小于所述第一半导体柱 102-1 的第二部分 112 沿 Y 轴方向的最小径宽。

优选地, 对第一沟槽 110 和第二沟槽 111 均进行扩大处理, 使得所述第一半导体柱 102-1 的第一部分 113 的尺寸减小。

示例性的, 第一部分 113 的最大径宽可以理解为图 3c 中第一半导体柱 102-1 的第一部分 113 与第一半导体柱 102-1 的第二部分 112 接触位置处的径宽; 第二部分 112 的最小径宽可以理解为第一半导体柱 102-1 的第二部分 112 中尺寸最小的区域; 参考图 3c, 第一半导体柱 102-1 的第二部分 112 的上下

部分的尺寸相同,即第一半导体柱 102-1 的第二部分 112 的最小径宽和最大径宽相同。

接下来,如图 3d 所示,去除第一沟槽 110 中的第一绝缘层 119。在一些具体示例中,去除第一绝缘层 119 的方法包括但不限于湿法刻蚀工艺、干法刻蚀工艺。

在步骤 S200 中,主要是在第一半导体柱 102-1 的表面形成氧化层 103。

在一些实施例中,在所述第一半导体柱 102-1 的表面形成氧化层 103,包括:

对所述第一半导体柱 102-1 进行氧化处理,以使所述第一部分 113 被完全氧化成氧化柱 103-1,暴露的所述第二部分 112 的表面被氧化成第一氧化层 103-2,所述衬底 101 的表面被氧化成第二氧化层 103-3。

如图 3e 所示,通过氧化工艺,如热氧化工艺对所述第一半导体柱 102-1 进行氧化,使得第一半导体柱 102-1 的第一部分 113 全部被氧化成氧化柱 103-1,以及暴露出的第一半导体柱 102-1 的第二部分 112 的表面被氧化成第一氧化层 103-2,同时,衬底 101 的表面也被氧化形成第二氧化层 103-3。

可以理解的是,这里形成的第二氧化层 103-3 使得后续工艺中形成的电容能够与底部衬底 101 隔离,从而使得改善电容底部的漏电问题。

这里,第一氧化层 103-2、第二氧化层 103-3、氧化柱 103-1 共同构成氧化层 103。

这里,第一氧化层 103-2、第二氧化层 103-3、氧化柱 103-1 的材料相同。示例性的,第一氧化层 103-2、第二氧化层 103-3、氧化柱 103-1 的组成材料包括但不限于氧化硅。

在一些具体示例中,这里氧化层 103 的材料与所述第一绝缘层 119 的材料相同或不同。

需要说明的是,前述实施例中通过对第一沟槽 110 和/或第二沟槽 111 进行扩大处理后,第一半导体柱 102-1 的第一部分 113 的尺寸较小,易于被完全氧化。而且在第一半导体柱 102-1 的第一部分 113 被完全氧化时,所述第一半导体柱 102-1 的第二部分 112 仅表面被氧化。

在步骤 S300 中,主要是填充第一牺牲材料 104-1。

在一些实施例中,在所述氧化层 103 的间隙中填充第一牺牲材料 104-1,包括:

在多个所述氧化柱 103-1 的间隙中以及所述第一氧化层 103-2 的间隙中填充第一牺牲材料 104-1;

如图 3f 所示,在氧化层 103 的间隙中填充第一牺牲材料 104-1。具体的可以是,在第一氧化层 103-2 的间隙以及氧化柱 103-1 的间隙中填充第一牺牲材料 104-1。

在一些具体示例中,填充第一牺牲材料 104-1 的方法包括但不限于 PVD、CVD、ALD。

在一些具体示例中,第一牺牲材料 104-1 的材质包括但不限于多晶硅、碳。

这里,对于第一牺牲材料 104-1 的材质的选择,第一方面,需要考虑第一牺牲材料 104-1 相对于第一氧化层 103-2 具有一定的刻蚀选择比,使得在后续工艺中去除第一氧化层 103-2 形成第一凹槽 105 时,可以保留第一牺牲材料 104-1;

第二方面，需要考虑第一牺牲材料 104-1 相对于后续工艺中形成的第一电极 106 的材料具有一定的刻蚀选择比，使得后续工艺中在去除第一牺牲材料 104-1 形成第一牺牲层 104 时，减小对已形成的第一电极 106 的影响；第三方面，第一牺牲材料 104-1 需要能在后续工艺中较方便去除。

5 在步骤 400 中，主要是形成第一有源柱 102 及第一凹槽 105。

如图 3g 所示，去除第一氧化层 103-2，形成第一凹槽 105。被去除了第一氧化层 103-2 的第一半导体柱 102-1 形成第一有源柱 102。

在一些具体示例中，去除第一氧化层 103-2 的方法包括但不限于湿法刻蚀工艺、干法刻蚀工艺。

10 在步骤 500 中，主要是形成第一电极 106。

如图 3h 所示，在第一凹槽 105 中填充第一电极 106 的材料，形成第一电极 106。

这里，第一电极 106 用于作为电容的下电极。

15 在一些具体实施例中，所述第一电极 106 的组成材料可以包括但不限于钌 (Ru)、氧化钌 (RuO)、氮化钛 (TiN)。

本公开实施例中，形成第一电极 106 的方法包括但不限于 PVD、CVD、ALD。

可以理解的是，本公开实施例中，在去除第一氧化层 103-2 后形成第一凹槽 105，此时的第一凹槽 105 环绕第一半导体柱 102-1，第一半导体柱 102-1 间隙中的第一牺牲材料 104-1 全部连接在一起，在第一凹槽 105 中直接填充形成第一电极 106 的材料，从而形成第一电极 106。由于第一凹槽 105 是彼此分开的，因此，形成的第一电极 106 是彼此分开的。传统的方法是，在第一半导体柱 102-1 的间隙中的第一沟槽 110 和第二沟槽 111 中直接沉积第一电极 106 的材料形成多个第一电极 106，这样使得多个第一电极 106 底部无法彼此分开，从而使得第一电极 106 之间相互干扰。而本公开实施例的方案形成的第一电极 106 能彼此分开，从而可以改善多个第一电极 106 之间的彼此干扰问题。

25 在步骤 S600 中，主要是去除部分第一牺牲材料 104-1，形成第二凹槽 109。

在一些实施例中，去除所述第一氧化层 103-2 的间隙中的第一牺牲材料 104-1，形成第二凹槽 109 时，多个所述氧化柱 103-1 的间隙中的所述第一牺牲材料 104-1 被保留，以形成第一牺牲层 104。

30 如图 3i 所示，去除第一氧化层 103-2 间隙中的第一牺牲材料 104-1，形成第二凹槽 109，并保留氧化柱 103-1 的间隙中的第一牺牲材料 104-1，剩余的第一牺牲材料 104-1 构成第一牺牲层 104。

35 在一些具体示例中，去除第一氧化层 103-2 间隙中的第一牺牲材料 104-1 的方法包括但不限于湿蚀工艺、干法刻蚀工艺。示例性的，在利用刻蚀工艺去除第一氧化层 103-2 间隙中的第一牺牲材料 104-1 时，可以通过控制刻蚀时间达到只刻蚀第一氧化层 103-2 间隙中的第一牺牲材料 104-1，而氧化柱 103-1 间隙中的第一牺牲材料 104-1 被保留的目的。在步骤 700 中，主要是形成第一介质层 107。

如图 3j 所示，在第二凹槽 109 侧壁及底部形成第一介质层 107。

这里，第一介质层 107 用于作为电容的电介质。

40 这里，所述第一介质层 107 的组成材料包括高介电常数 (High-K) 材料，高介电常数材料一般指介电常数高于 3.9 的材料，且通常显著高于该值。在一些具

体示例中, 所述第一介质层 107 的材料可以包括但不限于氧化铝 (Al_2O_3)、氧化锆 (ZrO)、氧化铪 (HfO_2)、钛酸锶 (SrTiO_3) 等。

在步骤 800 中, 如图 3j 所示, 主要是形成第二电极 108。

5 在一些具体实施例中, 所述第二电极 108 的组成材料可以包括但不限于钌、氧化钌、氮化钛。

这里, 形成第二电极 108 的方法包括但不限于 PVD、CVD 等工艺。

以上实施例介绍了在衬底 101 上形成第一有源柱 102, 并在第一有源柱 102 的间隙中形成存储结构的过程。随着目前对存储器密度要求的不断提升, 第一有源柱 102 的深宽比不断增大, 而在第一有源柱 102 的深宽比不断增大的需求下, 10 第一有源柱 102 如果一次形成得过高, 容易出现易坍塌的风险。

为了解决上述问题, 本公开实施例提出以下方案。

在一些实施例中, 如图 3l 所示, 所述方法还包括:

在形成所述第二电极 108 之后, 在所述第一有源柱 102 上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱;

15 对所述第二半导体柱进行氧化处理, 以使所述第二半导体柱暴露的表面被氧化成第三氧化层;

在所述第三氧化层的间隙中填充第二牺牲材料;

去除所述第三氧化层, 得到第二有源柱 115 并形成第三凹槽;

在所述第三凹槽中形成第三电极 116;

20 去除所述第二牺牲材料, 形成第四凹槽;

在所述第四凹槽的侧壁形成第二介质层 117;

在形成有第二介质层 117 的第四凹槽中形成第四电极 118; 其中, 所述第一电极 106 和所述第三电极 116 相互连接, 所述第一介质层 107 和所述第二介质层 117 相互连接, 所述第二电极 108 和所述第四电极 118 相互连接。

25 在一些实施例中, 如图 3k 所示, 所述在第一有源柱 102 上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱, 包括:

在第一有源柱 102 上形成第二半导体基底 114;

30 在所述第二半导体基底 114 中形成多条沿第一方向间隔排布的第三沟槽, 以及多条沿第二方向间隔排布的第四沟槽, 以在第一有源柱 102 上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱。

这里, 第二半导体基底 114 与衬底 101 的材质相同或不同。

在一些实施例中, 所述在第一有源柱 102 上形成第二半导体基底 114 包括:

利用外延生长工艺, 在第一有源柱 102 上形成第二半导体基底 114。

35 这里, 在第一有源柱 102 上形成第二有源柱 115, 并在第二有源柱 115 的间隙中形成第三电极 116、第二介质层 117、第四电极 118 的过程与前述实施例中形成第一有源柱 102, 并在第一有源柱 102 的间隙中形成第一电极 106、第一介质层 107、第二电极 108 的方法类似, 这里不再赘述。

可以理解的是, 本公开实施例中, 先在衬底 101 上形成第一有源柱 102, 并在第一有源柱 102 的间隙中形成包括第一电极 106、第一介质层 107、第二电极 40 108 的下电容, 再在第一有源柱 102 上以外延生长的方式形成第二半导体基底 114, 从而形成第二有源柱 115, 并在第二有源柱 115 的间隙中形成包括第三电极

116、第二介质层 117、第四电极 118 的上电容。下电容的第一电极 106 与上电容的第三电极 116 相连，下电容的第二电极 108 与上电容的第四电极 118 相连，下电容的第一介质层 107 和上电容的第二介质层 117 相连。也就是说，本公开实施例中，将电容分两部分形成，改善在一步形成电容的过程中由于半导体柱的深宽比较高而导致坍塌的问题。

接下来，在第二有源柱 115 的顶面上形成晶体管（图 31 中未示出），并形成与晶体管的源极和漏极中的一个电连接的位线，半导体结构中的电容与晶体管中的源极和漏极中的另一个电连接。

在一些实施例中，所述方法还包括：在第一有源柱 102 上形成沿第一方向和第二方向呈阵列排布的多个第三有源柱，每一所述第三有源柱均位于相应的一个所述第二有源柱 115 的顶面上；

形成覆盖所述第三有源柱的至少一侧的栅极结构；

在所述第三有源柱相对的两端分别形成源极、漏极。

这里，不同类型的晶体管中，栅极的形状不同；示例性的，柱型栅极晶体管中，栅极以柱状形式形成在沟道区的一侧；半环绕型栅极晶体管中，栅极半包围沟道区；全环绕型（GAA, Gate All Around）栅极晶体管中，栅极全包围沟道区。

本公开实施例中的晶体管类型可以包括上述多种类型，但不限于此。优选地，所述晶体管的类型为全环绕型栅极晶体管。

需要说明的是，这里的栅极结构包括栅极（G, Gate）和栅氧化层（Gate oxide layer）；其中，栅氧化层位于栅极与沟道区之间，用于电隔离沟道区和栅极，减小晶体管的热载流子效应。

这里，栅极的材料可以包括金属或多晶硅（Poly）等。栅氧化层的材料可以包括但不限于氧化硅。

在一些具体示例中，栅极的形成方法包括但不限于 PVD、CVD、ALD 等。栅氧化层的形成方法包括但不限于原位氧化。

在一些具体示例中，形成源极、漏极的方法包括但不限于掺杂工艺和扩散工艺等。

需要说明的是，位于第三有源柱相对的两端的源极和漏极的位置可以互换；实际情况可以根据实际需求进行选择设置。

在一些实施例中，所述方法还包括：

在所述第三有源柱上形成多条位线；所述多条位线与所述第三有源柱的顶部电接触。

可以理解的是，上述实施例中的存储器为晶体管-电容（TOC, Transistor on Capacitor）结构，所述结构还包括：多条位线，位于所述晶体管上，与所述第三有源柱的顶部电接触。

可以理解的是，位线 BL 用于在晶体管导通时，对所述晶体管执行读取或写入操作。

这里，将位线 BL 设置在晶体管的上方，并将位线 BL 作为金属位线（Metal BL），可以减少电阻，降低工艺难度；与存储器的电路设计方案更匹配。

可以理解的是，本公开实施例中，通过在衬底 101 上形成多个第一半导体柱

102-1, 每一所述半导体柱包括第一部分 113 和位于所述第一部分 113 上的第二部分 112, 使得所述第一部分 113 的最大径宽小于所述第二部分 112 的最小径宽; 然后通过氧化处理, 将多个第一半导体柱 102-1 的第一部分 113 全部氧化成氧化柱 103-1, 并在每一氧化柱 103-1 的顶面上形成相应的第一有源柱 102, 使得第一有源柱 102 与衬底 101 之间绝缘; 进而使得在第一有源柱 102 的间隙中形成的存储结构 (如, 电容) 能够与衬底 101 之间绝缘, 从而改善存储结构的漏电问题, 进而提高存储器的可靠性。

本公开实施例提供了一种半导体结构的制作方法, 包括: 提供衬底 101, 在所述衬底 101 上形成沿第一方向和第二方向呈阵列排布的多个第一半导体柱 102-1; 所述第一方向和所述第二方向均与所述第一半导体柱 102-1 的延伸方向垂直, 且所述第一方向和所述第二方向相交; 对多个所述第一半导体柱 102-1 进行氧化处理, 在所述第一半导体柱 102-1 的表面形成氧化层 103; 在所述氧化层 103 的间隙中填充第一牺牲材料 104-1; 去除部分所述氧化层 103, 得到第一有源柱 102 及第一凹槽 105; 在所述第一凹槽 105 中形成第一电极 106; 去除所述氧化层 103 的间隙中的部分所述第一牺牲材料 104-1, 形成第二凹槽 109; 形成覆盖所述第二凹槽 109 侧壁及底部的第一介质层 107; 在形成有所述第一介质层 107 的第二凹槽 109 中形成第二电极 108。本公开实施例中, 通过在衬底 101 上先形成多个第一半导体柱 102-1, 并对多个第一半导体柱 102-1 的表面进行氧化处理形成氧化层 103, 在氧化层 103 的间隙中填充第一牺牲材料 104-1, 再去掉部分氧化层 103, 从而在多个第一半导体柱 102-1 之间形成多个第一凹槽 105, 并在多个第一凹槽 105 中直接形成多个第一电极 106, 这样使得所形成的多个第一电极 106 之间相互独立, 从而改善多个第一电极 106 之间的相互干扰问题, 从而提高半导体结构的性能。

根据本公开的另一方面, 本公开实施例又提供了一种半导体结构, 包括: 多个第一有源柱, 沿第一方向和第二方向呈阵列排布; 所述第一方向和所述第二方向均与所述第一有源柱的延伸方向垂直, 且所述第一方向和所述第二方向相交;

多个第一电极; 每一所述第一电极覆盖一个所述第一有源柱的侧壁, 所述第一电极位于间隔设置的第一凹槽中, 每一所述第一凹槽环绕每一所述第一有源柱的表面;

多个第一介质层; 每一所述第一介质层覆盖一个所述第一电极的侧壁及相邻的两个所述第一电极之间的间隙的底部;

第二电极, 覆盖所述多个第一介质层的表面。

在一些实施例中, 所述半导体结构还包括:

多个第二有源柱, 位于所述第一有源柱上, 每一所述第二有源柱与相应的一个所述第一有源柱在所述第一方向和所述第二方向所在平面上的正投影重合;

多个第三电极, 每一所述第三电极覆盖一个所述第二有源柱的侧壁, 所述第三电极位于间隔设置的第三凹槽中, 每一所述第三凹槽环绕每一所述第二有源柱的表面, 且所述第三电极和所述第一电极相互连接;

多个第二介质层, 每一所述第二介质层覆盖一个所述第三电极的侧壁, 且所述第二介质层和所述第一介质层相互连接;

第四电极，覆盖所述多个第二介质层，且所述第四电极和所述第二电极相互连接。

在一些实施例中，所述半导体结构还包括：

衬底；所述衬底表面形成有第二氧化层；

5 多个氧化柱，位于所述第二氧化层上，且每一所述第一有源柱均位于相应的一个所述氧化柱的顶面上；

第一牺牲层，位于多个所述氧化柱的间隙中；

所述第一介质层覆盖所述第一电极的侧壁及所述第一牺牲层的顶面。

在一些实施例中，所述半导体结构还包括：

10 多个第三有源柱，每一所述第三有源柱均位于相应的一个所述第一有源柱的顶面上；

多个晶体管，每个所述晶体管的沟道结构位于所述第三有源柱内，所述沟道结构的延伸方向垂直于所述第一方向和所述第二方向所在的平面。

在一些实施例中，所述晶体管包括：

15 至少围绕所述第三有源柱一侧设置的栅极结构，以及
分别设置在所述第三有源柱相对的两个端部的源极和漏极。

在一些实施例中，所述半导体结构还包括：

多条位线，位于所述晶体管上方，与所述第三有源柱的顶部电接触。

20 根据本公开的再一方面，本公开实施例还提供了一种存储器，包括：一个或多个如本公开上述实施例中任一实施例所述的半导体结构。

上述实施例中提供的半导体结构及存储器在方法侧已详细介绍，这里不再赘述。

25 可以理解的是，本公开实施例中，形成的第一电极位于间隔设置的第一凹槽中，每一所述第一凹槽环绕每一所述第一有源柱的表面，也就是说，本公开实施例中所形成的多个第一电极之间彼此是相互独立的，从而能够改善多个第一电极之间的相互干扰问题，提高半导体结构的性能。

30 在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合。

本公开所提供的几个方法或设备实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

35 本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求要求的保护范围为准。

工业实用性

本公开实施例中，通过在衬底上先形成多个第一半导体柱，并对多个第一半

导体柱的表面进行氧化处理形成氧化层，在氧化层的间隙中填充第一牺牲材料，再去除部分氧化层，从而在多个第一半导体柱之间形成多个第一凹槽，并在多个第一凹槽中直接形成多个第一电极，这样使得所形成的多个第一电极之间相互独立，从而改善多个第一电极之间的相互干扰问题，从而提高半导体结构的性能。

权利要求书

- 1、一种半导体结构，包括：
多个第一有源柱，沿第一方向和第二方向呈阵列排布；所述第一方向和所述第二方向均与所述第一有源柱的延伸方向垂直，且所述第一方向和所述第二方向
5 相交；
多个第一电极；每一所述第一电极覆盖一个所述第一有源柱的侧壁，所述第一电极位于间隔设置的第一凹槽中，每一所述第一凹槽环绕每一所述第一有源柱的表面；
多个第一介质层；每一所述第一介质层覆盖一个所述第一电极的侧壁及相邻
10 的两个所述第一电极之间的间隙的底部；
第二电极，覆盖所述多个第一介质层的表面。
2、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：
多个第二有源柱，位于所述第一有源柱上，每一所述第二有源柱与相应的一
个所述第一有源柱在所述第一方向和所述第二方向所在平面上的正投影重合；
15 多个第三电极，每一所述第三电极覆盖一个所述第二有源柱的侧壁，所述第三电极位于间隔设置的第三凹槽中，每一所述第三凹槽环绕每一所述第二有源柱的表面，且所述第三电极和所述第一电极相互连接；
多个第二介质层，每一所述第二介质层覆盖一个所述第三电极的侧壁，且所述
第二介质层和所述第一介质层相互连接；
20 第四电极，覆盖所述多个第二介质层，且所述第四电极和所述第二电极相互连接。
3、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：
衬底；所述衬底表面形成有第二氧化层；
多个氧化柱，位于所述第二氧化层上，且每一所述第一有源柱均位于相应的
25 一个所述氧化柱的顶面上；
第一牺牲层，位于多个所述氧化柱的间隙中；
所述第一介质层覆盖所述第一电极的侧壁及所述第一牺牲层的顶面。
4、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：
多个第三有源柱，每一所述第三有源柱均位于相应的一
30 个所述第一有源柱的顶面上；
多个晶体管，每个所述晶体管的沟道结构位于所述第三有源柱内，所述沟道结构的延伸方向垂直于所述第一方向和所述第二方向所在的平面。
5、根据权利要求4所述的半导体结构，其中，所述晶体管包括：
至少围绕所述第三有源柱一侧设置的栅极结构，以及
35 分别设置在所述第三有源柱相对的两个端部的源极和漏极。
6、根据权利要求4所述的半导体结构，其中，所述半导体结构还包括：
多条位线，位于所述晶体管上方，与所述第三有源柱的顶部电接触。
7、一种存储器，包括：至少一个如权利要求1至6中任一项所述的半导体
40 结构。
8、一种半导体结构的制作方法，所述方法包括：

提供衬底，在所述衬底上形成沿第一方向和第二方向呈阵列排布的多个第一半导体柱；所述第一方向和所述第二方向均与所述第一半导体柱的延伸方向垂直，且所述第一方向和所述第二方向相交；

对多个所述第一半导体柱进行氧化处理，在所述第一半导体柱的表面形成氧化层；

在所述氧化层的间隙中填充第一牺牲材料；

去除部分所述氧化层，得到第一有源柱及第一凹槽；

在所述第一凹槽中形成第一电极；

去除所述氧化层的间隙中的部分所述第一牺牲材料，形成第二凹槽；

形成覆盖所述第二凹槽侧壁及底部的第一介质层；

在形成有所述第一介质层的第二凹槽中形成第二电极。

9、根据权利要求8所述的半导体结构的制作方法，其中，

所述形成沿第一方向和第二方向呈阵列排布的多个第一半导体柱，包括：

15 蚀刻所述衬底，在所述衬底上形成沿第一方向间隔排布的多个第一沟槽和沿第二方向间隔排布的多个第二沟槽，对所述第一沟槽和/或所述第二沟槽的底部进行扩大处理，使得每一所述第一半导体柱包括第一部分和位于所述第一部分上的第二部分，所述第一部分的最大径宽小于所述第二部分的最小径宽。

10、根据权利要求9所述的半导体结构的制作方法，其中，在所述第一半导体柱的表面形成氧化层，包括：

20 对所述第一半导体柱进行氧化处理，以使所述第一部分被完全氧化成氧化柱，暴露的所述第二部分的表面被氧化成第一氧化层，所述衬底的表面被氧化成第二氧化层。

11、根据权利要求10所述的半导体结构的制作方法，其中，

在所述氧化层的间隙中填充第一牺牲材料，包括：

25 在多个所述氧化柱的间隙中以及所述第一氧化层的间隙中填充第一牺牲材料；

去除所述第一氧化层的间隙中的第一牺牲材料，形成第二凹槽时，多个所述氧化柱的间隙中的所述第一牺牲材料被保留，以形成第一牺牲层。

12、根据权利要求8所述的半导体结构的制作方法，其中，所述方法还包括：

30 在形成所述第二电极之后，在所述第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱；

对所述第二半导体柱进行氧化处理，以使所述第二半导体柱暴露的表面被氧化成第三氧化层；

在所述第三氧化层的间隙中填充第二牺牲材料；

35 去除所述第三氧化层，得到第二有源柱并形成第三凹槽；

在所述第三凹槽中形成第三电极；

去除所述第二牺牲材料，形成第四凹槽；

在所述第四凹槽的侧壁形成第二介质层；

40 在形成有第二介质层的第四凹槽中形成第四电极；其中，所述第一电极和所述第三电极相互连接，所述第一介质层和所述第二介质层相互连接，所述第二电极和所述第四电极相互连接。

13、根据权利要求 12 所述的半导体结构的制作方法，其中，所述在第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱，包括：

在第一有源柱上形成第二半导体基底；

5 在所述第二半导体基底中形成多条沿第一方向间隔排布的第三沟槽，以及多条沿第二方向间隔排布的第四沟槽，以在第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第二半导体柱。

14、根据权利要求 13 所述的半导体结构的制作方法，其中，所述在第一有源柱上形成第二半导体基底包括：

利用外延生长工艺，在第一有源柱上形成第二半导体基底。

10 15、根据权利要求 8 所述的半导体结构的制作方法，其中，所述方法还包括：在第一有源柱上形成沿第一方向和第二方向呈阵列排布的多个第三有源柱，每一所述第三有源柱均位于相应的一个所述第一有源柱的顶面上；

形成覆盖所述第三有源柱的至少一侧的栅极结构；

在所述第三有源柱相对的两端分别形成源极、漏极。

15 16、根据权利要求 15 所述的半导体结构的制作方法，其中，所述方法还包括：

在所述第三有源柱上形成多条位线；所述多条位线与所述第三有源柱的顶部电接触。