

明 細 書

発明の名称：半導体記憶装置および記憶データの読み出し方法 技術分野

[0001] 本発明の実施形態は、半導体記憶装置および記憶データの読み出し方法に関する。

背景技術

[0002] 大容量記録媒体として、NAND型フラッシュメモリを初めとする不揮発性半導体記憶装置が種々の電子機器で用いられている。この種の不揮発性半導体記憶装置は、選択されたメモリセルから読み出したデータを、センスアンプを介して所望の電圧レベルに変換している。このセンスアンプの読み出し動作はセンスと呼ばれている。

[0003] センス方式の一つとして、ABL (All Bit Line) 方式が知られている。ABL方式では、ビット線をプリチャージした後、すべてのビット線に対して読み出し動作を行う。その後、ビット線から流れる電流量に基づいて、メモリセルからの読み出しデータを検出する。

[0004] ABL方式では、まずビット線をプリチャージする。その後、センスノードに接続されたトランジスタをオンして、対応するビット線からの電流をセンスノードに転送する。しかしながら、上記のトランジスタのゲート電圧は、このトランジスタをオンさせる電圧レベルに達するまでに、所定のセットアップ時間を必要とする。このセットアップ時間は、個々のビット線ごとに変動する。結果として、上記のトランジスタがオンする時間もビット線ごとにばらついてしまう。よって、センスアンプの読み出し特性が悪化する要因になる。

先行技術文献

特許文献

[0005] 特許文献1：米国特許7, 974, 133号公報

特許文献2：米国特許7, 881, 120号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明が解決しようとする課題は、センスアンプの読み出し特性を向上させることが可能な半導体記憶装置および記憶データの読み出し方法を提供することである。

課題を解決するための手段

[0007] 本実施形態によれば、ビット線につながる複数のメモリセルと、
前記複数のメモリセルのうち選択されたメモリセルに記憶されたデータを、
前記ビット線を介して読み出すセンスアンプと、
前記センスアンプの動作を制御するコントローラと、を備え、
前記センスアンプは、
前記選択されたメモリセルにつながるビット線の電圧をクランプする第1
トランジスタと、
前記第1トランジスタによりクランプされた電圧ノードと、基準電圧ノードとの間に介挿される第2トランジスタと、
前記選択されたメモリセルに記憶されたデータに応じて充放電を行う充放電ノードと、前記第1トランジスタによりクランプされた電圧ノードとの間に介挿される第3トランジスタと、
前記基準電圧ノードと前記充放電ノードとの間に介挿される第4トランジスタと、を有し、
前記コントローラは、前記選択されたメモリセルに記憶されたデータを読み出す際に順次に実行される第1動作モード、第2動作モードおよび第3動作モードを有し、
前記第1動作モードでは、前記第1トランジスタおよび前記第2トランジスタをオンして、前記選択されたメモリセルにつながるビット線をプリチャージするとともに、前記充放電ノードをプリチャージし、かつ前記第3トランジスタをオフし、
前記第2動作モードでは、前記ビット線へのプリチャージを継続しつつ、

前記第3トランジスタをオン方向に動作させ、かつ前記第3トランジスタのソースドレイン抵抗を前記第1トランジスタのソースドレイン抵抗よりも高くし、

前記第3動作モードでは、前記第1トランジスタをオン、前記第2トランジスタをオフ、前記第3トランジスタをオン、および前記第4トランジスタをオンして、前記充放電ノードからの放電電流を、前記第3トランジスタおよび前記第1トランジスタを介して前記ビット線に流すことを許容する半導体記憶装置が提供される。

図面の簡単な説明

[0008] [図1]本発明の一実施形態に係る半導体記憶装置の概略構成を示すブロック図。

[図2]セルアレイ2周辺の詳細な構成を示すブロック図。

[図3]センスアンプ6の内部構成の一例を示す回路図。

[図4]第1動作モード時の第1～第3トランジスタQ1～Q3の動作状態を示す図。

[図5]第2動作モード時の第1～第3トランジスタQ1～Q3の動作状態を示す図。

[図6]第3動作モード時の第1～第3トランジスタQ1～Q3の動作状態を示す図。

[図7]第4動作モード時の第1～第3トランジスタQ1～Q3の動作状態を示す図。

[図8]第1～第4動作モード時のセンスアンプ6の内部の電圧および電流波形図。

[図9]一比較例のセンス動作モード時の第1～第3トランジスタQ3の動作状態を示す図。

[図10]一比較例におけるセンスアンプ6の内部の電圧および電流波形図。

発明を実施するための形態

[0009] 図1は本発明の一実施形態に係る半導体記憶装置の概略構成を示すブロッ

ク図である。図1の半導体記憶装置は、NAND型フラッシュメモリの例を示している。

[0010] 図1の半導体記憶装置1は、セルアレイ2と、ロウデコーダ3と、ワード線ドライバ4と、カラムデコーダ5と、センスアンプ(S/A)6と、データラッチ回路7と、コントローラ8と、高電圧発生器9と、アドレスレジスタ10と、コマンドデコーダ11と、I/Oバッファ12とを備えている。

[0011] セルアレイ2は、複数個のメモリセルを直列接続したNANDストリングを備える。

[0012] 図2はセルアレイ2周辺の詳細な構成を示すブロック図である。図2に示すように、セルアレイ2は、複数のブロックBLK0~BLKnに分かれている。各ブロックには、上述したNANDストリング20がカラム方向に複数個配列されている。各NANDストリング20は、直列接続された複数のメモリセル21と、これらメモリセル21の一端側に接続された選択ゲートトランジスタS1と、他端側に接続された選択ゲートトランジスタS2とを有する。

[0013] NANDストリング20内の各メモリセル21のゲートは、対応するワード線WL0~WLn+1に接続されている。選択ゲートトランジスタS1のゲートは選択ゲート線SGDに接続されている。選択ゲートトランジスタS2のゲートは選択ゲート線SGSに接続されている。各NANDストリング20は、対応する選択ゲートトランジスタS1を介して、共通のセルソース線に接続されている。また各NANDストリング20は、対応する選択ゲートトランジスタS2を介して、対応するビット線BL0~BLnに接続されている。

[0014] NANDストリング20内の各メモリセル21のゲートに接続される各ワード線WL0~WLn+1は、ロウデコーダ3に接続されている。ロウデコーダ3は、アドレスレジスタ10から転送されてきたロウアドレスをデコードする。ロウデコーダ3の近傍には、ワード線ドライバ4が配置されている。ワード線ドライバ4は、デコードしたデータに基づいて、各ワード線を駆動す

るための電圧を生成する。

- [0015] 各NANDストリング20に接続されるビット線BL0～BLnは、ビット線選択トランジスタQ0を介してセンスアンプ6に接続されている。本実施形態におけるセンスアンプ6は、ABL (All Bit Line) 方式にて、ビット線から流れる電流量に応じてメモリセル21からの読み出しデータを検出する。センスアンプ6で検出された読み出しデータは、例えば二値データとしてデータラッチ回路7に保持される。
- [0016] 図1に示すカラムデコーダ5は、アドレスレジスタ10からのカラムアドレスをデコードする。またカラムデコーダ5は、このデコードした結果に基づいて、データラッチ回路7に保持されたデータをデータバスに転送するかどうかを決定する。
- [0017] I/Oバッファ12は、I/O端子から入力されたアドレス、データおよびコマンドをバッファリングする。またI/Oバッファ12は、アドレスをアドレスレジスタ10に転送し、コマンドをコマンドレジスタに転送し、データをデータバスに転送する。
- [0018] コントローラ8は、アドレスとコマンドを識別するとともに、上述したセンスアンプ6等の動作を制御する。
- [0019] 図3はセンスアンプ6の内部構成の一例を示す回路図である。図3では、選択された一つのメモリセル21を含む一つのNANDストリング20につながるビット線BL1をセンスする回路部分を示している。ビット線BLがn本（nは2以上の整数）がある場合は、図3と同様の回路がn/m個（mは1以上の整数、例えばn個またはn/2個）個設けられる。以下では、NANDストリング20につながるビット線BLとセンスアンプ6との間に介挿されるビット線選択トランジスタQ0を通過した後の信号線、すなわち、センスアンプ6とビット線選択トランジスタQ0との間の信号線を、便宜上ビット線BL1と呼ぶ。
- [0020] 図3に示すように、センスアンプ6は、ゲートBLCを有する第1トランジスタQ1と、ゲートBLXを有する第2トランジスタQ2と、ゲートXX

Lを有する第3トランジスタQ3と、ゲートHL Lを有する第4トランジスタQ4とを有する。第1～第4トランジスタQ1～Q4はいずれも、NMO Sトランジスタである。

[0021] 第1トランジスタQ1、第2トランジスタQ2および第3トランジスタQ3は、それぞれのソース／ドレインの一方が共通に接続されており、本明細書では、この共通接続ノードをSCOMノードと呼ぶ。

[0022] 第1トランジスタQ1は、NANDストリング20につながるビット線BL1と、SCOMノードとの間に設けられる。第2トランジスタQ2は、基準電圧ノードVddとSCOMノードとの間に設けられる。第3トランジスタQ3および第4トランジスタQ4は、基準電圧ノードVddとSCOMノードとの間に直列接続されている。なお、基準電圧ノードVddの基準電圧は、外部から与えられた電源電圧に基づいて、NAND型フラッシュメモリの内部で生成される電圧である。

[0023] 第3トランジスタQ3および第4トランジスタQ4の間接続ノードがセンスアンプ6の出力ノードである。この出力ノードには、キャパシタCの一端が接続されるとともに、データラッチ回路7が接続される。この間接続ノードを、本明細書ではSENノードと呼ぶ。

[0024] 本実施形態に係るセンスアンプ6は、選択されたメモリセル21のデータを読み出す際に、第1動作モード、第2動作モードおよび第3動作モードを順次に切り替えて動作する。これら第1～第3動作モードの切替は、コントローラ8によって制御される。より具体的には、コントローラ8は、第1～第3動作モードのそれぞれにおいて、第1～第4トランジスタQ4の動作状態を切替える。

[0025] 図4～図6はそれぞれ第1～第3動作モード時の第1～第3トランジスタQ1～Q3の動作状態を示す図である。また、図7は、第3動作モードの後に実行されることがある第4動作モード時の第1～第3トランジスタQ3の動作状態を示す図である。さらに、図8は第1～第4動作モード時のセンスアンプ6の内部の電圧および電流波形図である。図4～図7では、オンする

方向に動作するトランジスタに丸印を付け、オフするトランジスタに×印を付けている。また、データラッチ回路7については、ラッチ動作を行う場合に丸印を付け、ラッチ動作を行わない場合は×印を付けている。

[0026] 第1動作モードは、選択されたメモリセル21を含むNANDストリング20につながるビット線BL1をプリチャージするとともに、対応するSENノードをプリチャージするモードである。この第1動作モードの期間内には、図4に示すように、第1～第4トランジスタQ1～Q4はオンに設定され、第3トランジスタQ3はオフに設定される。第1および第2トランジスタQ1、Q2をオンさせることで、基準電圧ノードからの電流が、第2トランジスタQ2および第1トランジスタQ1を経由して、対応するビット線BLに流れて、ビット線BLがプリチャージされる。また、この第1動作モードの期間内には、第4トランジスタQ4はオンに設定され、かつ第3トランジスタQ3はオフに設定されることで、基準電圧ノードからの電流が、第4トランジスタQ4を経由して、SENノードに流れて、キャパシタCを充電する。

[0027] これにより、図8に示すように、第1動作モードでは、第1トランジスタQ1のゲートBLCは電圧VBLCに、第2トランジスタQ2のゲートBLXは電圧VXXLに、第4トランジスタQ4のゲートHLLは電圧VHLLに、それぞれ引き上げられる。また、第3トランジスタQ3のゲートXXLはロウレベルに設定される。

[0028] 第1動作モードでの第1トランジスタQ1のゲートBLCのゲート電圧VBLCと、第2トランジスタQ2のゲートBLXの電圧VXXLとは、以下の(1)式の関係を満たすように設定される。

$$VBLC < VXXL \quad \dots (1)$$

[0029] このように設定する理由は、第1トランジスタQ1がゲート電圧VBLCにより、正しくビット線BL1の電圧レベルをクランプできるようにするためである。仮に、 $VBLC > VXXL$ であったとすると、SCOMノードの電圧レベルがゲート電圧VBLCよりも低くなり、第1トランジスタQ1は

オンしっぱなしになって、ゲート電圧BLCより閾値電圧分低い電圧にビット線BLIを設定できなくなってしまう。

[0030] なお、SENノードのプリチャージは、第4トランジスタQ4をオンして第4トランジスタQ4を介して行うことはかならずしも必須ではなく、他の回路を利用してSENノードのプリチャージを行ってもよい。他の回路を利用してSENノードのプリチャージを行う場合は、第4トランジスタQ4のゲートHLLの電圧は例えばロウレベルに設定される。

[0031] 第1動作モードに引き続いて実行される第2動作モードは、次の第3動作モードのときにSENノードの電圧レベルの変動をできるだけ抑制するように前準備をするモードである。この第2動作モードの期間内は、図5に示すように、第1および第2トランジスタQ1、Q2のオン状態を維持するとともに、第3トランジスタQ3をオフからオン方向に切り替える。また、第4トランジスタQ4についても、オンさせる。

[0032] より具体的には、第2動作モード時には、第3トランジスタQ3のゲートXXLの電圧は、第2トランジスタQ2のゲートBLXの電圧よりも低い電圧に設定される。これにより、第3トランジスタQ3のソースドレイン間抵抗は、第2トランジスタQ2のソースドレイン間抵抗よりも大きくなる。同様に、第4トランジスタQ4のゲートHLLの電圧は、第2トランジスタQ2のゲートHLLの電圧よりも低い電圧に設定される。これにより、第4トランジスタQ4のソースドレイン間抵抗は、第2トランジスタQ2のソースドレイン間抵抗よりも大きくなる。

[0033] これにより、基準電圧ノードVddからの電流は、第2トランジスタQ2を通過してビット線BLIに流れ、ビット線BLのプリチャージが継続して行われる。また、SENノードから、第4トランジスタQ4を通過して基準電圧ノードVddに、または基準電圧ノードVddから、第4トランジスタQ4を通過してSENノードに、電流が流れることを防止できる。さらに、SENノードからの電流が第3トランジスタQ3を通過してSCOMノードに流れることも防止できる。

[0034] 第2動作モードに引き続いて実行される第3動作モードは、SENノードの放電を行うモードである。この第3動作モードの期間内は、図6に示すように、第1トランジスタQ1はオン、第2トランジスタQ2はオフ、第4トランジスタQ4はオン、および第3トランジスタQ3はオンにそれぞれ設定される。より具体的には、図8に示すように、第1トランジスタQ1のゲートBLCの電圧は第1～第2動作モードと同じ電圧VBLCに保持され、第2トランジスタQ2のゲートBLXの電圧はロウレベルに設定され、第3トランジスタQ3のゲートXXLと第4トランジスタQ4のゲートHLLとの電圧はいずれも電圧VBLXに設定される。

[0035] この電圧VBLXと、上述した(1)式における電圧VBLCおよびVBLXとの大小関係は、以下の(2)式で表される。

$$VBLC \leq VBLX < VXXL \quad \dots (2)$$

[0036] 電圧VBLXを電圧VBLC以上に設定するのは、上述したように、SCOMノードの電圧が第1トランジスタQ1のゲートBLCの電圧VBLCより低くならないようにするためである。また、電圧VXXLを高くすることで、SENノードからの電流をビット線BLIに流しやすくなる。

[0037] 第3動作モード時には、選択されたメモリセル21にゼロが記憶されている場合は、キャパシタC内の蓄積電荷が、SENノード、第3トランジスタQ3、第1トランジスタQ1、およびビット線BLIを流れて放電される。

[0038] 第3動作モードを開始するトリガとなるタイミングは、第2トランジスタQ2のゲートBLXの電圧をロウレベルに下げることである。これにより、第2トランジスタQ2が迅速にオフし、第2トランジスタQ2のソースドレイン間を流れる電流iBLXが急峻に切り替わる。

[0039] また、第3動作モードの開始時点では、第3トランジスタQ3のゲートXXLの電圧はすでに高い電圧VBLXになっており、SENノードからの電流iXXLは、第3トランジスタQ3を流れてビット線BLIの方向に迅速に流れるようになる。

[0040] このように、本実施形態では、第2動作モードから第3動作モードに移行

したときに、電流 i_{BLX} と電流 i_{XXL} が急峻に変化する。これは、SENノードの電位が変化するタイミングのばらつきを抑制できることを意味する。

[0041] 第3動作モード時には、トランジスタQ3のゲートXXLの電圧を、トランジスタQ4のゲートHLLの電圧以上に設定するのが望ましい。その理由は、早く放電が終了したSENノードに対応するビット線BLについては、 $V_{dd} \rightarrow$ トランジスタQ4 $\rightarrow$ トランジスタQ3 $\rightarrow$ SCOMノード $\rightarrow$ トランジスタQ1 $\rightarrow$ ビット線BLというパスで電流を流して、ビット線BLの電位をトランジスタQ4のゲートHLLの電圧でクランプして、ビット線BLの電位のばらつきを低減したいためである。また、もう一つの理由は、基本的に放電電流はSENノードからSCOMノードに流れるのが望ましいことから、トランジスタQ3のオン抵抗をトランジスタQ4のオン抵抗以下にすることで、SENノードから基準電圧ノード V_{dd} に電流が漏れるのを防止できるためである。

[0042] 第3動作モードにてSENノードの電位が安定すると、第4動作モードに移行する。第4動作モードは、SENノードの電位に応じた二値データをデータラッチ回路7でラッチするモードである。この第4動作モードの期間内は、図7に示すように、データラッチ回路7がイネーブル状態となり、第1トランジスタQ1はオン、第2トランジスタQ2はオン、第3トランジスタQ3、および第4トランジスタQ4はオフにそれぞれ設定される。第3トランジスタQ3と第4トランジスタQ4とがともにオフすることで、SENノードの電位は固定になり、その状態で、データラッチ回路7はラッチ動作を行う。

[0043] また、第4動作モード時に、第1トランジスタQ1と第2トランジスタQ2をとともにオンに設定する理由は、ビット線BL1を介して次の読み出し動作を行う前準備として、ビット線BL1をプリチャージするためである。第1～第3動作モードで読み出したデータをデータラッチ回路7に転送する動作とは特に関係はない。すなわち、選択されたメモリセルから読み出したデ

ータをデータラッチでラッチするという動作だけを行いたい場合は、第4トランジスタQ4と第3トランジスタQ3とともにオフするだけでよく、第1トランジスタQ1と第2トランジスタQ2とともにオンにする必要はない。

[0044] 第4動作モード時のSENノードの放電による電圧の変化分 ΔV は、 $\Delta V = I \times t / C$ で表される。IはSENノードを流れる放電電流、tは放電電流が流れる期間（センス期間）、CはキャパシタCを含めたSENノードの容量である。この式からわかるように、容量とセンス期間がそれぞれ固定であれば、電圧の変化分 ΔV は、放電電流Iで決まる。実際には、第1トランジスタQ2と第3トランジスタQ3の電気的特性により、 ΔV がばらつく可能性があるが、本実施形態によれば、第3動作モード時に、第2トランジスタQ2を迅速にオフさせ、かつ第3トランジスタQ3を迅速にオンさせるため、 ΔV のばらつきを抑制できる。

[0045] 図9および図10は一比較例を示す図であり、図9は上述した第2動作モードおよび第3動作モードの代わりに実行されるセンス動作モード時の第1～第3トランジスタQ3の動作状態を示す図、図10は一比較例におけるセンスアンプ6の内部の電圧および電流波形図である。

[0046] この一比較例では、図4と同様の第1動作モードを実行した後に、図9のセンス動作モードを実行し、その後に図7と同様の第4動作モードを実行する。

[0047] 図9のセンス動作モードでは、第1トランジスタQ1をオン、第2トランジスタQ2をオン、第4トランジスタQ4をオフ、および第3トランジスタQ3をオンに設定する。基準電圧からの電流が第4トランジスタQ4の代わりに第2トランジスタQ2に流れないように、第4トランジスタQ4のゲートHILの電圧は第2トランジスタQ2のゲートBLXの電圧よりも高く設定される。これにより、選択されたメモリセル21にゼロが記憶されている場合には、キャパシタCの蓄積電荷が、SENノード、第3トランジスタQ3、第1トランジスタQ1およびビット線BLIを通して放電される。

[0048] 図9の場合、センス動作モードに切り替わったときに、理想的には、SE

Nノードの放電はメモリセル21の電流で決まる。実際には、第3トランジスタQ3のゲートXXLは、配線容量とゲート負荷を持っているために、ゲートXXLの電圧を所望の電圧に設定するには、所定のセットアップ時間を要する。また、第3トランジスタQ3のソースドレイン間を流れる電流は、第2トランジスタQ2と第3トランジスタQ3のばらつきの影響も受ける。これにより、図10に示すように、第2トランジスタQ2のソースドレイン間を流れる電流iBLXが安定するのに時間がかかる。同様に、SENノードから第3トランジスタQ3を通してビット線BLIに流れる電流iXXLが安定するのに時間がかかる。よって、図9のセンス動作モードでは、センスアンプ6ごとにSENノードの電位が安定化するまでのタイミングのばらつきが大きくなる。

[0049] これに対して、図5および図6に示した本実施形態における第2および第3動作モードによれば、第3動作モードに切り替わった時点で、迅速に電流iBLXと電流iXXLを安定化させることができ、SENノードの電位のばらつきも抑制できる。

[0050] このように、本実施形態では、ビット線BLIとSENノードのプリチャージを行う第1動作モードと、SENノードの放電を行う第3動作モードとの間に、第2動作モードを設けている。この第2動作モードでは、第3トランジスタQ3をオン方向に駆動するため、第2動作モードから第3動作モードに切り替わったときに、第2トランジスタQ2をオフさせる。よって、SENノードから第3トランジスタQ3を通してビット線BLIに流れる電流iXXLと、第2トランジスタQ2のソースドレイン間を流れる電流iBLXとを急峻に変化させることができる。結果として、SENノードの電位が安定化するまでのばらつきを抑制できる。よって、センスアンプの読み出し特性が向上する。

[0051] 上述した実施形態では、本発明をNAND型フラッシュメモリに適用する例を説明したが、本発明は、NOR型フラッシュメモリやMRAM、ReRAMなど、種々の不揮発性半導体記憶装置に適用可能である。

[0052] 本発明の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本発明の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0053] 1 半導体記憶装置、2 セルアレイ、3 ロウデコーダ、4 ワード線ドライバ、5 カラムデコーダ、6 センスアンプ、7 データラッチ回路、8 コントローラ、9 高電圧発生器、10 アドレスデコーダ、11 コマンドデコーダ、12 I/Oバッファ、20 NANDストリング、21 メモリセル

請求の範囲

[請求項1]

メモリセルと、
前記メモリセルに記憶されたデータを読み出すセンスアンプと、
前記センスアンプの動作を制御するコントローラと、を備え、
前記センスアンプは、
前記メモリセルにつながるビット線の電圧をクランプする第1トランジスタと、
前記第1トランジスタによりクランプされた電圧ノードと、基準電圧ノードとの間に設けられる第2トランジスタと、
前記メモリセルに記憶されたデータに応じて充放電を行う充放電ノードと、前記第1トランジスタによりクランプされた電圧ノードとの間に設けられる第3トランジスタと、
前記基準電圧ノードと前記充放電ノードとの間に設けられる第4トランジスタと、を有し、
前記コントローラは、前記選択されたメモリセルに記憶されたデータを読み出す際に第1動作モード、第2動作モードおよび第3動作モードを順次実行し、
前記第1動作モードでは、前記第1トランジスタおよび前記第2トランジスタをオンし、かつ前記第3トランジスタをオフし、
前記第2動作モードでは、前記第3トランジスタをオンし、
前記第3動作モードでは、前記第1トランジスタをオン、前記第2トランジスタをオフ、前記第3トランジスタをオン、および前記第4トランジスタをオンする半導体記憶装置。

[請求項2]

前記第1～第3トランジスタは、NMOSトランジスタであり、
前記コントローラは、前記第2動作モードでは、前記第2トランジスタのゲート電圧を、前記第3トランジスタおよび前記第4トランジスタの両ゲート電圧よりも高くする請求項1に記載の半導体記憶装置。

- [請求項3] 前記コントローラは、前記第2動作モードでは、前記第4トランジスタおよび前記第3トランジスタの両トランジスタのゲート電圧を、前記第1トランジスタのゲート電圧以上にする請求項2に記載の半導体記憶装置。
- [請求項4] 前記コントローラは、前記第1動作モードでは、前記第4トランジスタをオンする請求項1に記載の半導体記憶装置。
- [請求項5] 前記コントローラは、前記第3動作モードでは、前記第3トランジスタのゲート電圧を前記第4トランジスタのゲート電圧以上にする請求項1に記載の半導体記憶装置。
- [請求項6] 前記コントローラは、前記第1動作モード時には、前記第2トランジスタのゲート電圧を、前記第1トランジスタのゲート電圧よりも高くする請求項1に記載の半導体記憶装置。
- [請求項7] 前記充放電ノードの電位に応じたデータを保持するラッチを備え、
前記コントローラは、前記第3動作モードの後に実行される第4動作モードにおいて、前記第3トランジスタおよび前記第4トランジスタをオフして、前記キャパシタに蓄積された電荷を前記ラッチに転送する請求項1に記載の半導体記憶装置。
- [請求項8] 前記ビット線は複数前記メモリセルと接続され、
前記センスアンプは、複数の前記メモリセルのうち選択された前記メモリセルに記憶されたデータを、前記ビット線を介して読み出し、
前記第1動作モードでは、前記選択されたメモリセルにつながる前記ビット線と前記充放電ノードとをプリチャージし、
前記第3動作モードでは、前記充放電ノードからの放電電流を、前記第3トランジスタおよび前記第1トランジスタを介して前記ビット線に流すことを許容する請求項1に記載の半導体記憶装置。
- [請求項9] ビット線につながる複数のメモリセルのうち選択されたメモリセルに記憶されたデータを、前記ビット線を介して読み出す記憶データの読み出し方法であって、

前記選択されたメモリセルにつながるビット線の電圧をクランプする第1トランジスタと、前記第1トランジスタによりクランプされた電圧ノードと基準電圧ノードとの間に介挿される第2トランジスタと、をともにオンして、前記選択されたメモリセルにつながるビット線をプリチャージするとともに、前記充放電ノードをプリチャージし、かつ前記選択されたメモリセルに記憶されたデータに応じて充放電を行う充放電ノードと前記第1トランジスタによりクランプされた電圧ノードとの間に介挿される第3トランジスタをオフする第1動作モードを実行するステップと、

前記ビット線へのプリチャージを継続しつつ、前記第3トランジスタをオン方向に動作させ、かつ前記第3トランジスタのソースドレイン抵抗を前記第1トランジスタのソースドレイン抵抗よりも高くする第2動作モードを実行するステップと、

前記第1トランジスタをオン、前記第2トランジスタをオフ、前記第3トランジスタをオン、および前記基準電圧ノードと前記充放電ノードとの間に介挿される第4トランジスタをオンして、前記充放電ノードからの放電電流を、前記第3トランジスタおよび前記第1トランジスタを介して前記ビット線に流すことを許容する第3動作モードを実行するステップと、を有する記憶データの読み出し方法。