(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
26. Februar 2004 (26.02.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/017417 A1

(51) Internationale Patentklassifikation[7]: H01L 29/78, 21/336

(21) Internationales Aktenzeichen: PCT/DE2003/001957

(22) Internationales Anmeldedatum:
12. Juni 2003 (12.06.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 31 966.9 15. Juli 2002 (15.07.2002) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **INFINEON TECHNOLOGIES AG** [DE/DE]; St. Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder *(nur für US)*: **KAKOSCHKE, Ronald** [DE/DE]; Karlsbergstr. 11, 81475 München (DE). **TEWS, Helmut** [DE/DE]; Frankenwaldstr. 36, 81549 München (DE).

(74) Anwalt: **KINDERMANN, Peter**; Patentanwälte Kindermann, Postfach 1330, 85627 Grasbrunn (DE).

(81) Bestimmungsstaaten *(national)*: CN, JP, KR, SG, US.

(84) Bestimmungsstaaten *(regional)*: europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Veröffentlicht:

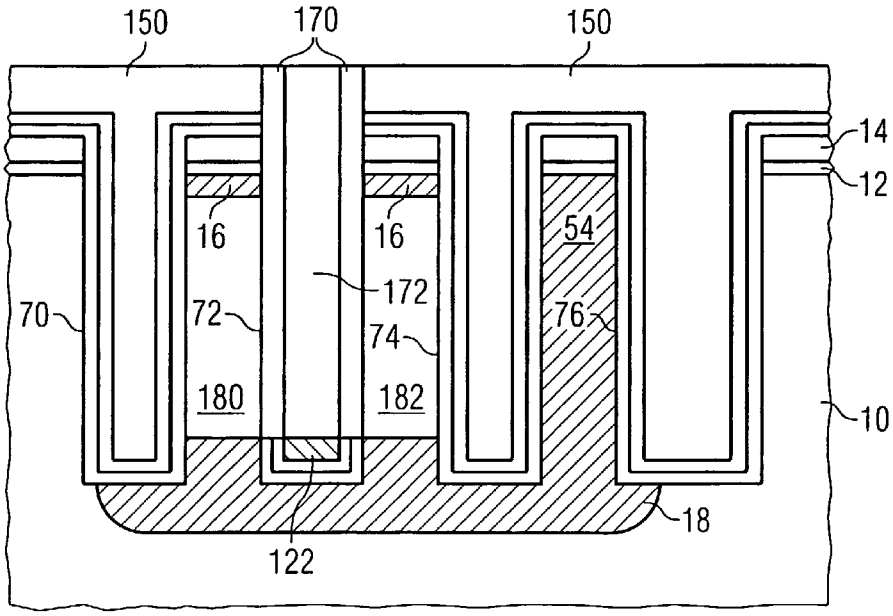
— *mit internationalem Recherchenbericht*

— *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen*

[Fortsetzung auf der nächsten Seite]

(54) **Title:** FIELD EFFECT TRANSISTOR, ASSOCIATED USE, AND ASSOCIATED PRODUCTION METHOD

(54) **Bezeichnung:** FELDEFFEKTTRANSISTOR, ZUGEHÖRIGE VERWENDUNG UND ZUGEHÖRIGES HERSTELLUNGSVERFAHREN



(57) **Abstract:** Disclosed is a vertical field effect transistor comprising a semiconductor layer (10) in which a doped channel area is arranged along a recess (72). A buried connecting area (18, 54) extends to a surface of the semiconductor layer (10). A second connecting area (16) is disposed on the same surface near the opening of the recess. Preferably, insulating recesses (70, 74, 76) are produced between the channel area and a conducting supply element (54) as well as between the field effect transistor and an adjacent electrical part. The inventive field effect transistor has excellent electrical properties and is easy to produce.

[Fortsetzung auf der nächsten Seite]

WO 2004/017417 A1

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Erläutert wird ein vertikaler Feldeffekttransistor mit einer Halbleiterschicht (10),in der entlang einer Vertiefung (72) ein dotierter Kanalbereich angeordnet ist. Ein"vergrabener" Anschlussbereich (18, 54) führt bis zu einer Oberfläche der Halbleiterschicht (10). Ein zweiter Anschlussbereich (16) ist in der Nähe der Öffnung der Vertiefung an der gleichen Oberfläche angeordnet. Vorzugsweise werden auch Isoliervertiefungen (70, 74, 76) zwischen dem Kanalbereich und einer leitenden Zuführung (54) sowie zwischen dem Feldeffekttransistor und einem benachbarten elektrischen Bauelement hergestellt. Der Feldeffekttransistor hat hervorragende elektrische Eigenschaften und ist einfach herzustellen.