

字线驱动电路及字线驱动器、存储装置

交叉引用

[0001] 本公开要求于 2022 年 06 月 24 日递交的名称为“字线驱动电路及字线驱动器、存储装置”、申请号为 202210731404.2 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开实施例涉及半导体领域，特别涉及一种字线驱动电路及字线驱动器、存储装置。

背景技术

[0003] 存储器是一种常见的半导体结构，随着半导体结构尺寸的连续缩小，使得芯片上可以并入更多数量的存储器，从而有助于产品容量的增加。在动态随机存取存储器(dynamic random access memory, DRAM)中，需要通过使用字线和位线向/从存储器单元中写入/读取数据，并基于施加到字线的电压来操作。

[0004] 随着 DRAM 容量的增大，连接到一个字线的存储器单元的数量增加，并且字线之间的距离缩小，可能发生速度延迟问题。为了改善字线电压的延迟，可以将一个字线划分成多个子字线并通过使用子字线驱动器(sub word-line driver, SWD)驱动每个子字线，其中，子字线驱动器可以设置在字线驱动电路中。

[0005] 然而，目前的字线驱动电路的版图面积较大，从而使得存储器的集成度较低。

发明内容

[0006] 本公开实施例提供一种字线驱动电路，包括：至少两个子字线驱动器，每一子字线驱动器与一主字线以及一子字线连接，主字线用于提供使能信号；子字线驱动器包括保持晶体管，保持晶体管的第一端与第二端分别连接不同的子字线，保持晶体管的栅极接收第二驱动信号；子字线驱动器被配置为，响应于第一驱动信号以及使能信号，向被选择的子字线提供第一驱动信号，被选择的子字线为与保持晶体管的第一端或者第二端连接的子字线；响应于第一驱动信号、使能信号以及第二驱动信号，导通保持晶体管的第一端与第二端。

[0007] 在一些实施例中，同一条主字线与至少两个子字线驱动器连接，同一条主字线与至少两条子字线相对应；与第一端以及第二端连接的两条子字线分别与同一条主字线相对应。

[0008] 在一些实施例中，至少两个主字线驱动器分别与不同的主字线连接，不同的主字线与不同的子字线相对应；与第一端以及第二端连接的两条子字线分别与不同的主字线相对应。

[0009] 在一些实施例中，保持晶体管包括 NMOS 管。

[0010] 在一些实施例中，子字线驱动器包括：上拉晶体管，栅极连接主字线，源极接收第一驱动信号，漏极连接子字线以及保持晶体管的第一端或者第二端；下拉晶体管，栅极连接主字线，漏极与上拉晶体管的漏极连接，源极接收第三驱动信号。

[0011] 在一些实施例中，上拉晶体管包括 PMOS 管；下拉晶体管包括 NMOS 管。

- 5 [0012] 相应地，本公开实施例还提供一种字线驱动器，包括：PMOS 区，包括多个沿第一方向延伸的第一有源区，第一有源区包括第一沟道区以及分别位于第一沟道区相对两侧的第一源区和第一漏区；NMOS 区，与 PMOS 区沿第二方向排布，包括多个沿第一方向延伸的第二有源区，第二有源区包括第二沟道区以及分别位于第二沟道区相对两侧的第二源区和第二漏区，第二有源区还包括第三沟道区以及分别位于第三沟道区相对两侧的第三源区和第三漏区；
- 10 第一栅极，每一第一栅极沿第二方向延伸并覆盖多个第一沟道区以及多个第二沟道区，第一栅极与主字线电连接，第一栅极、第一源区以及第一漏区构成上拉晶体管，第一栅极、第二源区以及第二漏区构成下拉晶体管；多个第二栅极，每一第二栅极覆盖相应的一第三沟道区，第二栅极、第三源区以及第三漏区构成保持晶体管；其中，一上拉晶体管的第一漏区与一下拉晶体管的第二漏区电连接，并与相应的子字线电连接；同一保持晶体管的第三漏区与一下
- 15 拉晶体管的第二漏区电连接，第三源区与另一下拉晶体管的第二漏区电连接。

[0013] 在一些实施例中，每一第一栅极包括：至少两个在沿第一方向上间隔排布的延伸部，沿第二方向延伸并覆盖多个第一沟道区以及多个第二沟道区；连接部，连接在沿第一方向上相邻排布的延伸部。

- [0014] 在一些实施例中，连接部覆盖相邻的第一有源区之间的区域，且还覆盖第一有源区与
- 20 第二有源区之间的区域。

[0015] 在一些实施例中，在沿第一方向上，NMOS 区的相邻延伸部之间的距离大于部分 PMOS 区的相邻延伸部之间的距离，第二栅极位于相邻延伸部之间。

- [0016] 在一些实施例中，PMOS 区包括：沿第二方向排布的第一 PMOS 区以及第二 PMOS 区，第二 PMOS 区位于第一 PMOS 区与 NMOS 区之间；同一第一栅极的两个延伸部覆盖第一 PMOS 区的同一第一有源区，且两个延伸部还分别覆盖第二 PMOS 区的沿第一方向排布的两个第一有源区；其中，在沿第一方向上，第一 PMOS 区的相邻延伸部之间的距离小于第二 PMOS 区的相邻延伸部之间的距离。
- 25

[0017] 在一些实施例中，在沿第一方向上，NMOS 区的相邻延伸部之间的距离小于部分 PMOS 区的相邻延伸部之间的距离，第二栅极位于两个延伸部所围成区域的外侧。

- 30 [0018] 在一些实施例中，PMOS 区包括：沿第二方向排布的第一 PMOS 区以及第二 PMOS 区，第二 PMOS 区位于第一 PMOS 区与 NMOS 区之间；同一第一栅极的两个延伸部覆盖第

二 PMOS 区的同一第一有源区,且两个延伸部还分别覆盖第一 PMOS 区的沿第一方向排布的两个第一有源区;其中,在沿第一方向上,第一 PMOS 区的相邻延伸部之间的距离大于第二 PMOS 区的相邻延伸部之间的距离。

[0019] 在一些实施例中,第三沟道区与至少一个第二沟道区属于同一第二有源区。

- 5 [0020] 在一些实施例中,同一第一栅极对应的一下拉晶体管的第二漏区与保持晶体管的第三漏区共用,同一第一栅极对应的另一下拉晶体管的第二漏区与同一保持晶体管的第三源区共用。

[0021] 在一些实施例中,一第一栅极对应的一下拉晶体管的第二漏区与保持晶体管的第三漏区共用,另一第一栅极对应的一下拉晶体管的第二漏区与同一保持晶体管的第三源区共用。

- 10 [0022] 在一些实施例中,每一第一栅极覆盖 $4 \times N$ 个第一沟道区以及 $4 \times N$ 个第二沟道区,每一第一栅极构成的上拉晶体管与下拉晶体管与 $2 \times N$ 个保持晶体管电连接;其中, N 为大于等于 1 的正整数。

- [0023] 在一些实施例中,多个第一有源区包括:靠近 NMOS 区设置的至少两个第一有源区,两个第一有源区沿第一方向间隔排布且具有间隔区,其中,第二栅极与间隔区在沿第二方向上正对设置。
- 15

[0024] 相应地,本公开实施例还提供一种存储装置,包括:存储单元阵列,包括连接到多条子字线和多条位线的多个存储单元;上述任一项提供的字线驱动电路;或者,上述任一项提供的字线驱动器。

- [0025] 本公开实施例提供的字线驱动电路的技术方案中,包括至少两个子字线驱动器,每一子字线驱动器与一主字线以及一子字线连接,使得子字线驱动器可以基于主字线接收到的使能信号驱动子字线。子字线驱动器包括保持晶体管,且保持晶体管的第一端以及第二端分别连接不同的子字线,即两条子字线共用同一保持晶体管,其中,子字线驱动器可以响应于第一驱动信号以及使能信号,驱动与保持晶体管的一端连接的子字线,且保持晶体管还可以基于第一驱动信号、使能信号以及第二驱动信号将与保持晶体管另一端连接的子字线保持在未被选择的状态。也就是说,可以设置两条子字线共用一个保持晶体管,实现在驱动与保持晶体管一端相连的一个子字线的时候,使得与保持晶体管的另一端相连的另一子字线为未被选择的状态,如此,可以在保持字线驱动电路的性能不变的情况下,减小字线驱动电路所占用的面积,从而可以减小字线驱动电路的版图面积。
- 20
- 25

附图说明

- 30 [0026] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,这些示例性说明并不构成对实施例的限定,除非有特别申明,附图中的图不构成比例限制;为了更清楚地说明

本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0027] 图 1 为一种字线驱动电路的电路图；

5 [0028] 图 2 为一种子字线系统架构图；

[0029] 图 3 为本公开实施例提供的一种字线驱动电路的电路图；

[0030] 图 4 为本公开实施例提供的另一种字线驱动电路的电路图；

[0031] 图 5 为本公开实施例提供的又一种字线驱动电路的电路图；

[0032] 图 6 为本公开实施例提供的再一种字线驱动电路的电路图；

10 [0033] 图 7 为本公开实施例提供的一种字线驱动电路中各信号的时序图；

[0034] 图 8 为本公开实施例提供的第一种字线驱动器的版图结构示意图；

[0035] 图 9 为本公开实施例提供的第二种字线驱动器的版图结构示意图；

[0036] 图 10 为本公开实施例提供的第三种字线驱动器的版图结构示意图；

[0037] 图 11 为本公开实施例提供的第四种字线驱动器的版图结构示意图；

15 [0038] 图 12 为本公开实施例提供的第五种字线驱动器的版图结构示意图。

具体实施方式

[0039] 由背景技术可知，目前字线驱动电路的版图面积较大的问题。分析发现，导致目前的字线驱动电路的版图面积较大的问题原因之一在于，参考图 1 以及图 2，目前，在字线驱动电路中，包括至少一个子字线驱动器，子字线驱动器与一主字线 MWLb 以及一子字线 WL 连接；子字线驱动器还包括保持晶体管，保持晶体管 1 的第一端连接子字线 WL，另一端耦合到低电平 VKK。子字线驱动器接收使能信号以及驱动信号 PXID，并向子字线 WL 提供驱动信号 PXID，从而驱动该子字线 WL；当不需要选中子字线 WL 时，则可以响应于使能信号、驱动信号 PXID 以及驱动信号 PXIB 将保持晶体管的第一端与第二端导通，使得保持晶体管 1 的第一端耦合至低电平 VKK，进而将与保持晶体管 1 第一端连接的子字线 WL 也拉低至低电

20 平 VKK，以使子字线 WL 关闭。也就是说，一个保持晶体管仅用于控制一条子字线，以使子字线保持未被选中的状态。参考图 2 可知，当字线驱动电路中 2 条主字线，分别记为 MWLb1 以及 MWLb2，且每一主字线分别与两个子字线驱动器 SWD 对应，每一保持晶体管均与一子字线电连接（图中将多根子字线分别记为 WL0 至 WL15），从而使得子字线驱动器分别响应于对应的驱动信号 PXIB、对应的驱动信号 PXID，从而控制子字线的关闭，这将会占据字线

25 驱动电路版图中较多的空间。

30

[0040] 本公开实施例提供一种字线驱动电路及字线驱动器、存储装置，字线驱动电路包括至少两个字线驱动器，且每一字线驱动器均与一主字线以及一子字线连接。子字线驱动器中的保持晶体管的第一端与第二端分别与两个子字线连接，即两条子字线共用同一保持晶体管。当与保持晶体管一端的子字线被驱动时，保持晶体管可以使与保持晶体管另一端连接的子字线处于未被选择的状态，从而实现在保持字线驱动电路的性能不变的情况下，减小字线驱动电路所占用的面积，减小子字线驱动电路的版图面积。

[0041] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

[0042] 图 3 为本公开实施例提供的一种字线驱动电路的电路图。

[0043] 参考图 3 至图 6，字线驱动电路包括：至少两个子字线驱动器 100，每一子字线驱动器 100 与一主字线 MWL 以及一子字线连接，主字线 MWL 用于提供使能信号；子字线驱动器 100 包括保持晶体管 101，保持晶体管 101 的第一端与第二端分别连接不同的子字线，保持晶体管 101 的栅极接收第二驱动信号；子字线驱动器 100 被配置为，响应于第一驱动信号 PXID 以及使能信号，向被选择的子字线提供第一驱动信号 PXID，被选择的子字线为与保持晶体管 101 的第一端或者第二端连接的子字线；响应于第一驱动信号 PXID、使能信号以及第二驱动信号 PXIB，导通保持晶体管 101 的第一端与第二端。

[0044] 设置保持晶体管 101 的第一端以及第二端分别连接两个不同的子字线，即两个子字线共用同一保持晶体管 101，当字线驱动器响应于第一驱动信号 PXID 以及是能行好事，向被选择的子字线提供第一驱动信号 PXID，从而使得与保持晶体管 101 第一端或者第二端连接的子字线被选中，而与保持晶体管 101 连接的另一子字线未被选中；当字线驱动器响应于第一驱动信号 PXID、使能信号以及第二驱动信号 PXIB 时，导通保持晶体管 101 的第一端与第二端，从而使得被选中的子字线的电平被拉至与未被选中的子字线的电平相一致，以关闭该被选中的字线。即当与保持晶体管 101 一端的子字线被驱动时，保持晶体管 101 可以使与保持晶体管 101 另一端连接的子字线处于未被选择的状态，从而实现在保持字线驱动电路的性能不变的情况下，减小字线驱动电路所占用的面积，减小子字线驱动电路的版图面积。

[0045] 参考图 3 以及图 4，在一些实施例中，同一条主字线 MWL 与至少两个子字线驱动器 100 连接，同一条主字线 MWL 与至少两条子字线相对应；与第一端以及第二端连接的两条子字线分别与同一条主字线 MWL 相对应。也就是说，同一条主字线 MWL 所提供的使能信号可以用于驱动对应的多条子字线。如图 4 所示，一条主字线 MWL 可以与 8 个子字线驱动器 100 连接，一条主字线 MWL 与 8 条子字线对应，且一条主字线 MWL 仅与 4 个保持晶体

管 101 对应，即一条主字线 MWL 可以共用 4 个保持晶体管 101，当主字线 MWL 为两条时，共可以驱动 16 条子字线，而保持晶体管 101 的数量仅需 8 个。相较于一条主字线 MWL 与 8 个保持晶体管 101 对应而言，大大减小了子字线驱动器 100 所占用的面积，从而可以大大减小字线驱动电路的版图面积。

- 5 [0046] 参考图 5 以及图 6，在另一些实施例，至少两个主字线 MWL 驱动器分别与不同的主字线 MWL 连接，不同的主字线 MWL 与不同的子字线相对应；与第一端以及第二端连接的两条子字线分别与不同的主字线 MWL 相对应。如图 6 所示，主字线 MWL 的数量可以为两条，每一主字线 MWL 分别与 8 个子字线驱动器 100 连接，一条主字线 MWL 与 8 个保持晶体管 101 对应。其中，与不同主字线 MWL 连接的两个子字线驱动器 100 共用同一保持晶体管 101，使得两条主字线 MWL 共用 8 个保持晶体管 101。也就是说，两条主字线 MWL 共
10 可以驱动 16 条子字线，而保持晶体管 101 的数量仍只需 8 个，从而可以减小子字线驱动器 100 中保持晶体管 101 的数量，使得字线驱动电路的版图面积减小。

- [0047] 可以理解的是，无论一条主字线 MWL 与多少个子字线驱动器 100 连接，且无论是一条主字线 MWL 共用 4 个保持晶体管 101 还是两条主字线 MWL 共用 8 个保持晶体管 101，一
15 个子字线驱动电路中，同一时刻仅能驱动一条子字线，其余子字线均为未被选中的状态。

- [0048] 子字线驱动器 100 可以响应于主字线 MWL 提供的使能信号以及输入子字线驱动器 100 的第一驱动信号 PXID 与第二驱动信号 PXIB 来激活或预充电所选择的子字线，使能信号、第一驱动信号 PXID 以及第二驱动信号 PXIB 可以由外部电路提供。在一些实施例中，第一驱动信号 PXID 可以是高电压电平，子字线驱动器 100 可以用高电压驱动子字线。相应的，当
20 高电压电平用于驱动子字线时，低电压电平可以用于关闭子字线。

[0049] 参考图 3 以及图 5，由于一子字线驱动器 100 与一子字线相连，而一个保持晶体管 101 分别与两条不同的子字线相连接。因此，在字线驱动电路中，子字线驱动器 100 的数量为保持晶体管 101 的数量的两倍，即一个保持晶体管 101 所连接的两条子字线还分别与两个子字线驱动器 100 相连接。

- 25 [0050] 值得注意的是，在字线驱动电路中，当其中一个字线驱动器驱动与其相连的子字线时，剩余子字线驱动器 100 所连接的字子线均处于未被选中的状态，即字线驱动电路中，同一时刻仅能选中一条子字线。由此可知，当与保持晶体管 101 第一端或者第二端的其中一者连接的字子线被选中时，与保持晶体管 101 第一端或者第二端中的另一者连接的字子线处于未被选中的状态。如此，当保持晶体管 101 的第一端与第二端导通时，与保持晶体管 101 第一端
30 连接的字子线的电平将会拉至与保持晶体管 101 第二端连接的字子线的电平一致，从而可以使被选中的子字线的电平拉低至与未被选中的子字线的电平一致，使得被选中的子字线处于关闭状态。

[0051] 在一些实施例中，保持晶体管 101 包括 NMOS 管。第二驱动信号 PXIB 可以为高电平信号，保持晶体管 101 响应于高电平信号导通，从而导通保持晶体管 101 的第一端以及第二端，当第一端与第二端导通后，与第一端以及第二端相连的两个子字线的电平一致。具体地，当与保持晶体管 101 第一端相连的子字线被选中时，与保持晶体管 101 第二端相连的子字线处于未被选中的状态。若子字线响应于高电压电平被驱动，则保持晶体管 101 第一端的节点处于高电压电平，第二端的节点处于低电压电平。当保持晶体管 101 的第一端与第二端导通后，保持晶体管 101 第一端节点的电平被拉低至与第二端的节点的电平一致，即保持晶体管 101 的第一端的节点具有负电压电平，相当于用负电压对于保持晶体管 101 第一端连接的子字线进行预充电，保证与晶体管第一端连接的子字线被关闭。

10 [0052] 不难发现，本公开实施例中，由于设置保持晶体管 101 的第一端与第二端分别连接了 2 条子字线，当保持晶体管 101 的第一端以及第二端导通时，使得第一端的节点的电平与第二端的节点的电平一致，即保证被选中的字线的电压与未被选中的字线的电压一致，从而可以确保被选中的字线可以被关闭。

[0053] 在一些实施例中，子字线驱动器 100 包括：上拉晶体管 102，栅极连接主字线 MWL，源极接收第一驱动信号 PXID，漏极连接子字线以及保持晶体管 101 的第一端或者第二端；下拉晶体管 103，栅极连接主字线 MWL，漏极与上拉晶体管 102 的漏极连接，源极接收第三驱动信号 VKK。上拉晶体管 102 响应于使能信号以及第一驱动信号 PXID 将子字线上拉至第一驱动信号 PXID 的电平，子字线响应于第一驱动信号 PXID 驱动；下拉晶体管 103 响应于使能信号将子字线下拉至第三驱动信号 VKK 的电平，子字线响应于第三驱动信号 VKK 关闭。

20 在一些实施例中，第一驱动信号 PXID 可以为高电平，第三驱动信号 VKK 可以为低电平，例如第三驱动信号 VKK 的电压可以为 0 或者小于 0。

[0054] 具体地，当子字线驱动器 100 驱动子字线时，上拉晶体管 102 的栅极响应于使能信号导通上拉晶体管 102，第一驱动信号 PXID 由上拉晶体管 102 的源极被传输至漏极。由于上拉晶体管 102 的漏极连接子字线，因此第一驱动信号 PXID 由上拉晶体管 102 的漏极传输至子字线，以使子字线的电平上拉至第一驱动信号 PXID 的电平。

[0055] 当子字线驱动器 100 关闭子字线时，下拉晶体管 103 的栅极响应于使能信号导通下拉晶体管 103，第三驱动信号 VKK 由下拉晶体管 103 的源极被传输至漏极，而下拉晶体管 103 的漏极连接上拉晶体管 102 的漏极，且上拉晶体管 102 的漏极连接子字线，从而使得第三驱动信号 VKK 由下拉晶体管 103 的漏极被传输至子字线，以使子字线的电平下拉至第三驱动信号 VKK。

[0056] 值得注意的是，由于使能信号或者第三驱动信号 VKK 可能存在不稳定的问题，或者由于字线驱动电路会受到外界的噪声干扰，使得子字线的电平可能不小于 0，因此，仅仅依

靠第三驱动信号 VKK 可能无法使子字线完全关闭。而本公开实施例中，由于设置保持晶体管 101 的第一端与第二端与两条不同的子字线相连，因此，当保持晶体管 101 的第一端以及第二端导通时，将会使被选中的字线的电压拉低至与未被选中的字线的电压一致。即保持晶体管 101 可以将被选中的字线的电压耦合到负电压的电平，从而被关闭。因此，无论使能信号或者第三驱动信号 VKK 的电平如何变化，未被选中的字线均可以保持稳定的电压值。

[0057] 在一些实施例中，上拉晶体管 102 包括 PMOS 管；下拉晶体管 103 包括 NMOS 管。也就是说，上拉晶体管 102 响应于低电平信号导通，下拉晶体管 103 响应于高电平信号导通，从而使得上拉晶体管 102 与下拉晶体管 103 可以实现互不干扰，分别控制子字线的驱动以及关闭。

10 [0058] 具体地，当上拉晶体管 102 为 PMOS 管，下拉晶体管 103 为 NMOS 管时，字线驱动电路的工作原理如下：

[0059] 将两个子字线驱动器 100 分别记为：第二子字线驱动器与第二子字线驱动器，且将与保持晶体管 101 第一端连接的字子线记为第一子字线 WL1，将保持晶体管 101 第二端连接的字子线记为第二子字线 WL2。其中，第一子字线 WL1 与第二子字线驱动器连接，第二子字线 WL2 与第二子字线驱动器连接。

15 [0060] 第二子字线驱动器驱动第一子字线 WL1，此时，第二子字线 WL2 处于未被选中状态。

[0061] 第二子字线驱动器响应于低电平的使能信号、高电平的第一驱动信号 PXID 以及低电平的第二驱动信号 PXIB 驱动第一子字线 WL1，具体地，上拉晶体管 102 响应于低电平的使能信号导通，高电平的第一驱动信号 PXID 由上拉晶体管 102 的源极被传输至上拉晶体管 102 的漏极，同时，保持晶体管 101 响应于低电平的第二驱动信号 PXIB 而关闭，使得第一子字线 WL1 的电平上拉至第一驱动信号 PXID，具有高电平，从而被驱动。

20 [0062] 第二子字线驱动器响应于具有高电平的使能信号、低电平的第一驱动信号 PXID 以及高电平的第二驱动信号 PXIB 关闭第一子字线 WL1。下拉晶体管 103 响应于高电平的使能信号导通，上拉晶体管 102 响应与低电平的使能信号而关闭，第三驱动信号 VKK 由下拉晶体管 103 的源极被传输至下拉晶体管 103 的漏极，以使第一子字线 WL1 的电平下拉至第三驱动信号 VKK，具有低电平。同时，保持晶体管 101 响应于高电平的第二驱动信号 PXIB 导通，以使第一子字线 WL1 的电平与第二子字线 WL2 的电平一致，而由于第二子字线 WL2 处于未被选中状态，从而可以保证第一子字线 WL1 被关闭，从而变为未被选中的状态。

25 [0063] 第二子字线驱动器驱动第二子字线 WL2 以及关闭子字线的原理与第二子字线驱动器相同，以下将不再赘述。值得注意的是，由于第二子字线驱动器以及第二子字线驱动器对应同一保持晶体管 101，因此，当需要关闭被选择的第二子字线 WL2 时，可以通过导通保持晶体管 101 的第一端以及第二端，以使第二子字线 WL2 的电平被拉低至第一子字线 WL1 的电

平,从而使得第二子字线 WL2 被关闭。也就是说,可以设置一个保持晶体管 101 与两条不同的子字线连接,实现控制两条子字线的关闭。

[0064] 参考图 3, 在一些实施例中, 第二子字线驱动器以及第二子字线驱动器与同一主字线 MWL 连接, 此时, 当主字线 MWL 输入使能信号时, 第二子字线驱动器的上下晶体管的栅极以及第二子字线驱动器的上拉晶体管 102 的栅极将同时接收到来自主字线 MWL 的使能信号。考虑到只能驱动一条子字线, 因此, 可以设置第二子字线驱动器的上拉晶体管 102 的源极所接收的第一驱动信号 PXID 与第二子字线驱动器的上拉晶体管 102 的源极接收的第一驱动信号 PXID 的电平不同, 防止两条子字线同时被导通。

[0065] 参考图 5, 在一些实施例中, 第二子字线驱动器以及第二子字线驱动器分别与不同的主字线 MWL 连接, 例如, 第一子字线驱动器与第一主字线 MWL1 连接, 第二子字线驱动器与第二主字线 MWL2 连接, 使得第一子字线驱动器以及第二子字线驱动器可以分别响应于来自第一主字线 MWL1 的使能信号以及来自第二主字线 MWL2 的使能信号而各自驱动相连的子字线。

[0066] 参考图 7, 图 7 为本公开实施例提供的一种字线驱动电路中各信号的时序图。

[0067] 当驱动子字线时, 首先第一驱动信号 PXID 的电平被拉高, 当第一驱动信号 PXID 的电平被拉高的同时, 第二驱动信号 PXIB 的电平被拉低, 接着使能信号的电平被拉低, 从而驱动子字线。

[0068] 当关闭子字线时, 首先第一驱动信号 PXID 的电平被拉低, 当第一驱动信号 PXID 的电平被拉低一段时间之后, 第二驱动信号 PXIB 的电平才被拉高, 即第二驱动信号 PXIB 的电平被拉高的时间晚于第一驱动信号 PXID 的电平被拉低的时刻。而当第二驱动信号 PXIB 为高电平时, 保持晶体管处于关闭状态, 如此, 可以使得保持晶体管处于关闭的时间较长, 可以减缓保持晶体管的老化速度。

[0069] 上述公开实施例提供的字线驱动电路的技术方案中, 字线驱动电路包括至少两个字线驱动器, 且每一字线驱动器均与一主字线 MWL 以及一子字线连接。子字线驱动器 100 中的保持晶体管 101 的第一端与第二端分别与两个子字线连接, 即两条子字线共用同一保持晶体管 101。当与保持晶体管 101 一端的子字线被驱动时, 保持晶体管 101 可以使与保持晶体管 101 另一端连接的子字线处于未被选择的状态, 从而实现在保持字线驱动电路的性能不变的情况下, 减小字线驱动电路所占用的面积, 减小子字线驱动电路的版图面积。

[0070] 相应地, 本公开实施例还提供一种字线驱动器, 可用于形成上一实施例提供的字线驱动电路, 以下将对本公开实施例提供的字线驱动器进行详细说明。

[0071] 参考图 8, 字线驱动器包括: PMOS 区 10, 包括多个沿第一方向 X 延伸的第一有源区 110, 第一有源区 110 包括第一沟道区以及分别位于第一沟道区相对两侧的第一源区 12 和

第一漏区 13; NMOS 区 11, 与 PMOS 区 10 沿第二方向 Y 排布, 包括多个沿第一方向 X 延伸的第二有源区 120, 第二有源区 120 包括第二沟道区 14 以及分别位于第二沟道区 14 相对两侧的第二源区 15 和第二漏区 16, 第二有源区 120 还包括第三沟道区以及分别位于第三沟道区相对两侧的第三源区 17 和第三漏区; 第一栅极 130, 每一第一栅极 130 沿第二方向 Y 延伸并覆盖多个第一沟道区以及多个第二沟道区 14, 第一栅极 130 与主字线 MWL 电连接, 第一栅极 130、第一源区 12 以及第一漏区 13 构成上拉晶体管, 第一栅极 130、第二源区 15 以及第二漏区 16 构成下拉晶体管; 多个第二栅极 140, 每一第二栅极 140 覆盖相应的一第三沟道区, 第二栅极 140、第三源区 17 以及第三漏区构成保持晶体管; 其中, 一上拉晶体管的第一漏区 13 与一下拉晶体管的第二漏区 16 电连接, 并与相应的子字线电连接; 同一保持晶体管的第三漏区与一下拉晶体管的第二漏区 16 电连接, 第三源区 17 与另一下拉晶体管的第二漏区 16 电连接。

[0072] PMOS 区 10 用于形成 PMOS 晶体管, 上拉晶体管位于 PMOS 区 10 中, 即上拉晶体管为 PMOS 晶体管, NMOS 区 11 用于形成 NMOS 晶体管, 下拉晶体管位于 NMOS 区 11 中, 使得下拉晶体管为 NMOS 晶体管。第一漏区 13 用于形成上拉晶体管的漏极, 第二漏区 16 用于形成下拉晶体管的漏极, 上拉晶体管 102 的第一漏区 13 与下拉晶体管的第二漏区 16 电连接, 且第一漏区 13 与第二漏区 16 还分别与一子字线电连接。如此, 用于驱动子字线的驱动信号可以经由上拉晶体管的源极传输至上拉晶体管的漏极, 并输入至子字线, 控制子字线驱动; 用于关闭子字线的驱动信号可以经由下拉晶体管的源极传输至下拉晶体管的漏极, 并输入至子字线, 控制子字线关闭。并且, 由于上拉晶体管与下拉晶体管为不同类型的晶体管, 使得上拉晶体管在导通时, 下拉晶体管关闭, 从而使得上拉晶体管可以用于驱动子字线; 而下拉晶体管在导通时, 上拉晶体管关闭, 使得下拉晶体管可以用于驱动子字线。即上拉晶体管与下拉晶体管可以分别用于驱动以及关闭子字线。

[0073] 可以理解的是, 一个上拉晶体管与一个下拉晶体管可以用于形成一个子字线驱动器, 用于驱动一条子字线的驱动以及关闭。由于上拉晶体管与下拉晶体管为不同类型的晶体管, 上拉晶体管位于 PMOS 区 10, 下拉晶体管位于 NMOS 区 11 中, 因此, 在一些实施例中, 还可以包括金属层, 金属层用于电连接上拉晶体管的第一漏区 13 与下拉晶体管的第二漏区 16。

[0074] 参考图 8, 在一些实施例中, 当第一漏区 13 的数量为 8 个, 且第二漏区 16 的数量为 8 个时, 位于 PMOS 区 10 中的第一漏区 13 的标记分别记为 (1)、(2)、(3)、(4)、(5)、(6)、(7)、(8); 位于 NMOS 区 11 中的第二漏区 16 的标记分别记为 (1)、(2)、(3)、(4)、(5)、(6)、(7)、(8)。当使用金属层电连接第一漏区 13 以及第二漏区 16 时, 可以设置金属层连接具有相同标记的第一漏区 13 以及第二漏区 16, 例如, 金属层可以电连接 PMOS 区 10 中标记为 (1) 的第一漏区 13 以及 NMOS 区 11 中标记为 (1) 的第二漏区 16。如此, 当多个金属层在连接第一漏区 13 以及第二漏区 16 后, 使得多个金属层的延伸方向一致, 即沿第二方向

Y 延伸, 有利于简化版图布局的复杂性。在另一些实施例中, 也可以设置金属层连接具有不同标记的第一漏区 13 以及第二漏区 16, 例如金属层可以电连接 PMOS 区 10 标记为 (1) 的第一漏区 13 以及 NMOS 区 11 中标记为 (2) 的第二漏区 16, 仅需满足金属层将一个第一漏区 13 与一个第二漏区 16 对应连接即可。

- 5 [0075] 具体地, 在一些实施例中, 金属层与第一漏区 13 以及第二漏区 16 之间可以通过导电插塞进行电连接。

[0076] 第一栅极 130 可以作为主字线 MWL, 同时作为多个上拉晶体管以及下拉晶体管的栅极, 从而使得多个上拉晶体管以及下拉晶体管可以响应于第一栅极 130 提供的使能型号来驱动多条子字线。

- 10 [0077] 第三漏区用于作为保持晶体管的漏极, 第三源区 17 用于作为保持晶体管的源极, 同一保持晶体管的第三源区 17 与第三漏区分别与两个不同的下拉晶体管的第二漏区 16 电连接, 即同一保持晶体管的源极以及漏极分别连接两个不同下拉晶体管的漏极。由于两个不同的下拉晶体管的漏极还连接两条不同的子字线, 使得同一保持晶体管的源极以及漏极还分别与两条不同的子字线电连接, 如此, 可以使得一个保持晶体管起到保持两条不同子字线的电压稳定的作用。这是因为, 在同一时刻, 字线驱动器仅能驱动一条子字线, 例如, 若子字线的数量为 2, 则当与保持晶体管连接的其中一条子字线被选择时, 另一条子字线处于未被选择的状态。当需要关闭被选择的子字线时, 保持晶体管的源极以及漏极导通, 使得被选择的子字线的电平被拉至与未被选择的子字线的电平一致, 从而可以保证被选择的子字线可以完全被关闭。

- 20 [0078] 相较于一个保持晶体管用于控制一条子字线而言, 本公开实施例中, 设置一个保持晶体管的源极以及漏极分别电连接两条子字线, 从而用于控制两条子字线, 从而大大减小了字线驱动器中保持晶体管的数量, 进而可以减小字线驱动器的版图面积。

- [0079] 在一些实施例中, 每一第一栅极 130 包括: 至少两个在沿第一方向 X 上间隔排布的延伸部, 沿第二方向 Y 延伸并覆盖多个第一沟道区以及多个第二沟道区 14; 连接部 131, 连接在沿第一方向 X 上相邻排布的延伸部。两个延伸部覆盖多个第一沟道区以及第二沟道区 14, 使得一个第一栅极 130 与多个第一沟道区以及多个第二沟道区 14 电连接, 用于控制多个上拉晶体管以及上拉晶体管的导通, 从而使得上拉晶体管与上拉晶体管可以分别用于驱动以及关闭子字线。连接部 131 在第一方向 X 上连接相邻排布的延伸部, 使得两个间隔排布的延伸部电连接, 形成一条用于控制多个上拉晶体管以及第二下拉晶体管导通的主字线 MWL。

- 30 [0080] 在一些实施例中, 第一栅极 130 的材料可以包括多晶硅或者金属中的至少一者。

[0081] 在一些实施例中, 连接部 131 覆盖相邻的第一有源区 110 之间的区域, 且还覆盖第一有源区 110 与第二有源区 120 之间的区域。相较于连接部 131 仅覆盖第一有源区 110 与第二

有源区 120 之间区域而言, 设置连接部 131 同时覆盖第一有源区 110 以及第二有源区 120 之间的区域, 使得连接部 131 的体积增大, 从而可以减小连接部 131 的电阻, 有利于降低信号延迟, 从而提高字线驱动器的性能。

[0082] 具体地, 在一些实施例中, 当第一有源区 110 的数量为多个时, 连接部 131 可以覆盖每一相邻的第一有源区 110 之间的区域, 也可以仅覆盖其中一个相邻的第一有源区 110 之间的区域。

[0083] 在另一些实施例中, 连接部 131 也可以仅覆盖第一有源区 110 与第二有源区 120 之间的区域, 如此, 可以减少工艺复杂度, 并节约形成连接部 131 的材料。

[0084] 参考图 8, 在一些实施例中, 在沿第一方向 X 上, NMOS 区 11 的相邻延伸部之间的距离大于部分 PMOS 区 10 的相邻延伸部之间的距离, 第二栅极 140 位于相邻延伸部之间。也就是说, 部分 PMOS 区 10 的相邻延伸部之间的距离较小, 减小第二栅极 140 所占用的面积, 从而有利于减小字线驱动器的版图面积。位于第二栅极 140 两侧的延伸部可以作为两个不同上拉晶体管的栅极, 而保持晶体管的第三漏区以及保持晶体管的第三源区 17 分别与两个不同下拉晶体管的第二漏区 16 电连接。因此, 当第二栅极 140 位于两个延伸部之间时, 有利于形成保持晶体管与两侧的不同下拉晶体管的第二漏区 16 形成电连接, 提高版图布局的合理性。

[0085] 位于第二栅极 140 两侧的延伸部属于同一第一栅极 130, 也就是说, 同一主字线与两个子字线驱动器连接, 两个子字线驱动器共用同一保持晶体管, 即一个主字线仅对应一个保持晶体管。具体地, 对应的电路图可参考图 3 以及图 4, 同一条主字线 MWL 与至少两个子字线驱动器 100 连接, 同一条主字线 MWL 与至少两条子字线相对应, 与第一端以及第二端连接的两条子字线分别与同一条主字线 MWL 相对应。当子字线驱动器 100 的数量为 8 个时, 一条主字线 MWL 可以与 8 个子字线驱动器 100 连接, 一条主字线 MWL 与 8 条子字线对应, 且两条子字线共用一个子字线驱动器 100, 即一条主字线 MWL 仅与 4 个保持晶体管 101 对应, 如此, 当主字线 MWL 为两条时, 供可以驱动 16 条子字线, 而保持晶体管 101 仅需 8 个, 从而可以大大减小字线驱动器的版图面积。

[0086] 具体地, 当第二栅极 140 位于相邻的两个延伸部之间时, 字线驱动器驱动子字线以及关闭子字线的原理可以为: 以第一栅极 130 作为两个上拉晶体管的栅极以及两个下拉晶体管的栅极为例, 其中, 两个上拉晶体管分别记为第一上拉晶体管以及第二上拉晶体管, 下拉晶体管分别记为第一下拉晶体管以及第二下拉晶体管, 其中, 第一下拉晶体管与保持晶体管 101 的源极电连接, 第二下拉晶体管与保持晶体管的漏极电连接。

[0087] 驱动第一上拉晶体管连接的字字线的原理为: 第一栅极 130 输入使能信号, 第一上拉晶体管以及第二上拉晶体管的栅极响应于使能信号而导通, 保持晶体管响应于低电平的第二

驱动信号 PXIB 而截至, 第一上拉晶体管的源极输入高电平的第一驱动信号 PXID, 第二上拉晶体管的源极输入低电平的第一驱动信号 PXID, 从而使得与第一上拉晶体管连接的子字线具有高电平而驱动, 与第二上拉晶体管连接的子字线具有低电平而关闭。

[0088] 关闭第一上拉晶体管连接的子字线的原理为: 第一栅极 130 输入使能信号, 第一下拉晶体管以及第二下拉晶体管的栅极响应于使能信号而导通, 保持晶体管响应于高电平的第二驱动信号 PXIB 而导通, 第一下拉晶体管的源极输入低电平的第三驱动信号 VKK, 从而使得与第一下拉晶体管的漏极连接的子字线具有低电平, 而由于保持晶体管的源极与漏极分别连接了不同下拉晶体管, 因此, 与第一下拉晶体管连接的子字线的电平被拉低至与第二下拉晶体管连接的子字线的电平, 从而使得与第一下拉晶体管连接的子字线关闭。

[0089] 驱动与第二下拉晶体管连接的子字线以及关闭与第二下拉晶体管连接的子字线的过程与上述过程相同, 在此不再赘述。

[0090] 在一些实施例中, 每一第一栅极 130 覆盖 $4 \times N$ 个第一沟道区以及 $4 \times N$ 个第二沟道区 14, 每一第一栅极 130 构成的上拉晶体管与下拉晶体管与 $2 \times N$ 个保持晶体管电连接; 其中, N 为大于等于 1 的正整数。也就是说, 第一沟道区的数量与第二沟道区 14 的数量保持相等, 使得上拉晶体管的数量与下拉晶体管的数量相同, 每一上拉晶体管与一下拉晶体管 103 构成一个子字线驱动器。保持晶体管的数量为上拉晶体管或者下拉晶体管 103 的数量的一半, 使得两个子字线驱动器可以共用一个保持晶体管, 从而有利于减小字线驱动器中, 保持晶体管的数量, 进而减小字线驱动器的版图面积。

[0091] 具体地, 参考图 8 以及图 4, 在一些实施例中, N 为 2, 延伸部为 2 个, 其中, 一个延伸部覆盖 4 个第一沟道区, 且一个延伸部还覆盖 4 个第二沟道区 14。基于此, 上拉晶体管 102 的数量为 8 个, 下拉晶体管 103 的数量为 8 个, 构成 8 个子字线驱动器 100, 每一子字线驱动器 100 对应一条子字线, 保持晶体管 101 的数量为 4 个, 即一个保持晶体管 101 用于控制 2 条子字线, 进而使得第一栅极 130 形成的一条主字线 MWL 用于控制 8 条子字线, 当第一栅极 130 的数量为 2 时, 两条主字线 MWL 用于控制 8 条子字线。

[0092] 在另一些实施例中, 参考图 9, N 可以为 3, 延伸部为 3 个, 其中, 一个延伸部覆盖 4 个第一沟道区, 且一个延伸部还覆盖 4 个第二沟道区 14。基于此, 上拉晶体管的数量为 12 个, 下拉晶体管的数量为 12 个, 构成 12 个子字线驱动器, 每一子字线驱动器对应一条子字线, 保持晶体管的数量为 6 个, 即一个保持晶体管用于控制 2 条子字线, 进而使得第一栅极 130 形成的一条主字线用于控制 12 条子字线, 当第一栅极 130 的数量为 2 时, 两条主字线用于控制 24 条子字线。

[0093] 在一些实施例中, PMOS 区 10 包括: 沿第二方向 Y 排布的第一 PMOS 区 21 以及第二 PMOS 区 22, 第二 PMOS 区 22 位于第一 PMOS 区 21 与 NMOS 区 11 之间; 同一第一栅

极 130 的两个延伸部覆盖第一 PMOS 区 21 的同一第一有源区 110, 且两个延伸部还分别覆盖第二 PMOS 区 22 的沿第一方向 X 排布的两个第一有源区 110; 其中, 在沿第一方向 X 上, 第一 PMOS 区 21 的相邻延伸部之间的距离小于第二 PMOS 区 22 的相邻延伸部之间的距离。

[0094] 同一第一栅极 130 的两个延伸部覆盖第一 PMOS 区 21 的同一第一有源区 110, 使得形成的第一栅极 130 的两个延伸部与第一 PMOS 区 21 的同一第一有源区 110 电连接, 从而形成两个上拉晶体管。两个延伸部分别覆盖第二 PMOS 区 22 的沿第一方向 X 排布的两个第一有源区 110, 使得两个延伸部分别与两个第一有源区 110 电连接, 形成两个上拉晶体管。由于第一栅极 130 的两个延伸部位于同一有源区上, 使得第一 PMOS 区 21 的相邻的延伸部之间的距离较小, 从而可以减小第一栅极 130 所占用的面积, 进而减小版图面积。

10 [0095] 具体的, 在一些实施例, 第一 PMOS 区 21 的第一有源区 110 中, 每一延伸部覆盖一第一沟道区, 第一源区 12 位于两个第一延伸部之间, 用于输入第一驱动信号 PXID。第一漏区 13 位于沟道区远离第一延伸部的一侧, 用于构成上拉晶体管。其中, 位于两个第一延伸部之间的第一源区 12 的数量可以为 1 个, 第一漏区 13 的数量可以为 2 个, 即两个上拉晶体管共用同一第一源区 12, 从而有利于提高形成的字线驱动器的集成度, 进一步减小版图面积。

15 [0096] 第二 PMOS 区 22 的第一有源区 110 中, 每一延伸部覆盖一第一沟道区, 第一源区 12 以及第一漏区 13 位于第一沟道区两侧。其中, 第一漏区 13 可以位于两条延伸部之间, 第一源区 12 还可以作为另一第一栅极 130 所对应的上拉晶体管的源极, 如此, 当具有多条第一栅极 130 时, 可以使得整体的有源区的尺寸较小, 从而使得版图面积较小。

[0097] 参考图 10, 在一些实施例, 在沿第一方向 X 上, NMOS 区 11 的相邻延伸部之间的距离小于部分 PMOS 区 10 的相邻延伸部之间的距离, 第二栅极 140 位于两个延伸部所围成区域的外侧。如此, 当具有多条间隔排布的第一栅极 130 时, 使得 NMOS 区 11 中不同第一栅极 130 的延伸部之间的距离较大, 为形成第二栅极 140 提供较多的空间。位于第二栅极 140 两侧的延伸部分别用于作为两个不同上拉晶体管的栅极, 而位于第二栅极 140 两侧的延伸部属于不同的第一栅极 130, 使得形成的同一保持晶体管对应于不同的主字线 MWL。

25 [0098] 对应的电路图可参考图 5 以及图 6, 与不同主字线 MWL 连接的两个子字线驱动器 100 共用同一保持晶体管 101。当同一主字线 MWL 连接 8 个不同的子字线驱动器 100 时, 一条主字线 MWL 与 8 个保持晶体管 101 对应, 且两条主字线 MWL 共用 8 个保持晶体管 101。也就是说, 两条主字线 MWL 共可以驱动 16 条子字线, 而保持晶体管 101 的数量仍只需 8 个, 从而可以减小子字线驱动器 100 中保持晶体管 101 的数量, 使得字线驱动电路的版图面积减小。当与两条不同主字线 MWL 相连的子字线驱动器 100 驱动相连的子字线时, 可以分别响
30 应于来自不同主字线 MWL 的使能信号而各自驱动相连的子字线。

[0099] 在一些实施例, PMOS 区 10 包括: 沿第二方向 Y 排布的第一 PMOS 区 21 以及第

二 PMOS 区 22, 第二 PMOS 区 22 位于第一 PMOS 区 21 与 NMOS 区 11 之间; 同一第一栅极 130 的两个延伸部覆盖第二 PMOS 区 22 的同一第一有源区 110, 且两个延伸部还分别覆盖第一 PMOS 区 21 的沿第一方向 X 排布的两个第一有源区 110; 其中, 在沿第一方向 X 上, 第一 PMOS 区 21 的相邻延伸部之间的距离大于第二 PMOS 区 22 的相邻延伸部之间的距离。

5 也就是说, 在沿第一 PMOS 区 21 指向第二 PMOS 区 22 的方向上, 同一第一栅极 130 的两个延伸部之间的距离为减小的趋势, 而由于与第二 PMOS 相邻的 NMOS 区 11 中, 同一第一栅极 130 的两个延伸部之间的距离也较小, 如此, 可以使得位于第二 PMOS 区 22 的两个延伸部的走向与位于 NMOS 区 11 的两个延伸部的走向相似或者相同, 有利于减小版图设计的复杂性。

10 [00100] 具体地, 第一 PMOS 区 21 的第一有源区 110 中, 每一延伸部覆盖一第一沟道区, 第一源区 12 以及第一漏区 13 位于第一沟道区两侧。其中, 第一漏区 13 可以位于两条延伸部之间, 第一源区 12 还可以作为另一第一栅极 130 所形成的上拉晶体管的源极, 如此, 当具有多条第一栅极 130 时, 可以使得整体的有源区的尺寸较小, 从而使得版图面积较小。

[00101] 第二 PMOS 区 22 的第一有源区 110 中, 每一延伸部覆盖一第一沟道区, 第一源区 12 15 位于两个第一延伸部之间, 用于输入第一驱动信号 PXID。第一漏区 13 位于沟道区远离第一延伸部的一侧, 用于构成上拉晶体管。其中, 位于两个第一延伸部之间的第一源区 12 的数量可以为 1 个, 第一漏区 13 的数量可以为 2 个, 即两个上拉晶体管共用同一第一源区 12, 从而有利于提高形成的字线驱动器的集成度, 进一步减小版图面积。

[00102] 参考图 10, 在一些实施例中, 同一第一栅极 130 的两个延伸部之间具有连接部 131, 20 连接部 131 位于第二 PMOS 区 22 中, 相邻的两个第一有源区 110 之间, 且还位于相邻的第一有源区 110 与第二有源区 120 之间。如此, 不仅可以增加第一栅极 130 的体积, 且由于第二 PMOS 区 22 中, 相邻的两个延伸部之间的距离较小, 使得连接部 131 的长度可以设置得较小, 当电信号通过连接部 131 传输时, 可以降低延迟。

[00103] 参考图 11, 在另一些实施例中, 连接部 131 还可以位于第一 PMOS 区 21 中相邻的两个 25 第一有源区 110 之间, 可以进一步增加第一栅极 130 的体积, 从而减小第一栅极 130 的电阻, 有利于改善电信号的传输。

[00104] 在一些实施例中, 第三沟道区与至少一个第二沟道区 14 属于同一第二有源区 120。第三沟道区与第二沟道区 14 均位于 NMOS 区 11 中, 即第三沟道区对应的第二有源区 120 中的掺杂离子类型与第二沟道区 14 对应的第二有源区 120 的掺杂离子类型相同, 因此, 设置第 30 三沟道区与第二沟道区 14 共用同一第二有源区 120, 不仅有利于简化工艺流程, 还可以节省第二有源区 120 的空间, 提高字线驱动器的版图结构的集成度, 减小版图结构的面积。

[00105] 具体地, 参考图 8, 在一些实施例中, 当第二栅极 140 位于同一第一栅极 130 的相邻

的延伸部之间时,同一第一栅极 130 对应的一下拉晶体管的第二漏区 16 与保持晶体管的第三漏区共用,同一第一栅极 130 对应的另一下拉晶体管的第二漏区 16 与同一保持晶体管的第三源区 17 共用。第二栅极 140 覆盖于第三沟道区表面,以使形成的第二栅极 140 与第三沟道区电连接,第二栅极 140 作为保持晶体管的栅极,第三沟道区两侧的第三漏区以及第三源区 17 5 作为保持晶体管的漏极以及源极。位于第二栅极 140 两侧的两个延伸部分别作为两个不同的下拉晶体管的栅极,用于提供第三驱动信号 VKK。其中,第三漏区可以作为其中一下拉晶体管的漏极,第三源区 17 可以作为另一下拉晶体管的漏极。两个下拉晶体管的第二源区 15 位于延伸部远离第三栅极的一侧,用于作为下拉晶体管的源极。在一些实施例中,第二源区 15 也可以作为另一第一栅极 130 所对应的下拉晶体管的源极。也就是说,同一下拉晶体管的第二漏区 16 与保持晶体管的第三漏区共用,第二源区 15 与另一第一栅极 130 对应的下拉晶体管的第二源区 15 共用,如此,可以大大减小第二有源区 120 的占用面积,从而提高字线驱动器的集成度。

[00106] 参考图 10,在另一些实施例中,当第二栅极 140 位于两个延伸部所围成的区域的外侧,即第二栅极 140 位于两条相邻的第一栅极 130 之间时,一第一栅极 130 对应的一下拉晶体管 103 的第二漏区 16 与保持晶体管 101 的第三漏区共用,另一第一栅极 130 对应的一下拉晶体管 103 的第二漏区 16 与同一保持晶体管 101 的第三源区 17 共用。位于第二栅极 140 两侧的两个延伸部分别属于不同的第一栅极 130,用于形成不同的下拉晶体管,即保持晶体管与两条不同第一栅极 130 对应的下拉晶体管电连接。位于第三沟道区一侧的第三漏区可以作为作为一个第一栅极 130 对应的一下拉晶体管的漏极,位于第三沟道区另一侧的第三源区 17 20 可以作为另一第一栅极 130 对应的下拉晶体管的漏极。其中,两个不同第一栅极 130 对应的下拉晶体管的第二源区 15 位于延伸部远离第二栅极 140 的一侧,在一些实施例中,同一第一栅极 130 对应的两个相邻的下拉晶体管也可以共用第二源区 15,从而可以减小第二有源区 120 的占用面积,进而减小字线驱动器的版图面积。

[00107] 可以理解的是,当两个掺杂类型不同的有源区相邻时,将会发生穿通效应 (Hot-Electron-Induced Punchthrough, HEIP)。穿通效应具体为:当两个掺杂类型不同的有源区所形成的电路为模拟电路时,电位可能互不相同,当两个有源区的电位之差足够大时,有源区的耗尽区会向外扩展,从而在两个有源区之间形成穿通电流而产生电干扰。基于此,在一些实施例中,多个第一有源区 110 包括:靠近 NMOS 区 11 设置的至少两个第一有源区 110,两个第一有源区 110 沿第一方向 X 间隔排布且具有间隔区,其中,第二栅极 140 与间隔区在沿第二方向 Y 上正对设置。即第二栅极 140 的延伸方向与间隔区的延伸方向相同,且第二栅极 140 位于间隔区的延长线上。第二栅极 140 用于覆盖第三沟道区,即第三沟道区与间隔区正对。间隔区用于形成两个间隔排布的第一有源区 110 之间的隔离结构。因此,设置第二栅极 140 与隔离结构正对,从而使得第二源区 15 的第三沟道区与第一源区的第一沟道区之间不

相邻，有利于改善穿通效应。

[00108] 上述实施例提供的字线驱动器中，同一保持晶体管的第三源区 17 与第三漏区分别与两个不同的下拉晶体管的第二漏区 16 电连接，即同一保持晶体管的源极以及漏极分别连接两个不同下拉晶体管的漏极。由于两个不同的下拉晶体管的漏极还连接两条不同的子字线，使得一个保持晶体管 101 用于控制两条子字线。相较于一个保持晶体管用于控制一条子字线而言，可以大大减小了字线驱动器中保持晶体管的数量，进而可以减小字线驱动器的版图面积。

[00109] 相应地，本公开实施例还提供一种存储装置，包括：存储单元阵列，包括连接到多条子字线和多条位线的多个存储单元；上述任一项提供的字线驱动电路；或者，上述任一项提供的字线驱动器。在一些实施例中，存储单元可以为 DRAM 存储单元。

10 [00110] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。任何本领域技术人员，在不脱离本公开的精神和范围内，均可作各自更动与修改，因此本公开的保护范围应当以权利要求限定的范围为准。

15

20

25

权利要求书

1. 一种字线驱动电路，包括：
- 至少两个子字线驱动器，每一所述子字线驱动器与一主字线以及一子字线连接，所述主字线用于提供使能信号；
- 5 所述子字线驱动器包括保持晶体管，所述保持晶体管的第一端与第二端分别连接不同的所述子字线，所述保持晶体管的栅极接收第二驱动信号；
- 所述子字线驱动器被配置为，响应于第一驱动信号以及所述使能信号，向被选择的所述子字线提供所述第一驱动信号，所述被选择的所述子字线为与所述保持晶体管的第一端或者第二端连接的所述子字线；响应于所述第一驱动信号、所述使能信号以及所述第二驱动信号，导通所述保持晶体管的第一端与第二端。
- 10 2. 如权利要求 1 所述的字线驱动电路，其中，同一条所述主字线与至少两个所述子字线驱动器连接，同一条所述主字线与至少两条所述子字线相对应；与所述第一端以及所述第二端连接的两条所述子字线分别与同一条所述主字线相对应。
3. 如权利要求 1 所述的字线驱动电路，其中，至少两个所述主字线驱动器分别与不同的所述主字线连接，不同的所述主字线与不同的所述子字线相对应；与所述第一端以及所述第二端连接的两条所述子字线分别与不同的所述主字线相对应。
- 15 4. 如权利要求 1-3 任一项所述的字线驱动电路，其中，所述保持晶体管包括 NMOS 管。
5. 如权利要求 1-3 任一项所述的字线驱动电路，其中，所述子字线驱动器包括：
- 上拉晶体管，栅极连接所述主字线，源极接收所述第一驱动信号，漏极连接所述子字线以及
- 20 所述保持晶体管的第一端或者第二端；
- 下拉晶体管，栅极连接所述主字线，漏极与所述上拉晶体管的漏极连接，源极接收第三驱动信号。
6. 如权利要求 5 所述的字线驱动电路，其中，所述上拉晶体管包括 PMOS 管；所述下拉晶体管包括 NMOS 管。
- 25 7. 一种字线驱动器，包括：
- PMOS 区，包括多个沿第一方向延伸的第一有源区，所述第一有源区包括第一沟道区以及分别位于所述第一沟道区相对两侧的第一源区和第一漏区；
- NMOS 区，与所述 PMOS 区沿第二方向排布，包括多个沿所述第一方向延伸的第二有源区，所述第二有源区包括第二沟道区以及分别位于所述第二沟道区相对两侧的第二源区和第二漏

区, 所述第二有源区还包括第三沟道区以及分别位于所述第三沟道区相对两侧的第三源区和第三漏区;

第一栅极, 每一所述第一栅极沿所述第二方向延伸并覆盖多个所述第一沟道区以及多个所述第二沟道区, 所述第一栅极与主字线电连接, 所述第一栅极、所述第一源区以及所述第一漏区构成上拉晶体管, 所述第一栅极、所述第二源区以及所述第二漏区构成下拉晶体管;

多个第二栅极, 每一所述第二栅极覆盖相应的一所述第三沟道区, 所述第二栅极、所述第三源区以及所述第三漏区构成保持晶体管;

其中, 一所述上拉晶体管的所述第一漏区与一所述下拉晶体管的所述第二漏区电连接, 并与相应的子字线电连接;

同一所述保持晶体管的所述第三漏区与一所述下拉晶体管的所述第二漏区电连接, 所述第三源区与另一所述下拉晶体管的所述第二漏区电连接。

8. 如权利要求 7 所述的字线驱动器, 其中, 每一所述第一栅极包括:

至少两个在沿所述第一方向上间隔排布的延伸部, 沿所述第二方向延伸并覆盖多个所述第一沟道区以及多个所述第二沟道区;

连接部, 连接在沿所述第一方向上相邻排布的所述延伸部。

9. 如权利要求 8 所述的字线驱动器, 其中, 所述连接部覆盖相邻的所述第一有源区之间的区域, 且还覆盖所述第一有源区与所述第二有源区之间的区域。

10. 如权利要求 8 所述的字线驱动器, 其中, 在沿所述第一方向上, 所述 NMOS 区的相邻所述延伸部之间的距离大于部分所述 PMOS 区的相邻所述延伸部之间的距离, 所述第二栅极位于相邻所述延伸部之间。

11. 如权利要求 10 所述的字线驱动器, 其中, 所述 PMOS 区包括:

沿所述第二方向排布的第一 PMOS 区以及第二 PMOS 区, 所述第二 PMOS 区位于所述第一 PMOS 区与所述 NMOS 区之间;

同一所述第一栅极的两个所述延伸部覆盖所述第一 PMOS 区的同一所述第一有源区, 且两个所述延伸部还分别覆盖所述第二 PMOS 区的沿所述第一方向排布的两个所述第一有源区;

其中, 在沿所述第一方向上, 所述第一 PMOS 区的相邻所述延伸部之间的距离小于所述第二 PMOS 区的相邻所述延伸部之间的距离。

12. 如权利要求 8 所述的字线驱动器, 其中, 在沿所述第一方向上, 所述 NMOS 区的相邻所述延伸部之间的距离小于部分所述 PMOS 区的相邻所述延伸部之间的距离, 所述第二栅极位于两个所述延伸部所围成区域的外侧。

13. 如权利要求 11 所述的字线驱动器, 其中, 所述 PMOS 区包括:

沿所述第二方向排布的第一 PMOS 区以及第二 PMOS 区, 所述第二 PMOS 区位于所述第一 PMOS 区与所述 NMOS 区之间;

5 同一所述第一栅极的两个所述延伸部覆盖所述第二 PMOS 区的同一所述第一有源区, 且两个所述延伸部还分别覆盖所述第一 PMOS 区的沿所述第一方向排布的两个所述第一有源区;

其中, 在沿所述第一方向上, 所述第一 PMOS 区的相邻所述延伸部之间的距离大于所述第二 PMOS 区的相邻所述延伸部之间的距离。

14. 如权利要求 7 所述的字线驱动器, 其中, 所述第三沟道区与至少一个所述第二沟道区属于同一所述第二有源区。

10 15. 如权利要求 14 所述的字线驱动器, 其中, 同一所述第一栅极对应的一所述下拉晶体管的所述第二漏区与所述保持晶体管的所述第三漏区共用, 同一所述第一栅极对应的另一所述下拉晶体管的所述第二漏区与同一所述保持晶体管的所述第三源区共用。

16. 如权利要求 14 所述的字线驱动器, 其中, 一所述第一栅极对应的一所述下拉晶体管的所述第二漏区与所述保持晶体管的所述第三漏区共用, 另一所述第一栅极对应的一所述下拉晶体管的所述第二漏区与同一所述保持晶体管的所述第三源区共用。

17. 如权利要求 7 所述的字线驱动器, 其中, 每一所述第一栅极覆盖 $4 \times N$ 个所述第一沟道区以及 $4 \times N$ 个所述第二沟道区, 每一所述第一栅极构成的所述上拉晶体管与所述下拉晶体管与 $2 \times N$ 个所述保持晶体管电连接; 其中, N 为大于等于 1 的正整数。

18. 如权利要求 7 所述的字线驱动器, 其中, 多个所述第一有源区包括: 靠近所述 NMOS 区设置的至少两个所述第一有源区, 两个所述第一有源区沿所述第一方向间隔排布且具有间隔区, 其中, 所述第二栅极与所述间隔区在沿所述第二方向上正对设置。

19. 一种存储装置, 包括:

存储单元阵列, 包括连接到多条子字线和多条位线的多个存储单元;

25 如权利要求 1-6 任一项所述的字线驱动电路, 或者, 如权利要求 7-18 任一项所述的字线驱动器。