

半导体结构及其制作方法

本公开要求在 2021 年 07 月 01 日提交中国专利局、申请号为 202110746050.4、发明名称为“半导体结构及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开包括但不限于一种半导体结构及其制作方法。

背景技术

随着动态存储器的集成密度朝着更高的方向发展，在对动态存储器阵列结构中晶体管的排布方式以及如何缩小动态存储器阵列结构中单个功能器件的尺寸进行研究的同时，也需要提高小尺寸的功能器件的电学性能。

利用垂直的全环绕栅极（GAA，Gate-All-Around）晶体管结构作为动态存储器选择晶体管（access transistor）时，其占据的面积可以达到 $4F^2$ （F：在给定工艺条件下可获得的最小图案尺寸），原则上可以实现更高的密度效率，但是在部分尺寸下，埋藏于晶体管底部的位线因主要成分为硅导致电阻较大。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

公开本公开实施例提供一种半导体结构，包括：基底；位线，位于所述基底上，且所述位线的材料包括金属半导体化合物；半导体通道，位于所述位线表面，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，所述第一掺杂区与所述位线相接触；第一介质层，覆盖所述第一掺杂区侧壁表面，且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔；绝缘层，覆盖所述沟道区侧壁表面；字线，覆盖所述绝缘层远离所述沟道区的侧壁表面，且

相邻所述字线之间具有第二间隔；第二介质层，覆盖所述第二掺杂区侧壁表面，且位于相邻所述第二掺杂区侧壁的所述第二介质层之间具有第三间隔；第三介质层，位于所述第一间隔、所述第二间隔和所述第三间隔中。

本公开的一些实施例中，半导体结构还包括：金属接触层，位于第二掺杂区远离基底的顶面，且金属半导体化合物和金属接触层中具有相同的金属元素。

本公开的一些实施例中，金属接触层在基底上的正投影覆盖第二掺杂区在基底上的正投影。

本公开的一些实施例中，半导体结构还包括：过渡层，位于第二掺杂区和金属接触层之间，且金属接触层包裹过渡层，过渡层和第二掺杂区掺杂有相同类型的掺杂离子，且掺杂离子在过渡层中的掺杂浓度大于在第二掺杂区中的掺杂浓度，掺杂离子为N型离子或P型离子中的一者。

本公开的一些实施例中，基底、位线和半导体通道具有相同的半导体元素。

本公开的一些实施例中，第一掺杂区、沟道区和第二掺杂区掺杂有相同类型的掺杂离子，且掺杂离子在第一掺杂区中的掺杂浓度与在沟道区和第二掺杂区中的掺杂浓度一致，掺杂离子为N型离子或P型离子中的一者。

本公开的一些实施例中，沟道区在基底上的正投影小于第二掺杂区在基底上的正投影，且小于第一掺杂区在基底上的正投影。

本公开的一些实施例中，绝缘层和第二介质层为同一膜层结构。

本公开的一些实施例中，绝缘层的外围在基底上的正投影小于第二介质层的外围在基底上的正投影。

本公开的一些实施例中，第一介质层包括第四介质层和第五介质层，第四介质层位于相邻位线的间隔中，且位于相邻位线上的相邻第一掺杂区的间隔中；第五介质层位于同一位线上相邻第一掺杂区的侧壁，且位于第四介质层的侧壁。

本公开的一些实施例中，位于第二间隔中的第三介质层中具有空隙。

相应地，本公开实施例还提供一种半导体结构的制作方法，包括：提供基底；在基底上形成初始位线，以及在初始位线远离基底的表面形成半导体通道，在沿基底指向初始位线的方向上，半导体通道包括依次排列的第一掺

杂区、沟道区以及第二掺杂区；形成覆盖第一掺杂区侧壁表面的第一介质层，且同一初始位线上相邻第一掺杂区侧壁的第一介质层之间具有第一间隔；形成覆盖沟道区侧壁表面的绝缘层；形成覆盖绝缘层远离沟道区的侧壁表面的字线，且相邻字线之间具有第二间隔；形成覆盖第二掺杂区侧壁表面的第二介质层，且位于相邻第二掺杂区侧壁的第二介质层之间具有第三间隔，第一间隔、第二间隔和第三间隔相连通并暴露出部分初始位线；对暴露出的初始位线进行金属化处理，以形成位线，位线的材料包括金属半导体化合物。

本公开的一些实施例中，在形成字线之后，在形成第二介质层之前，还包括：采用外延生长工艺，在第二掺杂区远离基底的顶面形成初始过渡层，初始过渡层和第二掺杂区掺杂有相同类型的掺杂离子，掺杂离子在初始过渡层中的掺杂浓度大于在第二掺杂区中的掺杂浓度，掺杂离子为 N 型离子或 P 型离子中的一者，且初始过渡层在基底上的正投影覆盖第二掺杂区在基底上的正投影。

本公开的一些实施例中，在对初始位线进行金属化处理的步骤中，还包括：对初始过渡层进行金属化处理。

本公开的一些实施例中，形成第一介质层的步骤包括：

形成初始第一介质层，初始第一介质层环绕半导体通道侧壁，且位于同一初始位线上相邻半导体通道侧壁的初始第一介质层之间具有第四间隔；

形成第一隔离层，第一隔离层填满第四间隔，且第一隔离层的材料和初始第一介质层的材料不同；

刻蚀部分初始第一介质层至露出第二掺杂区侧壁；

形成第二隔离层，第二隔离层环绕第二掺杂区侧壁和位于第一隔离层侧壁，位于第二掺杂区侧壁的第二隔离层和位于第一隔离层侧壁的第二隔离层共同围成通孔，通孔底部露出初始第一介质层，且第二隔离层的材料和初始第一介质层的材料不同；

去除通孔露出的位于沟道区侧壁的初始第一介质层，剩余初始第一介质层作为第一介质层。

本公开的一些实施例中，形成绝缘层的步骤包括：

对露出的沟道区侧壁进行热氧化处理，以形成绝缘层，且绝缘层覆盖剩

余沟道区的侧壁表面，绝缘层和第一隔离层之间具有第五间隔。

本公开的一些实施例中，形成字线的步骤包括：

形成初始字线，初始字线填满第五间隔和通孔，且初始字线还位于相邻初始位线上的沟道区侧壁的绝缘层之间；

去除位于通孔中的初始字线，剩余初始字线作为字线。

本公开的一些实施例中，形成第一介质层的步骤包括：

形成初始第一介质层，初始第一介质层环绕半导体通道侧壁，且位于同一初始位线上相邻半导体通道侧壁的初始第一介质层之间具有第四间隔；

形成第一隔离层，第一隔离层填满第四间隔，且第一隔离层的材料和初始第一介质层的材料不同；

刻蚀部分初始第一介质层至露出第二掺杂区侧壁和沟道区侧壁，剩余初始第一介质层作为第一介质层。

本公开的一些实施例中，形成绝缘层和第二介质层的步骤包括：

形成覆盖第二掺杂区侧壁和沟道区侧壁的保护层，且保护层和第一隔离层之间具有第六间隔，沟道区侧壁的保护层为绝缘层，覆盖第二掺杂区侧壁的保护层为第二介质层。

本公开的一些实施例中，形成字线的步骤包括：

形成初始字线，初始字线填满第六间隔，且初始字线还位于相邻初始位线上的半导体通道部分侧壁的保护层之间；

去除部分初始字线，剩余初始字线作为字线，字线仅环绕位于沟道区侧壁的绝缘层侧壁。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些

示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

图 1 至 35 为本公开实施例提供的半导体结构的形成方法中各步骤对应的半导体结构的示意图。

具体实施方式

由背景技术可知，目前需要在提高半导体结构的集成密度的同时，需要提高半导体结构中小尺寸的功能器件的电学性能。

本公开实施例提供一种半导体结构及其制作方法，半导体结构中，基底上具有垂直的 GAA 晶体管，且位线位于基底与 GAA 晶体管之间，因而可以构成 3D 堆叠的半导体结构，有利于提高半导体结构的集成密度。此外，由于位线的材料包括金属半导体化合物，有利于降低位线的电阻，以提高半导体结构的电学性能。

下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

本公开一实施例提供一种半导体结构，以下将结合附图对本公开一实施例提供的半导体结构进行详细说明。图 1 至图 5 为本公开一实施例提供的半导体结构对应的结构示意图。其中，图 1 为本公开一实施例提供的半导体结构的一种结构示意图，图 2 为图 1 所示结构沿第一截面方向 AA1 的一种剖面示意图，图 3 为图 1 所示结构沿第一截面方向 AA1 的又一种剖面示意图，图 4 为图 1 所示结构沿第二截面方向 BB1 的剖面示意图，图 5 为本公开一实施例提供的半导体结构的又一种结构示意图。

结合参考图 1 至图 5，半导体结构包括：基底 11；位线 104，位于基底 11 上，且位线 104 的材料包括金属半导体化合物；半导体通道 105，位于位线 104 表面，在沿基底 11 指向位线 104 的方向 Z 上，半导体通道 105 包括依次排列的第一掺杂区 I、沟道区 II 以及第二掺杂区 III，第一掺杂区 I 与位线 104 相接触；第一介质层 113，覆盖第一掺杂区 I 侧壁表面，且同一位线 104 上相邻第一掺杂区 I 侧壁的第一介质层 113 之间具有第一间隔；绝缘层 106，覆盖沟道区 II 侧壁表面；字线 107，覆盖绝缘层 106 远离沟道区 II 的侧壁表

面，且相邻字线 107 之间具有第二间隔；第二介质层 123，覆盖第二掺杂区 II 侧壁表面，且位于相邻第二掺杂区 II 侧壁的第二介质层 123 之间具有第三间隔；第三介质层 133，位于第一间隔、第二间隔和第三间隔中。

由于半导体结构包括垂直的 GAA 晶体管，且位线 104 位于基底 11 与 GAA 晶体管之间，因而能够构成 3D 堆叠的存储器件，有利于提高半导体结构的集成密度。

以下将结合图 1 至图 5 对半导体结构进行更为详细的说明。

本实施例中，基底 11 的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。此外，基底 11 内掺杂有第一类型离子。

在本公开的一些实施例中，基底 11、位线 104 和半导体通道 105 具有相同的半导体元素，则半导体通道 105 与位线 104 可以利用同一膜层结构形成，该膜层结构由半导体元素构成，使得半导体通道 105 与位线 104 为一体结构，从而改善半导体通道 105 与位线 104 之间的界面态缺陷，改善半导体结构的性能。

其中，半导体元素可以包括硅、碳、锗、砷、镓、铟中的至少一种。在一个例子中，位线 104 与半导体通道 105 均包括硅元素。在其他例子中，位线与半导体通道可以均包括锗元素，或者，位线与半导体通道均包括硅元素和锗元素，或者，位线与半导体通道均包括硅元素和碳元素，或者，位线与半导体通道均包括砷元素和镓元素，或者，位线与半导体通道均包括镓元素和铟元素。

位线 104 的材料包括金属半导体化合物 114，金属半导体化合物 114 相较于未金属化的半导体材料而言，具有相对较小的电阻率，因此，相较于半导体通道 105 而言，位线 104 的电阻率更小，从而有利于降低位线 104 的电阻，且降低位线 104 与第一掺杂区 I 之间的接触电阻，进一步改善半导体结构的电学性能。此外，位线 104 的电阻率还小于基底 11 的电阻率。

在一些例子中，位于第一掺杂区 I 正下方的位线 104 的区域的材料为半导体材料，且未被第一掺杂区 I 覆盖的位线 104 的部分区域的材料为金属半导体化合物。随着器件尺寸的不断缩小或者制造工艺参数的调整，位于第一

掺杂区 I 正下方的位线 104 的部分区域的材料为半导体材料，位于第一掺杂区 I 正下方的位线 104 的其余区域的材料也可以为金属半导体化合物，此处的“其余区域”的位置位于“部分区域”的外围。

在一个例子中，参考图 2，同一位线 104 中的多个金属半导体化合物 114 之间相互间隔；在又一个例子中，参考图 3，同一位线 104 中的多个金属半导体化合物 114 之间相互连通，图 3 仅示例出来了相邻金属半导体化合物 114 之间边缘处刚好相互接触以连通的情况，实际情况中，相邻金属半导体化合物 114 之间相互接触的区域可以更大，本实施例对相邻金属半导体化合物 114 之间相互接触的区域的大小不做限制。

在其他例子中，整个位线的材料可以均为金属半导体化合物。

以半导体元素为硅为例，金属半导体化合物 114 包括硅化钴、硅化镍、硅化钼、硅化钛、硅化钨、硅化钽或者硅化铂中的至少一种。

本实施例中，在基底 11 上可以形成多个间隔排布的位线 104，以及每一位线 104 可与至少一个第一掺杂区 I 相接触，图 1 至图 4 中以 4 个相互间隔的位线 104，以及每一位线 104 与 4 个第一掺杂区 I 相接触作为示例，可根据实际电学需求，合理设置位线 104 的数量以及与每一位线 104 相接触的第一掺杂区 I 的数量。

其中，位线 104 中掺杂有第二类型离子，基底 11 中掺杂有第一类型离子，第二类型离子与第一类型离子不同，且第一类型离子与第二类型离子均为 N 型离子或 P 型离子中的一者。如此，位线 104 与基底 11 构成 PN 结，该 PN 结有利于防止位线 104 漏电，进一步改善半导体结构的电学性能。在其他实施例中，基底 11 也可以不掺杂第一类型离子。

N 型离子为砷离子、磷离子或者锑离子中的至少一种；P 型离子为硼离子、镓离子或者铟离子中的至少一种

在本公开的一些实施例中，半导体通道 105 中第一掺杂区 I、沟道区 II 和第二掺杂区 III 掺杂有相同类型的掺杂离子，即第二类型离子，且掺杂离子在第一掺杂区 I 中的掺杂浓度与在沟道区 II 和第二掺杂区 III 中的掺杂浓度一致。

因而，半导体通道 105 构成的器件为无结晶体管（Junctionless Transistor），即第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子的类

型相同，例如掺杂离子均为 N 型离子，第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子可以相同。其中，此处的“无结”指的是无 PN 结，即半导体通道 105 构成的晶体管中没有 PN 结，即第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子的掺杂浓度相同，这样的好处包括：一方面，无需对第一掺杂区 I 和第二掺杂区 III 进行额外的掺杂，从而避免了对第一掺杂区 I 和第二掺杂区 III 的掺杂工艺难以控制的问题，尤其是随着晶体管尺寸进一步缩小，若额外对第一掺杂区 I 和第二掺杂区 III 进行掺杂，掺杂浓度更加难以控制；另一方面，由于器件为无结晶体管，有利于避免采用超陡峭源漏浓度梯度掺杂工艺，在纳米尺度范围内制作超陡峭 PN 结的现象，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，在几纳米的尺度范围内仍然可以工作，因而有助于进一步提高半导体结构的集成密度和电学性能。此处额外的掺杂指的是，为了让第一掺杂区 I 和第二掺杂区 III 的掺杂离子类型与沟道区 II 的掺杂离子类型不同而进行的掺杂。

在一些例子中，第二类型离子在半导体通道 105 内的掺杂浓度为 1×10^{19} atom/cm³~ 1×10^{20} atom/cm³，且在沿基底 11 指向位线 104 的方向 Z 上，半导体通道 105 的高度为 100nm~150nm，第一掺杂区 I、沟道区 II 和第二掺杂区 III 的高度均为 30nm~50nm。

本实施例中，沟道区 II 在基底 11 上的正投影小于第二掺杂区 III 在基底 11 上的正投影，且小于第一掺杂区 I 在基底 11 上的正投影，在垂直于位线 104 指向半导体通道 105 的方向 Z 的截面中，有利于形成截面面积更加小的沟道区 II，有利于提高后续形成的字线对沟道区 II 的控制能力，从而更容易控制 GAA 晶体管的导通或者关断。在其他实施例中，第一掺杂区、沟道区以及第二掺杂区在基底上的正投影可以相等；或者，沟道区和第二掺杂区在基底上的正投影均小于第一掺杂区在基底上的正投影。

在一些例子中，在垂直于方向 Z 的截面中，沟道区 II 的宽度 W 和沟道区 II 的长度 L 均不高于 10nm，有利于保证后续形成的字线对沟道区 II 有良好的控制能力。

第一介质层 113 可以包括第四介质层 143 和第五介质层 153，第四介质层 143 位于相邻位线 104 的间隔中，且位于相邻位线 104 上的相邻第一掺杂

区 I 的间隔中；第五介质层 153 位于同一位线 104 上相邻第一掺杂区 I 的侧壁，且位于第四介质层 143 的侧壁。第一介质层 113 用于实现相邻半导体通道 105 和相邻位线 104 之间的电绝缘。

在一些例子中，第四介质层 143 的材料和第五介质层 153 的材料相同，第四介质层 143 的材料和第五介质层 153 的材料可以均为氧化硅。在其他实施例中，第四介质层的材料和第五介质层的材料也可以不同，只需满足第四介质层的材料和第五介质层的材料为绝缘效果良好的材料。

本实施例中，绝缘层 106 的外围在基底 11 上的正投影小于第二介质层 123 的外围在基底 11 上的正投影，即参考图 2 和图 4，绝缘层 106 远离半导体通道 105 的外壁相较于第二介质层 123 远离半导体通道 105 外壁，更靠近半导体通道 105。此外，绝缘层 106 远离半导体通道 105 的外壁相较于第一介质层 113 远离半导体通道 105 外壁，也更靠近半导体通道 105。其中，绝缘层 106 的材料为氧化硅。

在其他实施例中，绝缘层和第二介质层可以为同一膜层结构，即绝缘层和第二介质层可以通过同一工艺步骤形成。其中，绝缘层的材料和第二介质层的材料包括氧化硅或者氮化硅中的至少一种。

第一间隔、第二间隔和第三间隔之间相连通。

在一些例子中，参考图 2 至图 4，第一间隔和第二间隔在基底 11 上的正投影重合，第三介质层 133 填满第一间隔、第二间隔和第三间隔，且第三介质层 133 远离基底 11 的顶面高于第二掺杂区 III 远离基底 11 的顶面。

在又一些例子中，参考图 5，位于第二间隔中的第三介质层 133 中具有空隙 109，即相邻字线 107 之间除了具有第三介质层 133，还具有空隙 109，有利于降低相邻字线 107 之间产生的电容，以提高半导体结构的电学特性。在其他例子这，空隙不仅可以存在于位于第二间隔中的第三介质层中，还可以存在于位于第一间隔中的第三介质层中，或者存在于位于第三间隔中的第三介质层中。

半导体结构还可以包括：金属接触层 108，位于第二掺杂区 III 远离基底 11 的顶面，且金属半导体化合物 114 和金属接触层 108 中具有相同的金属元素。其中，金属元素包括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

由于金属接触层 108 中具有金属元素，后续在金属接触层 108 上形成电

容结构的下电极时，金属接触层 108 与下电极构成欧姆接触，避免下电极与半导体材料直接接触而形成肖特基势垒接触，欧姆接触有利于降低第二掺杂区 III 与下电极之间的接触电阻，从而降低半导体结构工作时的能耗，且改善 RC 延迟效应，以提高半导体结构的电学性能。此外，从制作工艺的角度而言，金属接触层 108 和金属半导体化合物 114 中具有相同的金属元素，有利于在一个工艺步骤中，形成金属接触层 108 和在位线 104 中形成金属半导体化合物 114。

在本公开的一些实施例中，金属接触层 108 在基底 11 上的正投影覆盖第二掺杂区 III 在基底 11 上的正投影，有利于增大金属接触层 108 与下电极之间的接触面积，从而降低金属接触层 108 与下电极之间的接触电阻，以提高半导体结构的电学性能。

半导体结构还可以包括：过渡层 118，位于第二掺杂区 III 和金属接触层 108 之间，且过渡层 118 位于第二掺杂区 III 的部分顶面，金属接触层 108 包裹过渡层 118 的其余表面，过渡层 118 和第二掺杂区 III 掺杂有相同类型的掺杂离子，且掺杂离子在过渡层 118 中的掺杂浓度大于在第二掺杂区 III 中的掺杂浓度，则过渡层 118 的电阻小于第二掺杂区 III 的电阻，有利于进一步降低第二掺杂区 III 与下电极之间的传输电阻。

在其他实施例中，半导体结构也可不包括过渡层，第二掺杂区顶面仅具有金属接触层。

半导体结构还可以包括：电容结构（图中未示出），电容结构位于金属接触层 108 和第三介质层 133 共同构成的表面。

综上所述，基底 11 上具有垂直的 GAA 晶体管，且位线 104 位于基底 11 与 GAA 晶体管之间，因而可以构成 3D 堆叠的半导体结构，有利于提高半导体结构的集成密度。同时，位线 104 的材料包括金属半导体化合物 114，有利于降低位线 104 的电阻，以降低位线 104 与第一掺杂区 I 之间的接触电阻，进一步改善半导体结构的电学性能。此外，半导体通道 105 构成的器件为无结晶体管，有利于避免采用超陡峭源漏浓度梯度掺杂工艺，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，从而进一步提高半导体结构的集成密度和电学性能。

相应地，本公开又一实施例还提供一种半导体结构的制作方法，可用于

形成上述半导体结构。

图 1 至图 35 为本公开又一实施例提供的半导体结构的制造方法中各步骤对应的剖面结构示意图，以下将结合附图对本实施例提供的半导体结构的制造方法进行详细说明，与上述实施例相同或相应的部分，以下将不做详细赘述。

参考图 6 至图 9，提供基底 11；在基底 11 上形成初始位线 124，以及在初始位线 124 远离基底 11 的表面形成半导体通道 105，在沿基底 11 指向初始位线 124 的方向上，半导体通道 105 包括依次排列的第一掺杂区 I、沟道区 II 以及第二掺杂区 III。

提供基底 11，并在基底 11 上形成初始位线 124 环绕半导体通道 105 包括如下步骤：

参考图 6，提供衬底 110，衬底 110 的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以为硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

衬底 110 包括：基底 11，基底 11 内掺杂有第一类型离子；初始半导体层 10，设置于基底 11 上。

对初始半导体层 10 进行掺杂处理以及退火处理，使得初始半导体层 10 内掺杂有第二类型离子，用于后续刻蚀初始半导体层 10 以形成初始位线 124 和半导体通道 105，且第二类型离子与第一类型离子不同，第一类型离子与第二类型离子均为 N 型离子或 P 型离子中的一者。

其中，掺杂处理可以采用高温扩散或者离子注入的方法，当采用离子注入的方式对初始半导体层 10 进行掺杂处理后，退火处理的退火温度为 800℃~1000℃。

本实施例中，第二类型离子在初始半导体层 10 内的掺杂浓度为 1×10^{19} atom/cm³~ 1×10^{20} atom/cm³，且在初始半导体层 10 指向基底 11 的方向上，初始半导体层 10 内第二类型离子的掺杂深度为 150nm~250nm。此外，第一类型离子为 P 型离子，第二类型离子为 N 型离子。在其他实施例中，第一类型离子可以为 N 型离子，第二类型离子可以为 P 型离子。

在初始半导体层 10 远离基底 11 的一侧依次堆叠形成缓冲层 120 和阻挡层 130。在一些例子中，可采用沉积工艺形成缓冲层 120 和阻挡层 130，缓冲层 120 的材料为氧化硅，阻挡层 130 的材料为氮化硅。

在本公开的一些实施例中，可以采用化学气相沉积工艺沉积氮化硅以形成阻挡层 130，氮化硅膜层的氧化速度非常慢，有利于保护位于氮化硅膜层下方的衬底 100，避免衬底 100 被氧化。

在一些例子中，衬底 110 为硅衬底，由于氮化硅的晶格常数和热膨胀系数与硅衬底的晶格常数和热膨胀系数的失配率都很大，因而若在硅衬底上直接形成氮化硅，氮化硅和硅的界面处缺陷密度大，容易成为载流子陷阱和复合中心，影响硅的载流子迁移率，从而影响半导体结构的性能和工作寿命。而且，氮化硅薄膜应力较大，直接沉积在硅衬底上易出现龟裂现象。因而，在硅衬底上沉积氮化硅之前先形成氧化硅作为缓冲层 120，有利于提高半导体结构的性能和工作寿命。

继续参考图 6，在阻挡层 130 上形成第一掩膜层 102，第一掩膜层 102 具有多个相互分立的第一开口 b，在沿第一开口 b 的延伸方向 X 上，第一开口 b 的长度与后续形成的位线的长度一致。

参考图 7，以第一掩膜层 102 为掩膜刻蚀阻挡层 130、缓冲层 120 以及初始半导体层 10，形成多个第一沟槽 a，并去除第一掩膜层 102。

本实施例中，沿垂直于基底 11 表面的方向 Z，第一沟槽 a 的深度为 250~300nm。由于第一沟槽 a 的深度大于初始半导体层 10 内第二类型离子的掺杂深度，有利于保证掺杂有第二类型离子的初始半导体层 10 均被刻蚀，便于后续形成第二类型离子掺杂浓度高的半导体通道和位线。

参考图 8，在第一沟槽 a 中形成第四介质层 143。

本实施例中，可采用以下工艺步骤形成第四介质层 143：进行沉积工艺，形成覆盖阻挡层 130 顶面以及填充第一沟槽 a 的第四介质膜；对第四介质膜进行化学机械平坦化处理至露出阻挡层 130 顶面，剩余第四介质膜作为第四介质层 143。其中，第四介质膜的材料包括氧化硅。

在本公开的一些实施例中，在第四介质层 143 和剩余衬底 110 共同构成的顶面上形成第二掩膜层 112，第二掩膜层 112 具有多个相互分立的第二开口 c，在沿第二开口 c 的延伸方向 Y 上，第二开口 c 的长度与后续形成的字线的长度一致。

本实施例中，结合参考图 6 和图 8，第一开口 b 的延伸方向 X 垂直于第二开口 c 的延伸方向 Y，使得最终形成的半导体通道 105 呈现 4F2 的排布方

式，有利于进一步提高半导体结构的集成密度。在其他实施例中，第一开口的延伸方向与第二开口的延伸方向相交，两者之间的夹角可以不为 90° 。

在本公开的一些实施例中，第一开口 **b** 沿方向 **Y** 上的开口宽度与第二开口 **c** 沿方向 **X** 上的开口宽度的比值为 $2\sim 1$ ，以保证后续能形成露出环绕沟道区 **II** 侧壁的第一介质层的通孔，从而有利于后续形成用于制造字线的第一间隙。在一些例子中，第一开口 **b** 沿方向 **Y** 上的开口宽度等于第二开口 **c** 沿方向 **X** 上的开口宽度，且相邻第一开口 **b** 之间的间距等于相邻第二开口 **c** 之间的间距，一方面，使得后续形成的多个半导体通道排列规整，进一步提高半导体结构的集成密度；另一方面，可以采用同一掩膜版形成第一掩膜层 102 和形成第二掩膜层 112，有利于降低半导体结构的制备成本。

本实施例中，形成第一掩膜层 102 和形成第二掩膜层 112 的方法均包括自对准多重曝光技术（SAQP，Self-Aligned Quadruple Patterning）或者自对准多重成像技术（SADP，Self-Aligned Double Patterning）。

参考图 9，以第二掩膜层 112 为掩膜刻蚀初始半导体层 10（参考图 6）和第四介质层 143，形成多个第二沟槽 **d**、初始位线 124 和半导体通道 105，且在垂直于基底 11 表面的方向 **Z** 上，第二沟槽 **d** 的深度小于第一沟槽 **a** 的深度，有利于在形成初始位线 124 的同时，在初始位线 124 远离基底 11 的一侧形成多个相互分立的半导体通道 105，且初始位线 124 与半导体通道 105 的第一掺杂区 **I** 相接触；去除第二掩膜层 112。

在一些例子中，第二沟槽 **d** 的深度为 $100\text{nm}\sim 150\text{nm}$ ，由于初始半导体层 10 内第二类型离子的掺杂深度为 $150\text{nm}\sim 250\text{nm}$ ，有利于使得大部分或者全部掺杂有第二类型离子的初始半导体层 10 经过两次刻蚀转变为半导体通道 105。

此外，衬底 110 的材料为硅，第四介质层 143 的材料为氧化硅，在以第二掩膜层 112 为掩膜刻蚀初始半导体层 10 和第四介质层 143 的步骤中，刻蚀工艺对氧化硅的刻蚀速率大于对硅的刻蚀速率，因而初始位线 124 的部分侧壁会暴露出来。

为了实现相邻初始位线 124 和相邻半导体通道 105 之间的电绝缘，以第二掩膜层 112 为掩膜刻蚀初始半导体层 10 和第四介质层 143 之后，剩余第四介质层 143 还位于相邻初始位线 124 的间隔中，以及位于相邻半导体通道 105

的间隔中。

第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子的类型相同，例如掺杂离子均为 N 型离子，且第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子的掺杂浓度相同，即半导体通道 105 构成的器件为无结晶体管。第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子可以相同。如此，一方面，无需对第一掺杂区 I 和第二掺杂区 III 进行额外的掺杂，从而避免了对第一掺杂区 I 和第二掺杂区 III 的掺杂工艺难以控制的问题，尤其是随着晶体管尺寸进一步缩小，若额外对第一掺杂区 I 和第二掺杂区 III 进行掺杂，掺杂浓度更加难以控制；另一方面，由于器件为无结晶体管，有利于避免采用超陡峭源漏浓度梯度掺杂工艺，在纳米尺度范围内制作超陡峭 PN 结的现象，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，在几纳米的尺度范围内仍然可以工作，因而有助于进一步提高半导体结构的集成密度和电学性能。此处额外的掺杂指的是，为了让第一掺杂区 I 和第二掺杂区 III 的掺杂离子类型与沟道区 II 的掺杂离子类型不同而进行的掺杂。

在本公开的一些实施例中，形成半导体通道 105 垂直于初始位线 124 远离基底 11 顶面的 GAA 晶体管，可以构成 3D 堆叠的半导体结构，有利于在不对 GAA 晶体管的电学性能造成不利影响的前提下，设计尺寸特征更小的 GAA 晶体管，以提高半导体结构的集成密度。

本实施例中，利用第一掩膜层 102 和第二掩膜层 112，通过两次刻蚀工艺同时形成初始位线 124 和半导体通道 105，一方面，有利于通过调控第一开口 b 和第二开口 c 的尺寸调控半导体通道 105 的尺寸，且形成尺寸精度较高的半导体通道 105；另一方面，初始位线 124 和半导体通道 105 均是通过刻蚀初始半导体层 10 形成的，即初始位线 124 和半导体通道 105 利用同一膜层结构形成，使得初始位线 124 和半导体通道 105 为一体结构，从而改善初始位线 124 和半导体通道 105 之间的界面态缺陷，改善半导体结构的性能。此外，在以第一掩膜层 102 为掩膜刻蚀初始半导体层 10 之后，在第一沟槽 a 中还形成有第四介质层 143，为后续在沟道区 II 侧壁和第一隔离层之间形成间隙做前期准备，从而有利于后续形成制备字线的第一间隙。

参考图 10 至图 35，形成覆盖第一掺杂区 I 侧壁表面的第一介质层 113，

且同一初始位线 124 上相邻第一掺杂区 I 侧壁的第一介质层 113 之间具有第一间隔；形成覆盖沟道区 II 侧壁表面的绝缘层 106；形成覆盖绝缘层 106 远离沟道区 II 的侧壁表面的字线 107，且相邻字线 107 之间具有第二间隔；形成覆盖第二掺杂区 III 侧壁表面的第二介质层 123，且位于相邻第二掺杂区 III 侧壁的第二介质层 123 之间具有第三间隔，第一间隔、第二间隔和第三间隔相连通并暴露出部分初始位线 124；对暴露出的初始位线 124 进行金属化处理，以形成位线 104，位线 104 的材料包括金属半导体化合物 114。

其中，图 12 为图 11 所示结构沿第一截面方向 AA1 的剖面示意图，图 13 为图 11 所示结构沿第二截面方向 BB1 的剖面示意图。后续将根据表述需要设置沿第一截面方向 AA1 的剖面示意图以及沿第二截面方向 BB1 的剖面示意图中的一者或者两者，当仅参考一个附图时，附图为沿第一截面方向 AA1 的剖面示意图；当同时参考两个附图时，附图首先为沿第一截面方向 AA1 的剖面示意图，其次为沿第二截面方向 BB1 的剖面示意图。

在一些例子中，参考图 10 至图 27，形成第一介质层 113、绝缘层 106、字线 107 以及第二介质层 123 包括如下步骤：

参考图 10 至图 11，形成初始第一介质层 113a，初始第一介质层 113a 环绕半导体通道 105 侧壁，且位于同一初始位线 124 上相邻半导体通道 105 侧壁的初始第一介质层 113a 之间具有第四间隔 e。

参考图 10，形成第五介质膜 103，第五介质膜 103 保形覆盖第二沟槽 d（参考图 9）的侧壁和底部，且还位于阻挡层 130 和第四介质层 143 的顶面。

结合参考图 10 和图 11，对第五介质膜 103 进行无掩膜干法刻蚀工艺，直至露出阻挡层 130，利用相同的刻蚀时间内，刻蚀工艺刻蚀第五介质膜 103 不同区域的厚度相同，形成第五介质层 153。

结合参考图 11 至图 13，第四介质层 143 位于第二沟槽 d（参考图 9）的侧壁，第四介质层 143 位于相邻半导体通道 105 的间隔中，第四介质层 143 和第五介质层 153 共同组成初始第一介质层 113a，且位于第二沟槽 d 侧壁的第五介质层 153 之间具有第四间隔 e。

其中，第四介质层 143 的材料与第五介质层 153 的材料相同，便于后续通过刻蚀工艺一同去除与沟道区 II 侧壁对应的第四介质层 143 和第五介质层 153，从而在沟道区 II 侧壁和后续形成的第一隔离层之间形成空隙，从而有

利于后续形成制备字线的间隙。第四介质层 143 的材料与第五介质层 153 的材料均为氧化硅。

在其他实施例中，第四介质层的材料和第五介质层的材料也可以不同，只需满足第四介质层的材料和第五介质层的材料为绝缘效果良好的材料即可，然后可以分步去除与沟道区侧壁对应的第四介质层和第五介质层。

参考图 14，形成第一隔离层 163，第一隔离层 163 填充第四间隔 e，且第一隔离层 163 的材料和初始第一介质层 113a 的材料不同。

可采用以下工艺步骤形成第一隔离层 163：进行沉积工艺，形成覆盖阻挡层 130 顶面以及填充第四间隔 e 的第一隔离膜；对第一隔离膜、阻挡层 130、缓冲层 120 以及初始第一介质层 113a 进行化学机械平坦化处理至露出第二掺杂区 III 顶面，剩余第一隔离膜作为第一隔离层 163。其中，第一隔离膜的材料包括氮化硅。

参考图 15，刻蚀部分初始第一介质层 113a 至露出第二掺杂区 III 侧壁。

参考图 16 至图 19，其中，图 17 为图 16 的俯视示意图，图 18 为沿第三截面方向 CC1 的剖面示意图，图 19 为沿第二截面方向 BB1 的剖面示意图。

形成第二隔离层 173，第二隔离层 173 环绕第二掺杂区 III 侧壁和位于第一隔离层 163 侧壁，位于第二掺杂区 III 侧壁的第二隔离层 173 和位于第一隔离层 163 侧壁的第二隔离层 173 共同围成通孔 f，通孔 f 底部露出初始第一介质层 113a，且第二隔离层 173 的材料和初始第一介质层 113a 的材料不同。

在本公开的一些实施例中，参考图 18 和图 19，第二隔离层 173 在环绕第二掺杂区 III 侧壁的同时，覆盖第五介质层 153 顶面和部分第四介质层 143 顶面，通孔 f 露出的是第四介质层 143 的部分顶面。

本实施例中，可采用以下工艺步骤形成第二隔离层 173：进行沉积工艺，形成保形覆盖由半导体通道 105、初始第一介质层 113a 以及第一隔离层 163 共同构成的表面的第二隔离膜；对第二隔离膜进行无掩膜干法刻蚀工艺，直至露出第二掺杂区 III 顶面，利用相同的刻蚀时间内，刻蚀工艺刻蚀第二隔离膜不同区域的厚度相同，形成露出第一隔离层 163 的第二隔离层 173。其中，第二隔离层 173 的材料包括氮化硅。

此外，在前述的第一掩膜层 102 和第二掩膜层 112 中，第一开口 b 沿方向 Y 上的开口宽度与第二开口 c 沿方向 X 上的开口宽度的比值为 2~1，在形

成第二隔离层 173 时, 有利于保证第二隔离层 173 填满同一初始位线 124 上相邻半导体通道 105 之间的间隔的同时, 不会将相邻初始位线 124 上相邻半导体通道 105 之间的间隙填满, 从而保证形成露出第四介质层 143 的部分顶面的通孔 f, 便于后续利用通孔 f 去除部分初始第一介质层 113a。

结合图 20 至图 22, 去除通孔 f 露出的位于沟道区 II 侧壁的初始第一介质层 113a, 剩余所述初始第一介质层 113a 作为第一介质层 113。

由于通孔 f 露出第一介质层 113 的部分顶面, 第一介质层 113 的材料与第二介质层 123 和第三介质层 133 的材料均不相同, 则可以向通孔 f 中注入刻蚀液, 通过湿法刻蚀工艺去除位于沟道区 II 侧壁的第一介质层 113, 保留位于第一掺杂区 I 侧壁的第一介质层 113。

此外, 第一隔离层 163 和第二隔离层 173 共同组成支撑骨架, 支撑骨架与第二掺杂区 III 相接触连接, 且部分支撑骨架嵌入第一介质层 113 中。在进行湿法刻蚀工艺的步骤中, 一方面, 支撑骨架有对半导体通道 105 起支撑固定的作用, 当刻蚀液流动时产生对半导体通道 105 的挤压力, 有利于避免半导体通道 105 受挤压发生倾斜或者偏移, 以提高半导体结构的稳定性; 另一方面, 支撑骨架包裹着第二掺杂区 III 侧壁, 有利于避免刻蚀液对第二掺杂区 III 造成损伤。

去除位于沟道区 II 侧壁的初始第一介质层 113a 之后, 沟道区 II 与第一隔离层 163 之间形成第二间隙 g, 通孔 f 和第二间隙 g 共同组成洞穴结构 h。

参考图 23 和图 24, 对露出的沟道区 II 侧壁进行热氧化处理, 以形成绝缘层 106, 且绝缘层 106 覆盖剩余沟道区 II 的侧壁表面, 绝缘层 106 和第一隔离层 163 之间具有第五间隔 i。

在本公开的一些实施例中, 参考图 24, 第五间隔 i 还位于相邻初始位线 124 的相邻半导体通道 105 侧壁的绝缘层 106 之间。

热氧化处理的过程中, 第二掺杂区 III 的顶面也暴露在外, 则第二掺杂区 III 的靠近顶面的部分区域和沟道区 II 的部分区域均被转化为绝缘层 106, 使得沟道区 II 在基底 11 上的正投影小于第二掺杂区 III 在基底 11 上的正投影, 且小于第一掺杂区 I 在基底 11 上的正投影, 有利于在不采用刻蚀工艺的前提下, 形成在垂直于初始位线 124 指向半导体通道 105 的方向 Z 的截面中, 截面面积更加小的沟道区 II, 有利于提高后续形成的字线对沟道区 II 的

控制能力，从而更容易控制 GAA 晶体管的导通或者关断。其中，绝缘层 106 的材料为氧化硅。在其他实施例中，也可以通过沉积工艺形成覆盖沟道区侧壁表面的绝缘层。

本实施例中，在后续的工艺步骤中去除位于剩余第二掺杂区 III 顶面的绝缘层 106。在其他实施例中，可以在热氧化处理之后，就去掉位于剩余第二掺杂区顶面的绝缘层，仅保留覆盖剩余沟道区的侧壁表面的绝缘层。

继续参考图 23 和图 24，绝缘层 106 的外围在基底 11 上的正投影小于第二隔离层 173 的外围在基底 11 上的正投影，即绝缘层 106 远离半导体通道 105 的外壁相较于第二隔离层 173 远离半导体通道 105 外壁，更靠近半导体通道 105，从而保证绝缘层 106 与第一隔离层 163 之间具有第五间隔 i，使得后续字线能环绕位于沟道区 II 侧壁的绝缘层 106。此外，绝缘层 106 远离半导体通道 105 的外壁相较于第一介质层 113（参考图 20）远离半导体通道 105 外壁，也可以更靠近半导体通道 105。

参考图 25 至图 27，形成初始字线，初始字线填充第五间隔 i 和通孔 f，且初始字线还位于相邻初始位线 124 上的沟道区 II 侧壁的绝缘层 106 之间；去除位于通孔 f 中的初始字线，剩余初始字线作为字线 107。其中，可通过沉积工艺形成初始字线，初始字线的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少一种。

初始字线自对准地填充满洞穴结构 h（参考图 20），去除位于通孔 f 中的初始字线之后，有利于自对准地形成尺寸精确的字线 107，无需通过刻蚀工艺来设计字线 107 的尺寸，有利于简化字线 107 的形成步骤，且通过调控第五间隔 i 的尺寸，即可获得小尺寸的字线 107。

参考图 28，形成字线 107 之后，还形成第三隔离层 183，第三隔离层 183 填充满通孔 f（参考图 26）。

本实施例中，可采用以下工艺步骤形成第三隔离层 183：进行沉积工艺，形成覆盖位于第二掺杂区 III 顶面的绝缘层 106 的顶面以及填充满通孔 f 的第三隔离膜；对第三隔离膜进行化学机械平坦化处理至露出绝缘层 106 顶面，剩余第三隔离膜作为第三隔离层 183。其中，第三隔离膜与第一隔离层和第二隔离层的材料相同，均包括氮化硅。在其他实施例中，也可以对第三隔离膜进行化学机械平坦化处理至露出第二掺杂区顶面，即同步去除位于第

二掺杂区顶面的绝缘层，剩余第三隔离膜作为第三隔离层。

继续参考图 28，去除位于第二掺杂区 III 顶面的绝缘层 106，采用外延生长工艺，在第二掺杂区 III 顶面形成初始过渡层 128，且初始过渡层 128 在基底 11 上的正投影覆盖第二掺杂区 III 在基底 11 上的正投影。

此外，在外延生长的工艺步骤中，在初始过渡层 128 还掺杂有与第二掺杂区 III 中相同类型的掺杂离子，且掺杂离子在初始过渡层 128 中的掺杂浓度大于在第二掺杂区 III 中的掺杂浓度，则初始过渡层 128 的电阻小于第二掺杂区 III 的电阻。

一方面，采用外延生长工艺有利于提升第二掺杂区 III 和初始过渡层 128 之间的连续性，减少因晶格特性不同或者晶格错位导致的接触缺陷，减小因接触缺陷导致的接触电阻，提升载流子的传输能力和移动速度，进而提高第二掺杂区 III 和初始过渡层 128 之间的导电性能，以及降低半导体结构运行过程中的发热；另一方面，采用外延生长工艺有利于增大初始过渡层 128 在基底 11 上的正投影，有利于使得初始过渡层 128 在基底 11 上的正投影面积大于第二掺杂区 III 在基底 11 上的正投影面积，后续可以作为掩膜，避免形成环绕第二掺杂区 III 侧壁的第二介质层被刻蚀至露出第二掺杂区 III，以保证后续形成的第二介质层对第二掺杂区 III 良好的保护效果。

结合参考图 28 和图 29，以初始过渡层 128 为掩膜，刻蚀第一隔离层 163、第二隔离层 173 以及第三隔离层 183，以露出第二掺杂区 III 侧壁，剩余第一隔离层 163 顶面不高于字线 107 顶面。其中，初始过渡层 128 在基底 11 上的正投影覆盖第二掺杂区 III 在基底 11 上的正投影，有利于避免半导体通道 105 在该步骤中受到刻蚀损伤。

参考图 30，形成保形覆盖初始过渡层 128 表面、第二掺杂区 III 侧壁、字线 107 顶面以及第一隔离层 163（参考图 29）顶面的第二介质膜；对第二介质膜进行化学机械平坦化处理至露出初始过渡层 128 表面，以初始过渡层 128 为掩膜刻蚀剩余的第二介质层 123，由于初始过渡层 128 在基底 11 上的正投影面积大于第二掺杂区 III 在基底 11 上的正投影面积，有利于在去除位于初始过渡层 128 表面、第一隔离层 163 顶面以及部分字线 107 顶面的第二介质膜的同时，避免与初始过渡层 128 在基底 11 上的正投影正对的第二介质膜被刻蚀，从而形成环绕第二掺杂区 III 侧壁的第二介质层 123，以保证第二

介质层 123 对第二掺杂区 III 良好的保护效果。其中，可以采用沉积工艺形成第二介质膜。

在本公开的一些实施例中，参考图 30，去除剩余的第一隔离层 163，以露出初始位线 124 顶面。

在其他实施例中，以初始过渡层为掩膜，刻蚀第一隔离层、第二隔离层以及第三隔离层，以露出初始位线以及露出第二掺杂区侧壁；然后对露出的第二掺杂区侧壁进行热氧化处理，以形成第二介质层。

参考图 1 至图 4，对暴露出的初始位线 124 和初始过渡层 128 进行金属化处理，以形成位线 104，位线 104 的材料包括金属半导体化合物 114。

在初始过渡层 128 表面和初始位线 124 顶面形成金属层，金属层为后续形成位线提供金属元素；金属层还位于第二介质层 123、字线 107 以及第一介质层 113 暴露出的表面。其中，金属层的材料包括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

进行退火处理，以将部分厚度的初始过渡层 128 转化为金属接触层 108，将部分厚度的初始位线 124（参考图 30）转化为位线 104。

在形成位线 104 之后，去除剩余的金属层。

在一些实施例中，在退火处理过程中，金属层与初始过渡层 128 和初始位线 124 发生反应，部分厚度的初始过渡层 128 转化为金属接触层 108，部分厚度的初始位线 124 转化为位线 104。在一个例子中，参考图 2，同一位线 104 中的多个金属半导体化合物 114 之间相互间隔；在又一个例子中，参考图 3，同一位线 104 中的多个金属半导体化合物 114 之间相互连通。

在其他实施例中，全部厚度的初始过渡层可以转化为金属接触层，全部厚度的初始位线可以转化为位。

在其他实施例中，在第二掺杂区顶面没有形成初始过渡层时，先不去除位于第二掺杂区顶面的绝缘层，后续仅对初始位线进行金属化处理，形成位线之后，再去除位于第二掺杂区顶面的绝缘层。结合参考图 30 和图 1 至图 4，形成第三介质层 133，第三介质层 133 填充相邻第一介质层 113 之间的第一间隔、相邻在字线 107 之间的第二间隔以及相邻第二介质层 123 之间的第三间隔，用于实现相邻半导体通道 105 以及相邻字线 107 之间的电绝缘。在一些例子中，参考图 5，在形成第三介质层 133 时，位于第二间隔中的第三

介质层 133 中还可以具有空隙。

在又一些例子中，结合参考图 10 至图 14 和图 31 至图 35，形成第一介质层 113、绝缘层 106、字线 107 以及第二介质层 123 包括如下步骤：

参考图 10 至图 14，形成初始第一介质层 113a，初始第一介质层 113a 环绕半导体通道 105 侧壁，且位于同一初始位线 124 上相邻半导体通道 105 侧壁的初始第一介质层 113a 之间具有第四间隔 e；形成第一隔离层 163，第一隔离层 163 填满第四间隔 e，且第一隔离层 163 的材料和初始第一介质层 113a 的材料不同。

形成初始第一介质层 113a 和第一隔离层 163 的步骤与上述例子相同，在此不做赘述。

参考图 31，刻蚀部分初始第一介质层 113a（参考图 14）至露出第二掺杂区 III 侧壁和沟道区 II 侧壁，剩余初始第一介质层 113a 作为第一介质层 113。

参考图 32 至图 33，形成覆盖第二掺杂区 III 侧壁和沟道区 II 侧壁的保护层 116，且保护层 116 和第一隔离层 163 之间具有第六间隔 k，沟道区 II 侧壁的保护层 116 为绝缘层 106，覆盖第二掺杂区 III 侧壁的保护层 116 为第二介质层 123。

在本公开的一些实施例中，参考图 33，第六间隔 k 还位于相邻初始位线 124 的相邻半导体通道 105 侧壁的保护层 116 之间。

本实施例中，半导体通道 105 的材料为硅，保护层 116 的形成步骤包括：对露出的沟道区 II 侧壁和第二掺杂区 III 的侧壁和顶面进行热氧化处理，则保护层 116 覆盖剩余沟道区 II 和剩余第二掺杂区 III 的侧壁表面，且覆盖剩余第二掺杂区 III 顶面。在其他实施例中，也可以通过沉积工艺形成覆盖沟道区侧壁和第二掺杂区的侧壁和顶面表面的保护层。

由于对露出的沟道区 II 和第二掺杂区 III 侧壁进行热氧化处理，则沟道区 II 和第二掺杂区 III 的部分区域被转化为保护层 116，使得沟道区 II 和第二掺杂区 III 在基底 11 上的正投影均小于第一掺杂区 I 在基底 11 上的正投影，有利于在不采用刻蚀工艺的前提下，形成在垂直于初始位线 124 指向半导体通道 105 的方向 Z 的截面中，截面面积更加小的沟道区 II 和第二掺杂区 III，有利于提高后续形成的字线对沟道区 II 的控制能力，从而更容易控制 GAA 晶体管的导通或者关断。

本实施例中，在后续的工艺步骤中去除位于剩余第二掺杂区 III 顶面的保护层 116。在其他实施例中，可以在热氧化处理之后，就去除位于剩余第二掺杂区顶面的保护层，仅保留覆盖剩余沟道区以及剩余第二掺杂区的侧壁表面的保护层。

参考图 34 至图 35，形成初始字线，初始字线填满第六间隔 k，且初始字线还位于相邻初始位线 124 上的半导体通道 105 部分侧壁的保护层 116 之间；去除部分初始字线，剩余初始字线作为字线 107，字线 107 仅环绕位于沟道区 II 侧壁的绝缘层 106 侧壁。其中，可通过沉积工艺形成初始字线，初始字线的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少一种。

初始字线自对准地填满第六间隔 k，有利于自对准地形成尺寸精确的字线 107。

在形成字线 107 之后，形成第三隔离层、形成初始过渡层、对初始过渡层和初始位线进行金属化处理以形成金属接触层和位线以及形成第三介质层的步骤与上述例子相同，在此不做赘述。

在本公开的一些实施例中，在金属接触层 108 和第三介质层 133 共同构成的表面形成电容结构（图中未示出）。在其他实施例中，还可以不形成金属接触层，在去除位于第二掺杂区顶面的绝缘层之后，直接在第二掺杂区和第三介质层共同构成的表面形成电容结构。

综上所述，通过形成第一介质层 113 和第二介质层 123，以第二介质层 123 为掩膜对第一介质层 113 进行刻蚀，以形成特定形状的空洞结构；采用沉积工艺，在空洞结构中自对准地形成尺寸精确的字线 107，无需通过刻蚀工艺来设计字线 107 的尺寸，有利于简化字线 107 的形成步骤，且通过调控空洞结构的尺寸，即可获得小尺寸的字线 107。此外，对初始位线 124 和初始过渡层 128 进行金属化处理，有利于降低最终形成的位线 104 和金属接触层 108 的电阻，使得金属接触层 108 与电容结构之间构成欧姆接触，避免电容结构与半导体材料直接接触而形成肖特基势垒接触，有利于降低第二掺杂区 III 与电容结构之间的接触电阻，从而降低半导体结构工作时的能耗，以提高半导体结构的电学性能。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或

示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所提供的半导体结构及其制作方法，基底上具有垂直的GAA晶体管，且位线位于基底与GAA晶体管之间，因而可以构成3D堆叠的半导体结构，有利于提高半导体结构的集成密度。此外，由于位线的材料包括金属半导体化合物，有利于降低位线的电阻，以提高半导体结构的电学性能。

权利要求

- 1.一种半导体结构，所述半导体结构包括：
基底；
位线，位于所述基底上，且所述位线的材料包括金属半导体化合物；
5 半导体通道，位于所述位线表面，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，所述第一掺杂区与所述位线相接触；
第一介质层，覆盖所述第一掺杂区侧壁表面，且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔；
10 绝缘层，覆盖所述沟道区侧壁表面；
字线，覆盖所述绝缘层远离所述沟道区的侧壁表面，且相邻所述字线之间具有第二间隔；
第二介质层，覆盖所述第二掺杂区侧壁表面，且位于相邻所述第二掺杂区侧壁的所述第二介质层之间具有第三间隔；
15 第三介质层，位于所述第一间隔、所述第二间隔和所述第三间隔中。
- 2.如权利要求 1 所述的半导体结构，其中，所述半导体结构还包括：金属接触层，位于所述第二掺杂区远离所述基底的顶面，且所述金属半导体化合物和所述金属接触层中具有相同的金属元素。
- 3.如权利要求 2 所述的半导体结构，其中，所述金属接触层在所述基底上的正投影覆盖所述第二掺杂区在所述基底上的正投影。
- 20 4.如权利要求 2 所述的半导体结构，其中，所述半导体结构还包括：过渡层，位于所述第二掺杂区和所述金属接触层之间，且所述金属接触层包裹所述过渡层，所述过渡层和所述第二掺杂区掺杂有相同类型的掺杂离子，且所述掺杂离子在所述过渡层中的掺杂浓度大于在所述第二掺杂区中的掺杂浓度，所述
25 掺杂离子为 N 型离子或 P 型离子中的一者。
- 5.如权利要求 1 所述的半导体结构，其中，所述基底、所述位线和所述半导体通道具有相同的半导体元素。
- 6.如权利要求 1 所述的半导体结构，其中，所述第一掺杂区、所述沟道区和所述第二掺杂区掺杂有相同类型的掺杂离子，且所述掺杂离子在所述第一掺杂区中的掺杂浓度与在所述沟道区和所述第二掺杂区中的掺杂浓度一致，所述
30 掺杂区中的掺杂浓度与在所述沟道区和所述第二掺杂区中的掺杂浓度一致，所述

掺杂离子为 N 型离子或 P 型离子中的一者。

7.如权利要求 1 所述的半导体结构,其中,所述沟道区在所述基底上的正投影小于所述第二掺杂区在所述基底上的正投影,且小于所述第一掺杂区在所述基底上的正投影。

5 8.如权利要求 1 所述的半导体结构,其中,所述绝缘层和所述第二介质层为同一膜层结构。

9.如权利要求 1 所述的半导体结构,其中,所述绝缘层的外围在所述基底上的正投影小于所述第二介质层的外围在所述基底上的正投影。

10 10.如权利要求 1 所述的半导体结构,其中,所述第一介质层包括第四介质层和第五介质层,所述第四介质层位于相邻所述位线的间隔中,且位于相邻所述位线上的相邻所述第一掺杂区的间隔中;所述第五介质层位于同一所述位线上相邻所述第一掺杂区的侧壁,且位于所述第四介质层的侧壁。

11 如权利要求 1 所述的半导体结构,其中,位于所述第二间隔中的所述第三介质层中具有空隙。

15 12.一种半导体结构的制作方法,所述制作方法包括:

提供基底;

在所述基底上形成初始位线,以及在所述初始位线远离所述基底的表面形成半导体通道,在沿所述基底指向所述初始位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区;

20 形成覆盖所述第一掺杂区侧壁表面的第一介质层,且同一所述初始位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔;

形成覆盖所述沟道区侧壁表面的绝缘层;

形成覆盖所述绝缘层远离所述沟道区的侧壁表面的字线,且相邻所述字线之间具有第二间隔;

25 形成覆盖所述第二掺杂区侧壁表面的第二介质层,且位于相邻所述第二掺杂区侧壁的所述第二介质层之间具有第三间隔,所述第一间隔、所述第二间隔和所述第三间隔相连通并暴露出部分所述初始位线;

对暴露出的所述初始位线进行金属化处理,以形成位线,所述位线的材料包括金属半导体化合物。

30 13.如权利要求 12 所述的半导体结构的制作方法,其中,在形成所述字线

之后，在形成所述第二介质层之前，所述制作方法还包括：

采用外延生长工艺，在所述第二掺杂区远离所述基底的顶面形成初始过渡层，所述初始过渡层和所述第二掺杂区掺杂有相同类型的掺杂离子，所述掺杂离子在所述初始过渡层中的掺杂浓度大于在所述第二掺杂区中的掺杂浓度，所述掺杂离子为 N 型离子或 P 型离子中的一者，且所述初始过渡层在所述基底上的正投影覆盖所述第二掺杂区在所述基底上的正投影。

14.如权利要求 13 所述的半导体结构的制作方法，其中，在对所述初始位线进行所述金属化处理的步骤中，所述制作方法还包括：对所述初始过渡层进行金属化处理。

10 15.如权利要求 12 所述的半导体结构的制作方法，其中，形成所述第一介质层的步骤包括：

形成初始第一介质层，所述初始第一介质层环绕所述半导体通道侧壁，且位于同一所述初始位线上相邻所述半导体通道侧壁的所述初始第一介质层之间具有第四间隔；

15 形成第一隔离层，所述第一隔离层填充所述第四间隔，且所述第一隔离层的材料和所述初始第一介质层的材料不同；

刻蚀部分所述初始第一介质层至露出所述第二掺杂区侧壁；

形成第二隔离层，所述第二隔离层环绕所述第二掺杂区侧壁和位于所述第一隔离层侧壁，位于所述第二掺杂区侧壁的所述第二隔离层和位于所述第一隔离层侧壁的所述第二隔离层共同围成通孔，所述通孔底部露出所述初始第一介质层，且所述第二隔离层的材料和所述初始第一介质层的材料不同；

20 去除所述通孔露出的位于所述沟道区侧壁的所述初始第一介质层，剩余所述初始第一介质层作为所述第一介质层。

25 16.如权利要求 15 所述的半导体结构的制作方法，其中，形成所述绝缘层的步骤包括：

对露出的所述沟道区侧壁进行热氧化处理，以形成所述绝缘层，且所述绝缘层覆盖剩余所述沟道区的侧壁表面，所述绝缘层和所述第一隔离层之间具有第五间隔。

30 17.如权利要求 16 所述的半导体结构的制作方法，其中，形成所述字线的步骤包括：

形成初始字线，所述初始字线填满所述第五间隔和所述通孔，且所述初始字线还位于相邻所述初始位线上的所述沟道区侧壁的所述绝缘层之间；

去除位于所述通孔中的所述初始字线，剩余所述初始字线作为所述字线。

18.如权利要求 12 所述的半导体结构的制作方法，其中，形成所述第一介
5 质层的步骤包括：

形成初始第一介质层，所述初始第一介质层环绕所述半导体通道侧壁，且位于同一所述初始位线上相邻所述半导体通道侧壁的所述初始第一介质层之间具有第四间隔；

10 形成第一隔离层，所述第一隔离层填满所述第四间隔，且所述第一隔离层的材料和所述初始第一介质层的材料不同；

刻蚀部分所述初始第一介质层至露出所述第二掺杂区侧壁和所述沟道区侧壁，剩余所述初始第一介质层作为所述第一介质层。

19.如权利要求 18 所述的半导体结构的制作方法，其中，形成所述绝缘层和所述第二介质层的步骤包括：

15 形成覆盖所述第二掺杂区侧壁和所述沟道区侧壁的保护层，且所述保护层和所述第一隔离层之间具有第六间隔，所述沟道区侧壁的所述保护层为所述绝缘层，覆盖所述第二掺杂区侧壁的所述保护层为所述第二介质层。

20.如权利要求 19 所述的半导体结构的制作方法，其中，形成所述字线的步骤包括：

20 形成初始字线，所述初始字线填满所述第六间隔，且所述初始字线还位于相邻所述初始位线上的所述半导体通道部分侧壁的所述保护层之间；

去除部分所述初始字线，剩余所述初始字线作为所述字线，所述字线仅环绕位于所述沟道区侧壁的所述绝缘层侧壁。