

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年5月6日(06.05.2016)



(10) 国際公開番号

WO 2016/067895 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) G11C 16/06 (2006.01)
G11C 16/02 (2006.01) G11C 17/06 (2006.01)
- (21) 国際出願番号: PCT/JP2015/078732
- (22) 国際出願日: 2015年10月9日(09.10.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-223793 2014年10月31日(31.10.2014) JP
- (71) 出願人: 株式会社フローディア(FLOADIA CORPORATION) [JP/JP]; 〒1870031 東京都小平市小川東町1丁目30番9号 Tokyo (JP).
- (72) 発明者: 谷口 泰弘(TANIGUCHI Yasuhiro); 〒1870031 東京都小平市小川東町1丁目30番9号 株式会社フローディア内 Tokyo (JP). 葛西秀男(KASAI Hideo); 〒1870031 東京都小平市小川東町1丁目30番9号 株式会社フローディア内 Tokyo (JP). 川嶋 泰彦(KAWASHIMA Yasuhiko); 〒1870031 東京都小平市小川東町1丁目30番9号 株式会社フローディア内 Tokyo (JP). 櫻井 良多郎(SAKURAI Ryotaro); 〒1870031 東京都小平市小川東町1丁目30番9号 株式会社

フローディア内 Tokyo (JP). 品川 裕(SHIN-AGAWA Yutaka); 〒1870031 東京都小平市小川東町1丁目30番9号 株式会社フローディア内 Tokyo (JP). 奥山 幸祐(OKUYAMA Kosuke); 〒1870031 東京都小平市小川東町1丁目30番9号 株式会社フローディア内 Tokyo (JP).

- (74) 代理人: 吉田 正義(YOSHIDA Tadanori); 〒1600023 東京都新宿区西新宿六丁目15番1号 ラ・トゥール新宿304号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: ANTI-FUSE MEMORY AND SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: アンチヒューズメモリおよび半導体記憶装置

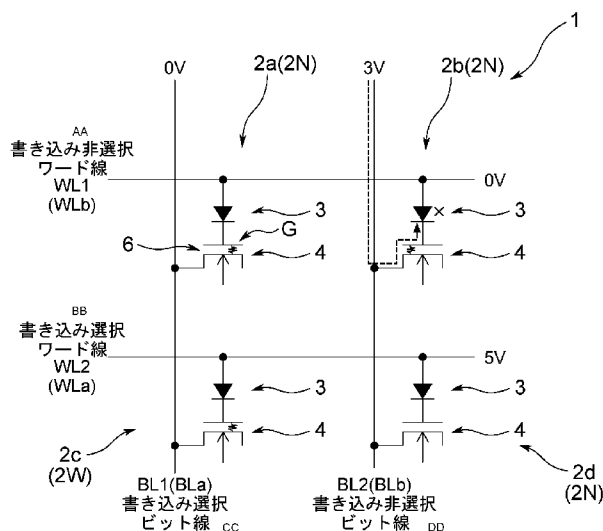


FIG. 1:
AA Word line not selected for writing
BB Word line selected for writing
CC Bit line selected for writing
DD Bit line not selected for writing

(57) Abstract: Anti-fuse memory (2b) is provided with a rectifying element (3) having a semiconductor junction structure configured such that the voltage values of a memory gate electrode (G) and a word line (WL1) cause voltage applied to the word line (WL1) from the memory gate electrode (G) to become reverse bias voltage, said anti-fuse memory (2b) being configured such that the voltage applied to the word line (WL1) from the memory gate electrode (G) is cut off by the rectifying element (3). As a result, the anti-fuse memory (2b) does not use conventional control circuits and does not require a switching transistor for selectively applying voltage to a conventional memory capacitor or a switch control circuit for performing on-off operation of the switching transistor, thus making it possible to decrease the size of the anti-fuse memory (2b) accordingly. Also provided is a semiconductor storage device.

(57) 要約: アンチヒューズメモリ (2b) では、従来のような制御回路を用いずに、メモリゲート電極 (G) およびワード線 (WL1) の電圧値によって、メモリゲート電極 (G) からワード線 (WL1) への電圧印加が逆方向バイアスの電圧となるような半導体接合構造の整流素子 (3) を設け、当該整流素子 (3) によってメモリゲート電極 (G) からワード線 (WL1) への電圧印加を遮断するようにしたことから、従来のようなメモリキャパシタへの電圧印加を選択的に行うス

イッチトランジスタや、スイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不要になり、その分、小型化を図り得るアンチヒューズメモリおよび半導体記憶装置を提案する。



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))