

半导体封装方法及半导体封装结构

技术领域

[01] 本申请涉及半导体技术领域，特别涉及一种半导体封装方法及半导体封装结构。

背景技术

[02] 常见的半导体封装技术，比如芯片封装技术主要包含下述工艺过程：对于芯片正面进行工艺处理过程而言，首先将芯片的正面贴装在载板上，进行热压塑封，将载板剥离，然后在芯片的正面形成再布线层及位于再布线层背离芯片一侧的引脚层，之后形成绝缘层，绝缘层覆盖再布线层，且引脚层背离芯片的表面从绝缘层露出。

[03] 上述的芯片封装技术，由于引脚层形成在再布线层背离芯片的一侧，再布线层的面积大于引脚层的面积，因此再布线层的面积较大，再布线层与邻接的绝缘层接触面积较大。由于再布线层与绝缘层的热膨胀系数差别较大，在制备或芯片工作过程中再布线层的温度升高会使得再布线层与绝缘层的应力差较大，可能会使得再布线层与绝缘层发生分层或再布线层发生翘曲，影响产品的正常工作。

发明内容

[04] 本申请实施例提供了一种半导体封装方法及半导体封装结构。

[05] 根据本申请实施例的第一方面，提供了一种半导体封装方法，包括：

[06] 形成包封结构，所述包封结构包括包封层及芯片，所述芯片的正面设有多个焊垫，所述包封层至少覆盖所述芯片的侧面；

[07] 在所述包封结构靠近所述芯片正面的一侧形成再布线层，所述再布线层将所述芯片的焊垫引出；

[08] 形成介电层，所述介电层覆盖所述再布线层，且所述介电层上设有暴露所述再布线层的通孔；

[09] 在所述介电层背离所述芯片的一侧形成引脚层，所述引脚层通过所述通孔与所述再布线层电连接。

[10] 根据本申请实施例的第二方面，提供了一种半导体封装结构，所述半导体封装结构包括：

[11] 包封结构，所述包封结构包括包封层及芯片，所述芯片的正面设有多个焊垫，所述

包封层包覆所述芯片的背面及侧面;

[12]再布线层,位于所述包封结构靠近所述芯片正面的一侧,所述再布线层将所述芯片的焊垫引出;

[13]介电层,覆盖所述再布线层,所述介电层上设有暴露所述再布线层的通孔;

[14]引脚层,位于所述介电层背离所述芯片的一侧,所述引脚层通过所述通孔与所述再布线层电连接。

[15]本申请实施例所达到的主要技术效果是:根据本申请实施例提供的半导体封装方法及半导体封装结构,介电层覆盖再布线层,引脚层位于介电层背离再布线层的一侧,引脚层通过介电层上的通孔与再布线层电连接,也即引脚层与再布线层不直接接触,使得引脚层的尺寸不受再布线层尺寸的影响,因此可将再布线层的尺寸设置得较小一些,从而减小再布线层与相邻绝缘层例如介电层的接触面积,降低再布线层与相邻绝缘层的应力差,进而降低再布线层与相邻绝缘层发生分层或再布线层发生翘曲的风险,有助于提升产品的质量;引脚层与再布线层不直接接触,则引脚层的厚度受再布线层的影响较小,引脚层的厚度设计更加自由,有助于增大形成的引脚层的厚度,进而增大半导体封装结构的击穿电压,有助于半导体封装结构应用在高压环境中,扩大半导体封装结构的应用范围。

[16]本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

[17]图1是本申请一示例性实施例提供的半导体封装方法的流程图;

[18]图2是本申请一示例性实施例提供的形成包封结构的流程图;

[19]图3是本申请一示例性实施例提供的半导体封装结构的第一中间结构的局部剖视图;

[20]图4是本申请一示例性实施例提供的半导体封装结构的第二中间结构的局部剖视图;

[21]图5是本申请一示例性实施例提供的包封结构的局部剖视图;

[22]图6是本申请另一示例性实施例提供的半导体封装结构的第三中间结构的局部剖视图;

[23]图 7 是本申请另一示例性实施例提供的半导体封装结构的第三中间结构的局部剖视图；

[24]图 8 是本申请另一示例性实施例提供的半导体封装结构的第四中间结构的局部剖视图；

[25]图 9 是本申请另一示例性实施例提供的半导体封装结构的第五中间结构的局部剖视图；

[26]图 10 是本申请另一示例性实施例提供的半导体封装结构的第六中间结构的局部剖视图；

[27]图 11 是本申请另一示例性实施例提供的半导体封装结构的第六中间结构的结构示意图；

[28]图 12 是本申请一示例性实施例提供的半导体封装结构的局部剖视图；

[29]图 13 是本申请一示例性实施例提供的半导体封装结构与电路板焊接后的局部剖视图；

[30]图 14 是本申请另一示例性实施例提供的半导体封装结构的局部剖视图。

具体实施方式

[31]这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施例并不代表与本申请相一致的所有实施例。相反，它们仅是与如所附权利要求书中所详述的、本申请的一些方面相一致的装置和方法的例子。

[32]在本申请使用的术语是仅仅出于描述特定实施例的目的，而非旨在限制本申请。在本申请和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式，除非上下文清楚地表示其他含义。还应当理解，本文中使用的术语“和/或”是指并包含一个或多个相关联的列出项目的任何或所有可能组合。

[33]应当理解，尽管在本申请可能采用术语第一、第二、第三等来描述各种信息，但这些信息不应限于这些术语。这些术语仅用来将同一类型的信息彼此区分开。例如，在不脱离本申请范围的情况下，第一信息也可以被称为第二信息，类似地，第二信息也可以被称为第一信息。取决于语境，如在此所使用的词语“如果”可以被解释成为“在……时”或“当……时”或“响应于确定”。

[34]下面结合附图，对本申请的一些实施例作详细说明。在不冲突的情况下，下述的实施例及实施例中的特征可以相互组合。

[35]本申请实施例提供了一种半导体封装方法。参见图 1，所述半导体封装方法包括如下步骤 110 至步骤 140。

[36]在步骤 110 中，形成包封结构，所述包封结构包括包封层及芯片，所述芯片的正面设有多个焊垫，所述包封层至少覆盖所述芯片的侧面。

[37]在步骤 120 中，在所述包封结构靠近所述芯片正面的一侧形成再布线层，所述再布线层将所述芯片的焊垫引出。

[38]在步骤 130 中，形成介电层，所述介电层覆盖所述再布线层，且所述介电层设有暴露所述再布线层的通孔。

[39]在步骤 140 中，在所述介电层背离所述芯片的一侧形成引脚层，所述引脚层通过所述通孔与所述再布线层电连接。

[40]根据本申请实施例提供的半导体封装方法，介电层覆盖再布线层，引脚层位于介电层背离再布线层的一侧，引脚层通过介电层上的通孔与再布线层电连接，也即引脚层与再布线层不直接接触，使得引脚层的尺寸不受再布线层尺寸的影响，因此可将再布线层的尺寸设置得较小一些，从而减小再布线层与相邻绝缘层例如介电层的接触面积，降低再布线层与相邻绝缘层的应力差，进而降低再布线层与相邻绝缘层发生分层或再布线层发生翘曲的风险，有助于提升产品的质量；引脚层与再布线层不直接接触，则引脚层的厚度不受再布线层的影响较小，引脚层的厚度设计更加自由，有助于增大形成的引脚层的厚度，进而增大半导体封装结构的击穿电压，有助于半导体封装结构应用在高压环境中，扩大半导体封装结构的应用范围。

[41]下面将对本申请实施例提供的半导体封装方法的各个步骤进行详细介绍。

[42]在步骤 110 中，形成包封结构，所述包封结构包括包封层及芯片，所述芯片的正面设有多个焊垫，所述包封层至少覆盖所述芯片的侧面。

[43]在一个实施例中，包封结构可包括一个或多个芯片，包封层上设有与芯片可一一对应的内凹的腔体，芯片位于对应的内凹的腔体内。

[44]在一个实施例中，参见图 2，所述形成包封结构的步骤 110 包括如下步骤 111 至步骤 113。

- [45]在步骤 111 中, 将所述芯片贴装于载板上, 所述芯片的正面朝向所述载板的表面。
- [46]通过步骤 111 可得到如图 3 所示的第一中间结构。图 3 所示的实施例中, 载板 10 上贴装有一个芯片 20。在其他实施例中, 载板 10 上贴装的芯片 20 的数量可为多个。
- [47]在一个实施例中, 载板 10 包括用于贴装芯片 20 的贴装区。贴装区的形状是根据芯片 20 在整片载板 10 上的布局进行设计的, 贴装区的形状可包括圆形、矩形或其他形状。载板 10 可包括一个或多个贴装区。
- [48]在一个实施例中, 载板 10 的形状可为圆形、矩形或其他形状。载板 10 的材料可以是铁镍定膨胀合金, 也可以是不锈钢、聚合物等。
- [49]在一个实施例中, 芯片 20 可通过对硅片进行切割得到。硅片具有活性面, 硅片的活性面设有焊垫。可采用机械切割的方式或者激光切割的方式切割硅片。可选的, 在对硅片进行切割之前, 可采用研磨设备对硅片与活性面相对的背面进行研磨, 以使硅片的厚度为指定厚度。
- [50]芯片 20 的焊垫 21 是由芯片内部电路引出至芯片表面的导电电极构成。芯片 20 的正面可设有多个焊垫 21。焊垫 21 用于将芯片 20 的导电电极引出。
- [51]在一个实施例中, 在将所述芯片贴装于载板上的步骤 111 之前, 所述半导体封装方法还包括: 在所述芯片 20 的正面形成保护层 22, 保护层 22 上设有暴露所述焊垫 21 的开孔 23。
- [52]在一些实施例中, 可通过镭射工艺在保护层 22 上形成开孔 23。开孔 23 的尺寸可小于焊垫 21 的尺寸, 开孔 23 暴露焊垫 21 背离载板 10 的部分表面。
- [53]保护层 22 的材料可以为塑封膜、PI (聚酰亚胺)、PBO (聚苯并恶唑)、有机聚合物膜、有机聚合物复合材料或者其他具有类似特性的材料。在一些实施例中, 保护层 22 中还可以加入有机或无机的填料。
- [54]在后续形成包封层的步骤 112 中, 由于包封层在成型时需要高压成型, 在此过程中形成包封层的包封材料容易渗透到载板 10 与芯片 20 之间。通过在芯片 20 的正面形成一层保护层 22, 保护层 22 能够防止包封材料渗透到芯片 20 表面, 而且即使在形成包封层时包封材料有渗入到保护层 22, 在载板 10 与芯片 20 剥离之后, 还可以通过化学方式或者研磨方式直接处理保护层 22 的表面, 而不会直接接触到芯片 20 的正面, 进而可避免破坏芯片 20 正面的焊垫。

[55]在一个实施例中，芯片 20 可通过粘接层贴装于载板 10，且粘接层可采用易剥离的材料，以便在后续将芯片 20 与载板 10 剥离开来，例如粘接层可采用通过加热能够使其失去粘性的热分离材料。

[56]在步骤 112 中，形成包封层，所述包封层覆盖在所述载板上，包封住所述芯片。

[57]通过步骤 112 可得到如图 4 所示的第二中间结构。

[58]参见图 4，包封层 30 形成在芯片 20 与露出的载板 10 上，用于将芯片 20 包封住，以重新构造一平板结构，以便在将载板 10 剥离后，能够继续在重新构造的该平板结构上进行再布线和封装。

[59]在一个实施例中，在形成包封层 30 之前，可以执行一些前处理步骤，例如化学清洗、等离子清洗等步骤，以将芯片 20 与载板 10 表面的杂质去除，以便包封层 30 与芯片 20 及载板 10 之间能够连接的更加密切，不会出现分层或开裂的现象。

[60]在一个实施例中，包封层 30 可采用层压环氧树脂膜的方式形成，也可以通过对环氧树脂化合物进行注塑成型、压模成型或传递成型等方式形成。

[61]在一个实施例中，形成包封层的步骤 112 可包括如下步骤：

[62]首先，形成包封结构，所述包封结构覆盖在所述载板上，包覆所述芯片。在该步骤中，包封结构的厚度大于芯片 20 的厚度，从而包封结构将芯片 20 完全包封住。

[63]之后，对所述包封结构背离所述载板的一侧进行减薄处理，得到所述包封层。在该步骤中，可通过研磨工艺对包封结构进行减薄处理，使包封结构减薄至指定的厚度。

[64]在步骤 113 中，去除所述载板，得到所述包封结构。

[65]通过步骤 113 可得到如图 5 所示的包封结构。附图 5 所示的实施例中包封层 30 包覆芯片 20 的背面及侧面。在其他实施例中，包封层 30 可仅包覆芯片 20 的侧面等。

[66]在一个实施例中，可直接机械的从包封层 30 及芯片 20 上剥离载板 10。在另一个实施例中，芯片 20 与载板 10 与之间通过粘接层粘接，且粘接层的材料为热分离材料时，还可以通过加热的方式，使得粘接层遇热后粘性降低，进而将载板 10 剥离。载板 10 剥离后，各个芯片 20 的焊垫暴露出来。

[67]在步骤 120 中，在所述包封结构靠近所述芯片正面的一侧形成再布线层，所述再布线层将所述芯片的焊垫引出。

[68]通过步骤 120 可得到如图 6 所示的第三中间结构。包封结构靠近芯片正面的一侧指

的是芯片的正面所在的一侧。参见图 6，再布线层 40 包括多个再布线结构 41。每一再布线结构 41 可与一个焊垫 21 电连接，也可与多个焊垫 21 电连接。

[69]在一个实施例中，保护层 22 的开孔 23 中形成有导电结构 24，导电结构 24 与再布线结构 41 直接接触，再布线结构 41 通过导电结构 24 与焊垫 21 电连接。导电结构 24 与再布线结构 41 可在同一工艺步骤中形成，如此有助于简化半导体封装工艺。

[70]在一个实施例中，步骤 120 可通过如下步骤完成：

[71]首先，在所述包封结构靠近所述芯片正面的一侧形成种子层。种子层可覆盖芯片 20 的正面且将开孔 23 的内壁覆盖。

[72]随后，在种子层背离芯片的一侧形成光阻层。光阻层为图形化的膜层。

[73]随后，将种子层连接至电源，进行电镀，以在所述种子层背离所述芯片的一侧且未被所述光阻层遮挡的区域形成导电层。

[74]随后，去除光阻层。

[75]随后，对种子层进行图形化处理，将种子层未被导电层遮挡的区域刻蚀掉，未被刻蚀掉的种子层与导电层形成再布线层。

[76]在一个实施例中，参见图 7，所述再布线结构 41 设置有镂空部 411。如此，可减小再布线结构 41 的尺寸，进而减小再布线结构 41 与相邻绝缘层的接触面积，进一步降低再布线结构 41 与相邻绝缘层剥离的风险。

[77]在步骤 130 中，形成介电层，所述介电层覆盖所述再布线层，且所述介电层上设有暴露所述再布线层的通孔。

[78]在一个实施例中，步骤 130 可通过如下过程完成：

[79]首先，在包封结构上形成介电层，介电层包覆再布线层 40 及露出的包封层 30。

[80]通过该步骤可得到如图 8 所示的第四中间结构。参见图 8，介电层 50 将再布线层 40 全部包覆。

[81]随后，在介电层上形成暴露再布线层的通孔。

[82]通过该步骤可得到如图 9 所示的第五中间结构。参见图 9，介电层 50 上设有多个通孔 51。介电层 50 与一个再布线结构 41 在纵向上对应的部分可设有一个通孔 51 或多个通孔 51，也即一个再布线结构 41 可对应一个通孔 51 或多个通孔 51。通孔 51 的尺寸小

于再布线结构 41 的尺寸，通孔 51 暴露再布线结构 41 的部分表面。

[83]在一个实施例中，介电层 50 的材料可以是塑封膜、PI、PBO、有机聚合物膜、有机聚合物复合材料或者其他具有类似特性的材料。在一些实施例中，介电层 50 中还可以加入有机或无机的填料。

[84]在一个实施例中，可采用镭射工艺在介电层 50 上形成通孔 51。

[85]在步骤 140 中，在所述介电层背离所述芯片的一侧形成引脚层，所述引脚层通过所述通孔与所述再布线层电连接。

[86]通过步骤 140 可得到如图 10 所示的第六中间结构。参见图 10，引脚层 60 包括多个间隔排布的导电凸柱 61，导电凸柱 61 凸出于所述介电层 50。

[87]由于引脚层 60 位于介电层 50 背离芯片 20 的一侧，导电凸柱 61 凸出于所述介电层 50，则不需要对介电层 50 进行研磨；相对于在形成引脚层之后形成介电层，通过研磨介电层使引脚层露出的方案来说，可节省对介电层进行研磨处理的时间，提升封装效率，降低生产成本；同时可避免研磨工艺的精度较低导致介电层厚度均匀性较差的问题，且可避免研磨介电层时研磨到引脚层，还可避免对引脚层的应力损伤芯片的焊垫，有助于提升封装产品的质量。

[88]在一个实施例中，介电层 50 的通孔 51 中形成有导电部 52，导电部 52 分别与再布线结构 41 及导电凸柱 61 直接接触，导电凸柱 61 通过导电部 52 与再布线结构 41 电连接。导电凸柱 61 与导电部 52 可在同一工艺步骤中形成，如此有助于简化半导体封装工艺。

[89]在一个实施例中，可采用电镀工艺在介电层 50 背离芯片 20 的一侧形成引脚层 60。由于引脚层 60 形成于介电层 50 上，不与再布线层 40 直接接触，通过电镀工艺可在介电层 50 背离芯片 20 的一侧形成厚度较大的导电层，从而对导电层进行刻蚀得到厚度较大的引脚层 60。

[90]在一个实施例中，所述引脚层 60 的厚度 d 大于 $30\mu\text{m}$ 。如此设置，可有效提升半导体封装结构的击穿电压。在一些实施例中，导电部 52 与引脚层 60 可以同时形成，如此设置也可避免因导电部 52 的厚度较小而导致导电部 52 位于通孔 51 的侧壁处的部分发生断裂。在一些实施例中，引脚层 60 的厚度 d 例如为 $31\mu\text{m}$ 、 $33\mu\text{m}$ 、 $35\mu\text{m}$ 、 $37\mu\text{m}$ 、 $40\mu\text{m}$ 等。

[91]在一个实施例中，所述半导体封装方法还包括：在介电层 50 背离芯片 20 的一侧形

成散热层。

[92]参见图 11，散热层 80 的面积较大，可使得半导体封装结构的散热效果较好。每一芯片 20 可对应一个散热层 80，芯片 20 的多个导电凸柱 61 可位于其对应的散热层 80 周侧。

[93]在一个实施例中，散热层 80 可与引脚层 60 在同一工艺步骤中形成。如此有助于简化半导体封装工艺。此时，散热层 80 可全部凸出于介电层 50。

[94]在一个实施例中，在所述介电层背离所述芯片的一侧形成引脚层的步骤 140 之后，所述半导体封装方法还包括：形成焊料层，所述焊料层包覆所述导电凸柱凸出于所述介电层的表面。

[95]通过该步骤可得到如图 12 所示的半导体封装结构。

[96]由于引脚层 60 的导电凸柱 61 位于介电层 50 背离芯片 20 的一侧，导电凸柱 61 整体凸出于介电层 50，在形成焊料层 70 时焊料的爬升能力较好，形成的焊料层 70 可将导电凸柱 61 凸出于介电层的表面全部包覆，也即焊料层 70 将导电凸柱 61 的侧壁及背离芯片 20 的表面全部包覆。如此，如图 13 所示，半导体封装结构与电路板 90 焊接时，导电凸柱 61 的侧壁及背离芯片 20 表面的焊料层 70 可均与电路板 90 焊接，相对于导电凸柱仅背离芯片的表面从介电层露出，导电凸柱只有背离芯片的表面形成焊料层的方案来说，本申请实施例得到的半导体封装结构的导电凸柱 61 与电路板 90 焊接的可靠性更高，且本申请实施例相对于通过回流焊工艺形成锡球的方案来说，工艺更简单。

[97]在一些实施例中，焊料层 70 的材料可以是金属锡、金锡合金或者镍基合金等可实现焊接功能的材料。

[98]在一些实施例中，焊料层 70 可采用电镀、化学镀或者网板印刷等工艺来形成。在一些实施例中，可采用电镀工艺在导电凸柱 61 表面形成焊料层 70。如此可使得半导体封装结构整体的厚度更加可控，同时可保证半导体封装结构的厚度均一性，对于板级封装来说，可有效提升封装效率，有助于降低成本；同时可使得形成的焊料层 70 的厚度较大，可提升半导体封装结构与其他节后焊接的可靠性。

[99]在一个实施例中，由于散热层 80 位于介电层 50 背离芯片 20 的一侧，散热层 80 凸出于介电层 50，在形成焊料层 70 时焊料的爬升能力较好，则焊料层 70 包覆散热层 80 凸出于介电层的表面，也即焊料层 70 将散热层 80 的侧壁及背离芯片 20 的表面包覆。半导体封装结构与电路板 90 焊接时，散热层 80 的侧壁及背离芯片 20 表面的焊料层 70

可均与电路板焊接，相对于散热层仅背离芯片的表面从介电层露出，焊料层仅形成于散热层背离芯片的表面的方案来说，本申请实施例得到的半导体封装结构的散热层 80 与电路板 90 焊接的可靠性更高。

[100] 在一个实施例中，再次参见图 11，在形成焊料层 70 时，首先形成镀锡线 71，镀锡线 71 与各个导电凸柱 61 及散热层 80 电连接，随后将镀锡线 71 与外部电源电连接进行电镀，以在导电凸柱 61 的侧壁与背离芯片 20 的表面、以及散热层 80 的侧壁与背离芯片 20 的表面形成焊料层 70。

[101] 在一个实施例中，参见图 14，通孔 51 的尺寸较大，可避免所述导电部 52 位于所述介电层 50 的通孔 51 侧壁处的部分发生断裂；所述焊料层 70 填充导电部 52 形成的凹陷。如此，焊料层 70 与引脚层 60 的导电凸柱 61 的接触面积更大，结合力更好，同时能为焊料层 70 提供足够的填充空间，可将焊料层 70 做得更厚，有助于提升半导体封装结构与电路板 90 焊接的可靠性。

[102] 在一些实施例中，所述通孔 51 的宽度 D 与深度 H 的比值大于或等于 1/3。如此设置，形成的导电部 52 更易于在通孔 51 处形成凹陷，更有助于提升导电凸柱 61 与焊料层 70 的接触面积。通孔 51 的宽度 D 与深度 H 的比值例如为 1/3、1/2、2/3、3/4、3/2 等。

[103] 在一个实施例中，所述通孔 51 的深度 H 范围为 60 μ m 至 100 μ m，所述导电部 52 位于所述通孔 51 底壁的部分的厚度 S 的范围为 10 μ m 至 50 μ m。如此设置，更有助于在通孔 51 内为焊料层 70 提供足够的填充空间，从而提升半导体封装结构与其他结构焊接的可靠性。在一些实施例中，所述通孔 51 的深度 H（以下简称深度 H）为 100 μ m，所述导电部 52 位于所述通孔 51 底壁的部分的厚度 S（以下简称厚度 S）为 40 μ m，通孔 51 的宽度 D（以下简称宽度 D）为 50 μ m；或者，深度 H 为 80 μ m，厚度 S 为 35 μ m，宽度 D 为 40 μ m 或 80 μ m；或者，深度 H 为 60 μ m，厚度 S 为 25 μ m，宽度 D 为 30 μ m 或 80 μ m 等。

[104] 本申请实施例还提供了一种半导体封装结构。参见图 12 与图 14，所述半导体封装结构包括包封结构、再布线层 40、介电层 50 与引脚层 60。

[105] 所述包封结构包括包封层 30 及芯片 20，所述芯片 20 的正面设有多个焊垫 21，所述包封层 30 至少覆盖所述芯片 20 的侧面。所述再布线层 40 位于所述包封结构靠近所述芯片 20 正面的一侧，所述再布线层 40 将所述芯片 20 的焊垫 21 引出。其中包封结

构靠近芯片 20 正面的一侧指的是芯片 20 的正面所在的一侧。所述介电层 50 覆盖所述再布线层 40，所述介电层 50 上设有暴露部分所述再布线层 40 的通孔 51。所述引脚层 60 位于所述介电层 50 背离所述芯片 20 的一侧，所述引脚层 60 通过所述通孔 51 与所述再布线层 40 电连接。

[106] 根据本申请实施例提供的半导体封装结构，介电层覆盖再布线层，引脚层位于介电层背离再布线层的一侧，引脚层通过介电层上的通孔与再布线层电连接，也即引脚层与再布线层不直接接触，使得引脚层的大小不受再布线层的影响，因此可将再布线层的面积设置得较小一些，从而减小再布线层与相邻绝缘层例如介电层的接触面积，降低再布线层与相邻绝缘层的应力差，进而降低再布线层与绝缘层发生分层或再布线层发生翘曲的风险，有助于提升产品的质量；引脚层与再布线层不直接接触，则引脚层的厚度不受再布线层的影响，引脚层的厚度设计更加自由，有助于增大形成的引脚层的厚度，进而增大半导体封装结构的击穿电压，有助于半导体封装结构应用在高压环境中，扩大半导体封装结构的应用范围。

[107] 在一个实施例中，芯片 20 的正面形成有保护层 22，保护层 22 上设有暴露所述焊垫 21 的开孔 23。开孔 23 的尺寸可小于焊垫 21 的尺寸，开孔 23 暴露焊垫 21 背离载板 10 的部分表面。

[108] 保护层 22 的材料可以为塑封膜、PI、PBO、有机聚合物膜、有机聚合物复合材料或者其他具有类似特性的材料。在一些实施例中，保护层 22 中还可以加入有机或无机的填料。

[109] 在形成包封层时需要高压成型，在此过程中形成包封层的包封材料容易渗透到载板 10 与芯片 20 之间。通过在芯片 20 的正面形成一层保护层 22，保护层 22 能够防止包封材料渗透到芯片 20 表面，而且即使在形成包封层 30 时包封材料有渗入到保护层 22，在载板 10 与芯片 20 剥离之后，还可以通过化学方式或者研磨方式直接处理保护层 22 的表面，而不会直接接触到芯片 20 的正面，进而可避免破坏芯片 20 正面的焊垫。

[110] 在一个实施例中，保护层 22 的开孔 23 中形成有导电结构 24，导电结构 24 与再布线结构 41 直接接触，再布线结构 41 通过导电结构 24 与焊垫 21 电连接。导电结构 24 的材料与再布线结构 41 的材料可相同，从而导电结构 24 与再布线结构 41 可在同一工艺步骤中形成，如此有助于简化形成半导体封装结构的封装工艺。

[111] 在一个实施例中，再布线层 40 包括多个间隔排布的再布线结构 41。每一再布线

结构 41 可与一个焊垫 21 电连接，也可与多个焊垫 21 电连接。

[112] 在一个实施例中，参见图 7，所述再布线结构 41 设置有镂空部 411。如此，可减小再布线结构 41 的尺寸，进而减小再布线结构 41 与相邻绝缘层的接触面积，进一步降低再布线结构 41 与相邻绝缘层剥离的风险。

[113] 在一个实施例中，介电层 50 上设有多个通孔 51。介电层 50 与一个再布线结构 41 在纵向上对应的部分可设有一个通孔 51 或多个通孔 51，也即一个再布线结构 41 可对应一个通孔 51 或多个通孔 51。通孔 51 的尺寸小于再布线结构 41 的尺寸，通孔 51 暴露再布线结构 41 的部分表面。

[114] 在一个实施例中，介电层 50 的材料可以是塑封膜、PI、PBO、有机聚合物膜、有机聚合物复合材料或者其他具有类似特性的材料。在一些实施例中，介电层 50 中还可以加入有机或无机的填料。

[115] 在一个实施例中，引脚层 60 包括多个间隔排布的导电凸柱 61，导电凸柱 61 凸出于所述介电层 50。

[116] 由于引脚层 60 位于介电层 50 背离芯片 20 的一侧，导电凸柱 61 凸出于所述介电层 50，则不需要对介电层 50 进行研磨，相对于在形成引脚层之后形成介电层，通过研磨介电层使引脚层露出的方案来说，可节省对介电层进行研磨处理的时间，提升封装效率，降低生产成本；同时可避免研磨工艺的精度较低导致介电层厚度均匀性较差的问题，且可避免研磨介电层时研磨到引脚层，还可避免对引脚层的应力损伤芯片的焊垫，有助于提升封装产品的质量。

[117] 在一个实施例中，介电层 50 的通孔 51 中形成有导电部 52，导电部 52 分别与再布线结构 41 及导电凸柱 61 直接接触，导电凸柱 61 通过导电部 52 与再布线结构 41 电连接。导电凸柱 61 的材料与导电部 52 的材料可相同，从而导电凸柱 61 与导电部 52 可在同一工艺步骤中形成，如此有助于简化半导体封装结构的封装工艺。

[118] 在一个实施例中，所述引脚层 60 的厚度 d 大于 $30\mu\text{m}$ 。如此设置，可有效提升半导体封装结构的击穿电压；在一些实施例中，导电部 52 与引脚层 60 可以同时形成，如此设置也可避免导电部 52 位于通孔 51 的侧壁处的部分发生断裂。在一些实施例中，引脚层 60 的厚度例如为 $31\mu\text{m}$ 、 $33\mu\text{m}$ 、 $35\mu\text{m}$ 、 $37\mu\text{m}$ 、 $40\mu\text{m}$ 等。

[119] 在一个实施例中，参见图 11，所述半导体封装结构还包括散热层 80。散热层 80 的面积较大，可使得半导体封装结构的散热效果较好。每一芯片 20 可对应一个散热层

80, 芯片 20 对应的多个导电凸柱 61 可位于其对应的散热层 80 周侧。

[120] 在一个实施例中, 散热层 80 的材料与引脚层 60 的材料可相同, 因而散热层 80 与引脚层 60 可在同一工艺步骤中形成, 有助于简化半导体封装结构的封装工艺。此时, 散热层 80 可全部凸出于介电层 50。

[121] 在一个实施例中, 所述半导体封装结构还包括焊料层 70, 所述焊料层 70 包覆所述导电凸柱 61 凸出于所述介电层 50 的表面。

[122] 由于引脚层 60 的导电凸柱 61 位于介电层 50 背离芯片 20 的一侧, 导电凸柱 61 整体凸出于介电层 50, 在形成焊料层 70 时焊料的爬升能力较好, 形成的焊料层 70 可将导电凸柱 61 凸出于介电层的表面全部包覆, 也即焊料层 70 将导电凸柱 61 的侧壁及背离芯片 20 的表面全部包覆。如此, 如图 13 所示, 半导体封装结构与电路板 90 焊接时, 导电凸柱 61 的侧壁及背离芯片 20 表面的焊料层 70 可均与电路板 90 焊接, 相对于导电凸柱仅背离芯片的表面从介电层露出, 导电凸柱只有背离芯片的表面形成焊料层的方案来说, 本申请实施例提供的半导体封装结构的导电凸柱 61 与电路板 90 焊接的可靠性更高。

[123] 在一个实施例中, 由于散热层 80 位于介电层 50 背离芯片的一侧, 散热层 80 凸出于介电层 50, 在形成焊料层 70 时焊料的爬升能力较好, 则焊料层 70 包覆散热层 80 凸出于介电层的表面, 也即焊料层 70 将散热层 80 的侧壁及背离芯片 20 的表面包覆。半导体封装结构与电路板 90 焊接时, 散热层 80 的侧壁及背离芯片 20 表面的焊料层 70 可均与电路板焊接, 相对于散热层仅背离芯片的表面从介电层露出, 焊料层仅形成于散热层背离芯片的表面的方案来说, 本申请实施例提供的半导体封装结构的散热层 80 与电路板 90 焊接的可靠性更高。

[124] 在一些实施例中, 焊料层 70 的材料可以是金属锡、金锡合金或者镍基合金等可实现焊接功能的材料。

[125] 在一些实施例中, 焊料层 70 可采用电镀、化学镀或者网板印刷等工艺来形成。在一些实施例中, 可采用电镀工艺在导电凸柱 61 表面形成焊料层 70。如此可使得半导体封装结构整体的厚度更加可控, 同时可保证半导体封装结构的厚度均一性, 对于板级封装来说, 可有效提升封装效率, 有助于降低成本; 同时可使得形成的焊料层 70 的厚度较大, 可提升半导体封装结构与其他节后焊接的可靠性。

[126] 在一个实施例中, 参见图 14, 通孔 51 的尺寸较大, 导电部 52 与所述介电层 50

的通孔 51 对应的位置处形成凹陷；所述焊料层 70 填充所述凹陷。如此，焊料层 70 与引脚层 60 的导电凸柱 61 的接触面积更大，结合力更好，同时也可将焊料层 70 做得更厚，有助于提升半导体封装结构与电路板 90 焊接的可靠性。

[127] 在一些实施例中，所述通孔 51 的宽度 D 与深度 H 的比值大于或等于 1/3。如此设置，形成的导电部 52 更易于在通孔 51 处形成凹陷，更有助于提升导电凸柱 61 与焊料层 70 的接触面积。通孔 51 的宽度 D 与深度 H 的比值例如为 1/3、1/2、2/3、3/4、3/2 等。

[128] 在一个实施例中，所述通孔 51 的深度 H 范围为 60 μ m 至 100 μ m，所述导电部 52 位于所述通孔 51 底壁的部分的厚度 S 的范围为 10 μ m 至 50 μ m。如此设置，更有助于在通孔 51 内为焊料层 70 提供足够的填充空间，从而提升半导体封装结构与其他结构焊接的可靠性。在一些实施例中，所述通孔 51 的深度 H（以下简称深度 H）为 100 μ m，所述导电部 52 位于所述通孔 51 底壁的部分的厚度 S（以下简称厚度 S）为 40 μ m，通孔 51 的宽度 D（以下简称宽度 D）为 50 μ m；或者，深度 H 为 80 μ m，厚度 S 为 35 μ m，宽度 D 为 40 μ m 或 80 μ m；或者，深度 H 为 60 μ m，厚度 S 为 25 μ m，宽度 D 为 30 μ m 或 80 μ m 等。

[129] 本申请实施例提供的半导体封装方法与半导体封装结构属于同一发明构思，相关细节及有益效果的描述可互相参见，不再进行赘述。

[130] 需要指出的是，在附图中，为了图示的清晰可能夸大了层和区域的尺寸。而且可以理解，当元件或层被称为在另一元件或层“上”时，它可以直接在其他元件上，或者可以存在中间的层。另外，可以理解，当元件或层被称为在另一元件或层“下”时，它可以直接在其他元件下，或者可以存在一个以上的中间的层或元件。另外，还可以理解，当层或元件被称为在两层或两个元件“之间”时，它可以为两层或两个元件之间唯一的层，或还可以存在一个以上的中间层或元件。通篇相似的参考标记指示相似的元件。

[131] 本领域技术人员在考虑说明书及实践这里公开的公开后，将容易想到本申请的其它实施方案。本申请旨在涵盖本申请的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本申请的一般性原理并包括本申请未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本申请的真正范围和精神由下面的权利要求指出。

[132] 应当理解的是，本申请并不局限于上面已经描述并在附图中示出的精确结构，

并且可以在不脱离其范围进行各种修改和改变。本申请的范围仅由所附的权利要求来限制。