

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月15日(15.06.2023)



(10) 国際公開番号

WO 2023/105763 A1

(51) 国際特許分類:
H01L 27/11575 (2017.01)

(21) 国際出願番号: PCT/JP2021/045583

(22) 国際出願日: 2021年12月10日(10.12.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).

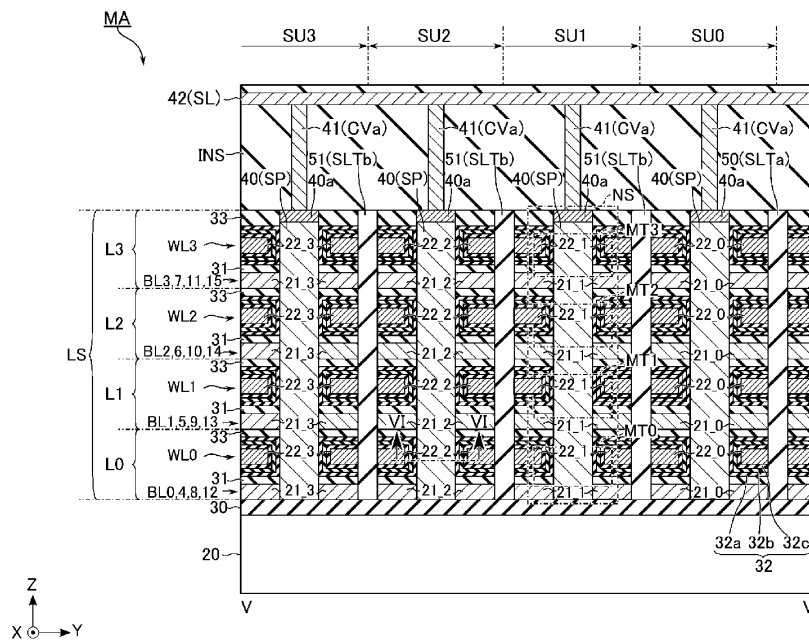
(72) 発明者: 武木田 秀人 (TAKEKIDA, Hideto); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).

(74) 代理人: 弁理士法人鈴榮特許総合事務所 (SUZUYE & SUZUYE); 〒1050014 東京都港区芝三丁目23番1号 セレスティン芝三井ビルディング11階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: MEMORY DEVICE

(54) 発明の名称: メモリデバイス



(57) Abstract: The present invention improves the degree of integration of a memory. A memory device according to one embodiment of the present invention is provided with a first semiconductor layer, a first conductor layer, a second semiconductor layer, a second conductor layer, a first semiconductor film, a first memory film and a second memory film. The first semiconductor layer, the first conductor layer, the second semiconductor layer and the second conductor layer are arranged in this order in a first direction at a distance from each other. The first semiconductor film extends in the first

[続葉有]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

direction and is in contact with the first semiconductor layer and the second semiconductor layer, while intersecting with the first conductor layer and the second conductor layer. The first memory film is arranged between the first conductor layer and the first semiconductor film. The second memory film is arranged between the second conductor layer and the first semiconductor film.

(57) 要約: メモリの集積度を向上させる。一実施形態のメモリデバイスは、第1半導体層、第1導電体層、第2半導体層、及び第2導電体層と、第1半導体膜と、第1メモリ膜と、第2メモリ膜と、を備える。第1半導体層、第1導電体層、第2半導体層、及び第2導電体層は、第1方向に互いに離れてこの順に並ぶ。第1半導体膜は、第1方向に延び、第1半導体層及び第2半導体層と接し、第1導電体層及び第2導電体層と交差する。第1メモリ膜は、第1導電体層と第1半導体膜との間に設けられる。第2メモリ膜は、第2導電体層と第1半導体膜との間に設けられる。