

一种信号屏蔽电路以及半导体存储器

相关的交叉引用

本公开基于申请号为 202111064019.9、申请日为 2021 年 09 月 10 日、发明名称为“一种信号屏蔽电路以及半导体存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及集成电路技术领域，尤其涉及一种信号屏蔽电路以及半导体存储器。

背景技术

随着半导体技术的不断发展，人们在制造和使用计算机等设备时，对数据的传输速度提出了越来越高的要求。为了获得更快的数据传输速度，应运而生了一系列数据可以双倍速率（Double Data Rate，DDR）传输的存储器等器件。

在动态随机存取存储器（Dynamic Random Access Memory，DRAM）中，对于 DRAM 而言，目前可以通过片选（Chip Select，CS）信号来实现对命令地址信号或者时钟信号进行无效信号屏蔽，从而减少消耗电流。

发明内容

本公开提供了一种信号屏蔽电路以及半导体存储器，在保证 DRAM 不会丢失有效信息的同时，还能够最大程度地避免电流浪费，达到节省功耗的目的。

第一方面，本公开实施例提供了一种信号屏蔽电路，该信号屏蔽电路包括接收电路、延时控制电路和逻辑运算电路；其中，

所述接收电路，用于接收待处理信号和片选信号，输出初始处理信号和初始片选信号；

所述延时控制电路，用于对所述初始片选信号进行延时以及逻辑控制操作，得到片选屏蔽信号，且所述片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期；

所述逻辑运算电路，用于根据所述片选屏蔽信号对所述初始处理信号进行无效屏蔽处理，得到目标信号。

在一些实施例中，片选信号是表征芯片是否被选中的信号，且所述片选信号为低电平有效的脉冲信号，所述片选信号的脉冲宽度为一个预设时钟周期。

5 在一些实施例中，所述逻辑运算电路，具体用于当所述初始处理信号为目标芯片对应的信号时，根据所述片选屏蔽信号对所述初始处理信号中的无效信号进行屏蔽处理；和/或，当所述初始处理信号为非目标芯片对应的信号时，根据所述片选屏蔽信号对所述初始处理信号全部进行屏蔽处理；其中，所述目标芯片为被所述片选信号选中的芯片，所述非目标芯片为未被所述片选信号选中的芯片。

10 在一些实施例中，所述待处理信号至少包括下述其中之一：命令地址信号和时钟信号；其中，所述时钟信号的周期等于所述预设时钟周期。

在一些实施例中，当所述待处理信号为命令地址信号时，所述接收电路包括第一接收模块和第二接收模块，所述逻辑运算电路包括第一逻辑运算电路；其中，

15 所述第一接收模块，配置为接收所述命令地址信号，输出初始命令地址信号；

所述第二接收模块，配置为接收所述片选信号，输出初始片选信号；

所述延时控制电路，与所述第二接收模块的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

20 所述第一逻辑运算电路，与所述延时控制电路的输出端和所述第一接收模块的输出端连接，用于对所述片选屏蔽信号和所述初始命令地址信号进行逻辑运算，得到目标命令地址信号。

在一些实施例中，当所述待处理信号为时钟信号时，所述接收电路包括第三接收模块和第四接收模块，所述逻辑运算电路包括第二逻辑运算电路；其中，

25 所述第三接收模块，配置为接收所述时钟信号，输出初始时钟信号；

所述第四接收模块，配置为接收所述片选信号，输出初始片选信号；

所述延时控制电路，与所述第四接收模块的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

30 所述第二逻辑运算电路，与所述延时控制电路的输出端和所述第三接收模块的输出端连接，用于对所述片选屏蔽信号和所述初始时钟信号进行逻辑运算，得到目标时钟信号。

在一些实施例中，当所述待处理信号为命令地址信号和时钟信号时，所述接收电路包括第一接收模块、第二接收模块和第三接收模块，所述逻辑运算电路包括第一逻辑运算电路和第二逻辑运算电路；其中，

35 所述第一接收模块，配置为接收所述命令地址信号，输出初始命令地址信号；

所述第二接收模块，配置为接收所述片选信号，输出初始片选信号；

所述第三接收模块，配置为接收所述时钟信号，输出初始时钟信号；

所述延时控制电路，与所述第二接收模块的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

5 所述第一逻辑运算电路，与所述延时控制电路的输出端和所述第一接收模块的输出端连接，用于根据所述片选屏蔽信号对所述初始命令地址信号进行无效屏蔽处理，得到目标命令地址信号；以及

所述第二逻辑运算电路，与所述延时控制电路的输出端和所述第三接收模块的输出端连接，用于对所述片选屏蔽信号和所述初始时钟信号进行逻辑运算，得到目标时钟信号。

10 在一些实施例中，所述第一逻辑运算电路包括第一缓冲器、第一与门和第二缓冲器；其中，

所述第一缓冲器，与所述第一接收模块连接，用于对所述初始命令地址信号进行驱动增强和延时处理，得到第一命令地址信号；

15 所述第一与门，与所述第一缓冲器的输出端和所述延时控制电路的输出端连接，用于对所述片选屏蔽信号和所述第一命令地址信号进行与运算，得到第二命令地址信号；

所述第二缓冲器，与所述第一与门的输出端连接，用于对所述第二命令地址信号进行驱动增强和延时处理，得到所述目标命令地址信号。

20 在一些实施例中，所述第二逻辑运算电路包括第三缓冲器、第二与门和第四缓冲器；其中，

所述第三缓冲器，与所述第三接收模块连接，用于对所述初始时钟信号进行驱动增强和延时处理，得到第一时钟信号；

25 所述第二与门，与所述第三缓冲器的输出端和所述延时控制电路的输出端连接，用于对所述片选屏蔽信号和所述第一时钟信号进行与运算，得到第二时钟信号；

所述第四缓冲器，与所述第二与门的输出端连接，用于对所述第二时钟信号进行驱动增强和延时处理，得到所述目标时钟信号。

在一些实施例中，所述延时控制电路包括延时模块、脉宽调整模块、第一反相器和第一或门；其中，

30 所述第一反相器，用于对所述初始片选信号进行反相处理，得到第一中间信号；

所述延时模块，配置为对所述初始片选信号进行延时处理，得到第二中间信号；

35 所述脉宽调整模块，配置为对所述第二中间信号进行脉宽拓展处理，得到第三中间信号；

所述第一或门，与所述第一反相器的输出端和所述脉宽调整模块的输出端连接，用于对所述第一中间信号和所述第三中间信号进行或运算，得到所述片选屏蔽信号。

在一些实施例中，所述延时模块包括第一延时单元、第二延时单元和第二反相器，且所述第二反相器处于所述第一延时单元和所述第二延时单元之间；其中，

所述第一延时单元，配置为对所述初始片选信号进行第一延时处理，
5 得到第一延时信号；

所述第二反相器，用于对所述第一延时信号进行反相处理，得到反相延时信号；

所述第二延时单元，配置为对所述反相延时信号进行第二延时处理，
得到所述第二中间信号。

10 在一些实施例中，所述第一延时单元和所述第二延时单元均是由电阻 R 和电容 C 组成。

在一些实施例中，所述脉宽调整模块包括第五缓冲器和第二或门；其中，

所述第五缓冲器，与所述延时模块的输出端连接，用于对所述第二中间信号进行驱动增强和延时处理，得到第四中间信号；
15

所述第二或门，与所述延时模块的输出端和所述第五缓冲器的输出端连接，用于对所述第二中间信号和所述第四中间信号进行或运算，得到所述第三中间信号。

20 在一些实施例中，所述信号屏蔽电路还包括缓冲模块，所述缓冲模块是由若干个第六缓冲器组成；其中，

所述缓冲模块，配置为根据所述若干个第六缓冲器对所述初始片选信号依次进行驱动增强和延时处理，得到目标片选信号。

在一些实施例中，所述信号屏蔽电路还包括采样电路和译码电路；其中，

25 所述采样电路，用于接收所述目标命令地址信号、所述目标时钟信号和所述目标片选信号，并利用所述目标时钟信号对所述目标命令地址信号和所述目标片选信号进行采样，得到采样命令地址信号和采样片选信号；

所述译码电路，与所述采样电路的输出端连接，对所述采样片选信号和所述采样命令地址信号进行译码，得到目标命令结果。

30 在一些实施例中，所述采样电路是由若干个 D 型触发器组成。

在一些实施例中，所述缓冲器是由两个反相器组成。

35 在一些实施例中，所述片选屏蔽信号的上升沿时刻早于所述第一命令地址信号的脉冲开始时间；所述片选屏蔽信号的下降沿时刻晚于所述第一命令地址信号的脉冲结束时间；其中，所述片选屏蔽信号和所述第一命令地址信号对应于所述片选信号的同一个有效脉冲。

第二方面，本公开实施例提供了一种半导体存储器，该半导体存储器包括如第一方面中任一项所述的信号屏蔽电路。

在一些实施例中，所述半导体存储器为动态随机存取存储器 DRAM 芯

片。

在一些实施例中，所述动态随机存取存储器 DRAM 芯片符合 DDR5 内存规格。

本公开实施例提供了一种信号屏蔽电路以及半导体存储器，该信号屏蔽电路包括接收电路、延时控制电路和逻辑运算电路；其中，接收电路，用于接收待处理信号和片选信号，输出初始处理信号和初始片选信号；延时控制电路，用于对所述初始片选信号进行延时以及逻辑控制操作，得到片选屏蔽信号，且所述片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期；逻辑运算电路，用于根据所述片选屏蔽信号对所述初始处理信号进行无效屏蔽处理，得到目标信号。这样，由于在 DDR5 DRAM 中的命令地址信号是基于两个预设时钟周期的信号，而本公开提出的片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期，从而在对初始处理信号进行屏蔽处理时，可以在保证 DDR5 DRAM 不会丢失有效信息的同时，还能够最大程度地避免电流浪费，达到节省功耗的目的。

附图说明

图 1 为一种 DRAM 的应用场景示意图；
图 2 为一种信号屏蔽电路的组成结构示意图；
图 3 为一种信号屏蔽电路的信号时序示意图；
图 4 为一种 DDR5 的读命令时序示意图；
图 5 为一种 DDR5 的信号时序示意图；
图 6 为另一种 DDR5 的信号时序示意图；
图 7 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图一；
图 8A 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图二；
图 8B 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图三；
图 8C 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图四；
图 9A 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图五；
图 9B 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图六；
图 9C 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图七；
图 10 为本公开实施例提供的一种信号屏蔽电路的信号时序示意图一；
图 11 为本公开实施例提供的一种信号屏蔽电路的组成结构示意图八；
图 12 为本公开实施例提供的一种信号屏蔽电路的具体电路结构示意图一；
图 13A 为本公开实施例提供的一种信号屏蔽电路的信号时序示意图二；
图 13B 为本公开实施例提供的一种信号屏蔽电路的信号时序示意图三；
图 14 为本公开实施例提供的一种信号屏蔽电路的具体电路结构示意图二；

图 15A 为本公开实施例提供的一种信号屏蔽电路的信号时序示意图四;
图 15B 为本公开实施例提供的一种信号屏蔽电路的信号时序示意图五;
图 16 为本公开实施例提供的一种半导体存储器的组成结构示意图。

具体实施方式

5 下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。

10 除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

15 需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

20 对本公开实施例进行进一步详细说明之前，先对本公开实施例中涉及的名词和术语进行说明，本公开实施例中涉及的名词和术语适用于如下的解释：

动态随机存取存储器（Dynamic Random Access Memory，DRAM）

同步动态随机存取存储器（Synchronous Dynamic Random Access Memory，SDRAM）

25 双倍速率（Double Data Rate，DDR）

第四代 DDR（4th DDR，DDR4）

第五代 DDR（5th DDR，DDR5）

中央处理器（Central Processing Unit，CPU）

命令地址输入（Command/Address Input，CA）

30 时钟输入（Clock Input，CLK）

片选输入（Chip Select Input，CS）

无缓冲双列直插式内存模组（Unbuffered Dual In-Line Memory Modules or unregistered Dual In-Line Memory Modules，UDIMM）

小型双列直插式内存模块（Small Outline Dual In-line Memory Module，SODIMM）

35 有效的（Valid）

无效的 (Invalid)

功耗 (Power Consumption)

缓冲器 (Buffer/Repeater, RPT)

参见图 1, 其示出了一种 DRAM 的应用场景示意图。如图 1 所示, 以
5 UDIMM/SODIMM 的应用场景为例, 在 UDIMM/SODIMM 系统中, 内存条
上的一排 (Rank) 中的 DRAM 连接同一个 CS, 而所有 Rank 中的 DRAM
的 CA/CLK 全部相连在一起, 不同的 CS 信号连接不同的 Rank。例如, 图
1 所示的 CS0 连接 Rank0, CS1 连接 Rank1, 而且 Rank0 和 Rank1 中的所有
DRAM 的 CA/CLK 全部相连在一起。

10 换句话说, 当 CPU 发送 CS0 有效命令时, 所有 Rank 中的 DRAM 都将
接受 CA 和 CLK 命令, 区别仅在于 CS 的不同。在这里, CS 在某种意义上
可以理解为 Rank select, 即 CS 可以看作是表征芯片是否被选中的一个信号。

可以理解地, 对于 DDR4 DRAM 而言, 其是基于一个时钟周期的命令,
目前可以采用 CS_n 来减少消耗电流的方式有两种: (1) 利用 CS_n 对命
15 令地址信号进行屏蔽 (Masking); (2) 利用 CS_n 对时钟信号进行屏蔽。
其中, 命令地址信号可以用 CMD/ADD 表示, 也可以用 CA 表示; 时钟信
号可以用 CLK 表示。需要说明的是, 这里的 CMD/ADD 是 DRAM 各种命
令地址信号的统称, 可以包括行地址选通脉冲 (Row Address Strobe, RAS)、
列地址选通脉冲 (Column Address Strobe, CAS)、写命令 (Write, WE)、
20 读命令 (Read, RD) 等命令信号, 以及还可以包括有 A13~A0 的地址信号
等。另外, 在实际应用中, 该命令地址信号包括几位地址信号, 具体可以
是根据 DRAM 的规格确定, 本公开实施例不作任何限定。

具体来讲, 参见图 2, 其示出了一种信号屏蔽电路的组成结构示意图。
如图 2 所示, 该信号屏蔽电路 20 可以包括第一接收器 201、第二接收器 202、
25 第三接收器 203、第一缓冲器 204、第二缓冲器 205、第三缓冲器 206、第
一反相器 207、第一与门 208、第四缓冲器 209、第五缓冲器 210、第二与
门 211、第六缓冲器 212、第七缓冲器 213、D 型触发器 (Data Flip-Flop 或
Delay Flip-Flop, DFF) 214、第二反相器 215 和第三与门 216。其中, 第一
接收器 201 的两个输入信号分别为片选信号 (用 CS_n 表示) 和参考信号 (用
30 VREFCA 表示), 输出信号为初始片选信号 (用 CSB 表示); 第二接收器
202 的两个输入信号分别为命令地址信号 (用 CMD/ADD 表示) 和参考信
号 (用 VREFCA 表示), 输出信号为初始命令地址信号 (用 CA 表示);
第三接收器 203 的两个输入信号分别为输入时钟信号 (用 CK_t 表示) 和互
补输入时钟信号 (用 CK_c 表示), 输出信号为初始时钟信号 (用 CLK 表
35 示)。

在图 2 中, 第一缓冲器 204、第二缓冲器 205 和第三缓冲器 206 的驱动
能力依次增大, 而且 CSB 信号在依次经过第一缓冲器 204、第二缓冲器 205
和第三缓冲器 206 之后得到目标片选信号 (用 CSBI 表示)。第四缓冲器

209 和第五缓冲器 210 的驱动能力也依次增加,CSB 信号在经过第一反相器 207 之后和 CA 信号一起输入到第一与门 208,第一与门 208 的输出信号在依次经过第四缓冲器 209 和第五缓冲器 210 之后得到目标命令地址信号(用 CMD/ADD_RPT 表示)。第六缓冲器 212 和第七缓冲器 213 的驱动能力也依次增加,CSB 信号在经过第一反相器 207 之后再和 CLK 信号一起输入到第二与门 211,第二与门 211 的输出信号在依次经过第六缓冲器 212 和第七缓冲器 213 之后得到目标时钟信号(用 CLK_RPT 表示)。

在得到 CSBI、CMD/ADD_RPT 和 CLK_RPT 之后,还可以对其进行译码处理。具体地,利用 D 型触发器 214,由 CLK_RPT 对输入的 CSBI 和 CMD/ADD_RPT 进行采样处理,得到采样片选信号(用 CSB_INTER 表示)和采样命令地址信号(用 CMD/ADD_INTER 表示),然后 CSB_INTER 在经过第二反相器 215 之后和 CMD/ADD_INTER 输入到第三与门 216,最终译码得到目标命令结果(用 CMD/ADD_OUT 表示)。需要注意的是,D 型触发器 214 并不是单个 DFF,可以是很多个 DFF,图 2 中仅是一个符号(symbol)标志,也可以用 DFF_top 表示,其仅是用于表征 D 型触发器对命令地址信号的采样功能。

根据图 2 所示的电路结构,其对应的信号时序图如图 3 所示。在图 3 中,有效的 CSB 信号(用 Valid CSB0 表示)为低电平有效的脉冲信号,且脉冲宽度为一个时钟周期,其用于表征与这个 Valid CSB0 信号连接的 Rank 被选中;而无效的 CSB 信号(用 Invalid CSB1 表示)为高电平信号,其用于表征与这个 Invalid CSB1 信号连接的 Rank 未被选中。在这种情况下,有效的目标命令地址信号(用 Valid CMD/ADD_RPT0 表示)也为脉冲信号,并且脉冲宽度为一个时钟周期,即在 Valid CSB0 为低电平的时间段内,目标命令地址信号可以通过,其他时间段内为低电平;无效的目标命令地址信号(用 Invalid CMD/ADD_RPT1 表示)为低电平信号。另外,有效的目标时钟信号(用 Valid CLK_RPT0 表示)也为脉冲信号,且在 Valid CSB0 为低电平的时间段内,目标时钟信号可以通过,其他时间段内为低电平;无效的目标时钟信号(用 Invalid CLK_RPT1 表示)为低电平信号。其中,高电平信号用 H 表示,低电平信号用 L 表示。

简言之,当利用 CS_n 对命令地址信号进行屏蔽时,根据图 3 所示的信号时序可知,采用 CMD/ADD masking 方式可以节省 Invalid CS Rank 中缓冲器以及 DFF 的功耗,同时保证了 Valid CS Rank 的正常工作,从而能够节省 Valid Rank 在 CS_n 为高电平期间的电流消耗。

当利用 CS_n 对时钟信号进行屏蔽时,根据图 3 所示的信号时序可知,采用 CLK masking 方式可以节省 Invalid CS Rank 中缓冲器以及 DFF 的功耗,并且节省的电流是 CMD/ADD masking 的很多倍(由于 CLK 的频率更快),从而也能够节省 Valid Rank 在 CS_n 为高电平期间的电流消耗。

还可以理解地,对于 DDR5 DRAM 而言,在读命令(READ)或者写

命令 (WRITE) 期间, DDR5 可以支持 BC8、BL16、BL32 (可选) 和 BL32 OTF (可选), MR[1:0] 被用来选择突发操作模式 (Burst Operation Mode)。其中, 图 4 示出了一种读命令的时序示意图。在图 4 中, 一个读命令包括两个时钟周期, 如 <BA,BG> 和 <CA,BL,AP> 对应一个 READ 命令。

5 然而, 对于 DDR5 DRAM 而言, 其是基于两个时钟周期的命令, 如果仍然采样传统架构, 对于 Valid 的 DRAM 而言, 将会丢失第二个时钟周期下的 CA 信息, 导致 CMD 译码失败 (详见图 5)。其中, 如图 5 所示, CLK 表示初始时钟信号, CA 表示初始命令地址信号, CSB 表示初始片选信号, CMD/ADD_RPT 表示目标命令地址信号, CSB_Masking 表示片选屏蔽信号, 10 CMD 表示译码结果。由此可见, CA 包括 CA0 和 CA2, 但是 CSB 为低电平有效的脉冲信号, 而且脉冲宽度仅为一个时钟周期, 导致 CSB_Masking 的脉冲宽度也为一个时钟周期, 这时候当 CA 通过 CSB_Masking 时, 只有第一时钟周期的 CA0 通过, 丢失了第二个时钟周期下的 CA2, 造成 CMD 译码失败。

15 在这种情况下, 由于在 DDR5 中 CS_n 的下降沿和 CMD/ADD 同步, 所以在采用 CS_n 来生成 CSB_Masking 来减少功耗时, 理论上 CSB_Masking 的下降沿需要比 CA 早。图 6 示出了另一种 DDR5 的信号时序示意图。如图 6 所示, 这里提供了 DDR5 的 CSB_Masking 时序参考, 而且图 6 为理想状况下的一种目标情况。其中, t1 表示了 CSB_Masking 的下降沿时刻要早于 CA, t2 表示了 CSB_Masking 的上升沿时刻要晚于 CA。换言之, 如何在 20 保证 Valid DRAM 的 CMD 译码不丢失信息的同时也能最大程度地节省功耗是本公开亟需解决的技术问题。

本公开实施例提供了一种信号屏蔽电路, 该信号屏蔽电路包括接收电路、延时控制电路和逻辑运算电路; 其中, 接收电路, 用于接收待处理信号和片选信号, 输出初始处理信号和初始片选信号; 延时控制电路, 用于 25 对所述初始片选信号进行延时以及逻辑控制操作, 得到片选屏蔽信号, 且所述片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期; 逻辑运算电路, 用于根据所述片选屏蔽信号对所述初始处理信号进行无效屏蔽处理, 得到目标信号。这样, 由于在 DDR5 DRAM 中的命令地址信号是基于两个 30 预设时钟周期的信号, 而本公开提出的片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期, 从而在对初始处理信号进行屏蔽处理时, 可以在保证 DDR5 DRAM 不会丢失有效信息的同时, 还能够最大程度地避免电流浪费, 达到节省功耗的目的。

下面将结合附图对本公开各实施例进行详细说明。

35 在本公开的一实施例中, 参见图 7, 其示出了本公开实施例提供的一种信号屏蔽电路 70 的组成结构示意图。如图 7 所示, 信号屏蔽电路 70 可以包括接收电路 710、延时控制电路 720 和逻辑运算电路 730; 其中,

接收电路 710, 用于接收待处理信号和片选信号, 输出初始处理信号和

初始片选信号;

延时控制电路 720, 用于对所述初始片选信号进行延时以及逻辑控制操作, 得到片选屏蔽信号, 且所述片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期;

5 逻辑运算电路 730, 用于根据所述片选屏蔽信号对所述初始处理信号进行无效屏蔽处理, 得到目标信号。

需要说明的是, 在本公开实施例中, 片选信号用 CS_n 表示, 初始片选信号用 CSB 表示。其中, 片选信号可以是表征芯片是否被选中的信号, 且片选信号为低电平有效的脉冲信号, 片选信号的脉冲宽度为一个预设时钟
10 周期。

还需要说明的是, 在本公开实施例中, 待处理信号至少可以包括下述其中之一: 命令地址信号和时钟信号; 其中, 时钟信号的周期等于预设时钟周期。

相应地, 在经由接收电路 710 之后得到的初始处理信号可以包括下述
15 其中之一: 初始命令地址信号和初始时钟信号。

在这里, 接收电路 710 可以是接收器 (Receiver), 也可以是缓冲器 (Buffer)。另外, 命令地址信号用 CMD/ADD 表示, 初始命令地址信号用 CA 表示; 时钟信号用 CK_t 和 CK_c 表示, 初始时钟信号用 CLK 表示。

还需要说明的是, 在本公开实施例中, 片选屏蔽信号用 CS_{Masking} 表示。
20 另外, CS 与 CSB 表示信号反相, 即 CS_{Masking} 可以看作是 CSB_{Masking} 的反相信号。

在一些实施例中, 逻辑运算电路 730, 具体用于当所述初始处理信号为目标芯片对应的信号时, 根据所述片选屏蔽信号对所述初始处理信号中的无效信号进行屏蔽处理; 和/或, 当所述初始处理信号为非目标芯片对应的
25 信号时, 根据所述片选屏蔽信号对所述初始处理信号全部进行屏蔽处理;

其中, 所述目标芯片为被所述片选信号选中的芯片, 所述非目标芯片为未被所述片选信号选中的芯片。

需要说明的是, 针对目标芯片而言, 即被选中的芯片, 这时候初始处理信号是有效的, 需要利用片选屏蔽信号将其中的有效部分通过, 而剩余的无效部分屏蔽掉; 针对非目标芯片而言, 即未被选中的芯片, 这时候初
30 始处理信号是无效的, 需要利用片选屏蔽信号将其都屏蔽掉。

还需要说明的是, 由于命令地址信号是基于两个预设时钟周期的命令, 因此, 片选屏蔽信号的脉冲宽度需要大于或等于两个预设时钟周期, 以避免丢失第二时钟周期下的命令地址信息。

35 在一种可能的实施方式中, 当待处理信号为命令地址信号时, 这时候可以利用片选屏蔽信号对其进行无效屏蔽处理。参见图 8A, 在图 7 所示信号屏蔽电路 70 的基础上, 接收电路 710 可以包括第一接收模块 711 和第二接收模块 712, 逻辑运算电路 730 可以包括第一逻辑运算电路 731; 其中,

第一接收模块 711，配置为接收所述命令地址信号，输出初始命令地址信号；

第二接收模块 712，配置为接收所述片选信号，输出初始片选信号；

5 延时控制电路 720，与第二接收模块 712 的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

第一逻辑运算电路 731，与延时控制电路 720 的输出端和第一接收模块 711 的输出端连接，用于对所述片选屏蔽信号和所述初始命令地址信号进行逻辑运算，得到目标命令地址信号。

10 需要说明的是，在本公开实施例中，图 8A 是利用片选屏蔽信号对初始命令地址信号进行屏蔽处理。针对未被选中的芯片，这时候初始命令地址信号为无效信号，通过第一逻辑运算电路 731 可以将其都屏蔽掉。针对被选中的芯片，这时候初始命令地址信号为有效信号，通过第一逻辑运算电路 731 可以将其中的有效部分通过，即得到目标命令地址信号。在这里，目标命令地址信号可以用 CMD/ADD_RPT 表示。

15 在另一种可能的实施方式中，当待处理信号为时钟信号时，这时候可以利用片选屏蔽信号对其进行无效屏蔽处理。参见图 8B，在图 7 所示信号屏蔽电路 70 的基础上，接收电路 710 可以包括第三接收模块 713 和第四接收模块 714，逻辑运算电路 730 可以包括第二逻辑运算电路 732；其中，

第三接收模块 713，配置为接收所述时钟信号，输出初始时钟信号；

20 第四接收模块 714，配置为接收所述片选信号，输出初始片选信号；

延时控制电路 720，与第四接收模块 714 的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

25 第二逻辑运算电路 732，与延时控制电路 720 的输出端和第三接收模块 713 的输出端连接，用于对所述片选屏蔽信号和所述初始时钟信号进行逻辑运算，得到目标时钟信号。

30 需要说明的是，在本公开实施例中，图 8B 是利用片选屏蔽信号对初始时钟信号进行屏蔽处理。针对未被选中的芯片，这时候初始时钟信号为无效信号，通过第二逻辑运算电路 732 可以将其都屏蔽掉。针对被选中的芯片，这时候初始时钟信号为有效信号，通过第二逻辑运算电路 732 可以将其中的有效部分通过，即得到目标时钟信号。在这里，目标时钟信号可以用 PCLK0T_RPT 表示。

35 在又一种可能的实施方式中，当待处理信号为命令地址信号和时钟信号时，这时候可以利用片选屏蔽信号对其分别进行无效屏蔽处理。参见图 8C，在图 7 所示信号屏蔽电路 70 的基础上，接收电路 710 可以包括第一接收模块 711、第二接收模块 712 和第三接收模块 713，逻辑运算电路 730 可以包括第一逻辑运算电路 731 和第二逻辑运算电路 732；其中，

第一接收模块 711，配置为接收所述命令地址信号，输出初始命令地址信号；

第二接收模块 712, 配置为接收所述片选信号, 输出初始片选信号;

第三接收模块 713, 配置为接收所述时钟信号, 输出初始时钟信号;

延时控制电路 720, 与第二接收模块 712 的输出端连接, 用于对所述初始片选信号进行延时以及逻辑控制操作, 得到所述片选屏蔽信号;

5 第一逻辑运算电路 731, 与延时控制电路 720 的输出端和第一接收模块 711 的输出端连接, 用于根据所述片选屏蔽信号对所述初始命令地址信号进行无效屏蔽处理, 得到目标命令地址信号; 以及

第二逻辑运算电路 732, 与延时控制电路 720 的输出端和第三接收模块 713 的输出端连接, 用于对所述片选屏蔽信号和所述初始时钟信号进行逻辑
10 运算, 得到目标时钟信号。

需要说明的是, 在本公开实施例中, 图 8C 是利用片选屏蔽信号对初始命令地址信号和初始时钟信号进行屏蔽处理。针对未被选中的芯片, 这时候初始命令地址信号和初始时钟信号均为无效信号, 通过第一逻辑运算电路 731 和第二逻辑运算电路 732 可以将其都屏蔽掉。针对被选中的芯片,
15 这时候初始命令地址信号和初始时钟信号均为有效信号, 通过第一逻辑运算电路 731 可以将初始命令地址信号的有效部分通过, 即得到目标命令地址信号; 以及通过第二逻辑运算电路 732 可以将初始时钟信号的有效部分通过, 即得到目标时钟信号。

还需要说明的是, 对于接收电路 710 而言, 无论是第一接收模块还是
20 第二接收模块或者第三接收模块, 均可以看作一个接收器或者缓冲器。另外, 片选屏蔽信号用 CS_Masking 表示, 目标命令地址信号可以用 CMD/ADD_RPT 表示, 目标时钟信号可以用 PCLK0T_RPT 表示。

进一步地, 在一些实施例中, 对于第一逻辑运算电路 731 而言, 在图 8A 或图 8C 所示信号屏蔽电路 70 的基础上, 具体详见图 9A 或者图 9C, 第一逻辑运算电路 731 可以包括第一缓冲器 7311、第一与门 7312 和第二缓冲器 7313; 其中,
25

第一缓冲器 7311, 与第一接收模块 711 连接, 用于对所述初始命令地址信号进行驱动增强和延时处理, 得到第一命令地址信号;

第一与门 7312, 与第一缓冲器 7311 的输出端和延时控制电路 720 的输出端连接, 用于对所述片选屏蔽信号和所述第一命令地址信号进行与运算, 得到第二命令地址信号;
30

第二缓冲器 7313, 与第一与门 7312 的输出端连接, 用于对所述第二命令地址信号进行驱动增强和延时处理, 得到所述目标命令地址信号。

也就是说, 在得到第一命令地址信号和片选屏蔽信号之后, 可以通过
35 第一与门 7312 对其进行逻辑运算, 然后再经由第二缓冲器 7313 的驱动增强和延时处理, 最终得到的目标命令地址信号可以用 CMD/ADD_RPT 表示。

进一步地, 在一些实施例中, 对于第二逻辑运算电路 732 而言, 在图 8B 或图 8C 所示信号屏蔽电路 70 的基础上, 具体详见图 9B 或者图 9C, 第

二逻辑运算电路 732 可以包括第三缓冲器 7321、第二与门 7322 和第四缓冲器 7323；其中，

第三缓冲器 7321，与第三接收模块 713 连接，用于对所述初始时钟信号进行驱动增强和延时处理，得到第一时钟信号；

5 第二与门 7322，与第三缓冲器 7321 的输出端和延时控制电路 720 的输出端连接，用于对所述片选屏蔽信号和所述第一时钟信号进行与运算，得到第二时钟信号；

第四缓冲器 7323，与第二与门 7322 的输出端连接，用于对所述第二时钟信号进行驱动增强和延时处理，得到所述目标时钟信号。

10 也就是说，在得到第一时钟信号和片选屏蔽信号之后，可以通过第二与门 7322 对其进行逻辑运算，然后再经由第四缓冲器 7323 的驱动增强和延时处理，最终得到的目标时钟信号可以用 PCLK0T_RPT 表示。

进一步地，在一些实施例中，对于延时控制电路 720 而言，在图 8A、图 8B 或图 8C 所示信号屏蔽电路 70 的基础上，具体详见图 9A、图 9B 或者图 9C，延时控制电路 720 可以包括延时模块 721、脉宽调整模块 722、15 第一反相器 723 和第一或门 724；其中，

第一反相器 723，用于对所述初始片选信号进行反相处理，得到第一中间信号；

20 延时模块 721，配置为对所述初始片选信号进行延时处理，得到第二中间信号；

脉宽调整模块 722，配置为对所述第二中间信号进行脉宽拓展处理，得到第三中间信号；

25 第一或门 724，与第一反相器 723 的输出端和脉宽调整模块 722 的输出端连接，用于对所述第一中间信号和所述第三中间信号进行或运算，得到所述片选屏蔽信号。

需要说明的是，在本公开实施例中，第一中间信号可以用 CST 表示，第二中间信号可以用 B 表示，第三中间信号可以用 CST_Shift 表示。这样，如图 9 所示，通过第一或门 724 对 CST 和 CST_Shift 进行逻辑运算后，得到的片选屏蔽信号用 CS_Masking 表示。

30 还需要说明的是，在本公开实施例中，片选屏蔽信号的上升沿时刻早于第一命令地址信号的脉冲开始时间，片选屏蔽信号的下降沿时刻晚于第一命令地址信号的脉冲结束时间；其中，片选屏蔽信号和第一命令地址信号对应于所述片选信号的同一个有效脉冲。

进一步地，为了实现片选屏蔽信号的上升沿时刻早于第一命令地址信号的脉冲开始时间，片选屏蔽信号的下降沿时刻晚于第一命令地址信号的脉冲结束时间；在一些实施例中，对于延时模块 721 而言，延时模块 721 35 可以包括第一延时单元 7211、第二延时单元 7212 和第二反相器 7213，且第二反相器 7213 处于第一延时单元 7211 和第二延时单元 7212 之间；其中，

第一延时单元 7211, 配置为对所述初始片选信号进行第一延时处理, 得到第一延时信号;

第二反相器 7213, 用于对所述第一延时信号进行反相处理, 得到反相延时信号;

5 第二延时单元 7212, 配置为对所述反相延时信号进行第二延时处理, 得到所述第二中间信号。

进一步地, 在一些实施例中, 对于脉宽调整模块 722 而言, 脉宽调整模块 722 可以包括第五缓冲器 7221 和第二或门 7222; 其中,

10 第五缓冲器 7221, 与延时模块 721 的输出端连接, 用于对所述第二中间信号进行驱动增强和延时处理, 得到第四中间信号;

第二或门 7222, 与延时模块 721 的输出端和第五缓冲器 7221 的输出端连接, 用于对所述第二中间信号和所述第四中间信号进行或运算, 得到所述第三中间信号。

需要说明的是, 在本公开实施例中, 第一延时单元 7211 和第二延时单元 7212 均是由电阻 R 和电容 C 组成, 即本公开实施例可以采用两组 RC 延迟网络来实现。示例性地, 第一延时单元 7211 可以由第一电阻 R1 和第一电容 C1 组成, 第二延时单元 7212 可以由第二电阻 R2 和第二电容 C2 组成, 且第二反相器 7213 串接在第一电阻 R1 和第二电阻 R2 之间。

还需要说明的是, 在本公开实施例中, 脉宽调整模块 722 可以决定第三中间信号的脉宽拓展宽度, 其拓展的大小具体是由设计需求决定。另外, 20 经由第二反相器 7213 得到的反相延时信号可以用 A 表示, 经由第二延时单元 7212 得到的第二中间信号可以用 B 表示, 经由第五缓冲器 7221 得到的第四中间信号可以用 C 表示, 经由第二或门 7222 得到的第三中间信号可以用 CST_Shift 表示。

25 在一种具体的示例中, 图 10 示出了本公开实施例提供的一种信号屏蔽电路 70 的信号时序示意图。如图 10 所示, CA 为基于两个预设时钟周期的初始命令地址信号, 其包括的有效信息为 CA0 和 CA2; CSB 为低电平有效的脉冲信号, 且脉冲宽度为一个预设时钟周期, 那么在经过第一反相器 723 的反相处理后, 得到的 CST 信号为高电平有效的脉冲信号, 该脉冲宽度仍 30 为一个预设时钟周期; 而在经过延时模块 721 和脉宽调整模块 722 的逻辑运算处理后, 得到的 CST_Shift 信号为高电平有效的脉冲信号, 该脉冲宽度远大于一个预设时钟周期; 这样, 通过第一或门 724 对 CST 信号和 CST_Shift 信号进行或运算后, 得到的 CS_Masking 信号为高电平有效的脉冲信号, 该脉冲宽度已经大于或等于两个预设时钟周期, 从而使得 CA0 和 CA2 可以通 35 过, 以得到 CMD/ADD_RPT 信号。

也就是说, 本公开实施例可以采用 RC 延迟网络的方式并结合逻辑控制的方式来保证 t_1/t_2 的充足。其中, RC 网络的延时小于一个预设时钟周期 (即 $1t_{CK}$)。根据速度和设计需要, 这里可以采用两组 RC 网络, 从而保

证 CSB 信号的完整性。具体来说，在保证延迟的同时，还可以在两组 RC 延迟网络之间加了一个反相器（即第二反相器 7213），有效地保护了 CSB 信息的完整性；另外，RC 网络也几乎不消耗多余电流就能够达到所需延时，并且使用脉宽调整模块 722 可以保证 t2 具有足够裕度。

5 本实施例提供了一种信号屏蔽电路，该信号屏蔽电路包括接收电路、延时控制电路和逻辑运算电路；其中，接收电路，用于接收待处理信号和片选信号，输出初始处理信号和初始片选信号；延时控制电路，用于对所述初始片选信号进行延时以及逻辑控制操作，得到片选屏蔽信号，且所述片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期；逻辑运算电路，
10 用于根据所述片选屏蔽信号对所述初始处理信号进行无效屏蔽处理，得到目标信号。这样，由于在 DDR5 DRAM 中的命令地址信号是基于两个预设时钟周期的信号，而本公开提出的片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期，从而在对初始处理信号进行屏蔽处理时，可以在保证 DDR5 DRAM 不会丢失有效信息的同时，还能够最大程度地避免电流浪费，
15 达到节省功耗的目的。

在本公开的另一实施例中，基于前述实施例所述的信号屏蔽电路 70，在得到目标命令地址信号和目标时钟信号之后，还可以针对目标命令地址信号进行译码处理。以图 8C 所示信号屏蔽电路 70 为例，参见图 11，在图
20 8C 所示信号屏蔽电路 70 的基础上，该信号屏蔽电路 70 还可以包括缓冲模块 740，该缓冲模块 740 可以是由若干个第六缓冲器 741 组成；其中，

缓冲模块 740，配置为根据若干个第六缓冲器 741 对所述初始片选信号依次进行驱动增强和延时处理，得到目标片选信号。

需要说明的是，如图 10 所示，缓冲模块 740 可以是由三个第六缓冲器
25 组成，而且这三个第六缓冲器的驱动能力可以相同，也可以不同（如逐渐增大）；这时候得到的目标片选信号可以用 CSBI 表示。

还需要说明的是，在本公开实施例中，无论是第一缓冲器、第二缓冲器、第三缓冲器，还是第四缓冲器、第五缓冲器或者第六缓冲器等，任意一个缓冲器均可以是由两个反相器组成，故缓冲器又可以称为 Repeater，简
30 称为 RPT。

进一步地，在一些实施例中，如图 11 所示，信号屏蔽电路 70 还可以包括采样电路 750 和译码电路 760；其中，

采样电路 750，用于接收所述目标命令地址信号、所述目标时钟信号和所述目标片选信号，并利用所述目标时钟信号对所述目标命令地址信号和
35 所述目标片选信号进行采样，得到采样命令地址信号和采样片选信号；

译码电路 760，与采样电路 750 的输出端连接，对所述采样片选信号和所述采样命令地址信号进行译码，得到目标命令结果。

需要说明的是，在本公开实施例中，采样电路 750 可以是由若干个 D

型触发器组成。另外，译码电路 760 可以包括第三反相器和第三与门（图中未示出）；其中，

第三反相器，用于对所述采样片选信号进行反相处理，得到反相采样片选信号；

5 第三与门，用于对所述反相采样片选信号和所述采样命令地址信号进行与运算，得到所述目标命令结果。

还需要说明的是，在本公开实施例中，采样片选信号可以用 CS_INTER 表示，采样命令地址信号可以用 CMD/ADD_INTER 表示，目标命令结果可以用 CMD 表示。

10 本公开实施例提出的信号屏蔽电路，可以在保证性能的同时，还尽可能地降低功耗。下面将结合两种具体电路结构进行详细描述。

在一种具体的示例中，参见图 12，其示出了本公开实施例提供的一种信号屏蔽电路 70 的具体电路结构示意图。如图 12 所示，该信号屏蔽电路 70 可以包括第一接收器 1201、第二接收器 1202、第三接收器 1203、第一缓冲器 1204、第一与门 1205、第二缓冲器 1206、第三缓冲器 1207、第四缓冲器 1208、第五缓冲器 1209、第一反相器 1210、第二反相器 1211、第一电阻 R1、第一电容 C1、第二电阻 R2、第二电容 C2、第六缓冲器 1212、第一或门 1213、第二或门 1214、第七缓冲器 1215、第八缓冲器 1216、第九缓冲器 1217、采样电路 1218 和译码电路 1219。其中，第一接收器 1201、第二接收器 1202 和第三接收器 1203 也可以是缓冲器，采样电路 1218 可以由若干个 D 型触发器组成。另外，第一缓冲器 1204、第一与门 1205 和第二缓冲器 1206 组成第一逻辑运算电路，第一电阻 R1 和第一电容 C1 组成第一延时单元，第二电阻 R2 和第二电容 C2 组成第二延时单元，第六缓冲器 1212 和第一或门 1213 组成脉宽调整模块。

25 根据图 12 所示的信号屏蔽电路 70，该电路是利用片选屏蔽信号对命令地址信号进行屏蔽处理，从而可以避免电流浪费，达到节省功耗的目的。

参见图 13A，其示出了图 12 所示信号屏蔽电路 70 在命令地址信号为有效信号时的一种信号时序示意图。其中，第一接收器 1201 输出的初始命令地址信号用 CA 表示，其有效部分包括两个预设时钟周期(CA0 和 CA2)；第二接收器 1202 输出的初始片选信号用 CSB0 表示，其为低电平有效的脉冲信号，且脉冲宽度为一个预设时钟周期；第三接收器 1203 输出的初始时钟信号用 CLK 表示；CSB0 信号经过第一反相器 1210 的反相处理之后，得到的信号用 CST 表示，这时候为高电平有效的脉冲信号；CSB0 信号经过第一电阻 R1 和第一电容 C1 组成的第一延迟网络之后，得到的信号用 CSB_Delay 表示，从图 13A 可以看出 CSB_Delay 与 CSB0 具有一定的延时；CSB_Delay 信号经过第二反相器 1211 的反相处理之后，得到的信号用 A 表示，从图 13A 可以看出 A 信号为高电平有效的脉冲信号，由于第二反相器 1211 有增强信号驱动能力的作用，这时候 A 信号的信号完整度相比于

CSB_Delay 有大幅提升; 进一步地, A 信号经过第二电阻 R2 和第二电容 C2 组成的第二延迟网络之后, 得到的信号用 B 表示; 从图 13A 可以看出 B 信号仍为高电平有效的脉冲信号, 且 B 信号与 A 信号具有一定的延时; 进一步地, B 信号经过第六缓冲器 1212 的驱动增强和延时处理之后, 得到的信号用 C 表示; B 信号和 C 信号经过第一或门 1213 的或运算之后, 可以拓宽信号的脉冲宽度, 这时候得到的信号用 CST_Shift 表示, 从图 13A 可以看出 CST_Shift 信号的脉冲宽度具有一定的拓宽, 且该脉冲的上升沿是受 B 信号的上升沿影响, 该脉冲的下降沿是受 C 信号的下降沿影响; 进一步地, CST 信号和 CST_Shift 信号经过第二或门 1214 的或运算之后, 得到的信号用 CS_Masking 表示, 从图 13A 可以看出 CS_Masking 信号的脉冲宽度已经拓宽到大于或等于两个预设时钟周期, 而且该脉冲的上升沿是受 CST 信号的上升沿影响, 该脉冲的下降沿是受 CST_Shift 信号的下降沿影响。这样, CA 信号在经过第一缓冲器 1204 的驱动增强和延时处理之后, 得到的第一命令地址信号用 CA1 表示, 如此利用 CS_Masking 信号对 CA1 信号进行无效屏蔽处理时, 在 CS_Masking 信号为高电平的时间段内, CA0 和 CA2 均可以通过, 这时候得到的信号即为目标命令地址信号, 用 CMD/ADD_RPT 表示。

参见图 13B, 其示出了图 12 所示信号屏蔽电路 70 在命令地址信号为无效信号时的一种信号时序示意图。如图 13B 所示, 这时候第二接收器 1202 输出的初始片选信号用 CSB1 表示, 其为高电平信号 (用 H 表示); CSB1 信号经过第一反相器 1210 的反相处理之后, 得到的 CST 信号为低电平信号 (用 L 表示); 而且 CSB1 信号在经过第一电阻 R1、第一电容 C1、第二反相器 1211、第二电阻 R2、第二电容 C2、第六缓冲器 1212、第一或门 1213 之后得到的 CST_Shift 信号仍为低电平信号, 导致命令地址信号全部被屏蔽, 即这时候得到的目标命令地址信号 (CMD/ADD_RPT) 为低电平信号 (用 L 表示)。

需要注意的是, 图 13A 表示芯片被选中的情况, 图 13B 表示芯片未被选中的情况; 因此, 图 13A 中的 CSB0 是低电平有效的脉冲信号, 而图 13B 中的 CSB1 是高电平信号, 分别用于表征芯片被选中和芯片未被选中。

在另一种具体的示例中, 参见图 14, 其示出了本公开实施例提供的另一种信号屏蔽电路 70 的具体电路结构示意图。如图 14 所示, 在图 12 所示信号屏蔽电路 70 的基础上, 该信号屏蔽电路 70 还可以包括第十缓冲器 1301、第二与门 1302 和第十一缓冲器 1303; 其中, 第十缓冲器 1301、第二与门 1302 和第十一缓冲器 1303 组成第二逻辑运算电路, 并且替换了图 12 中的第七缓冲器 1215、第八缓冲器 1216 和第九缓冲器 1217。

根据图 14 所示的信号屏蔽电路 70, 该电路不仅可以利用片选屏蔽信号对命令地址信号进行屏蔽处理, 而且还可以利用片选屏蔽信号对时钟信号进行屏蔽处理, 从而可以进一步地避免电流浪费, 达到节省功耗的目的。

参见图 15A, 其示出了图 14 所示信号屏蔽电路 70 在命令地址信号为有效信号时的一种信号时序示意图。其中, 第一接收器 1201 输出的初始命令地址信号用 CA 表示, 其有效部分包括两个预设时钟周期(CA0 和 CA2); 第二接收器 1202 输出的初始片选信号用 CSB0 表示, 其为低电平有效的脉冲信号, 且脉冲宽度为一个预设时钟周期; 第三接收器 1203 输出的初始时钟信号用 CLK 表示; CSB0 信号经过第一反相器 1210 的反相处理之后, 得到的信号用 CST 表示, 这时候为高电平有效的脉冲信号; CSB0 信号经过第一电阻 R1 和第一电容 C1 组成的第一延迟网络之后, 得到的信号用 CSB_Delay 表示, 从图 15A 可以看出 CSB_Delay 与 CSB0 具有一定的延时; CSB_Delay 信号经过第二反相器 1211 的反相处理之后, 得到的信号用 A 表示, 从图 15A 可以看出 A 信号为高电平有效的脉冲信号, 由于第二反相器 1211 有增强信号驱动能力的作用, 这时候 A 信号的信号完整度相比于 CSB_Delay 有大幅提升; 进一步地, A 信号经过第二电阻 R2 和第二电容 C2 组成的第二延迟网络之后, 得到的信号用 B 表示; 从图 15A 可以看出 B 信号仍为高电平有效的脉冲信号, 且 B 信号与 A 信号具有一定的延时; 进一步地, B 信号经过第六缓冲器 1212 的驱动增强和延时处理之后, 得到的信号用 C 表示; B 信号和 C 信号经过第一或门 1213 的或运算之后, 可以拓宽信号的脉冲宽度, 这时候得到的信号用 CST_Shift 表示, 从图 15A 可以看出 CST_Shift 信号的脉冲宽度具有一定的拓宽, 且该脉冲的上升沿是受 B 信号的上升沿影响, 该脉冲的下降沿是受 C 信号的下降沿影响; 进一步地, CST 信号和 CST_Shift 信号经过第二或门 1214 的或运算之后, 得到的信号用 CS_Masking 表示, 从图 15A 可以看出 CS_Masking 信号的脉冲宽度已经拓宽到大于或等于两个预设时钟周期, 而且该脉冲的上升沿是受 CST 信号的上升沿影响, 该脉冲的下降沿是受 CST_Shift 信号的下降沿影响。这样, CA 信号在经过第一缓冲器 1204 的驱动增强和延时处理之后, 得到的第一命令地址信号用 CA1 表示, 如此利用 CS_Masking 信号对 CA1 信号进行无效屏蔽处理时, 在 CS_Masking 信号为高电平的时间段内, CA0 和 CA2 均可以通过, 这时候得到的信号即为目标命令地址信号, 用 CMD/ADD_RPT 表示。另外, 第三接收器 1203 输出的初始时钟信号用 CLK 表示, CLK 信号在经过第十缓冲器 1301 的驱动增强和延时处理之后, 得到的第一时钟信号用 PCLK0T 表示, 如此利用 CS_Masking 信号对 PCLK0T 信号进行无效屏蔽处理时, 在 CS_Masking 信号为高电平的时间段内, 有效部分可以通过, 这时候得到的信号即为目标时钟信号, 用 PCLK0T_RPT 表示; 而在 CS_Masking 信号为低电平的其他时间段内, 目标时钟信号被屏蔽。

参见图 15B, 其示出了图 14 所示信号屏蔽电路 70 在命令地址信号为无效信号时的一种信号时序示意图。如图 15B 所示, 这时候第二接收器 1202 输出的初始片选信号用 CSB1 表示, 其为高电平信号(用 H 表示); CSB1 信号经过第一反相器 1210 的反相处理之后, 得到的 CST 信号为低电平信号

(用 L 表示); 而且 CSB1 信号在经过第一电阻 R1、第一电容 C1、第二反相器 1211、第二电阻 R2、第二电容 C2、第六缓冲器 1212、第一或门 1213 之后得到的 CST_Shift 信号仍为低电平信号, 导致命令地址信号全部被屏蔽, 即这时候得到的目标命令地址信号 (CMD/ADD_RPT) 为低电平信号 (用 L 表示), 目标时钟信号 (PCLK0T_RPT) 也为低电平信号 (用 L 表示)。

需要注意的是, 图 15A 表示芯片被选中的情况, 图 15B 表示芯片未被选中的情况; 因此, 图 15A 中的 CSB0 是低电平有效的脉冲信号, 而图 15B 中的 CSB1 是高电平信号, 分别用于表征芯片被选中和芯片未被选中。

也就是说, 片选信号是表征芯片是否被选中的一个信号。其中, 针对未被选中的芯片, 这时候命令地址信号/时钟信号为无效信号, 而片选信号一直为高电平, 使得片选屏蔽信号一直为低电平, 从而可以将命令地址信号/时钟信号都屏蔽掉。针对被选中的芯片, 这时候命令地址信号/时钟信号为有效信号, 而片选信号为低电平有效的脉冲信号, 使得片选屏蔽信号也为脉冲信号, 且为高电平有效, 脉冲宽度大于或等于两个预设时钟周期; 这样, 对于命令地址信号而言, 在片选屏蔽信号的高电平时间段内, 可以将命令地址信号中的有效部分通过, 即得到目标命令地址信号, 由于命令地址信号只有两个预设时钟周期, 因此不存在被屏蔽情况; 而对于时钟信号而言, 在片选屏蔽信号的高电平时间段内, 可以将时钟信号中的有效部分通过, 即得到目标时钟信号; 但是在片选屏蔽信号的其他时间段内, 时钟信号被屏蔽掉。

本实施例提供了一种信号屏蔽电路, 通过本实施例对前述实施例的具体实现进行了详细阐述, 从中可以看出, 通过前述实施例的技术方案, 由于在 DDR5 DRAM 中的命令地址信号是基于两个预设时钟周期的信号, 而本公开提出的片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期, 从而在对初始处理信号进行屏蔽处理时, 可以在保证 DDR5 DRAM 不会丢失有效信息的同时, 还能够最大程度地避免电流浪费, 达到节省功耗的目的。

在本公开的又一实施例中, 参见图 16, 其示出了本公开实施例提供的一种半导体存储器 160 的组成结构示意图。如图 16 所示, 半导体存储器 160 可以包括前述实施例任一项所述的信号屏蔽电路 70。

在本公开实施例中, 半导体存储器 160 可以为 DRAM 芯片。

进一步地, 在一些实施例中, DRAM 芯片符合 DDR5 内存规格。

在本公开实施例中, 片选信号在 DDR5 中作为识别 CMD 信息的一部分, 但是片选信号为低电平有效的脉冲信号, 且脉冲宽度为一个预设时钟周期, 而在 DDR5 DRAM 中的命令地址信号是基于两个预设时钟周期的信号, 为了避免丢失了第二个时钟周期的 CA 信息而造成 CMD 译码失败, 本公开实施例提出的半导体存储器 160 中包括有信号屏蔽电路 70。

这样, 利用信号屏蔽电路 70 可以使得片选屏蔽信号的脉冲宽度大于或

等于两个预设时钟周期，从而在对初始处理信号进行屏蔽处理时，可以在保证 DDR5 DRAM 不会丢失有效信息的同时，还能够最大程度地避免电流浪费，达到节省功耗的目的。

5 以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。

需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

本公开所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。

15 本公开所提供的几个产品实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

20 以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

25 本公开实施例提供了一种信号屏蔽电路以及半导体存储器，该信号屏蔽电路包括接收电路、延时控制电路和逻辑运算电路；其中，接收电路，配置为接收待处理信号和片选信号，输出初始处理信号和初始片选信号；延时控制电路，配置为对所述初始片选信号进行延时以及逻辑控制操作，得到片选屏蔽信号，且所述片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期；逻辑运算电路，配置为根据所述片选屏蔽信号对所述初始处理信号进行无效屏蔽处理，得到目标信号。这样，由于在 DDR5 DRAM 中的命令地址信号是基于两个预设时钟周期的信号，而本公开提出的片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期，从而在对初始处理信号进行屏蔽处理时，可以在保证 DDR5 DRAM 不会丢失有效信息的同时，还能够最大程度地避免电流浪费，达到节省功耗的目的。

35

权利要求书

1、一种信号屏蔽电路，所述信号屏蔽电路包括接收电路、延时控制电路和逻辑运算电路；其中，

5 所述接收电路，用于接收待处理信号和片选信号，输出初始处理信号和初始片选信号；

所述延时控制电路，用于对所述初始片选信号进行延时以及逻辑控制操作，得到片选屏蔽信号，且所述片选屏蔽信号的脉冲宽度大于或等于两个预设时钟周期；

10 所述逻辑运算电路，用于根据所述片选屏蔽信号对所述初始处理信号进行无效屏蔽处理，得到目标信号。

2、根据权利要求1所述的信号屏蔽电路，其中，所述片选信号是表征芯片是否被选中的信号，且所述片选信号为低电平有效的脉冲信号，所述片选信号的脉冲宽度为一个预设时钟周期。

3、根据权利要求2所述的信号屏蔽电路，其中，
15 所述逻辑运算电路，具体用于当所述初始处理信号为目标芯片对应的信号时，根据所述片选屏蔽信号对所述初始处理信号中的无效信号进行屏蔽处理；和/或，当所述初始处理信号为非目标芯片对应的信号时，根据所述片选屏蔽信号对所述初始处理信号全部进行屏蔽处理；

20 其中，所述目标芯片为被所述片选信号选中的芯片，所述非目标芯片为未被所述片选信号选中的芯片。

4、根据权利要求3所述的信号屏蔽电路，其中，所述待处理信号至少包括下述其中之一：命令地址信号和时钟信号；其中，所述时钟信号的周期等于所述预设时钟周期。

25 5、根据权利要求4所述的信号屏蔽电路，其中，当所述待处理信号为命令地址信号时，所述接收电路包括第一接收模块和第二接收模块，所述逻辑运算电路包括第一逻辑运算电路；其中，

所述第一接收模块，配置为接收所述命令地址信号，输出初始命令地址信号；

30 所述第二接收模块，配置为接收所述片选信号，输出初始片选信号；

所述延时控制电路，与所述第二接收模块的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

所述第一逻辑运算电路，与所述延时控制电路的输出端和所述第一接收模块的输出端连接，用于对所述片选屏蔽信号和所述初始命令地址信号进行逻辑运算，得到目标命令地址信号。

35 6、根据权利要求4所述的信号屏蔽电路，其中，当所述待处理信号为时钟信号时，所述接收电路包括第三接收模块和第四接收模块，所述逻辑

运算电路包括第二逻辑运算电路；其中，

所述第三接收模块，配置为接收所述时钟信号，输出初始时钟信号；

所述第四接收模块，配置为接收所述片选信号，输出初始片选信号；

5 所述延时控制电路，与所述第四接收模块的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

所述第二逻辑运算电路，与所述延时控制电路的输出端和所述第三接收模块的输出端连接，用于对所述片选屏蔽信号和所述初始时钟信号进行逻辑运算，得到目标时钟信号。

10 7、根据权利要求4所述的信号屏蔽电路，其中，当所述待处理信号为命令地址信号和时钟信号时，所述接收电路包括第一接收模块、第二接收模块和第三接收模块，所述逻辑运算电路包括第一逻辑运算电路和第二逻辑运算电路；其中，

所述第一接收模块，配置为接收所述命令地址信号，输出初始命令地址信号；

15 所述第二接收模块，配置为接收所述片选信号，输出初始片选信号；

所述第三接收模块，配置为接收所述时钟信号，输出初始时钟信号；

所述延时控制电路，与所述第二接收模块的输出端连接，用于对所述初始片选信号进行延时以及逻辑控制操作，得到所述片选屏蔽信号；

20 所述第一逻辑运算电路，与所述延时控制电路的输出端和所述第一接收模块的输出端连接，用于根据所述片选屏蔽信号对所述初始命令地址信号进行无效屏蔽处理，得到目标命令地址信号；以及

所述第二逻辑运算电路，与所述延时控制电路的输出端和所述第三接收模块的输出端连接，用于对所述片选屏蔽信号和所述初始时钟信号进行逻辑运算，得到目标时钟信号。

25 8、根据权利要求5或7所述的信号屏蔽电路，其中，所述第一逻辑运算电路包括第一缓冲器、第一与门和第二缓冲器；其中，

所述第一缓冲器，与所述第一接收模块连接，用于对所述初始命令地址信号进行驱动增强和延时处理，得到第一命令地址信号；

30 所述第一与门，与所述第一缓冲器的输出端和所述延时控制电路的输出端连接，用于对所述片选屏蔽信号和所述第一命令地址信号进行与运算，得到第二命令地址信号；

所述第二缓冲器，与所述第一与门的输出端连接，用于对所述第二命令地址信号进行驱动增强和延时处理，得到所述目标命令地址信号。

35 9、根据权利要求6或7所述的信号屏蔽电路，其中，所述第二逻辑运算电路包括第三缓冲器、第二与门和第四缓冲器；其中，

所述第三缓冲器，与所述第三接收模块连接，用于对所述初始时钟信号进行驱动增强和延时处理，得到第一时钟信号；

所述第二与门，与所述第三缓冲器的输出端和所述延时控制电路的输

出端连接，用于对所述片选屏蔽信号和所述第一时钟信号进行与运算，得到第二时钟信号；

所述第四缓冲器，与所述第二与门的输出端连接，用于对所述第二时钟信号进行驱动增强和延时处理，得到所述目标时钟信号。

5 10、根据权利要求 1 至 9 任一项所述的信号屏蔽电路，其中，所述延时控制电路包括延时模块、脉宽调整模块、第一反相器和第一或门；其中，

所述第一反相器，用于对所述初始片选信号进行反相处理，得到第一中间信号；

10 所述延时模块，配置为对所述初始片选信号进行延时处理，得到第二中间信号；

所述脉宽调整模块，配置为对所述第二中间信号进行脉宽拓展处理，得到第三中间信号；

15 所述第一或门，与所述第一反相器的输出端和所述脉宽调整模块的输出端连接，用于对所述第一中间信号和所述第三中间信号进行或运算，得到所述片选屏蔽信号。

11、根据权利要求 10 所述的信号屏蔽电路，其中，所述延时模块包括第一延时单元、第二延时单元和第二反相器，且所述第二反相器处于所述第一延时单元和所述第二延时单元之间；其中，

20 所述第一延时单元，配置为对所述初始片选信号进行第一延时处理，得到第一延时信号；

所述第二反相器，用于对所述第一延时信号进行反相处理，得到反相延时信号；

所述第二延时单元，配置为对所述反相延时信号进行第二延时处理，得到所述第二中间信号。

25 12、根据权利要求 11 所述的信号屏蔽电路，其中，所述第一延时单元和所述第二延时单元均是由电阻 R 和电容 C 组成。

13、根据权利要求 10 所述的信号屏蔽电路，其中，所述脉宽调整模块包括第五缓冲器和第二或门；其中，

30 所述第五缓冲器，与所述延时模块的输出端连接，用于对所述第二中间信号进行驱动增强和延时处理，得到第四中间信号；

所述第二或门，与所述延时模块的输出端和所述第五缓冲器的输出端连接，用于对所述第二中间信号和所述第四中间信号进行或运算，得到所述第三中间信号。

35 14、根据权利要求 7 所述的信号屏蔽电路，其中，所述信号屏蔽电路还包括缓冲模块，所述缓冲模块是由若干个第六缓冲器组成；其中，

所述缓冲模块，配置为根据所述若干个第六缓冲器对所述初始片选信号依次进行驱动增强和延时处理，得到目标片选信号。

15、根据权利要求 14 所述的信号屏蔽电路，其中，所述信号屏蔽电路

还包括采样电路和译码电路；其中，

所述采样电路，用于接收所述目标命令地址信号、所述目标时钟信号和所述目标片选信号，并利用所述目标时钟信号对所述目标命令地址信号和所述目标片选信号进行采样，得到采样命令地址信号和采样片选信号；

5 所述译码电路，与所述采样电路的输出端连接，对所述采样片选信号和所述采样命令地址信号进行译码，得到目标命令结果。

16、根据权利要求 15 所述的信号屏蔽电路，其中，所述采样电路是由若干个 D 型触发器组成。

10 17、根据权利要求 8、9、13 或 14 所述的信号屏蔽电路，其中，所述缓冲器是由两个反相器组成。

15 18、根据权利要求 8 所述的信号屏蔽电路，其中，所述片选屏蔽信号的上升沿时刻早于所述第一命令地址信号的脉冲开始时间；所述片选屏蔽信号的下降沿时刻晚于所述第一命令地址信号的脉冲结束时间；其中，所述片选屏蔽信号和所述第一命令地址信号对应于所述片选信号的同一个有效脉冲。

19、一种半导体存储器，包括如权利要求 1 至 18 任一项所述的信号屏蔽电路。

20、根据权利要求 19 所述的半导体存储器，其中，所述半导体存储器为动态随机存取存储器 DRAM 芯片。

20 21、根据权利要求 20 所述的半导体存储器，其中，所述动态随机存取存储器 DRAM 芯片符合 DDR5 内存规格。