

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/201649 A1

(51) 国際特許分類:
H01L 21/02 (2006.01) H01L 27/12 (2006.01)
H01L 21/20 (2006.01)

(21) 国際出願番号: PCT/JP2023/012178

(22) 国際出願日: 2023年3月27日(27.03.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 田中 貴規 (TANAKA Takanori); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 中西 洋介 (NAKANISHI Yosuke); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機

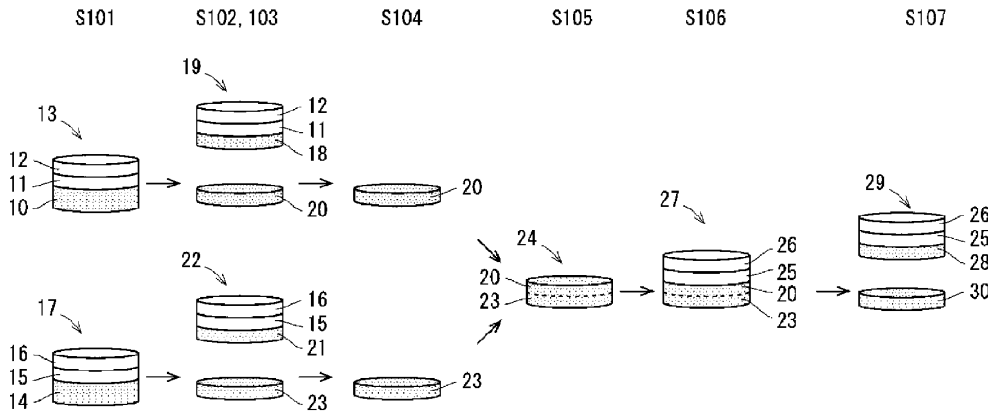
株式会社内 Tokyo (JP). 渡邊 寛(WATANABE Hiroshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 三谷 陽一郎(MITANI Yoichiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 丹羽 弘樹(NIWA Hiroki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 秋好 恭兵(AKIYOSHI Kyohei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND BONDED WAFER

(54) 発明の名称: 半導体デバイスの製造方法および接合ウェハ



(57) Abstract: The purpose of the present disclosure is to improve productivity and suppress cracking of wafers in manufacturing a semiconductor device in which wafers are re-used. A semiconductor device manufacturing method according to the present disclosure comprises: (a) a step for obtaining, from a plurality of SiC wafers (13, 17) by dividing the SiC wafers (13, 17) in the thickness direction, at least each one of divided wafers (20, 23) not including device structures (12, 16); (b) a step for obtaining a bonded wafer (24) by bonding the divided wafers (20, 23) obtained from the different SiC wafers (13, 17); and (c) a step for forming a device structure (26) on the surface of the bonded wafer (24).

[続葉有]

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 本開示は、ウェハを再利用する半導体デバイスの製造において、生産性を向上し、かつウェハの割れを抑制することを目的とする。本開示に係る半導体デバイスの製造方法は、(a)複数のSiCウェハ(13, 17)の夫々を厚さ方向に分割することにより、各SiCウェハ(13, 17)からデバイス構造(12, 16)を含まない少なくとも1つの分割ウェハ(20, 23)を得る工程と、(b)異なるSiCウェハ(13, 17)から得られた複数の分割ウェハ(20, 23)を接合して接合ウェハ(24)を得る工程と、(c)接合ウェハ(24)の表面にデバイス構造(26)を形成する工程と、を備える。