

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 3 日(03.01.2014)



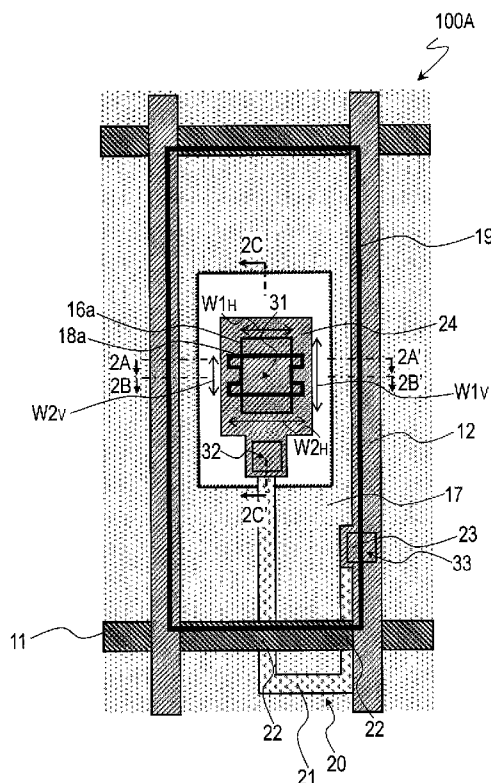
(10) 国際公開番号
WO 2014/002834 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) *G02F 1/1343* (2006.01)
- (21) 国際出願番号: PCT/JP2013/066756
- (22) 国際出願日: 2013 年 6 月 18 日(18.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-142046 2012 年 6 月 25 日(25.06.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 天野 徹(AMANO Tohru).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目 8 番 1 6 号 大阪証券取引所ビル 1 0 階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE, LIQUID CRYSTAL DISPLAY DEVICE, AND METHOD FOR MANUFACTURING ACTIVE MATRIX SUBSTRATE

(54) 発明の名称: アクティブマトリクス基板、液晶表示装置およびアクティブマトリクス基板の製造方法



(57) Abstract: An active matrix substrate (100A) is provided with a TFT (20), a scan wiring (11) substantially parallel to a first direction, signal wiring (12) substantially parallel to a second direction orthogonal to the first direction, a first interlayer insulation layer (16) for covering the TFT, a lower-layer electrode (17) provided on the first interlayer insulation layer, a dielectric layer (18) provided on the lower-layer electrode, and an upper-layer electrode (19) at least partially overlapping with the lower-layer electrode via the dielectric layer. A first contact hole (31) includes a first open part (16a) formed in the first interlayer insulation layer and a second open part (18a) formed in the dielectric layer. The width of the first open part in the first and/or second direction is less than the width of the second open part in the same direction. A portion of the outline of the second open part is positioned within the outline of the first open part, and the outline of the second open part is not rectangular. The area of the portion of the second open part that does not overlap with the first open part is smaller than the area would be if the outline of the second open part were rectangular.

(57) 要約:

[続葉有]

WO 2014/002834 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

アクティブマトリクス基板（100A）は、TFT（20）、第1方向に略平行な走査配線（11）、第1方向に直交する第2方向に略平行な信号配線（12）、TFTを覆う第1層間絶縁層（16）、第1層間絶縁層上に設けられた下層電極（17）、下層電極上に設けられた誘電体層（18）および誘電体層を介して下層電極の少なくとも一部に重なる上層電極（19）を備える。第1コンタクトホール（31）は、第1層間絶縁層に形成された第1開口部（16a）と、誘電体層に形成された第2開口部（18a）を含む。第1開口部の、第1および第2方向のうちの一方の方向に沿った幅は、第2開口部の上記一方の方向に沿った幅よりも小さい。第2開口部の輪郭の一部は、第1開口部の輪郭の内側に位置しており、第2開口部の輪郭は、矩形状ではない。第2開口部のうちの第1開口部に重ならない部分の面積は、第2開口部の輪郭を矩形状と仮想した場合よりも小さい。