

灵敏放大器、存储器以及控制方法

本申请要求于 2021 年 03 月 24 日提交中国专利局、申请号为 202110313685.5、申请名称为“灵敏放大器、存储器以及控制方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本申请涉及但不限于一种灵敏放大器、存储器以及控制方法。

背景技术

随着手机、平板、个人计算机等电子设备的普及，半导体存储器技术也得到了快速的发展。

灵敏放大器（Sense Amplifier 简称：SA）是半导体存储器的一个重要组成部分，主要作用是将位线上的小信号进行放大，进而执行读取或者写入操作。

然而，在对数据进行读取过程中，容易出现读取数据失败或者读取到数据错误的问题。

15 发明内容

本申请实施例提供一种灵敏放大器，包括：

放大模块，用于在灵敏放大器处于放大阶段时，放大位线和基准位线之间的电压差；

可控电源模块，与放大模块连接，用于根据位线的第一额定拉动速率范围和基准位线的第二额定拉动速率范围确定驱动参数，并根据驱动参数向放大模块提供电源，以控制放大模块在放大阶段按照第一额定拉动速率将位线的电压或者基准位线的电压拉至第一预设值，并按照第二额定拉动速率将基准位线的电压或者位线的电压拉至第二预设值；

第一额定拉动速率位于第一额定拉动速率范围内，第二额定拉动速率位于第二额定拉动速率范围内。

本申请实施例提供一种存储器，包括上述本申请实施例所涉及的灵敏放大器以及存储单元；多个存储单元构成第一存储阵列，多个存储单元构成第二存储阵列，灵敏放大器位于第一存储阵列和第二存储阵列之间，灵敏放大器的第三端连接第一存储阵列的位线，灵敏放大器的第四端连接第二存储阵列的位线。

本申请提供一种控制方法，灵敏放大器包括放大模块和可控电源模块，方法包括：

获取第一额定拉动速率范围和第二额定拉动速率范围；

根据第一额定拉动速率范围和第二额定拉动速率范围确定可控电源模块的驱动参数；

根据驱动参数生成用于控制可控电源模块的控制信号，使可控电源模块控制放大模块在放大阶段按照第一额定拉动速率将位线的电压或者基准位线的电压拉至第一预设值，并按照第二额定拉动速率将基准位线的电压或者位线的电压拉至第二预设值；

第一额定拉动速率位于第一额定拉动速率范围内，第二额定拉动速率位于第二额定拉动速率范围内。

附图说明

- 图 1 为本申请一实施例提供的存储器的电路结构示意图；
- 图 2 为本申请另一实施例提供的数据读取的时序图；
- 图 3 为本申请另一实施例提供的灵敏放大器的电路结构示意图；
- 图 4a、图 4b 及图 4c 为本申请提供位线的电压和基准位线的电压的拉动速率的对比示意图；
- 图 5 为本申请另一实施例提供的灵敏放大器的电路结构示意图；
- 图 6 为本申请另一实施例提供的灵敏放大器的电路结构示意图；
- 图 7 为本申请另一实施例提供的灵敏放大器的电路结构示意图；
- 图 8 为本申请另一实施例提供的数据读取的时序图；
- 图 9 为本申请另一实施例提供的灵敏放大器的控制方法的流程示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请中的附图，对本申请中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的带。

如图 1 所示，本申请一实施例提供一种存储器 100，存储器 100 包括灵敏放大器 10 以及多个存储单元 21。多个存储单元 21 构成第一存储阵列 20，多个存储单元 21 构成第二存储阵列 30。第一存储阵列 20 中每个存储单元 21 与第一存储阵列 20 的位线 40 连接，第二存储阵列 30 中每个存储单元 21 与第二存储阵列 30 的位线 50 连接。

灵敏放大器 10 位于第一存储阵列 20 和第二存储阵列 30 之间，灵敏放大器 10 的第一端与第一供电端连接，灵敏放大器 10 的第二端与第二供电端连接，灵敏放大器 10 的第三端连接第一存储阵列 20 的位线 40，灵敏放大器 10 的第四端连接第二存储阵列 30 的位线 40。

每个存储单元 21 用于存储一位数据，第一存储阵列 20 的位线 40 用于访问第一存储阵列 20 中各个存储单元 21 内存储的数据，第二存储阵列 30 的位线 50 用于访问第二存储阵列 30 中

各个存储单元 21 内存储的数据。灵敏放大器 10 用于将各个存储单元 21 中存储数据放大，并在第一存储阵列 20 的位线 40 和第二存储阵列 30 的位线 50 上呈现。灵敏放大器 10 还用于在完成一次数据读取操作后将存储单元 21 恢复至进行读取操作之前的状态。

其中，每个存储单元 21 包括存储电容 C 和访问晶体管 T，存储电容 C 的第一端接固定电源，例如为 $0.5V_{CC}$ ，存储电容 C 的第二端接访问晶体管 T 的第一端，访问晶体管 T 的第二端接位线 40，访问晶体管 T 的控制端接字线。

通过存储在存储电容 C 的电荷的多和少，或者，存储电容 C 两端电压差的高和低，来表示逻辑上的 1 和 0。访问晶体管 T 用于控制是否允许或者禁止对存储电容 C 所存储的信息进行读取或者改写。

10 为了便于描述，在读取第一存储阵列 20 内某个存储单元 21 中数据时，将第一存储阵列 20 的位线称为位线 40，将第二存储阵列 30 的位线称为基准位线 50。在读取第二存储阵列 30 内某个存储单元 21 中数据时，将第二存储阵列 30 的位线称为位线 40，将第一存储阵列 20 的位线称为基准位线 50。

下面描述从第一存储阵列 20 的其中一个存储单元 21 中读取数据“1”的过程。如图 2 所示，15 读取数据包括预充电阶段、访问阶段、放大阶段以及恢复阶段。

在预充电阶段，第一存储阵列 20 的位线 40 的电压和基准位线 50 的电压均上拉至参考电压，参考电压为存储电容 C 所连接固定电源的电压，例如为 $0.5V_{CC}$ 。

在访问阶段，控制所访问的存储单元 21 对应的字线内的信号，使所访问的存储单元 21 内的访问晶体管 T 导通，存储电容 C 使位线 40 的电压上升。

20 在放大阶段，位线 40 的电压高于参考电压，使得灵敏放大器 10 将位线 40 的电压上拉至第一预设值，并将基准位线 50 的电压下拉至第二预设值，位线 40 的电压高于基准位线 50 的电压，位线 40 和基准位线 50 之间的电压差可以反映所访问存储单元 21 中的数据为“1”。

在恢复阶段，灵敏放大器 10 将位线 40 和基准位线 50 的电压稳定在逻辑数据“1”，位线 40 还对存储电容 C 充电，经过一定时间充电后，存储电容 C 中电荷就恢复至读取操作前的状态。

25 再通过控制列选择线内信号使外界读取电路可以从位线 40 和基准位线 50 上读取所访问的存储单元 21 内存储数据。

然而，在对存储单元 21 内数据进行读取过程中，容易出现读取数据失败或者读取到数据错误的问题。为解决上述技术问题，本申请提供一种灵敏放大器、存储器以及控制方法，旨在提供一种提高灵敏放大器的数据读取准确性以及数据读取成功率的方案。

30 本申请的技术构思是，通过可控电源模块控制放大模块拉动位线 40 的电压和基准位线 50 的电压的速率，使位线 40 的电压和基准位线 50 的电压的拉动速率在额定拉动速率范围内，在

外界读取电路读取位线 40 和基准位线 50 上呈现数据时,使得位线 40 和基准位线 50 上已经稳定呈现存储单元 21 内存储数据,进而提高数据读取成功率以及数据读取准确性。

如图 3 所示,本申请另一实施例提供一种灵敏放大器 10。灵敏放大器 10 包括放大模块 101 和可控电源模块 102,放大模块 101 和可控电源模块 102 连接。

- 5 放大模块 101 用于在灵敏放大器 10 处于放大阶段时放大位线 40 和基准位线 50 之间的电压差。可控电源模块 102 用于根据第一额定拉动速率范围和第二额定拉动速率范围确定驱动参数,并根据驱动参数向放大模块 101 提供电源。

放大模块 101 在可控电源模块 102 的控制下在放大阶段按照第一额定拉动速率将位线 40 的电压或者基准位线 50 的电压拉至第一预设值,并按照第二额定拉动速率将基准位线 50 的电压或者位线 40 的电压拉至第二预设值。其中,第一额定拉动速率位于第一额定拉动速率范围内,第二额定拉动速率位于第二额定拉动速率范围内。第一预设值和第二预设值的差值能够反应逻辑数据“1”或者逻辑数据“0”。

为了便于描述灵敏放大器从存储单元中读取数据过程,假设第一预设值高于第二预设值时,表示逻辑数据“1”。第一预设值例如可以为 V_{CC} ,第二预设值例如可以是 0。

- 15 从存储单元 21 内读取逻辑数据“1”时,放大模块 101 在可控电源模块 102 的控制下在放大阶段按照第一额定拉动速率将位线 40 的电压拉至第一预设值,并按照第二额定拉动速率将基准位线 50 的电压拉至第二预设值。

从存储单元 21 内读取逻辑数据“0”时,放大模块 101 在可控电源模块 102 的控制下在放大阶段按照第一额定拉动速率将基准位线 50 的电压拉至第一预设值,并按照第二额定拉动速率将位线 40 的电压拉至第二预设值。

在对存储单元 21 内数据进行读取过程中,位线 40 的电压的拉动速率和基准位线 50 的电压的拉动速率会影响数据读取成功率和数据读取准确性。

- 如图 4a 所示,若灵敏放大器的第一端 $v_p(t)$ 和第二端 $v_n(t)$ 的电压拉动能力过强,会导致位线电压 $v_1(t)$ 和基准位线电压 $v_2(t)$ 的拉动速率过快,进而会导致位线电压和基准位线电压出现波动,例如:位线电压先下降后上升,使得无法在位线 40 和基准位线 50 上稳定呈现存储单元 21 中存储数据,进而导致外部读取电路读取位线 40 和基准位线 50 上数据时出现错误读取的现象。

- 如图 4b 所示,若灵敏放大器的第一端 $v_p(t)$ 和第二端 $v_n(t)$ 的电压拉动能力过弱,会导致位线电压 $v_1(t)$ 和基准位线电压 $v_2(t)$ 的拉动速率过缓,进而会导致在外部读取电路在读取位线 40 和基准位线 50 上电压时,位线 40 和基准位线 50 的电压仍没有被拉动至预设值,使得数据读取失败。

如图 4c 所示,在本实施例中,由可控电源模块 102 根据第一额定拉动速率范围和第二额定

拉动速率范围确定驱动参数，并根据驱动参数向放大模块 101 提供电源，以控制放大模块 101 在放大阶段按照第一额定拉动速率将位线 40 的电压或者基准位线 50 的电压拉至第一预设值，并按照第二额定拉动速率将基准位线 50 的电压或者位线 40 的电压拉至第二预设值。其中，第一额定拉动速率位于第一额定拉动速率范围内，第二额定拉动速率位于第二额定拉动速率范围内。

第一额定拉动速率范围和第二额定拉动速率范围是根据列选择线上的选中信号的时序、存储单元 21 所连接的字线内的信号的时序以及位线 40 和基准位线 50 的电压确定的。还可以通过对灵敏放大器 10 进行测试，获得第一额定拉动速率范围和第二额定拉动速率范围，以保证可以准确读取位线 40 和基准位线 50 上数据。例如，以图 4a、图 4b 和图 4c 所示，提供一种实施例，

10 假设图 4a 中 $v_p(t)$ 的上升速率为 5（对应速度的单位为 V/us），图 4b 中 $v_p(t)$ 的上升速率为 0.8（对应速度的单位为 V/us），那么第一额定拉动速率范围可以是 2 到 4（对应速度的单位为 V/us），而图 4c 的第一额定拉动速率可以是 3。注意，这里只是提供一种实施例，第一额定拉动速率范围和第一额定拉动速率均不受此限制。同样的，第二额定拉动速率范围和第二额定拉动速率可以通过类似的方式得到，在此，也不对其做限制。

15 在灵敏放大器 10 处于放大阶段时以位于第一额定拉动速率范围内的拉动速率拉动位线 40 或者基准位线 50 的电压，并以位于第二额定拉动速率范围内的拉动速率拉动基准位线 50 或者位线 40 的电压，在灵敏放大器 10 恢复阶段，外部读取电路读取呈现在位线 40 和基准位线 50 上的数据，此时位线 40 和基准位线 50 上已经稳定呈现存储单元 21 中所存储的数据，使得外部数据读取电路可以准确读取位线 40 和基准位线 50 上呈现的数据。

20 在上述实施例中，通过可控电源模块控制放大模块拉动位线 40 的电压和基准位线 50 的电压的速率，使位线 40 的电压和基准位线 50 的电压的拉动速率在额定拉动速率范围内，在外界读取电路读取位线 40 和基准位线 50 上呈现数据时，位线 40 和基准位线 50 上已经稳定呈现存储单元内存储数据，以提高数据读取成功率以及数据读取准确性。

25 如图 5 所示，本申请另一实施例提供一种灵敏放大器 10，灵敏放大器 10 包括放大模块 101 和可控电源模块 102，放大模块 101 和可控电源模块 102 连接。

其中，可控电源模块 102 包括第一可控电源单元 1021、第二可控电源单元 1022 以及控制单元 1025，放大模块 101 设有第一端、第二端、第三端以及第四端。

第一可控电源单元 1021 的输出端与放大模块 101 的第一端连接，第二可控电源单元 1022 的输出端与放大模块 101 的第二端连接，放大模块 101 的第三端连接位线，放大模块的第四端连接基准位线。控制单元 1025 与第一可控电源单元 1021 的控制端连接，控制单元 1025 还与第

二可控电源单元 1022 的控制端连接。

第一可控电源单元 1021 和第二可控电源单元 1022 均用于向放大模块 101 提供电源，控制单元 1025 用于根据第一额定拉动速率和第二额定拉动速率确定驱动参数，并根据驱动参数控制第一可控电流源 1023 和第二可控电流源 1024 向放大模块 101 提供电源。

- 5 放大模块 101 在第一可控电源单元 1021 和第二可控电源单元 1022 的控制下在放大阶段按照第一额定拉动速率将位线 40 的电压或者基准位线 50 的电压拉至第一预设值，并按照第二额定拉动速率将基准位线 50 的电压或者位线 40 的电压拉至第二预设值。

为便于描述，此处设定第一可控电源单元 1021 提供电压高于第二可控电源单元 1022 提供电压，且当位线 40 的电压高于基准位线 50 的电压时呈现数据“1”。

- 10 在存储单元 21 中存储数据为“1”时，由第一可控电源单元 1021 控制放大模块 101 按照第一额定拉动速率拉动位线 40 的电压至第一预设值，第二可控电源单元 1022 控制放大模块 101 按照第二额定拉动速率拉动基准位线 50 的电压至第二预设值。在存储单元 21 中存储数据为“0”时，由第一可控电源单元 1021 控制放大模块 101 按照第一额定拉动速率拉动基准位线 50 的电压至第一预设值，第二可控电源单元 1022 控制放大模块 101 按照第二额定拉动速率拉动位线 40 的电压至第二预设值。第一预设值例如可以为 V_{CC} ，第二预设值例如可以是 0。

- 在灵敏放大器 10 处于放大阶段时，以位于第一额定拉动速率范围内的拉动速率拉动位线 40 的电压或者基准位线 50 的电压，并以位于第二额定拉动速率范围内的拉动速率拉动基准位线 50 的电压或者位线 40 的电压，在灵敏放大器 10 处于恢复阶段时，外部读取电路读取呈现在位线 40 和基准位线 50 上的数据时，位线 40 和基准位线 50 上已经稳定呈现存储单元 21 中所存储的数据，使得外部数据读取电路可以准确读取位线 40 和基准位线 50 上呈现的数据。

- 20 在另外一种实施例中，第一可控电源单元 1021 包括 N 个第一可控电流源 1023。每个第一可控电流源 1023 设有控制端、第一端和第二端。每个第一可控电流源 1023 的第二端为第一可控电源单元 1021 的输出端，每个第一可控电流源 1023 的控制端为第一可控电源单元 1021 的控制端。第一可控电流源 1023 的第一端与第一供电端连接，第一可控电流源 1023 的第二端与放大模块 101 的第一端连接；第一可控电流源 1023 的控制端与控制单元 1025 连接，N 为正整数。

- 25 第二可控电源单元 1022 包括 N 个第二可控电流源 1024，第二可控电源单元 1022 设有控制端、第一端和第二端。每个第二可控电流源 1024 的第二端为第二可控电源单元 1022 的输出端，每个第二可控电流源 1024 的控制端为第二可控电源单元 1022 的控制端。第二可控电流源 1024 的第一端与第二供电端连接，第二可控电流源 1024 的第二端与放大模块 101 的第二端连接；第二可控电流源 1024 的控制端与控制单元 1025 连接。

为了便于描述第一可控电流源 1023 和第二可控电流源 1024 的工作状态，此处继续设定，

第一供电端的电压高于第二供电端的电压，且位线 40 的电压高于基准位线 50 的电压时呈现数据“1”。

存储单元 21 中存储数据为“1”时，控制单元 1025 用于根据第一额定拉动速率范围确定第一驱动电流范围，并从 N 个第一可控电流源 1023 中选择至少一个第一目标电流源，以使至少一个第一目标电流源提供的总电流在第一驱动电流范围内，并生成用于控制第一目标电流源工作的第一控制信号，以使第一可控电源单元 1021 控制放大模块 101 在放大阶段按照第一额定拉动速率将位线 40 的电压拉至第一预设值。

控制单元 1025 还用于：根据第二额定拉动速率范围确定第二驱动电流范围，从 N 个第二可控电流源 1024 中选择至少一个第二目标电流源，以使至少一个第二目标电流源提供的总电流在第二驱动电流范围内，并生成用于控制第二目标电流源工作的第二控制信号，以使第二可控电源单元 1022 控制放大模块 101 在放大阶段按照第二额定拉动速率将基准位线 50 的电压拉至第二预设值。

在存储单元 21 中存储数据为“0”时，控制单元 1025 用于根据第一额定拉动速率范围确定第一驱动电流范围，从 N 个第一可控电流源 1024 中选择至少一个第一目标电流源，以使至少一个第一目标电流源提供的总电流在第一驱动电流范围内，并生成用于控制第一目标电流源工作的第三控制信号，以使第一可控电源单元 1022 控制放大模块 101 在放大阶段按照第一额定拉动速率将基准位线 50 的电压拉至第一预设值。

控制单元 1025 还用于：根据第二额定拉动速率范围确定第二驱动电流范围，并从 N 个第二可控电流源 1023 中选择至少一个第二目标电流源，以使至少一个第二目标电流源提供的总电流在第二驱动电流范围内，并生成用于控制第二目标电流源工作的第四控制信号，以使第二可控电源单元 1021 控制放大模块 101 在放大阶段按照第二额定拉动速率将位线 40 的电压拉至第二预设值。

在另一种实施例中，第 i 个第一可控电流源 1023 提供的驱动电流为 $2^{i-1} \times I_b$ ，第 j 个第二可控电流源 1024 提供的驱动电流为 $2^{j-1} \times I_b$ ， I_b 表示单位电流。N 个第一可控电流源 1023 可以提供 $2^N - 1$ 个档位的驱动电流，N 个第二可控电流源 1024 也可以提供 $2^N - 1$ 个档位的驱动电流，通过调整单位电流的幅值，可以精确调整放大模块 101 拉动位线 40 的电压和基准位线 50 的电压的速率，实现在放大阶段按照第一额定拉动速率将位线 40 的电压或者基准位线 50 的电压拉至第一预设值，并按照第二额定拉动速率将基准位线 50 的电压或者位线 40 的电压拉至第二预设值。

在上述实施例中，由第一可控电源单元控制放大模块以第一额定拉动速率拉动位线 40 的电压或者基准位线 50 的电压，由第二可控电源单元控制放大模块以第二额定拉动速率拉动基准位

线 50 的电压或者位线 40 的电压,使得在恢复阶段外部读取电路读取呈现在位线 40 和基准位线 50 上的数据时,位线 40 和基准位线 50 上已经稳定呈现存储单元中所存储的数据,外部数据读取电路可以准确读取位线 40 和基准位线 50 上呈现的数据。

5 如图 6 所示,本申请实施例提供一种灵敏放大器 10,灵敏放大器 10 包括放大模块 101 和可控电源模块 102,放大模块 101 和可控电源模块 102 连接。

放大模块 101 包括至少一个交叉耦合放大电路,每个交叉耦合放大电路设有第一端、第二端、第三端以及第四端,交叉耦合放大电路的第一端与第一可控电源单元 1021 的输出端连接,交叉耦合放大电路的第二端与第二可控电源单元 1022 的输出端连接,交叉耦合放大电路的第三
10 端和位线 40 连接,交叉耦合放大电路的第四端和基准位线 50 连接。

其中,交叉耦合放大电路包括:第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 以及第四晶体管 T4。

第一晶体管 T1 的第一端为交叉耦合放大电路的第一端,第二晶体管 T2 的第二端为交叉耦合放大电路的第二端,第一晶体管 T1 的第二端为交叉耦合放大电路的第三端,第三晶体管 T3
15 的第二端为交叉耦合放大电路的第四端。

第一晶体管 T1 的第二端与第二晶体管 T2 的第一端连接,第三晶体管 T3 的第二端与第四晶体管 T4 的第一端连接,第一晶体管 T1 的第一端与第三晶体管 T3 的第一端连接,第二晶体管 T2 的第二端与第四晶体管 T4 的第二端连接。

第一晶体管 T1 的控制端与第三晶体管 T3 的第二端连接,第二晶体管 T2 的控制端与第三晶体管 T3 的第二端连接;第三晶体管 T3 的控制端与第一晶体管 T1 的第二端连接,第四晶体管 T4 的控制端与第一晶体管 T1 的第二端连接。
20

其中,第一晶体管 T1 和第三晶体管 T3 为 P 型晶体管,第二晶体管 T2 和第四晶体管 T4 为 N 型晶体管。

可控电源模块 102 包括第一可控电源单元 1021 和第二可控电源单元 1022,第一可控电源单元 1021 包括 N 个第一可控电流源 1023,第二可控电源单元 1022 包括 N 个第二可控电流源 1024。其中,第一可控电流源 1023 为 P 型晶体管,第二可控电流源 1024 为 N 型晶体管。
25

下面描述从第一存储阵列 20 的其中一个存储单元 21 中读取数据“1”的过程:

在预充电阶段,第一存储阵列 20 的位线 40 的电压和基准位线 50 的电压均上拉至参考电压,参考电压可以为存储电容 C 所连接固定电源的电压 $0.5V_{CC}$ 。

30 在访问阶段,控制所访问的存储单元 21 对应的字线内的信号,使所访问的存储单元 21 内的访问晶体管 T 导通,存储电容 C 拉动位线 40 的电压上升。

在放大阶段，位线 40 的电压高于参考电压，使得第一晶体管 T1 和第四晶体管 T4 导通，第二晶体管 T2 和第三晶体管 T3 截止。若第一晶体管 T1 导通，第三晶体管 T3 截止，第一可控电源单元 1021 将位线 40 的电压上拉至第一预设值，又第一可控电源单元 1021 包括多个 P 型晶体管，通过控制处于导通状态的 P 型晶体管的数量，可以控制在第一晶体管 T1 导通时第一可控电源单元 1021 拉动位线 40 的电压的速率。

第二晶体管 T2 截止，第四晶体管 T4 导通，第二可控电源单元 1022 将基准位线 50 的电压下拉至第二预设值，又第二可控电源单元 1022 包括多个 N 型晶体管，通过控制处于导通状态的 N 型晶体管的数量，可以控制在第四晶体管 T4 导通时第二可控电源单元 1022 拉动基准位线 50 的电压的速率。

10 通过控制第一可控电源单元 1021 中处于导通状态的 P 型晶体管数量，以及第二可控电源单元 1022 中处于导通状态的 N 型晶体管数量，使得位线 40 的电压以第一额定拉动速率拉动至第一预设值，基准位线 50 的电压以第二额定拉动速率拉动至第二预设值，使得位线 40 和基准位线 50 之间的电压差可以稳定反映所访问存储单元 21 中的数据为“1”。

在恢复阶段，灵敏放大器 10 将位线 40 的电压和基准位线 50 的电压已经稳定在逻辑数据“1”，位线 40 对存储电容 C 充电，经过一定时间充电后，存储电容 C 中电荷就恢复至读取操作前的状态。再通过控制列选择线内信号，使外界读取电路可以从位线 40 和基准位线 50 上读取所访问的存储单元 21 内存储数据。

在另一种实施例中，第一可控电源单元 1021 中，第 i 个 P 型晶体管可提供的驱动电流为 $2^{i-1} \times I_b$ ，第二可控电源单元 1022 中，第 j 个 N 型晶体管可提供的驱动电流为 $2^{j-1} \times I_b$ ， I_b 表示单位电流。第一可控电源单元 1021 可以提供 $2^N - 1$ 个档位的驱动电流，第二可控电源单元 1022 也可以提供 $2^N - 1$ 个档位的驱动电流，使得可控电源模块 102 可以提供 $2^N - 1$ 个档位的驱动电流。

下面举例说明可控电源模块 102 可以提供的驱动电流的档位，第一可控电源单元 1021 包括 3 个 P 型晶体管，第 1 个 P 型晶体管可提供的驱动电流为 I_b ，第 2 个 P 型晶体管可提供的驱动电流为 $2I_b$ ，第 3 个 P 型晶体管可提供的驱动电流为 $4I_b$ 。第二可控电源单元 1022 包括 3 个 N 型晶体管，第 1 个 N 型晶体管可提供的驱动电流为 I_b ，第 2 个 N 型晶体管可提供的驱动电流为 $2I_b$ ，第 3 个 N 型晶体管可提供的驱动电流为 $4I_b$ 。

可控电源模块 102 可以提供 7 个档位的驱动电流，每个档位下 N 型晶体管和 P 型晶体管的控制信号如下表 1 和表 2 所示。其中，“1”表示高电平控制信号，“0”表示低电平控制信号。

30 表 1 N 型晶体管的控制信号

第 3 个 N 型	第 2 个 N 型	第 1 个 N 型	驱动电
-----------	-----------	-----------	-----

晶体管	晶体管	晶体管	流档位
0	0	1	I_b
0	1	0	$2I_b$
0	1	1	$3I_b$
1	0	0	$4I_b$
1	0	1	$5I_b$
1	1	0	$6I_b$
1	1	1	$7I_b$

表 2 P 型晶体管的控制信号

第 3 个 P 型 晶体管	第 2 个 P 型 晶体管	第 1 个 P 型 晶体管	驱动电 流档位
1	1	0	I_b
1	0	1	$2I_b$
1	0	0	$3I_b$
0	1	1	$4I_b$
0	1	0	$5I_b$
0	0	1	$6I_b$
0	0	0	$7I_b$

在上述技术方案中，通过控制处于导通状态的 P 型晶体管的数量和处于导通状态的 N 型晶
体管的数量，控制可控电源模块向放大模块提供驱动电流的档位，以控制放大模块拉到位线 40
的电压和基准位线 50 的电压的速率在额定范围内，使得位线 40 和基准位线 50 能够在恢复阶段
5 稳定呈现存储单元上存储数据，提高数据读取的准确性和成功率。

如图 7 所示，本申请实施例提供一种灵敏放大器 10，灵敏放大器 10 包括放大模块 101 和
可控电源模块 102，放大模块 101 和可控电源模块 102 连接。

放大模块 101 包括至少一个交叉耦合放大电路，每个交叉耦合放大电路设有第一端、第二
10 端、第三端以及第四端，交叉耦合放大电路的第一端与第一可控电源单元 1021 的输出端连接，
交叉耦合放大电路的第二端与第二可控电源单元 1022 的输出端连接，交叉耦合放大电路的第三
端和位线 40 连接，交叉耦合放大电路的第四端和基准位线 50 连接。

其中，交叉耦合放大电路具有偏差消除功能，交叉耦合电路具体包括：第五晶体管 T5、第

六晶体管 T6、第七晶体管 T7、第八晶体管 T8、第一开关 K1、第二开关 K2、第三开关 K3 以及第四开关 K4。

第五晶体管 T5 的第一端为交叉耦合放大电路的第一端，第六晶体管 T6 的第二端为交叉耦合放大电路的第二端，第五晶体管 T5 的第二端为交叉耦合放大电路的第三端，第七晶体管 T7 的第二端为交叉耦合放大电路的第四端。

第五晶体管 T5 的第二端与第六晶体管 T6 的第一端连接，第七晶体管 T7 的第二端与第八晶体管 T8 的第一端连接，第五晶体管 T5 的第一端与第七晶体管 T7 的第一端连接，第六晶体管 T6 的第二端与第八晶体管 T8 的第二端连接。

第五晶体管 T5 的控制端与第七晶体管 T7 的第二端连接，第六晶体管 T6 的控制端通过第一开关 K1 与第七晶体管 T7 的第二端连接，第六晶体管 T6 的控制端通过第三开关 K3 与第六晶体管 T6 的第一端连接。

第七晶体管 T7 的控制端与第五晶体管 T5 的第二端连接，第八晶体管 T8 的控制端通过第二开关 K2 与第五晶体管 T5 的第二端连接，第八晶体管 T8 的控制端通过第四开关 K4 与第八晶体管 T8 的第一端连接。

其中，第五晶体管 T5 和第七晶体管 T7 为 P 型晶体管，第六晶体管 T6 和第八晶体管 T8 为 N 型晶体管。

可控电源模块 102 包括第一可控电源单元 1021 和第二可控电源单元 1022，第一可控电源单元 1021 包括 N 个第一可控电流源 1023，第二可控电源单元 1022 包括 N 个第二可控电流源 1024。其中，第一可控电流源 1023 为 P 型晶体管，第二可控电流源 1024 为 P 型晶体管。

与图 6 所示实施例不同的是，本实施例提供的灵敏放大器的数据读取过程还包括偏差消除阶段。为便于描述，将第五晶体管 T5 的第二端和第六晶体管 T6 的第一端之间的连接称为第一存储阵列 20 的内位线 70，将第七晶体管 T7 的第二端和第八晶体管 T8 的第一端之间的连接称为第一存储阵列 20 的内基准位线 60。

下面描述从第一存储阵列 20 的其中一个存储单元 21 中读取数据“1”的过程。如图 8 所示，读取数据包括空闲阶段、偏差消除阶段、预充电阶段、访问阶段、放大阶段以及恢复阶段。

在空闲阶段，第三开关 K3 第四开关 K4 闭合，第一开关 K1 和第二开关 K2 也闭合。第六晶体管 T6 的第一端与控制端短接，第八晶体管 T8 的第一端与控制端短接。充电开关 CK1 和 CK2 闭合，通过充电电源对内位线 70 和内基准位线 60 进行充电。此时，在一个实施例中，位线 40、基准位线 50、内位线 70、内基准位线 60 均被充电至 $0.5V_{CC}$ 。

在偏差消除阶段，第一开关 K1 和第二开关 K2 断开，第三开关 K3 和第四开关 K4 仍然闭合。N11、N12、N13 中至少一个 N 型晶体管按照图中波形控制，N21、N22、N23 中至少一个

N 型晶体管按照图中波形控制，使得第一可控电源单元 1021 和第二可控电源单元 1022 向交叉耦合放大电路供电。又第六晶体管 T6 和第八晶体管 T8 采用二极管连接，在位线 40 和基准位线 50 上产生补偿电压，该补偿电压可消除 N 型晶体管或者 P 型晶体管的制造差异（可以称为失调电压）。例如位线 40 上的电压减去基准位线 50 上的电压等于失调电压，或者，基准位线 50 上的电压减去位线 40 上的电压等于失调电压。

在预充电阶段，第一开关 K1 至第四开关 K4 均断开。第一存储阵列 20 的内位线 70 的电压和内基准位线 60 的电压均上拉至参考电压，参考电压为存储电容 C 所连接固定电源的电压。在一个实施例中，固定电源的电压为 $0.5V_{CC}$ 。

在访问阶段，第一开关 K1 和第二开关 K2 闭合，第三开关 K3 和第四开关 K4 仍然断开，位线 40 和基准位线 50 上仍然保留着补偿电压。例如：在偏差消除阶段，位线 40 上电压高于基准位线 50 的电压，差值为补偿电压 V_{os} 。在访问阶段，位线 40 上电压仍然高于基准位线 50 的电压，差值也为补偿电压 V_{os} ，如果 T6 和 T8 的阈值电压之间的偏差为 V_{os} ，或者 T5 和 T7 的阈值电压之间的偏差为 V_{os} ，或者 T6、T5 与 T8、T7 共同产生的阈值电压的偏差为 V_{os} ，那么在该访问阶段， V_{os} 对敏感放大器的影响将被消除或至少被减弱。

在访问阶段，控制所访问的存储单元 21 对应的字线内的信号，使所访问的存储单元 21 内的访问晶体管 T 导通，存储电容 C 使位线 40 的电压上升。

放大阶段和恢复阶段同图 6 所示实施例相同，此处不再赘述。

在上述技术方案中，通过控制处于导通状态的晶体管的数量，控制可控电源模块向放大模块提供驱动电流的档位，以控制放大模块拉动位线 40 和基准位线 50 的速率在额定范围内，使得位线 40 和基准位线 50 能够在恢复阶段稳定呈现存储单元上存储数据，提高数据读取的准确性和成功率。

如图 9 所示，本申请提供一种灵敏放大器的控制方法，灵敏放大器的结构已经在上述实施例中详细说明，此处不再赘述。该控制方法具体包括如下步骤：

S1001、获取预设第一额定拉动速率范围和预设第二额定拉动速率范围。

其中，第一额定拉动速率范围和第二额定拉动速率范围是根据列选择线上选中信号的时序、存储单元所连接字线内信号的时序以及位线和基准位线的电压确定的。还可以通过对灵敏放大器进行测试获得第一额定拉动速率范围和第二额定拉动速率范围，以保证可以准确读取位线和基准位线上数据。

S1002、根据第一额定拉动速率范围和第二额定拉动速率范围确定可控电源模块的驱动参数。

其中，对灵敏放大器进行测试，获得灵敏放大器对位线和基准位线的拉动速率与可控电源

模块的驱动参数之间映射关系，再根据映射关系和两个额定拉动速率范围确定可控电源模块的驱动参数。

S1003、根据驱动参数生成用于控制可控电源模块的控制信号。

其中，在获得可控电源模块的驱动参数后，根据驱动参数生成控制信号，以控制可控电源模块按照驱动参数向放大模块供电，进而控制可控电源模块控制放大模块在放大阶段按照第一额定拉动速率将位线的电压或者基准位线的电压拉至第一预设值，并按照第二额定拉动速率将基准位线的电压或位线的电压拉至第二预设值。第一额定拉动速率位于第一额定拉动速率范围内，第二额定拉动速率位于第二额定拉动速率范围内。

在本申请实施例提供的控制方法中，通过控制可控电源模块输出的驱动参数，控制放大模块拉动位线的电压和基准位线的电压的速率，使位线的电压和基准位线的电压的拉动速率在额定拉动速率范围内，在外界读取电路读取位线和基准位线上呈现数据时，位线和基准位线上已经稳定呈现存储单元内存储数据，以提高数据读取成功率以及数据读取准确性。

本申请另一实施例提供一种灵敏放大器的控制方法，该控制方法具体包括如下步骤：

S2001、获取预设第一额定拉动速率范围和预设第二额定拉动速率范围。

其中，该步骤已经在上述实施例中详细说明，此处不再赘述。

S2002、根据第一额定拉动速率范围和第二额定拉动速率范围确定可控电源模块的驱动参数。

其中，根据第一额定拉动速率范围确定第一驱动电流范围，根据第二额定拉动速率范围确定第二驱动电流范围。第一驱动电流范围为第一可控电流源的驱动参数，第二驱动电流范围为第二可控电流源的驱动参数。

S2003、根据驱动参数生成用于控制可控电源模块的控制信号。

为了便于描述第一可控电流源和第二可控电流源的工作状态，此处继续设定，第一供电端的电压高于第二供电端的电压，且位线的电压高于基准位线的电压时呈现数据“1”。

其中，存储单元中存储数据为“1”时，从N个第一可控电流源中选择至少一个第一目标电流源，以使至少一个第一目标电流源提供的总电流在第一驱动电流范围内，并生成用于控制第一目标电流源工作的第一控制信号，以使第一可控电源单元控制放大模块在放大阶段按照第一额定拉动速率将位线的电压拉至第一预设值。

从N个第二可控电流源中选择至少一个第二目标电流源，以使至少一个第二目标电流源提供的总电流在第二驱动电流范围内，并生成用于控制第二目标电流源工作的第二控制信号，以使第二可控电源单元控制放大模块在放大阶段按照第二额定拉动速率将基准位线的电压拉至第二预设值。

在存储单元 21 中存储数据为“0”时，从 N 个第一可控电流源中选择至少一个第一目标电流源，以使至少一个第一目标电流源提供的总电流在第一驱动电流范围内，并生成用于控制第一目标电流源工作的第三控制信号，以使第一可控电源单元控制放大模块在放大阶段按照第一额定拉动速率将基准位线的电压拉至第一预设值。

- 5 从 N 个第二可控电流源中选择至少一个第二目标电流源，以使至少一个第二目标电流源提供的总电流在第二驱动电流范围内，并生成用于控制第二目标电流源工作的第四控制信号，以使第二可控电源单元控制放大模块在放大阶段按照第二额定拉动速率将位线的电压拉至第二预设值。

- 10 在上述实施例中，由第一可控电源单元控制放大模块以第一额定拉动速率拉动位线的电压或者基准位线的电压，由第二可控电源单元控制放大模块以第二额定拉动速率拉动基准位线的电压或者位线的电压，在恢复阶段外部读取电路读取呈现在位线和基准位线上的数据时，位线和基准位线上已经稳定呈现存储单元中所存储的数据，使得外部数据读取电路可以准确读取位线和基准位线上呈现的数据。

- 15 最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案。

权 利 要 求 书

- 1、一种灵敏放大器，包括：
放大模块，用于在所述灵敏放大器处于放大阶段时，放大位线和基准位线之间的电压差；
可控电源模块，与所述放大模块连接，用于根据第一额定拉动速率范围和第二额定拉动速率范围确定驱动参数，并根据所述驱动参数向所述放大模块提供电源，以控制所述放大模块在所述放大阶段按照第一额定拉动速率将所述位线的电压或者基准位线的电压拉至第一预设值，并按照第二额定拉动速率将所述基准位线的电压或者位线的电压拉至第二预设值；
所述第一额定拉动速率位于所述第一额定拉动速率范围内，所述第二额定拉动速率位于所述第二额定拉动速率范围内。
- 10 2、根据权利要求 1 所述的灵敏放大器，其中，所述可控电源模块包括：
第一可控电源单元，与所述放大模块的第一端连接，用于向所述放大模块提供电源；
第二可控电源单元，与所述放大模块的第二端连接，用于向所述放大模块提供电源；
控制单元，与所述第一可控电源单元连接，还与所述第二可控电源单元连接，用于根据所述第一额定拉动速率范围和所述第二额定拉动速率范围确定驱动参数，并根据所述驱动参数控制所述第一可控电流源和所述第二可控电流源向所述放大模块提供电源。
- 15 3、根据权利要求 2 所述的灵敏放大器，其中，所述第一可控电源单元包括：
N 个第一可控电流源，其设有控制端、第一端和第二端，其第一端与第一供电端连接，其第二端与所述放大模块的第一端连接；其控制端与所述控制单元连接，N 为正整数。
- 4、根据权利要求 3 所述的灵敏放大器，其中，所述第二可控电源单元包括：
20 N 个第二可控电流源，其设有控制端、第一端和第二端，其第一端与第二供电端连接，其第二端与所述放大模块的第二端连接；其控制端与所述控制单元连接。
- 5、根据权利要求 4 所述的灵敏放大器，其中，所述控制单元用于：
根据所述第一额定拉动速率范围确定第一驱动电流范围，并根据所述第二额定拉动速率范围确定第二驱动电流范围；
- 25 从所述 N 个第一可控电流源中选择至少一个第一目标电流源，并从所述 N 个第二可控电流源中选择至少一个第二目标电流源，其中，所述至少一个第一目标电流源提供的总电流在所述第一驱动电流范围内；所述至少一个第二目标电流源提供的总电流在所述第二驱动电流范围内；
生成用于控制所述第一目标电流源工作的第一控制信号，并生成用于控制所述第二目标电流源工作的第二控制信号，以使所述第一可控电源单元控制所述放大模块在所述放大阶段按照
30 第一额定拉动速率将所述位线的电压拉至第一预设值，以使所述第二可控电源单元控制所述放大模块在所述放大阶段按照第二额定拉动速率将所述基准位线的电压拉至第二预设值。

6、根据权利要求4所述的灵敏放大器，其中，所述控制单元用于：

根据所述第一额定拉动速率范围确定第一驱动电流范围，并根据所述第二额定拉动速率范围确定第二驱动电流范围；

5 从所述N个第一可控电流源中选择至少一个第一目标电流源，并从所述N个第二可控电流源中选择至少一个第二目标电流源，其中，所述至少一个第一目标电流源提供的总电流在所述第二驱动电流范围内；所述至少一个第二目标电流源提供的总电流在所述第一驱动电流范围内；

生成用于控制所述第一目标电流源工作的第三控制信号，并生成用于控制所述第二目标电流源工作的第四控制信号，以使所述第一可控电源单元控制所述放大模块在所述放大阶段按照第一额定拉动速率将所述基准位线的电压拉至第一预设值，以使所述第二可控电源单元控制所述放大模块在所述放大阶段按照第二额定拉动速率将所述位线的电压拉至第二预设值。

7、根据权利要求3至6中任意一项所述的灵敏放大器，其中，第*i*个第一电流源提供的驱动电流为 $2^{i-1} \times I_b$ ，第*j*个第二电流源提供的驱动电流为 $2^{j-1} \times I_b$ ， I_b 表示单位电流。

8、根据权利要求3至6中任意一项所述的灵敏放大器，其中：

15 所述第一可控电流源为P型晶体管，所述第二可控电流源为N型晶体管；或者
所述第一可控电流源和所述第二可控电流源均为N型晶体管。

9、根据权利要求2至6中任意一项所述的灵敏放大器，其中，所述放大模块包括：

至少一个交叉耦合放大电路，其设有第一端、第二端、第三端以及第四端；其第一端与所述第一可控电源单元的输出端连接，其第二端与所述第二可控电源单元的输出端连接，其第三端和所述位线连接，其第四端和所述基准位线连接。

20 10、根据权利要求9所述的灵敏放大器，其中，所述交叉耦合放大电路包括：第一晶体管、第二晶体管、第三晶体管以及第四晶体管；

所述第一晶体管的第一端为所述交叉耦合放大电路的第一端，所述第二晶体管的第二端为所述交叉耦合放大电路的第二端，所述第一晶体管的第二端为所述交叉耦合放大电路的第三端，所述第三晶体管的第二端为所述交叉耦合放大电路的第四端；

25 所述第一晶体管的第二端与第二晶体管的第一端连接，所述第三晶体管的第二端与所述第四晶体管的第一端连接，所述第一晶体管的第一端与所述第三晶体管的第一端连接，所述第二晶体管的第二端与所述第四晶体管的第二端连接；

所述第一晶体管的控制端与所述第三晶体管的第二端连接，所述第二晶体管的控制端与所述第三晶体管的第二端连接；所述第三晶体管的控制端与所述第一晶体管的第二端连接，所述第四晶体管的控制端与所述第一晶体管的第二端连接。

11、根据权利要求9所述的灵敏放大器，其中，所述交叉耦合放大电路包括：第五晶体管、

第六晶体管、第七晶体管、第八晶体管、第一开关、第二开关、第三开关以及第四开关；

所述第五晶体管的第一端为所述交叉耦合放大电路的第一端，所述第六晶体管的第二端为所述交叉耦合放大电路的第二端，所述第五晶体管的第二端为所述交叉耦合放大电路的第三端，所述第七晶体管的第二端为所述交叉耦合放大电路的第四端；

- 5 所述第五晶体管的第二端与第六晶体管的第一端连接，所述第七晶体管的第二端与所述第八晶体管的第一端连接，所述第五晶体管的第一端与所述第七晶体管的第一端连接，所述第六晶体管的第二端与所述第八晶体管的第二端连接；

- 所述第五晶体管的控制端与所述第七晶体管的第二端连接，所述第六晶体管的控制端通过所述第一开关与所述第七晶体管的第二端连接，所述第六晶体管的控制端通过所述第三开关与
10 所述第六晶体管的第一端连接；

 所述第七晶体管的控制端与所述第五晶体管的第二端连接，所述第八晶体管的控制端通过所述第二开关与所述第五晶体管的第二端连接，所述第八晶体管的控制端通过所述第四开关与所述第八晶体管的第一端连接。

12、一种存储器，包括如权利要求 1 至 11 中任意一项所述的灵敏放大器以及存储单元；

- 15 多个所述存储单元构成第一存储阵列，多个所述存储单元构成第二存储阵列，所述灵敏放大器位于所述第一存储阵列和所述第二存储阵列之间，所述灵敏放大器的第三端连接所述第一存储阵列的位线，所述灵敏放大器的第四端连接所述第二存储阵列的位线。

13、一种灵敏放大器的控制方法，所述灵敏放大器包括放大模块和可控电源模块，所述方法包括：

- 20 获取第一额定拉动速率范围和第二额定拉动速率范围；

 根据所述第一额定拉动速率范围和所述第二额定拉动速率范围确定所述可控电源模块的驱动参数；

 根据所述驱动参数生成用于控制可控电源模块的控制信号，使所述可控电源模块控制所述放大模块在放大阶段按照第一额定拉动速率将位线的电压或基准位线的电压拉至第一预设值，

- 25 并按照第二额定拉动速率将所述基准位线的电压或位线的电压拉至第二预设值；

 所述第一额定拉动速率位于所述第一额定拉动速率范围内，所述第二额定拉动速率位于所述第二额定拉动速率范围内。

- 14、根据权利要求 13 所述的方法，其中，所述可控电源模块包括第一可控电源单元和第二可控电源单元，所述第一可控单元包括 N 个第一电流源，所述第二可控单元包括 N 个第二电
30 源；

 根据所述第一额定拉动速率范围和所述第二额定拉动速率范围确定放大模块的驱动参数，

具体包括：

根据所述第一额定拉动速率范围确定第一驱动电流范围，并根据所述第二额定拉动速率范围确定第二驱动电流范围。

- 15、根据权利要求 14 所述的方法，其中，根据所述驱动参数生成用于控制可控电源模块的控制信号，具体包括：

从 N 个第一可控电流源中选择至少一个第一目标电流源，从 N 个第二可控电流源中选择至少一个第二目标电流源；其中，所述至少一个第一目标电流源提供的总电流在所述第一驱动电流范围内，所述至少一个第二目标电流源提供的总电流在所述第二驱动电流范围内；

- 10 生成用于控制所述第一目标电流源工作的第一控制信号，并生成用于控制所述第二目标电流源工作的第二控制信号，以使所述第一可控电源单元控制所述放大模块在所述放大阶段按照第一额定拉动速率将所述位线的电压拉至第一预设值，以使所述第二可控电源单元控制所述放大模块在所述放大阶段按照第二额定拉动速率将所述基准位线的电压拉至第二预设值。

- 16、根据权利要求 14 所述的方法，其中，根据所述驱动参数生成用于控制可控电源模块的控制信号，具体包括：

- 15 从 N 个第一可控电流源中选择至少一个第一目标电流源，从 N 个第二可控电流源中选择至少一个第二目标电流源；其中，所述至少一个第一目标电流源提供的总电流在所述第一驱动电流范围内，所述至少一个第二目标电流源提供的总电流在所述第二驱动电流范围内；

- 20 生成用于控制所述第一目标电流源工作的第三控制信号，并生成用于控制所述第二目标电流源工作的第四控制信号，以使所述第一可控电源单元控制所述放大模块在所述放大阶段按照第一额定拉动速率将所述基准位线的电压拉至第一预设值，以使所述第二可控电源单元控制所述放大模块在所述放大阶段按照第二额定拉动速率将所述位线的电压拉至第二预设值。