

三维存储器及其制备方法、存储系统、电子设备

相关申请的交叉引用

本公开基于申请号为 202210273522.3、申请日为 2022 年 03 月 18 日的中国专利申请，申请号为 202210273515.3、申请日为 2022 年 03 月 18 日的中国专利申请提出，并要求该两件中国专利申请的优先权，该两件中国专利申请的全部内容在此以引入方式并入本公开。

技术领域

本公开涉及半导体芯片技术领域，尤其涉及一种三维存储器及其制备方法、存储系统、电子设备。

背景技术

随着存储单元的特征尺寸接近工艺下限，平面工艺和制造技术变得具有挑战性且成本高昂，这造成 2D 或者平面 NAND 闪存的存储密度接近上限。为克服 2D 或者平面 NAND 闪存带来的限制，业界已经研发了具有三维结构的存储器（3D NAND），通过将存储单元三维地布置在衬底之上来提高存储密度。

在三维存储器的实际制备过程中，为了实现接触部与堆叠结构中的栅极层之间的电连接，需要在覆盖堆叠结构的介质层中蚀刻形成显露出阶梯区域的各栅极层的接触孔，然后在接触孔中填充导电材料以形成接触部。

然而，随着三维存储器集成程度的提高以及堆叠层数的增加，接触孔的深度日益加深，在形成接触孔的过程中易造成位于高层的栅极层被蚀穿。在这种情况下，在接触孔中填充用于形成接触部的导电材料之后，会导致不同栅极层之间的短接（即不同层之间的字线电连接），从而引发存储器的失效。

发明内容

本公开的实施例提供一种三维存储器及其制备方法、存储系统、电子设备。

本公开的实施例采用如下技术方案：

一方面，提供一种三维存储器。所述三维存储器包括堆叠结构、多个沿第一方向设置的第一停止部、保护层和多个接触柱。所述堆叠结构包括交替设置的栅极层和介质层。所述堆叠结构包括台阶结构，所述台阶结构包括多个沿第一方向设置、且沿第二方向具有不同高度的阶梯结构。所述阶梯结构包括多个台阶。所述第一方向与所述第二方向相互垂直。多个沿所述第一方向设置的第一停止部，位于至少一个所述阶梯结

构的多个台阶上，每个所述第一停止部设置于一个所述台阶上。保护层覆盖所述台阶结构和所述第一停止部，所述保护层的至少部分位于所述第一停止部和所述第一停止部相邻的台阶之间。所述接触柱贯穿所述保护层和所述第一停止部，与所述第一停止部所对应的台阶中的栅极层连接。

在一些实施例中，所述三维存储器还包括隔离结构，所述隔离结构沿所述第一方向延伸，且贯穿所述堆叠结构。所述隔离结构将所述堆叠结构划分成多个存储块，每个存储块包括所述台阶结构；其中，所述第一停止部所在的阶梯结构与所述隔离结构间隔设置。

在一些实施例中，沿所述第二方向，所述存储块包括第一阶梯结构、第二阶梯结构和第三阶梯结构，所述第二阶梯结构的多个台阶上设置有所述第一停止部。

在一些实施例中，沿所述第二方向，所述存储块包括第一阶梯结构和第二阶梯结构，所述第一阶梯结构与所述隔离结构间隔设置，所述第一阶梯结构的多个台阶上设置有所述第一停止部。

在一些实施例中，每个存储块还包括一个侧墙；所述隔离结构包括第一隔离结构和第二隔离结构；沿所述第二方向，所述第一隔离结构位于相邻的两个侧墙之间，所述第二隔离结构位于相邻的两个台阶结构之间；沿所述第二方向，与所述第二隔离结构相邻的两个存储块中的台阶结构对称设置。

在一些实施例中，沿所述第二方向，且由所述第一隔离结构朝向所述第二隔离结构，所述存储块中的多个阶梯结构的高度逐渐降低。

在一些实施例中，沿所述第二方向，与所述第二隔离结构两侧相邻的两个阶梯结构的高度相同。

在一些实施例中，所述三维存储器还包括多个沿第一方向设置的第二停止部。多个沿第一方向设置的第二停止部位于多个所述阶梯结构中除设置有第一停止部的阶梯结构外的其他阶梯结构的多个台阶上。其中，所述保护层还覆盖所述第二停止部，所述保护层的至少部分位于所述第二停止部和与所述第二停止部相邻的台阶之间。

在一些实施例中，所述三维存储器还包括多个沿所述第一方向延伸的栅线隔离结构。多个沿所述第一方向延伸的栅线隔离结构位于相邻的两个所述隔离结构之间，所述栅线隔离结构贯穿所述第二停止部及所述堆叠结构。沿所述第一方向，每个栅线隔离结构包括多个相互分离的子

隔离结构。其中，所述第二停止部的材料与所述栅极层的材料相同。

在一些实施例中，所述第二停止部的材料与所述第一停止部的材料相同。

在一些实施例中，所述第一停止部的材料包括氮化硅。

在一些实施例中，沿第三方向，所述第一停止部的厚度与上一台阶的栅极层的厚度相同；所述上一台阶与所述第一停止部所对应的台阶相邻，且高于所述第一停止部所对应的台阶；其中，所述第三方向垂直于所述堆叠结构。

另一方面，提供一种三维存储器的制备方法，包括：

形成初始堆叠结构。所述初始堆叠结构包括交替设置的牺牲层和介质层。所述初始堆叠结构包括台阶结构，所述台阶结构包括多个沿第一方向设置、且沿第二方向具有不同高度的阶梯结构。阶梯结构包括多个台阶；所述第一方向与所述第二方向相互垂直。

在至少一个所述阶梯结构的多个台阶上形成多个第一停止部。所述多个第一停止部沿所述第一方向设置，每个所述第一停止部设置于一个所述台阶上。

形成保护层。所述保护层覆盖所述台阶结构和所述第一停止部，所述保护层的至少部分位于所述第一停止部和与所述第一停止部相邻的台阶之间。

将所述牺牲层替换成栅极层，形成堆叠结构。

形成多个接触柱，所述接触柱贯穿所述保护层和第一停止部，且与所述第一停止部所对应的台阶中的栅极层电连接。

在一些实施例中，所述在至少一个所述阶梯结构的多个台阶上形成多个第一停止部，包括：刻蚀每个台阶中处于最上方的牺牲层和介质层，以形成多个所述第一停止部。

在一些实施例中，所述制备方法还包括：形成沿所述第一方向延伸，且贯穿所述初始堆叠结构的第一隔槽，所述第一隔槽将所述初始堆叠结构划分成多个初始存储块，每个初始存储块包括所述台阶结构。在所述第一隔槽内形成隔离结构。

在一些实施例中，所述制备方法还包括：形成沿所述第一方向延伸，且贯穿所述初始堆叠结构的第二隔离子部；形成沿所述第一方向延伸，且贯穿所述初始堆叠结构的第一子隔槽、第二子隔槽和第二隔槽；沿所述第一方向，所述第一子隔槽与所述第二子隔槽分别与所述第二隔离子

部的两端接触；沿所述第二方向，所述第二隔槽位于相邻的两个第二隔离子部之间。在所述第一子隔槽内形成第一隔离子部，在所述第二子隔槽内形成第三隔离子部，在所述第二隔槽内形成第二隔离结构。其中，所述第一隔离子部、所述第三隔离子部以及所述第二隔离子部构成第一隔离结构的至少部分。

在一些实施例中，所述制备方法还包括：在多个阶梯结构中除设置有所述第一停止部的阶梯结构外的其他阶梯结构的多个台阶上，形成多个第二停止部；每个第二停止部位于一个台阶上。

在一些实施例中，所述制备方法还包括：形成多个沿所述第一方向延伸的第三隔槽；所述第三隔槽贯穿所述第二停止部及所述初始堆叠结构；沿所述第一方向，每个所述第三隔槽包括多个相互分离的第三子隔槽。在所述第三隔槽内形成栅线隔离结构。

在一些实施例中，所述形成多个接触柱，包括：刻蚀所述保护层至所述第一停止部，形成多个接触孔；刻蚀所述接触孔暴露的第一停止部及第一停止部下方的介质层，以使所述接触孔暴露所述栅极层；在所述接触孔中形成接触柱。

再一方面，提供一种存储系统。所述存储系统包括：控制器，及上述任一实施例所述的三维存储器；所述控制器耦合至所述三维存储器，且用于控制所述三维存储器存储数据。

又一方面，提供一种电子设备。所述电子设备包括上述任一实施例所述的存储系统。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1 为根据一些实施例的一种三维存储器的立体结构图；

图 2 为相关技术中的接触柱与台阶的一种结构图；

图 3 为相关技术中的接触柱与台阶的另一种结构图；

图 4 为根据一些实施例的一种接触柱的结构图；

图 5A 为根据一些实施例的一种三维存储器的俯视图；

图 5B 为根据一些实施例的一种三维存储器的俯视图；

图 6 为图 5A 中 CC 区域的一种放大图；

图 7A 为图 6 中沿剖面线 D-D' 的一种剖视图；

图 7B 为图 6 中沿剖面线 D-D' 的另一种剖视图；

图 8 为图 6 中沿剖面线 E-E' 的一种剖视图；

图 9 为图 6 中沿剖面线 E-E' 的另一种剖视图；

图 10 为图 5A 中 CC 区域的另一种放大图；

图 11 为图 10 中沿剖面线 F-F' 的一种剖视图；

图 12A 为根据一些实施例的一种台阶结构的结构图；

图 12B 为根据一些实施例的另一种台阶结构的结构图；

图 13 为图 5A 中 CC 区域的再一种放大图；

图 14 为图 5A 中 CC 区域的又一种放大图；

图 15 为图 14 中沿剖面线 G-G' 的一种剖视图；

图 16 为根据一些实施例的一种存储串的结构图；

图 17 为图 16 中存储串的等效电路图；

图 18 为图 5A 中 CC 区域的又一种放大图；

图 19A 为图 18 中沿剖面线 H-H' 的一种剖视图；

图 19B 为图 18 中沿剖面线 H-H' 的另一种剖视图；

图 20 为图 18 中沿剖面线 I-I' 的一种剖视图；

图 21 为图 18 中沿剖面线 I-I' 的另一种剖视图；

图 22 为图 5A 中 CC 区域的又一种放大图；

图 23 为图 22 中沿剖面线 J-J' 的一种剖视图；

图 24A 为根据一些实施例的再一种台阶结构的结构图；

图 24B 为根据一些实施例的又一种台阶结构的结构图；

图 25 为图 5A 中 CC 区域的又一种放大图；

图 26 为图 5A 中 CC 区域的又一种放大图；

图 27 为图 26 中沿剖面线 K-K' 的一种剖视图；

图 28、图 31、图 32、图 37、图 40、图 47、图 49、图 52 和图 54 为根据一些实施例的一种三维存储器的制备方法的流程图；

图 29A~图 30、图 33A~图 36、图 38~图 39、图 41A~图 46、图 48、图 50~图 51、图 53、图 55~图 58 为根据一些实施例的一种三维存储器的制备方法的步骤图；

图 59、图 66、图 72、图 74、图 77~图 78、图 80 为根据一些实施例

的另一种三维存储器的制备方法的流程图；

图 60~图 65、图 67~图 71、图 73、图 75~图 76、图 79 和图 81~图 84 为根据一些实施例的另一种三维存储器的制备方法的步骤图；

图 85 为根据一些实施例的另一种三维存储器的结构图；

图 86 为根据一些实施例的又一种三维存储器的结构图；

图 87 为根据一些实施例的一种存储系统的结构图；

图 88 为根据一些实施例的又一种存储系统的结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

在本公开的描述中，需要理解的是，术语“中心”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例”、“一些实施例”、“示例性实施例”、“示例性地”或“一些示例”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。又如，描述一些实施例时可能使用了术语“耦接”以表明两个或两个以上部件有直接物理接触或电接触。然而，术语“耦接”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。

这里所公开的实施例并不必然限制于本文内容。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义，均包括以下 A、B 和 C 的组合：仅 A，仅 B，仅 C，A 和 B 的组合，A 和 C 的组合，B 和 C 的组合，及 A、B 和 C 的组合。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

在本公开的内容中，“在……上”、“上方”、和“之上”的含义应当以最宽泛的方式解释，使得“在...上”不仅意味着“直接在某物上”，而且还包括其间具有中间特征或层的“在某物上”的含义，并且“上方”或“之上”不仅意味着在某物“上方”或“之上”，还包括其间没有中间特征或层的在某物“上方”或“之上”的含义(即，直接在某物上)。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

请参阅图 1~图 3，图 1 为一种三维存储器 100 的立体结构示意图，图 2 和图 3 为相关技术中部分接触柱和台阶的两种结构图。

在一些实施例中，如图 1 所示，三维存储器 100 包括堆叠结构，堆叠结构具有台阶结构，且包括多层交替设置的栅极层 G 和介质层(图 1 中未示出)。栅极层 G 和介质层均沿第一方向 X 延展。沿第三方向 Z，多层栅极层 G 中位于下方的至少一层栅极层 G 被构造为源端选择栅 SGS，多层栅极层 G 中位于上方的至少一层栅极层 G 被构造为漏端选择栅 SGD，源端选择栅 SGS 和漏端选择栅 SGD 之间的栅极层 G 被构造为多条字线 WL。

为了向源端选择栅 SGS、漏端选择栅 SGD 和字线 WL 提供电信号，三维存储器 100 中还包括多个接触柱 CNT。多个接触柱 CNT 中，与漏端选择栅 SGD 电连接的接触柱 CNT 被构造为漏端选择栅接触柱 SGD CNT，与源端选择栅 SGS 电连接的接触柱 CNT 被构造为源端选择栅接触柱 SGS CNT，与字

线 WL 电连接的接触柱 CNT 被构造为字线接触柱 WL CNT。

参阅图 2，随着集成程度的提高，三维存储器中栅极层 G 和介质层的堆叠层数逐渐增加，不同接触柱 CNT 在第三方向 Z 上的深度差异日益增大。因此，在形成多个接触柱 CNT 的过程中，高层台阶容易被接触柱 CNT 所在的接触孔穿透，从而在形成多个接触柱 CNT 后，造成不同栅极层 G 之间出现短接，引发三维存储器的失效。

针对这一问题，请参阅图 3，相关技术中通过加厚台阶处的栅极层 G 的厚度的方式，改善接触柱 CNT 的制作过程中，栅极层 G 容易被穿透的问题。然而，为阻止接触孔穿透台阶处栅极层 G，台阶处栅极层 G 需要的厚度较大，形成难度较高。

因此，在尽可能加厚台阶处的栅极层 G 的厚度的同时，相关技术还通过降低刻蚀速率的方式，来避免接触孔穿透台阶处栅极层 G。然而，如图 4 所示，由于刻蚀速率较慢，刻蚀方向性较差，因而刻蚀得到的接触孔的直线度较差，接触柱 CNT 的直线度也较差。严重的，在刻蚀接触孔的过程中，由于刻蚀方向性较差还有可能刻蚀到与接触孔相邻的虚拟沟道结构，导致在形成接触柱后，虚拟沟道结构内同样填充导电材料，使得多条栅极层之间相互短接，造成三维存储器不良。

另外，当台阶处栅极层 G 的厚度较大时，在利用栅线隔槽进行栅极层替换的过程中，栅线隔槽中可能残留有导电材料，从而在栅极层替换完成后，造成多层栅极层之间的短接，引发三维存储器失效。

为解决上述至少一个问题，请参见图 5A~图 8，本公开一些实施例提供了一种三维存储器 200。

如图 5A 和图 5B 所示，沿第一方向 X，三维存储器 200 包括核心阵列区 AA 和台阶区 SS。如图 5A 所示，三维存储器 200 可以包括两个核心阵列区 AA 和一个台阶区 SS，台阶区 SS 位于两个核心阵列区 AA 之间。或者，如图 5B 所示，三维存储器 200 可以包括两个台阶区 SS 和一个核心阵列区 AA，核心阵列区 AA 位于两个台阶区 SS 之间。

可以理解，本公开一些实施例所提供的三维存储器 200 中核心阵列区 AA 和台阶区 SS 的分布方式并不仅限于此。

图 6 为图 5A 中 CC 区域的放大图。图 7A 和图 7B 为图 6 在剖面线 D-D' 处的截面图，图 8 为图 6 在剖面线 E-E' 处的截面图。

参阅图 6~图 8，三维存储器 200 包括堆叠结构 10、多个沿第一方向 X 设置的第一停止部 20、保护层 30 和多个接触柱 40。

其中，堆叠结构 10 包括交替设置的栅极层 11 和介质层 12。

在一些示例中，参阅图 7A，栅极层 11 可以为单层结构。此时，栅极层 11 包括导电层 111。导电层 111 的材料包括但不限于钨、钴、铜、铝、或掺杂晶体硅、掺杂硅和/或硅化物。

在另一些示例中，参阅图 7B，栅极层 11 可以为多层复合结构。此时，栅极层 11 可以包括依次形成的高介电常数层 112、金属化合物层 113 和导电层 111。其中，高介电常数层 112 的材料例如可以包括氧化铝 (Al_2O_3)，金属化合物层 113 的材料例如可以包括氮化钽或者氮化钛。

示例性的，介质层 12 可以由绝缘材料制成，包括但不限于氧化硅、氮化硅、氮氧化硅或以上材料的组合。

需要说明的是，在堆叠结构 10 中，多个栅极层 11 的厚度可以大致相同，也可以不相同。多个介质层 12 的厚度可以大致相同，也可以不相同。可以根据实际需求进行选择多个栅极层 11 和多个介质层 12 的厚度。此外，堆叠结构 10 的堆叠层数决定了存储单元的个数；堆叠结构 10 的堆叠层数越多，集成度越高，也即存储单元的个数越多。具体可根据实际存储需求来设计堆叠结构 10 的堆叠层数及堆叠高度，本公开对此不做具体限制。

堆叠结构 10 包括台阶结构 13，台阶结构 13 包括多个沿第一方向 X 设置、且沿第二方向 Y 具有不同高度的阶梯结构 14。阶梯结构 14 包括多个台阶 141。第一方向 X 与第二方向 Y 相互垂直。

可以理解，台阶结构 13 包括沿第一方向 X 设置，且沿第二方向 Y 具有不同高度的阶梯结构 14 时，台阶结构 13 所包括的多个阶梯结构 14 中相邻两个阶梯结构 14 的高度不同，间隔设置的两个阶梯结构 14 的高度可以相同。

在一些示例中，参阅图 6 和图 8，台阶结构 13 可以包括沿第二方向 Y 设置的三个高度均不相同的阶梯结构 14。

在另一些示例中，参阅图 6 和图 9，台阶结构 13 可以包括三个沿第二方向 Y 设置的阶梯结构 14，位于两侧的两个阶梯结构 14 的高度与位于中间的阶梯结构 14 的高度均不同，但位于两侧的两个阶梯结构 14 的高度相同。

在又一些示例中，参阅图 10 和图 11，台阶结构 13 可以包括两个沿第二方向 Y 设置的具有不同高度的阶梯结构 14。

需注意的是，本公开中阶梯结构 14 的数目并不限于此。

多个第一停止部 20 沿第一方向 X 设置，且位于至少一个阶梯结构 14 的多个台阶 141 上，每个第一停止部 20 设置于一个台阶 141 上。

如图 8、图 9 和图 11 所示，多个第一停止部 20 可以仅位于一个阶梯结构

14 的多个台阶 141 上。也可以是，多个第一停止部 20 位于多个阶梯结构 14 的多个台阶 141 上。

其中，如图 8 所示，台阶 141 可以包括一层栅极层 11 和一层介质层 12。或者，台阶 141 可以包括多层栅极层 11 和多层介质层 12。本公开对此不做限制。

如图 8 所示，保护层 30，覆盖台阶结构 13 和第一停止部 20，保护层 30 的至少部分位于第一停止部 20 和与第一停止部 20 相邻的台阶 141 之间。

可以理解，“与第一停止部 20 相邻的台阶 141”不仅可以包括如图 7A 所示，在第一方向 X 上，与第一停止部 20 相邻的台阶 141，还可以如图 8 所示，在第二方向 Y 上与第一停止部 20 相邻的台阶 141。

示例性的，保护层 30 可以由硅氧化物制成，包括但不限于正硅酸乙酯（简称 TEOS）、硅氧烷、倍半硅氧烷等。示例性的，保护层 30 可以通过化学气相沉积（Chemical Vapor Deposition，简称 CVD）工艺、旋涂工艺等形成。

第一停止部 20 和与该第一停止部 20 相邻的台阶 141 之间具有至少部分保护层 30，从而可以形成栅极层 11 的过程中，利用保护层 30 将牺牲层与第一停止部 20 间隔开，避免将牺牲层替换为栅极层时，第一停止部同时也被替换，导致接触柱穿透被替换的第一停止部，与多层栅极层电连接，三维存储器失效的情况发生。

多个接触柱 40，接触柱 40 贯穿保护层 30 和第一停止部 20，与第一停止部 20 所对应的台阶中的栅极层 11 连接。

示例性的，接触柱 40 可以由导电材料制成，包括但不限于金属例如钨、铜、铝等，金属硅化物，金属氮化物和/或掺杂的多晶硅。

可以理解，上述台阶结构 13 位于台阶区 SS 内。当台阶区 SS 位于两个核心阵列区 AA 之间时，该台阶结构 13 的形貌可以如图 12A 和图 12B 所示。即，沿第一方向 X，台阶结构 13 可包括至少一个台阶组，台阶组中的多个台阶 141 的高度逐渐升高或逐渐降低。

示例性的，如图 12A 和图 12B 所示，沿第一方向 X，台阶结构 13 可以包括 8 个台阶组依次为第一台阶组 131、第二台阶组 132、第三台阶组 133、第四台阶组 134、第五台阶组 135、第六台阶组 136、第七台阶组 137、第八台阶组 138。其中，沿第一方向 X，第一台阶组 131，第三台阶组 133、第五台阶组 135 和第七台阶组 137 中多个台阶 141 的高度逐渐降低。沿第一方向 X，第二台阶组 132、第四台阶组 134、第六台阶组 136 和第八台阶组 138 中的多个台阶 141 的高度逐渐升高。当然，本公开中的台阶结构 13 的形态并不仅限

于此。

本公开一些实施例所提供的三维存储器 200 中，台阶结构 13 的至少一个阶梯结构 14 上设置有多个第一停止部 20，因此在形成接触柱 40 所在的接触孔 41 时，可以先通过刻蚀工艺（如湿法刻蚀）去除第一停止部 20 上的部分保护层，暴露出部分第一停止部 20，然后再通过刻蚀工艺去除暴露出的部分第一停止部 20、第一停止部 20 与下方栅极层 11 之间的介质层 12，暴露出部分栅极层 11。

在第一次刻蚀过程中，由于第一停止部 20 的存在，使得对应不同高度的台阶 141 的不同深度的接触孔 41，均可以停止在台阶 141 上的第一停止部 20 上。在第二次刻蚀过程中，由于各第一停止部 20 到第一停止部 20 所在的台阶 141 的栅极层 11 的距离大致相同，因此，在第二次刻蚀过程中，刻蚀相同的时间，对应不同高度的台阶 141 的不同深度的接触孔 41 均可以停止在台阶 141 的栅极层 11 上。

这样，在接触孔 41 中形成接触柱 40 时，接触柱 40 均可以与对应台阶 141 的栅极层 11 接触，从而有利于避免因堆叠结构中的膜层数量的增加，接触柱贯穿多层栅极层，使得多层栅极层之间短接的情况发生，提高了三维存储器的电性能和良率。

同时，由于设置有第一停止部 20，在通过刻蚀工艺形成接触柱所在的接触孔时，刻蚀速度可以较快，从而可以使得接触孔 41（或接触柱 40）的直线度较好，进而使得与接触柱 40 相邻的虚拟沟道结构内的介质层不容易被刻蚀，提升了三维存储器 200 的良品率。

参阅图 6~图 12B，在一些实施例中，三维存储器 200 还包括隔离结构 50。隔离结构 50 沿第一方向 X 延伸，且贯穿堆叠结构 10。隔离结构 50 将堆叠结构 10 划分成多个存储块 15。每个存储块 15 均包括台阶结构 13。其中，第一停止部 20 所在的阶梯结构 14 与隔离结构 50 间隔设置。

其中，“第一停止部 20 所在的阶梯结构 14 与隔离结构 50 间隔设置”也即，多个第一停止部 20 与隔离结构 50 间隔设置。

本公开一些实施例，利用隔离结构 50 将堆叠结构 10 划分成多个存储块 15，从而可以进一步提高三维存储器 200 的存储密度。同时，第一停止部 20 所在的阶梯结构 14 与隔离结构 50 间隔设置，还可以避免在后续利用隔离结构 50 所在的隔离槽进行栅替换形成栅极层 11 的过程中，第一停止部 20 被替换，导致接触柱穿透被替换的第一停止部，与多层栅极层电连接，使得三维存储器失效的情况出现。

需要说明的是，在隔离结构 50 将堆叠结构 10 划分成多个存储块 15 的同时，隔离结构 50 也将栅极层 11 划分成多条栅线（例如，源端选择栅或漏端选择栅或字线）。每个存储块 15 包括沿第三方向 Z 间隔设置的多条栅线。

示例性的，第一方向 X 可以为栅线的延伸方向。第二方向 Y 可以为位线的延伸方向。第三方向 Z 可以为堆叠结构 10 的堆叠方向。

在一些示例中，参阅图 6、图 8 和图 9，沿第二方向 Y，存储块 15 包括第一阶梯结构 14A、第二阶梯结构 14B 和第三阶梯结构 14C，第二阶梯结构 14B 的多个台阶 141 上设置有第一停止部 20。

这样，第二阶梯结构 14B 与第一阶梯结构 14A、第三阶梯结构 14C 在第三方向 Z 均存在高度差，且与隔离结构 50 间隔设置（即，第二阶梯结构 14B 与隔离结构 50 之间存在第一阶梯结构 14A、第三阶梯结构 14C），从而有利于在后续刻蚀台阶，形成第一停止部 20，使第一停止部 20 与相邻台阶 141 之间存在间距，避免第一停止部被替换。

在另一些示例中，参阅图 11，沿第二方向 Y，存储块 15 包括第一阶梯结构 14A 和第二阶梯结构 14B，第一阶梯结构 14A 与隔离结构 50 间隔设置，第一阶梯结构 14A 的多个台阶 141 上设置有第一停止部 20。

这样，第一阶梯结构 14A 和第二阶梯结构 14B 在第三方向 Z 存在高度差，且与隔离结构 50 间隔设置，从而有利于在后续刻蚀台阶，形成第一停止部 20，且使第一停止部 20 与相邻台阶 141 侧壁之间存在间距，避免第一停止部 20 被替换。

在一些实施例中，参阅图 6~图 11，每个存储块 15 还包括一个侧墙 16，侧墙作为桥接结构连接两个核心阵列区 AA，在一些实施例中，阶梯结构中包括的栅极层通过桥接结构连接至两个核心阵列区 AA 中至少一者的栅极层。隔离结构 50 包括第一隔离结构 51 和第二隔离结构 52。沿第二方向 Y，第一隔离结构 51 位于相邻的两个侧墙 16 之间，第二隔离结构 52 位于相邻的两个台阶结构 13 之间。其中，侧墙 16，被配置为提高三维存储器 200 的结构稳定性。

在一些示例中，如图 6 和图 10 所示，第一隔离结构 51 可以为一体结构，即在制备第一隔离结构 51 时，可以通过一次刻蚀工艺刻蚀得到第一隔离结构 51 所在的隔离槽，并在隔离槽内形成第一隔离结构 51。

在另一些示例中，如图 13 所示，第一隔离结构 51 可以包括沿第一方向 X 依次连接的第一隔离子部 511、第二隔离子部 512 和第三隔离子部 513。第二隔离子部 512 在第二方向 Y 上的尺寸大于第一隔离子部 511 在第二方向 Y 上

的尺寸，且第二隔离子部 512 在第二方向 Y 上的尺寸大于第三隔离子部 513 在第二方向 Y 上的尺寸。

示例性的，第一隔离子部 511 在第二方向 Y 上的尺寸与第三隔离子部 513 在第二方向 Y 上的尺寸大致相同。

示例性的，第一隔离子部 511 和第三隔离子部 513 位于核心阵列区 AA 中，第二隔离子部 512 位于台阶区 SS 中，且第二隔离子部 512 与侧墙 16 接触。

示例性的，第二隔离子部 512 可以与虚拟沟道结构和沟道结构同时制备。第一隔离子部 511 和第三隔离子部 513 可以在沟道结构制备完成后制备。基于此，第二隔离子部 512 的材料可以与虚拟沟道结构或沟道结构的材料相同。

本公开一些实施例中通过设置第二隔离子部 512，一方面能够用于分割相邻的两个存储块 15，另一方面还能够用于支撑堆叠结构 10，防止堆叠结构 10 坍塌。

在一些实施例中，参阅图 6、图 10 和图 13，沿第二方向 Y，与第二隔离结构 52 相邻的两个存储块 15 中的台阶结构 13 对称设置。

可以理解，“两个存储块 15 中的台阶结构 13 对称设置”例如可以是，两个存储块 15 的台阶结构 13 所包括的阶梯结构 14 的数量相同，两个台阶结构 13 中到第二隔离结构 52 的距离相等的两个阶梯结构 14 的高度相同。

在一些实施例中，参阅图 8 和图 11，沿第二方向 Y，且由第一隔离结构 51 朝向第二隔离结构 52，存储块 15 中的多个阶梯结构 14 的高度逐渐降低。

在另一些实施例中，参阅图 9，沿第二方向 Y，且由第一隔离结构 51 朝向第二隔离结构 52，存储块 15 中的多个阶梯结构 14 的高度先降低再升高。

在一些实施例中，参阅图 8 和图 9，沿第二方向 Y，与第二隔离结构 52 两侧相邻的两个阶梯结构 14 的高度相同。

在一些实施例中，参阅图 11，三维存储器 200 还包括多个沿第一方向 X 设置的第二停止部 60。多个第二停止部 60 位于多个阶梯结构 14 中除设置有第一停止部 20 的阶梯结构 14 外的其他阶梯结构 14 的多个台阶 141 上。

保护层 30 还覆盖第二停止部 60，保护层 30 的至少部分位于第二停止部 60 和与第二停止部 60 相邻的台阶 141 之间。

示例性的，参阅图 8 和图 9，当第一停止部 20 位于第二阶梯结构 14B 的多个台阶 141 上时，第二停止部 60 可以位于第一阶梯结构 14A 和第三阶梯结构 14C 的多个台阶 141 上。

示例性的，参阅图 11，当第一停止部 20 位于第一阶梯结构 14A 的多个

台阶 141 上时,第二停止部 60 可以位于第二阶梯结构 14B 的多个台阶 141 上。

在一些实施例中,第一停止部 20 和第二停止部 60 的材料相同。示例性的,当第一停止部 20 和第二停止部 60 的材料相同时,第一停止部 20 和第二停止部 60 的材料例如可以包括掺碳氮化硅。或者,示例性的,当第一停止部 20 和第二停止部 60 的材料相同时,第一停止部 20 和第二停止部 60 的材料例如可以为氮化硅。

示例性的,第一停止部 20 的材料可以为氮化硅。

这样,第一停止部 20 的材料与栅极层 11 的材料不同,第一停止部 20 的刻蚀选择比与栅极层 11 的刻蚀选择比不同,利用刻蚀工艺刻蚀形成接触孔时,第一停止部 20 不易被刻穿。从而可以在制备接触柱 40 所在的接触孔 41 时,先使对应不同高度台阶 141 的多个接触孔 41 均停止在第一停止部 20 上,各接触孔 41 的底部与台阶 141 之间的距离大致相同,再使用刻蚀工艺,刻蚀多个接触孔 41 所暴露出的第一停止部 20 以及第一停止部 20 下方的介质层 12,使得接触孔 41 暴露出与其对应的台阶 141 中的栅极层 11。从而,避免接触孔穿透高层台阶,在接触孔中填充导电材料形成接触柱后,相邻的高层台阶中的栅极层之间发生短接的问题,提高三维存储器的电性能和良率。

在一些实施例中,如图 14 和图 15 所示,三维存储器 200 还包括多个沿第一方向 X 延伸的栅线隔离结构 70,位于相邻的两个隔离结构 50 之间,栅线隔离结构 70 贯穿第二停止部 60 及其下方的堆叠结构 10。沿第一方向 X,每个栅线隔离结构 70 包括多个相互分离的子隔离结构 71。第二停止部 60 的材料与栅极层 11 的材料相同。

其中,“栅线隔离结构 70 贯穿第二停止部 60 及其下方的堆叠结构 10”,也即,栅线隔离结构 70 所在的隔离槽,贯穿第二停止部 60 及其下方的堆叠结构 10,因此可以利用栅线隔离结构 70 所在的隔离槽进行栅替换,将初始堆叠结构 101 中的牺牲层替换为栅极层 11。同时,利用栅线隔离结构 70 所在的隔离槽将第二停止部的材料替换为栅极层的材料。

通过设置栅线隔离结构 70 还能够用于为三维存储器 200 释放应力。

在一些示例中,第二停止部 60 可以与栅极层 11 相同,为单层结构。此时,第二停止部 60 也包括导电层 111。导电层 111 的材料包括但不限于钨、钴、铜、铝、或掺杂晶体硅、掺杂硅和/或硅化物。

在另一些示例中,第二停止部 60 可以与栅极层 11 相同,为复合多层结构。此时,第二停止部 60 可以包括高介电常数层 112、金属化合物层 113 和导电层 111,且高介电常数层 112 包裹导电层 111,金属化合物层 113 位于高

介电常数层 112 与导电层 111 之间。其中，高介电常数层 112 的材料例如可以包括氧化铝 (Al_2O_3)，金属化合物层 113 的材料例如可以包括氮化钽或者氮化钛。

在一些实施例中，参阅图 8、图 9、图 11 和图 15，沿第三方向 Z，第一停止部 20 的厚度与上一台阶 141 的栅极层 11 的厚度相同。上一台阶 141 与第一停止部 20 所对应的台阶 141 相邻，且高于第一停止部 20 所对应的台阶 141。

此时，第一停止部 20 可以利用制作上一台阶 141 的栅极层 11 的牺牲层制作而成，从而无需单独沉积第一停止部 20，进而可以简化三维存储器 200 的制作工艺，降低三维存储器 200 的制作成本。

在一些实施例中，三维存储器 200 包括位于核心阵列区 AA 内的多个阵列分布的存储单元串 201。示例性的，参阅图 16，沿第三方向 Z，存储单元串 201 包括依次设置的地选择线层 202（底层选择栅）、字线层 203、串选择线层 204（顶层选择栅）、以及位线 205。存储单元串 201 还包括沿第三方向 Z 贯穿串选择线层 204、字线层 203 和地选择线层 202 的沟道结构 206 阵列。沟道结构 206 将各串选择线层 204、字线层 203 和地选择线层 202 串接起来，形成存储单元串 201。

在一些实施例中，参阅图 16，沟道结构 206 可以包括依次设置的阻挡层 2061、存储层 2062、隧穿层 2063、沟道层 2064 和填充层 2065。

示例性的，阻挡层 2061 可以包括一层，例如，阻挡层 2061 包括二氧化硅 (SiO_2) 层；阻挡层 2061 也可以包括多层，例如，阻挡层 2061 包括二氧化硅和氧化铝 (Al_2O_3) 叠层。存储层 2062 可以包括一层，例如，存储层 2062 包括氮化硅 (SiN) 层；存储层 2062 也可以包括多层，例如，存储层 2062 包括氮化硅、氮氧化硅 (SiON)、氮化硅叠层。隧穿层 2063 可以包括多层，例如，隧穿层 2063 包括一氧化硅 (SiO)、氮氧化硅、氧化硅叠层。沟道层 2064 的材料可以包括半导体材料，例如，多晶硅和/或单晶硅。填充层 2065 的材料可以包括绝缘材料，例如，二氧化硅。

参见图 17，存储单元串 201 的第一端连接至位线 205，第二端连接至源极线 SL。存储单元串 201 包括在第一端和第二端之间串联连接的多个晶体管，多个晶体管包括至少一个顶部选择晶体管 Q1、至少一个存储晶体管 M 和至少一个底部选择晶体管 Q2。示例性的，图 17 中展示出了一个顶部选择晶体管 Q1、四个存储晶体管 M 和一个底部选择晶体管 Q2。其中四个存储晶体管 M 分别为 M1、M2、M3、M4。

参阅图 5A、图 5B 和图 18~图 21，本公开的另一些实施例中提供了另一种三维存储器 300。

相似的，如图 5A 和图 5B 所示，沿第一方向 X，三维存储器 300 包括核心阵列区 AA 和台阶区 SS。如图 5A 所示，三维存储器 300 可以包括两个核心阵列区 AA 和一个台阶区 SS，台阶区 SS 位于两个核心阵列区 AA 之间。或者，如图 5B 所示，三维存储器 300 可以包括两个台阶区 SS 和一个核心阵列区 AA，核心阵列区 AA 位于两个台阶区 SS 之间。

可以理解，本公开一些实施例所提供的三维存储器 300 中核心阵列区 AA 和台阶区 SS 的分布方式并不仅限于此。

如图 18 所示，三维存储器 300 包括堆叠结构 10'、多个沿第一方向 X 设置的第一停止部 20'、阻隔层 30'，保护层 40'、多个接触柱 50'。

其中，堆叠结构 10' 包括交替设置的栅极层 11' 和介质层 12'。

在一些示例中，如图 19A 所示，栅极层 11' 可以为单层结构。此时，栅极层 11' 包括导电层 111'。导电层 111' 的材料包括但不限于钨、钴、铜、铝、或掺杂晶体硅、掺杂硅和/或硅化物。

在另一些示例中，如图 19B 所示，栅极层 11' 可以为多层复合结构。此时，栅极层 11' 可以包括依次形成的高介电常数层 112'、金属化合物层 113' 和导电层 111'。其中，高介电常数层 112' 的材料例如可以包括氧化铝 Al_2O_3 ，金属化合物层 113' 的材料例如可以包括氮化钽或者氮化钛。

示例性的，介质层 12' 可以由绝缘材料制成，包括但不限于氧化硅、氮化硅、氮氧化硅或以上材料的组合。

需要说明的是，在堆叠结构 10' 中，多个栅极层 11' 的厚度可以大致相同，也可以不相同；多个介质层 12' 的厚度可以大致相同，也可以不相同。可以根据实际需求进行选择多个栅极层 11' 和多个介质层 12' 的厚度。此外，堆叠结构 10' 的堆叠结构数决定了存储单元的个数；堆叠结构 10' 的堆叠结构数越多，集成度越高，也即存储单元的个数越多。具体可根据实际存储需求来设计堆叠结构 10' 的堆叠结构数及堆叠高度，本公开对此不做具体限制。

堆叠结构 10' 包括台阶结构 13'，台阶结构 13' 包括多个沿第一方向 X 设置、且沿第二方向 Y 具有不同高度的阶梯结构 14'。阶梯结构 14' 包括多个台阶 141'。第一方向 X 和第二方向 Y 相互垂直。

可以理解，台阶结构 13' 包括沿第一方向 X 设置，且沿第二方向 Y 具有不同高度的阶梯结构 14' 时，只要保证台阶结构 13' 所包括的多个阶梯结构 14' 中相邻两个阶梯结构 14' 的高度不同即可，间隔设置的两个阶梯结构 14'

的高度可以相同。

基于此，在一些示例中，参阅图 20，台阶结构 13' 可以包括沿第二方向 Y 设置的三个高度均不相同的阶梯结构 14'。

在另一些示例中，参阅图 21，台阶结构 13' 可以包括三个沿第二方向 Y 设置的阶梯结构 14'，位于两侧的两个阶梯结构 14' 的高度与位于中间的阶梯结构的高度均不同，但位于两侧的两个阶梯结构 14' 的高度相同。

在又一些示例中，参阅图 22 和图 23，台阶结构 13' 可以包括两个沿第二方向 Y 设置的具有不同高度的阶梯结构 14'。

值得指出的是，本公开一些实施例中阶梯结构 14' 的数目并不仅限于此。

多个沿第一方向 X 设置的第一停止部 20'，位于至少一个阶梯结构 14' 的多个台阶 141' 上，每个第一停止部 20' 设置于一个台阶 141' 上。

如图 20、图 21 和图 23 所示，多个第一停止部 20' 可以仅位于一个阶梯结构 14' 的多个台阶 141' 上。也可以是，多个第一停止部 20' 位于多个阶梯结构 14' 的多个台阶 141' 上。

其中，如图 20、图 21 和图 23 所示，台阶 141' 可以包括一层栅极层 11' 和一层介质层 12'。或者，台阶 141' 可以包括多层栅极层 11' 和多层介质层 12'。本公开对此不做限制。

阻隔层 30'，覆盖台阶结构 13'，且位于台阶结构 13' 与第一停止部 20' 之间。

示例性的，阻隔层 30' 可以由绝缘材料制成，包括但不限于氧化硅、氮化硅、氮氧化硅或以上材料的组合。

可以理解，如图 20、图 21 和图 23 所示，“阻隔层 30' 位于台阶结构 13' 与多个第一停止部 20' 之间”，即，在第三方向 Z 上，阻隔层 30' 位于第一停止部 20' 与台阶结构 13' 的台阶 141' 之间，在第一方向 X 和第二方向 Y 上，阻隔层 30' 位于第一停止部 20' 和与第一停止部 20' 相邻的台阶 141' 之间。

本公开一些实施例通过设置阻隔层 30'，一方面能够利用阻隔层 30' 保护台阶结构 13'，进而保护堆叠结构 10'。另一方面能够阻隔台阶结构 13' 中的栅极层 11' 与第一停止部 20'，避免在形成台阶结构 13' 中的栅极层 11' 时，第一停止部 20' 与牺牲层之间连接，第一停止部 20' 同样被替换的情况发生，还能够避免栅极层 11' 与第一停止部 20' 相互电连接，导致三维存储器 300 失效的情况出现。

保护层 40'，覆盖阻隔层 30' 和第一停止部 20'。

示例性的，保护层 40' 可以由硅氧化物制成，包括但不限于正硅酸乙酯(简

称 TEOS)、硅氧烷、倍半硅氧烷等。示例性的,保护层 40'可以通过化学气相沉积 (Chemical Vapor Deposition, 简称 CVD) 工艺、旋涂工艺等形成。

在一些示例中,参阅图 19A 和图 20,当保护层 40'覆盖阻隔层 30'和第一停止部 20'时,在第一方向 X 上,保护层 40'的至少部分位于第一停止部 20'的侧壁与阻隔层 30'之间,在第二方向 Y 上,保护层 40'的至少部分位于第一停止部 20'的侧壁与阻隔层 30'之间。

这样,有利于将多个第一停止部 20'相互分割开来,避免多个第一停止部 20'之间电连接。

多个接触柱 50',接触柱 50'贯穿保护层 40'、第一停止部 20'和阻隔层 30',与第一停止部 20'所对应的台阶 141'中的栅极层 11'连接。

示例性的,接触柱 50'可以由导电材料制成,包括但不限于金属例如钨、铜、铝等,金属硅化物,金属氮化物和/或掺杂的多晶硅。

可以理解,上述台阶结构 13'位于台阶区 SS 内。当台阶区 SS 位于两个核心阵列区 AA 之间时,该台阶结构 13'的形貌可以如图 24A 和图 24B 所示。即,沿第一方向 X,台阶结构 13'可包括至少一个台阶组,台阶组中的多个台阶 141'的高度逐渐或逐渐减低。

示例性的,如图 24A 和图 24B 所示,沿第一方向 X,台阶结构 13'可以包括 8 个台阶组依次为第一台阶组 131'、第二台阶组 132'、第三台阶组 133'、第四台阶组 134'、第五台阶组 135'、第六台阶组 136'、第七台阶组 137'、第八台阶组 138'。其中,沿第一方向 X,第一台阶组 131',第三台阶组 133'、第五台阶组 135'和第七台阶组 137'中多个台阶 141'的高度逐渐降低。沿第一方向 X,第二台阶组 132'、第四台阶组 134'、第六台阶组 136'和第八台阶组 138'中的多个台阶 141'的高度逐渐升高。当然,本公开中的台阶结构 13'的形态并不仅限于此。

本公开一些实施例所提供的三维存储器 300 中,台阶结构 13'的至少一个阶梯结构 14'上设置有多第一停止部 20',因此在形成接触柱 50'所在的接触孔 51'时,可以先通过刻蚀工艺(如湿法刻蚀)去除第一停止部 20'上的部分保护层,暴露出部分第一停止部 20',然后再通过刻蚀工艺去除暴露出的部分第一停止部 20'、第一停止部 20'与下方栅极层 11'之间的阻隔层 30'和介质层 12',暴露出部分栅极层 11'。

在第一次刻蚀过程中,由于第一停止部 20'的存在,使得对应不同高度的台阶 141'的不同深度的接触孔 51',均可以停止在台阶 141'上的第一停止部 20'上。在第二次刻蚀过程中,由于各第一停止部 20'到第一停止部 20'所在的

台阶 141' 的栅极层 11' 的距离大致相同, 因此, 在第二次刻蚀过程中, 刻蚀相同的时间, 对应不同高度的台阶 141' 的不同深度的接触孔 51' 均可以停止在台阶 141' 的栅极层 11' 上。

这样, 在接触孔 51' 中形成接触柱 50' 时, 接触柱 50' 均可以与对应台阶 141' 的栅极层 11' 接触, 从而有利于避免因堆叠结构中的膜层数量的增加, 接触柱贯穿多层栅极层, 使得多层栅极层之间短接的情况发生, 提高了三维存储器的电性能和良率。

同时, 通过设置第一停止部 20' 还可以使接触孔 51' 的刻蚀速度较快, 接触孔 51' (或接触柱 50') 的直线度较好。进而使得与接触柱 50' 相邻的虚拟沟道结构内的介质层不容易被刻蚀, 提升了三维存储器 300 的良品率。

参阅图 18~图 23, 在一些实施例中, 三维存储器 300 还包括隔离结构 60'。隔离结构 60' 沿第一方向 X 延伸, 且贯穿堆叠结构 10'。隔离结构 60' 将堆叠结构 10' 划分成多个存储块 15'。每个存储块 15' 均包括台阶结构 13'。其中, 第一停止部 20' 所在的阶梯结构 14' 与隔离结构 60' 间隔设置。

可以理解, 隔离结构 60' 在贯穿堆叠结构 10' 的同时, 也可以贯穿阻挡层 30'。

“第一停止部 20' 所在的阶梯结构 14' 与隔离结构 60' 间隔设置”, 也即, 第一停止部 20' 与隔离结构 60' 间隔设置。

本公开一些实施例, 利用隔离结构 60' 将堆叠结构 10' 划分成多个存储块 15', 从而可以进一步提高三维存储器 300 的存储密度。同时, 第一停止部 20' 所在的阶梯结构 14' 与隔离结构 60' 间隔设置, 还可以避免在后续利用隔离结构所在的隔离槽进行栅替换形成栅极层 11' 的过程中, 第一停止部 20' 被替换, 导致接触柱穿透被替换的第一停止部, 与多层栅极层电连接, 使得三维存储器失效的情况出现。

在一些示例中, 参阅图 20 和图 21, 沿第二方向 Y, 存储块 15' 包括第一阶梯结构 14A'、第二阶梯结构 14B' 和第三阶梯结构 14C', 第二阶梯结构 14B' 的多个台阶 141' 上设置有第一停止部 20'。

这样, 第二阶梯结构 14B' 与第一阶梯结构 14A'、第三阶梯结构 14C' 在第三方向 Z 均存在高度差, 且与隔离结构 60' 间隔设置 (即, 第二阶梯结构 14B' 与隔离结构 60' 之间存在第一阶梯结构 14A'、第三阶梯结构 14C'), 从而有利于避免第一停止部 20' 被替换。

在另一些示例中, 参阅图 23, 沿第二方向 Y, 存储块 15' 包括第一阶梯结构 14A' 和第二阶梯结构 14B', 第一阶梯结构 14A' 与隔离结构 60' 间

隔设置，第一阶梯结构 14A' 的多个台阶 141 上设置有第一停止部 20'。

这样，第一阶梯结构 14A' 和第二阶梯结构 14B' 在第三方向 Z 存在高度差，且与隔离结构 50' 间隔设置，从而可以避免第一停止部 20' 被替换。

在一些实施例中，参阅图 20~图 24B，每个存储块 15' 还包括一个侧墙 16'。隔离结构 60' 包括第一隔离结构 61' 和第二隔离结构 62'。沿第二方向 Y，第一隔离结构 61' 位于相邻的两个侧墙 16' 之间，第二隔离结构 62' 位于相邻的两个台阶结构 13' 之间。其中，侧墙 16'，被配置为提高三维存储器 300 的结构稳定性。

在一些示例中，如图 18 和图 22 所示，第一隔离结构 61' 可以为一体结构，即在制备第一隔离结构 61' 时，可以通过一次刻蚀工艺刻蚀得到第一隔离结构 61' 所在的隔离槽，并在隔离槽内形成第一隔离结构 61'。

在另一些示例中，如图 25 所示，第一隔离结构 61' 可以包括沿第一方向 X 依次连接的第一隔离子部 611'、第二隔离子部 612' 和第三隔离子部 613'。第二隔离子部 612' 在第二方向 Y 上的尺寸大于第一隔离子部 611' 在第二方向 Y 上的尺寸，且第二隔离子部 612' 在第二方向 Y 上的尺寸大于第三隔离子部 613' 在第二方向 Y 上的尺寸。

示例性的，第一隔离子部 611' 和第三隔离子部 613' 位于核心阵列区 AA 中，第二隔离子部 612' 位于台阶区 SS 中，且第二隔离子部 612' 与侧墙 16' 接触。

示例性的，第二隔离子部 612' 可以与虚拟沟道结构和沟道结构同时制备。第一隔离子部 611' 和第三隔离子部 613' 可以在沟道结构制备完成后制备。基于此，第二隔离子部 612' 的材料可以与虚拟沟道结构或沟道结构的材料相同。

本公开一些实施例中通过设置第二隔离子部 612'，一方面能够用于分割相邻的两个存储块 15'，另一方面还能够用于支撑堆叠结构 10'，防止堆叠结构 10' 坍塌。

在一些实施例中，参阅图 22、图 25 和图 26，沿第二方向 Y，与第二隔离结构 62' 相邻的两个存储块 15' 中的台阶结构 13' 对称设置。

可以理解，“两个存储块 15' 中的台阶结构 13' 对称设置”例如可以是，两个存储块 15' 的台阶结构 13' 所包括的阶梯结构 14' 的数量相同，两个台阶结构 13' 中到第二隔离结构 62' 的距离相等的两个阶梯结构 14' 的高度相同。

在一些实施例中，参阅图 20 和图 23，沿第二方向 Y，且由第一隔离结构 61' 朝向第二隔离结构 62'，存储块 15' 中的多个阶梯结构 14' 的高度逐渐

降低。

在另一些实施例中，参阅图 21，沿第二方向 Y，且由第一隔离结构 61' 朝向第二隔离结构 62'，存储块 15' 中的多个阶梯结构 14' 的高度先降低再升高。

在一些实施例中，参阅图 20 和图 21，沿第二方向 Y，与第二隔离结构 62' 两侧相邻的两个阶梯结构 14' 的高度相同。

在一些实施例中，参阅图 20、图 21 和图 23，三维存储器 300 还包括多个沿第一方向 X 设置的第二停止部 70'。多个第二停止部 70' 位于多个阶梯结构 14' 中除设置有第一停止部 20' 的阶梯结构 14' 外的其他阶梯结构 14' 的多个台阶 141' 上。

阻隔层 30' 还位于台阶结构 13' 与第二停止部 70' 之间。同样的，可以理解，如图 23 所示，“阻隔层 30' 还位于台阶结构 13' 与多个第二停止部 70' 之间”，即，在第三方向 Z 上，阻隔层 30' 位于第二停止部 70' 与台阶结构 13' 的台阶 141' 之间，在第一方向 X 和第二方向 Y 上，阻隔层 30' 位于第二停止部 70' 和与第二停止部 70' 相邻的台阶 141' 之间。保护层 40' 还覆盖第二停止部 70'。

示例性的，当保护层 40' 还覆盖第二停止部 70' 时，在第一方向 X 上，保护层 40' 的至少部分位于第二停止部 70' 的侧壁与阻挡层 30' 之间，在第二方向 Y 上，保护层 40' 的至少部分位于第二停止部 70' 的侧壁与阻挡层 30' 之间。

示例性的，参阅图 20 和图 21，当第一停止部 20' 位于第二阶梯结构 14B' 的多个台阶 141' 上时，第二停止部 70' 可以位于第一阶梯结构 14A' 和第三阶梯结构 14C' 的多个台阶 141' 上。

示例性的，参阅图 23，当第一停止部 20' 位于第一阶梯结构 14A' 的多个台阶 141' 上时，第二停止部 70' 可以位于第二阶梯结构 14B' 的多个台阶 141' 上。

在一些实施例中，第一停止部 20' 和第二停止部 70' 的材料可以相同。

基于此，第一停止部 20' 和第二停止部 70' 的材料，例如可以包括掺碳氮化硅或氮化硅。

在另一些实施例中，第一停止部 20' 和第二停止部 70' 的材料可以不同。

示例性的，第一停止部 20' 的材料例如可以为氮化硅。

在第一停止部 20' 的材料包括氮化硅或掺碳氮化硅的情况下，第一停止部 20' 的材料与栅极层 11' 的材料不同，第一停止部 20' 的刻蚀选择比与栅

极层 11' 的刻蚀选择比不同, 利用刻蚀工艺刻蚀形成接触孔时, 第一停止部 20' 不易被刻穿。从而可以在制备接触柱 50' 所在的接触孔 51' 时, 先使对应不同高度台阶 141' 的多个接触孔 51' 均停止在第一停止部 20' 上, 各接触孔 51' 的底部与台阶 141' 之间的距离大致相同, 再使用刻蚀工艺, 刻蚀多个接触孔 51' 所暴露出的第一停止部 20' 以及第一停止部 20' 下方的阻挡层 30' 和介质层 12', 使得接触孔 51' 暴露出与其对应的台阶 141' 中的栅极层 11'。从而, 避免接触孔穿透高层台阶, 在接触孔中填充导电材料形成接触柱后, 相邻的高层台阶中的栅极层之间发生短接的问题, 提高三维存储器的电性能和良率。

在一些实施例中, 如图 26 和图 27 所示, 三维存储器 300 还包括多个沿第一方向 X 延伸的栅线隔离结构 80', 位于相邻的两个隔离结构 60' 之间, 栅线隔离结构 80' 贯穿第二停止部 70' 及堆叠结构 10'。沿第一方向 X, 每个栅线隔离结构 80' 包括多个相互分离的子隔离结构 81'。

其中, “栅线隔离结构 80' 贯穿第二停止部 70' 及堆叠结构 10'”, 也即, 栅线隔离结构 80' 所在的隔离槽, 贯穿第二停止部 70' 及堆叠结构 10'。

通过设置栅线隔离结构 80' 还能够为三维存储器 300 释放应力。

在一些实施例中, 第二停止部 70' 的厚度小于或等于栅极层 11' 的厚度, 此时, 第二停止部 70' 的材料与栅极层的材料相同。

可以理解, 当第二停止部 70' 的厚度小于或等于栅极层 11' 的厚度时, 可以利用栅线隔离结构 80' 所在的隔离槽将初始堆叠结构 101' 中的牺牲层替换成栅极层 11', 同时将第二停止部 70' 的材料替换成栅极层 11' 材料。

基于此, 在一些示例中, 第二停止部 70' 可以与栅极层 11' 相同, 为单层结构。此时, 第二停止部 70' 也包括导电层 111'。导电层 111' 的材料包括但不限于钨、钴、铜、铝、或掺杂晶体硅、掺杂硅和/或硅化物。

在另一些示例中, 第二停止部 70' 可以与栅极层 11' 相同, 为复合多层结构。此时, 第二停止部 70' 可以包括高介电常数层 112'、金属化合物层 113' 和导电层 111', 且高介电常数层 112' 包裹导电层 111', 金属化合物层 113' 位于高介电常数层 112' 与导电层 111' 之间。其中, 高介电常数层 112' 的材料例如可以包括氧化铝 Al_2O_3 , 金属化合物层 113' 的材料例如可以包括氮化钽或者氮化钛。

在另一些实施例中, 第二停止部 70' 的厚度大于栅极层 11' 的厚度, 此时, 第二停止部 70' 的材料与栅线隔离结构 80' 的材料相同。

基于此, 在一些示例中, 第二停止部 70' 和栅线隔离结构 80' 的材料可

以均包括电介质材料，例如，氧化硅和/或氮化硅。在另一些示例中，第二停止部 70' 和栅线隔离结构 80' 可以为复合的叠层结构，例如第二停止部 70'（或栅线隔离结构 80'）可以包括依次设置的电介质材料层和导电材料层（比如钨、钴、铜、铝、或多晶硅中的至少一种）。在又一些示例中，第二停止部 70' 可以包括电介质材料，以及包裹该电介质材料的高介电常数层。在又一些示例中，第二停止部 70' 还可以包括复合的叠层结构，以及包裹该复合的叠层结构的高介电常数层。

以上介绍了用于解决高层栅极层容易被接触柱穿透这一技术问题的两种三维存储器。下面将分别对这两种三维存储器的制备方法进行阐述。

请参阅图 28，本公开一些实施例提供了一种三维存储器 200 的制备方法，包括步骤 S1~步骤 S5：

S1、参阅图 29A、29B 和图 30，形成初始堆叠结构 101。初始堆叠结构 101 包括牺牲层 110 和介质层 12。初始堆叠结构 101 包括台阶结构 13，台阶结构 13 包括多个沿第一方向 X 设置、且沿第二方向 Y 具有不同高度的阶梯结构 14。每个阶梯结构 14 包括多个台阶 141。第一方向 X 与第二方向 Y 相互垂直。

需要说明的是，牺牲层 110 和介质层 12 例如可以通过化学气相沉积（CVD）工艺、等离子体增强化学气相沉积（PECVD）工艺、高密度等离子体化学气相沉积（HDP-CVD）工艺、原子层沉积（ALD）工艺或溅射工艺形成。

示例性的，牺牲层 110 和介质层 12 具有不同的刻蚀选择比，使得牺牲层 110 能够在后续工艺中被去除，而介质层 12 被保留，从而形成栅线空隙，用于形成栅极层 11。示例性的，牺牲层 110 的材料可以为氮化硅，介质层 12 的材料可以为氧化硅。

其中，初始堆叠结构 101 中的牺牲层 110 和介质层 12 的数目可以根据实际需求进行设计，示例性的，初始堆叠结构 101 中可以具有 16 个牺牲层 110 和介质层 12，或者 32 个牺牲层 110 和介质层 12。本公开对此并不进行限制。值得指出的是，本公开所提供的附图中，初始膜层对的数量仅为示例，并不构成对本公开的限制。

需要说明的是，在初始堆叠结构 101 中，多个牺牲层 110 的厚度可以大致相同，也可以不相同；多个介质层 12 的厚度可以大致相同，也可以不相同。可以根据实际需求进行选择多个牺牲层 110 和多个介质层 12 的厚度。

在一些示例中，如图 31 所示，步骤 S1、形成初始堆叠结构 101，包括：

S11、形成预设堆叠结构 1011，预设堆叠结构 1011 包括交替设置的牺牲层 110 和介质层 12。

S12、刻蚀预设堆叠结构 1011，形成沿第二方向 Y 设置的多个基准台阶 142。每个基准台阶 142 对应一个阶梯结构 14。

S13、采用修整刻蚀工艺和削切工艺，基于基准台阶 142，形成沿第一方向 X 设置的多个台阶 141，以形成阶梯结构 14。初始堆叠结构 101 包括多个阶梯结构 14。

在一些示例中，如图 32 所示，步骤 S12、刻蚀预设堆叠结构 1011，形成沿第二方向 Y 设置的多个基准台阶 142，包括：

S121、如图 33A 和图 33B 所示、在预设堆叠结构 1011 上形成第一掩膜层 21。第一掩膜层 21 暴露预设堆叠结构 1011 的第一区域 W1。

S122、如图 34 所示，刻蚀预设堆叠结构 1011 的第一区域 W1 的至少一个牺牲层 110 和至少一个介质层 12。

S123、如图 35A 和图 35B 所示，修整第一掩膜层 21，以暴露预设堆叠结构 1011 的第二区域 W2。第一区域 W1 位于第二区域 W2 的内部。沿第二方向 Y，第一区域 W1 的边界与第二区域 W2 的边界之间存在间距。

S124、如图 36 所示，刻蚀预设堆叠结构 1011 的第二区域 W2 的至少一个牺牲层 110 和至少一个介质层 12，以形成在第二方向 Y 上高度不同的三个基准台阶 142。

其中，示例性的，步骤 S122 中，可以刻蚀预设堆叠结构 1011 的第一区域 W1 的一个牺牲层 110 和一个介质层 12，步骤 S124 中，可以刻蚀预设堆叠结构 1011 的第二区域 W2 的一个牺牲层 110 和一个介质层 12，以形成在第二方向 Y 上高度不同的三个基准台阶 142。

当步骤 S122 中，刻蚀预设堆叠结构 1011 的第一区域 W1 的一个牺牲层 110 和一个介质层 12，步骤 S124 中，刻蚀预设堆叠结构 1011 的第二区域 W2 的一个牺牲层 110 和一个介质层 12 时，相邻两个阶梯结构 14 在第三方向 Z 上的高度均相差一个牺牲层 110 和一个介质层 12 的高度。

另一些实施中，如图 37 所示，步骤 S12、刻蚀预设堆叠结构 1011，形成沿第二方向 Y 设置的多个基准台阶 142，包括：

S125、如图 38 所示，在预设堆叠结构 1011 上形成第二掩膜层 22。第二掩膜层 22 暴露出预设堆叠结构 1011 的至少一个第三区域 W3。

图 38 中以第二掩膜层 22 暴露出两个第三区域 W3 进行示例，本公开对此不做限制。

S126、如图 39 所示，刻蚀预设堆叠结构 1011 的第三区域 W3 的至少一个牺牲层 110 和至少一个介质层 12，形成在第二方向 Y 上高度先降低后升高的三个基准台阶 142。

示例性的，可以采用湿法刻蚀工艺或者干法刻蚀工艺刻蚀预设堆叠结构 1011。

需要说明的是，上述步骤均以形成三个基准台阶 142 为例进行的描述，在其它实施例中，还可以形成两个基准台阶 142 或者三个以上的基准台阶 142。

示例性的，当台阶结构 13 中包括两个阶梯结构 14 时，采用步骤 S121、步骤 S122，以及步骤 S13 即可得到两个阶梯结构 14。

示例性的，当台阶结构 13 中包括三个以上的阶梯结构 14 时，在进行步骤 S121~步骤 S124 之后，还可以多次修整第一掩膜层 21，使得第一掩膜层 21 能够所暴露的初始堆叠结构的面积越来越大，在每次修整第一掩膜层 21 后，刻蚀初始堆叠结构 101 被第一掩膜层 21 暴露出的部分的至少一个初始膜层对 102，以形成三个以上的基准台阶 142，从而形成三个以上的阶梯结构 14。

值得指出的是，得到多个阶梯结构 14 后，需要去除修整后的第一掩膜层 21 或者第二掩膜层 22。

示例性的，步骤 S13、采用修整刻蚀工艺和削切工艺，基于基准台阶 142，形成沿第一方向 X 设置的多个台阶 141，以形成阶梯结构 14 的同时，还可以形成侧墙 16。

S2、在至少一个阶梯结构 14 的多个台阶 141 上形成多个第一停止部 20。多个第一停止部 20 沿第一方向 X 设置，每个第一停止部 20 设置于一个台阶 141 上。

在一些示例中，如图 40 所示，步骤 S2、在至少一个阶梯结构 14 的多个台阶 141 上形成多个第一停止部 20，包括：

S21、刻蚀每个台阶 141 中处于最上方的牺牲层 110 和介质层 12，以形成多个第一停止部 20。

其中，参阅图 29A 和图 41A、图 29B 和 41B，刻蚀每个台阶 141 中处于最上方的牺牲层 110 和介质层 12，例如可以是刻蚀在第二方向 Y 上，牺牲层 110 和介质层 12 中处于台阶 141 交接处的部分 143。参阅图 30 和图 42，刻蚀每个台阶 141 中处于最上方的牺牲层 110 和介质层 12，例如可以是刻蚀在第一方向 X 上，牺牲层 110 和介质层 12 中处于台阶 141 交接处的部分 144。

这样，通过刻蚀每个台阶 141 处位于最上方的牺牲层 110 和介质层 12，

去除最上方的牺牲层 110 和介质层 12 中,处于台阶 141 交接处的部分,以形成多个第一停止部 20,无需单独沉积额外的膜层,从而降低了三维存储器 200 的制备工艺和制备成本。

同时,形成的第一停止部 20 与台阶之间存在间距,使得在后续将牺牲层 110 替换成栅极层 11 的过程中,第一停止部 20 不容易被替换。从而,在后续形成接触孔 41 的过程中,对应不同台阶 141 的接触孔 41 能够在第一次刻蚀后都先停止在与其对应的第一停止部 20 上,然后在第二次刻蚀后,停止在栅极层 11 上,避免接触孔贯穿高层台阶,使得在接触柱形成后,高层台阶之间出现短接的问题。

S3、参阅图 43 和图 44,形成保护层 30。保护层 30 覆盖台阶结构 13 和第一停止部 20,保护层 30 的至少部分位于第一停止部 20 和与第一停止部 20 相邻的台阶 141 之间。

其中,保护层 30 可以由硅氧化物制成,包括但不限于正硅酸乙酯(简称 TEOS)、硅氧烷、倍半硅氧烷等。

示例性的,保护层 30 可以通过化学气相沉积(Chemical Vapor Deposition,简称 CVD)工艺、旋涂工艺等形成。

示例性的,在形成保护层 30 后还可以通过化学机械抛光(CMP)工艺对其进行平坦化处理。

S4、参阅图 45 和图 46,将牺牲层 110 替换成栅极层 11,形成堆叠结构 10。

在一些实施例中,三维存储器 200 包括隔离结构 50,隔离结构 50 包括第一隔离结构 51 和第二隔离结构 52,且第一隔离结构 51 和第二隔离结构 52 均为一体结构。

基于此,在一些示例中,如图 47 所示,制备方法还包括:

S41、参阅图 48,形成沿第一方向 X 延伸,且贯穿初始堆叠结构 101 的第一隔槽 501,第一隔槽 501 将初始堆叠结构 101 划分成多个初始存储块 150。每个初始存储块 150 包括台阶结构 13。

示例性的,可以利用干法刻蚀工艺形成第一隔槽 501,沿第三方向 Z,第一隔槽 501 贯穿初始堆叠结构 101。

示例性的,可以利用第一隔槽 501 将牺牲层 110 替换成栅极层 11。示例性的,可以采用湿法刻蚀的工艺,将刻蚀液从第一隔槽 501 内浸入初始堆叠结构 101 内。此时,由于牺牲层 110 和介质层 12 具有不同的刻蚀选择比,因此在刻蚀过程中,牺牲层 110 能够被刻蚀,介质层 12 能够被保留,从而在对

应形成的部分形成空腔。

示例性的，可以通过 CVD、PVD、ALD 中的一种或多种工艺在空腔内形成栅极层 11。

其中，栅极层 11 可以是单层结构，例如栅极层 11 中包括导电材料，包括但不限于钨、钴、铜、铝、或掺杂晶体硅等。或者，栅极层 11 可以是多层复合结构，例如，栅极层 11 可以包括依次形成的高介电常数层（比如氧化铝 Al_2O_3 ）、金属化合物层（比如氮化钽或者氮化钛）和导电层（比如钨）。

在一些示例中，如图 47 所示，制备方法还包括：

S42、如图 45 所示，在第一隔槽 501 内形成隔离结构 50。

示例性的，可以通过 CVD、PVD、ALD 中的一种或多种工艺形成隔离结构 50。隔离结构 50 可以仅包括一层或多层电介质材料层，也可以包括依次设置的一层或多个电介质材料层、以及至少一层导电材料层。

其中，隔离结构 50 可以将堆叠结构 10 划分成多个存储块 15，从而可以进一步提高三维存储器 200 的存储密度。

在另一些实施例中，如图 13 所示，三维存储器 200 包括隔离结构 50，隔离结构 50 包括第一隔离结构 51 和第二隔离结构 52。其中，第一隔离结构 51 可以包括沿第一方向 X 依次连接的第一隔离子部 511、第二隔离子部 512 和第三隔离子部 513。

在一些示例中，如图 49 所示，制备方法还可以包括：

S43、参阅图 50，形成沿第一方向 X 延伸，且贯穿初始堆叠结构 101 的第二隔离子部 512。

基于此，示例性的，第二隔离子部 512 可以与虚拟沟道结构和/或沟道结构同时制备，例如，可以在形成初始堆叠结构 101 之后，形成保护层 30 之前形成第二隔离子部 512。

S44、参阅图 51，形成沿第一方向 X 延伸，且贯穿初始堆叠结构 101 的第一子隔槽 502、第二子隔槽 503 和第二隔槽 504。沿第一方向 X，第一子隔槽 502 和第二子隔槽 503 分别与第二隔离子部 512 的两端接触。沿第二方向 Y，第二隔槽 504 位于相邻的两个第二隔离子部 512 之间。

在一些示例中，如图 49 所示，制备方法还可以包括：

S45、参阅图 13，在第一子隔槽 502 内形成第一隔离子部 511，在第二子隔槽 503 内形成第三隔离子部 513，在第二隔槽 504 内形成第二隔离结构 52。

其中，第一隔离子部 511、第三隔离子部 513 以及第二隔离子部 512 构成第一隔离结构 51 的至少部分。

在一些实施中，参阅图 41A、图 41B 和图 42，制备方法还可以包括：

在多个阶梯结构 14 中除设置有第一停止部 20 的阶梯结构 14 外的其他阶梯结构 14 的多个台阶 141 上形成多个第二停止部 60。

在一些实施例中，参阅图 52，制备方法还可以包括：

S46、参阅图 53，形成多个沿第一方向 X 延伸的第三隔槽 505。第三隔槽 505 贯穿第二停止部 60 及初始堆叠结构 101。沿第一方向 X，每个第三隔槽 505 包括多个相互分离的第三子隔槽 506。

在一些实施例中，参阅图 41，制备方法还包括：

S47、参阅图 45，在第三隔槽 505 内形成栅线隔离结构 70。

示例性的，可以在步骤 S4、将牺牲层 120 替换成栅极层 11，形成堆叠结构 10 之前，形成多个沿第一方向 X 延伸的第三隔槽 505。可以在步骤 S4 后，在第三隔槽 505 内形成栅线隔离结构 70。

在一些示例中，第三隔槽 505 可以与第一隔槽 501 同时形成。在另一些示例中，第三隔槽 505 可以与第一子隔槽 502、第二子隔槽 503 和第二隔槽 504 同时形成。

这样，在将牺牲层 110 替换成栅极层 11 的过程中，利用多个第三隔槽 505，可以将第二停止部的材料替换成与栅极层 11 相同的材料。

S5、参阅图 6~图 11，形成多个接触柱 40。接触柱 40 贯穿保护层 30 和第一停止部 20，与第一停止部 20 对应的台阶 141 中的栅极层 11 电连接。

示例性的，参阅图 54，S5、形成多个接触柱 40，包括步骤 S51~步骤 S53：

S51、参阅图 55 和图 56，刻蚀保护层 30 至第一停止部 20，形成多个接触孔 41。

示例性的，可以通过湿法刻蚀工艺形成接触孔 41。

由于第一停止部 20 和栅极层 11 的材料不同，刻蚀选择比不同，因此，在形成接触孔 41 的过程中，第一停止部 20 不容易像栅极层 11 一样被刻穿，对应不同高度台阶 141 的接触孔 41 可以均停止在其对应的台阶上的第一停止部 20 上，从而暴露出第一停止部 20。

S52、参阅图 57 和图 58，刻蚀接触孔 41 暴露的第一停止部 20 及第一停止部 20 下方的介质层 12，以使接触孔 41 暴露栅极层 11。

示例性的，可以通过干法刻蚀，刻蚀接触孔 41 暴露的第一停止部 20 及第一停止部 20 下方的介质层 12，以使接触 41 暴露栅极层 11。

其中，不同台阶 141 上的第一停止部 20 与台阶 141 中的栅极层 11 之间的距离大致相同，因此，在可以在不同台阶 141 处刻蚀相同厚度的膜层，以

使栅极层 11 暴露。这样，三维存储器中形成的接触孔 41 均可以与对应台阶 141 的栅极层 11 接触良好，不会贯穿与其对应的台阶中的栅极层 11，从而可以有效的避免栅极层被穿透，接触柱 40 形成后不同栅极层之间出现短接的情况发生，提高了三维存储器的电性能和良性。

S53、参阅图 6~图 11，在接触孔 41 中形成接触柱 40。

示例性的，可以通过 CVD、PVD、ALD 中的一种工艺形成接触柱 40。接触柱 40 的材料为导电材料，比如，钨、钴、铜、铝、掺杂晶体硅或者硅化物中的至少一种导电材料。

本公开一些实施例还提供了另一种三维存储器 300 的制备方法，其中与上述实施例中相似的步骤的实现，可参阅上述实施例所提供的三维存储器 200 的制备方法。

参阅图 59，三维存储器 300 的制备方法包括步骤 S1'~S6'：

S1'、参阅图 60 和图 61、形成初始堆叠结构 101'。初始堆叠结构 101' 包括交替设置的牺牲层 110' 和介质层 12'。初始堆叠结构 101' 包括初始台阶结构 130'，初始台阶结构 130' 包括多个沿第一方向 X 设置、且沿第二方向 Y 具有不同高度的阶梯结构 14'。阶梯结构 14' 包括多个台阶 141'。第一方向 X 与第二方向 Y 相互垂直。

与上一实施例中所提供的三维存储器 200 的制备方法相似，牺牲层 110' 和介质层 12' 例如可以通过化学气相沉积（CVD）工艺，等离子体增强化学气相沉积（PECVD）工艺、高密度等离子体化学气相沉积（HDP-CVD）工艺、原子层沉积（ALD）工艺或溅射工艺形成。

牺牲层 110' 和介质层 12' 具有不同的刻蚀选择比，使得牺牲层 110' 能够在后续工艺中被去除，而介质层 12' 被保留，从而形成栅线缝隙，用于形成栅极层 11'。示例性的，牺牲层 110' 的材料可以为氮化硅，介质层 12' 的材料可以为氧化硅。

其中，初始堆叠结构 101' 中的牺牲层 110' 和介质层 12' 的数目可以根据实际需求进行设计，示例性的，初始堆叠结构 101' 中可以具有 16 对牺牲层 110' 和介质层 12'，或者 32 对牺牲层 110' 和介质层 12'，本公开对此并不进行限制。值得指出的是，本公开所提供的附图中，初始膜层对 102' 的数量仅为示例，并不构成对本公开的限制。

需要说明的是，在初始堆叠结构 101' 中，多个牺牲层 110' 的厚度可以大致相同，也可以不相同；多个介质层 12' 的厚度可以大致相同，也可以不相同。可以根据实际需求进行选择多个牺牲层 110' 和多个介质层 12' 的厚度。

其中，形成初始堆叠结构 101' 的过程可以参考上述三维存储器 200 的制备方法中的步骤 S11~步骤 S13。

S2'、如图 62 和图 63 所示，形成覆盖台阶结构 13' 的阻隔层 30'。

示例性的，阻隔层 30' 可以由绝缘材料制成，包括但不限于氧化硅、氮化硅、氮氧化硅或以上材料的组合。

S3'、参阅图 64 和图 65，在阻隔层 30' 远离台阶结构 13' 的一侧形成多个第一停止部 20'。多个第一停止部 20' 沿第一方向 X 设置，且位于至少一个阶梯结构 14' 的多个台阶 141' 上，每个第一停止部 20' 设置于一个台阶 141' 上。

在一些示例中，参见图 66，步骤 S3'、在阻隔层 30' 远离台阶结构 13' 的一侧形成多个第一停止部 20'，可以包括：

S31'、参见图 67 和图 68、在阻隔层 30' 远离台阶结构 13' 的一侧形成预设停止层 21'。

S32'、参阅图 64 和图 65，去除预设停止层 21' 中对应台阶 141' 相接处的部分 211'，形成多个第一停止部 20'。

在一些示例中，预设停止层 21' 的材料可以与牺牲层 120' 的材料相同。

在另一些示例中，预设停止层 21' 的材料可以与牺牲层 120' 的材料不同。此时，示例性的，预设停止层 21' 的材料可以为掺碳氮化硅。

S4'、参阅图 69 和图 70、形成保护层 40'。保护层 40' 覆盖阻隔层 30' 和第一停止部 20'。

可以理解，参阅图 64 和图 65，在形成多个第一停止部 20' 后，在第一方向 X 和第二方向 Y 上，第一停止部 20' 的侧壁与阻隔层 30' 之间均存在间隙。这样，在后续形成保护层 40' 后，保护层 40' 的至少部分会落入至第一停止部 20' 的侧壁与阻隔层 30' 之间的间隙内。

S5'、参阅图 71，将牺牲层 110' 替换成栅极层 11'，形成堆叠结构 10'。

在一些实施例中，三维存储器 300 还包括隔离结构 60'。隔离结构 60' 包括第一隔离结构 61' 和第二隔离结构 62'，且第一隔离结构 61' 和第二隔离结构 62' 均为一体结构。

基于此，在一些示例中，如图 72 所示，制备方法还可以包括：

S51'、参阅图 73，形成沿第一方向 X 延伸，且贯穿初始堆叠结构 101' 的第一隔槽 601'，第一隔槽 601' 将初始堆叠结构 101' 划分成多个初始存储块 150'。每个初始存储块 150' 包括台阶结构 13'。

示例性的，可以利用干法刻蚀工艺形成第一隔槽 601'，沿第三方向 Z，

第一隔槽 601' 贯穿初始堆叠结构 101' 。

示例性的，可以利用第一隔槽 601' 将牺牲层 110' 替换成栅极层 11' 。
示例性的，可以采用湿法刻蚀的工艺，将刻蚀液从第一隔槽 601' 内浸入初始堆叠结构 101' 内。此时，由于牺牲层 110' 和介质层 12' 具有不同的刻蚀选择比，因此在刻蚀过程中，牺牲层 110' 能够被刻蚀，介质层 12' 能够被保留，从而在对应形成的部分形成空腔。

示例性的，可以通过 CVD、PVD、ALD 中的一种或多种工艺在空腔内形成栅极层 11' 。

在一些示例中，如图 72 所示，制备方法还可以包括：

S52'、参阅图 71，在第一隔槽 601' 内形成隔离结构 60' 。

示例性的，可以通过 CVD、PVD、ALD 中的一种或多种工艺形成隔离结构 60' 。隔离结构 60' 可以仅包括一层或多层电介质材料层，也可以包括依次设置的一层或多个电介质材料层、以及至少一层导电材料层。

在另一些实施例中，如图 25 所示，三维存储器 300 包括隔离结构 60' ，隔离结构 60' 包括第一隔离结构 61' 和第二隔离结构 62' 。其中，第一隔离结构 61' 可以包括沿第一方向 X 依次连接的第一隔离子部 611' 、第二隔离子部 612' 和第三隔离子部 613' 。

基于此，在一些示例中，如图 74 所示，制备方法还可以包括：

S53'、参阅图 75，形成沿第一方向 X 延伸，且贯穿初始堆叠结构 101' 的第二隔离子部 612' 。

基于此，示例性的，第二隔离子部 612' 可以与虚拟沟道结构和/或沟道结构同时制备，例如，可以在形成初始堆叠结构 101' 之后，形成保护层 40' 之前形成第二隔离子部 612' 。

S54'、参阅图 76，形成沿第一方向 X 延伸，且贯穿初始堆叠结构 101' 的第一子隔槽 602' 、第二子隔槽 603' 和第二隔槽 604' ；沿第一方向 X，第一子隔槽 602' 与第二子隔槽 603' 分别与第二隔离子部 612' 的两端接触。沿第二方向 Y，第二隔槽 604' 位于相邻的两个第二隔离子部 612' 之间。

在一些示例中，如图 74 所示，制备方法还包括：

S55'，参阅图 71，在第一子隔槽 602' 内形成第一隔离子部 611' ，在第二子隔槽 603' 内形成第三隔离子部 613' ，在第二隔槽 604' 内形成第二隔离结构 62' 。

其中，第一隔离子部 611' 、第三隔离子部 613' 以及第二隔离子部 612' 构成第一隔离结构 61' 的至少部分。

在一些实施例中，如图 77 所示，制备方法还包括：

S7'、参阅图 71，在阻隔层 30' 远离台阶结构 13' 的一侧形成多个第二停止部 70'。多个第二停止部 70' 沿第一方向 X 设置，且多个第二停止部 70' 位于多个阶梯结构 14' 中除设置有第一停止部 20' 的阶梯结构 14' 外的其他阶梯结构 14' 的多个台阶 141' 上。每个第二停止部 70' 位于一个台阶 141' 上。

在一些实施例中，如图 78 所示，制备方法还包括：

S56'、如图 79 所示，形成多个沿第一方向 X 延伸的第三隔槽 605'。第三隔槽 605' 贯穿第二停止部 70' 及初始堆叠结构 101'。沿第一方向 X，每个第三隔槽 605' 包括多个相互分离的第三子隔槽 606'。

示例性的，第三隔槽 605' 可以与第一隔槽 601' 同时形成，或者第三隔槽 605' 可以与第二第一子隔槽 602'、第二子隔槽 603' 和第二隔槽 604' 同时形成。

在一些实施例中，如图 78 所示，制备方法还包括：

S57'、参阅图 71，在所述第三隔槽 605' 内形成栅线隔离结构 80'。

示例性的，可以在步骤 S5'、将牺牲层 120' 替换成栅极层 11'，形成堆叠结构 10' 之前，形成多个沿第一方向 X 延伸的第三隔槽 605'。在步骤 S5' 之后，在所述第三隔槽 605' 内形成栅线隔离结构 80'。

这样，在将牺牲层 110' 替换成栅极层 11' 的过程中，利用多个第三隔槽 505'，可以将第二停止部 70' 的材料替换成与栅极层 11' 相同的材料。

S6'、形成多个接触柱 50'。接触柱 50' 贯穿保护层 40'、第一停止部 20' 和阻隔层 30'，与第一停止部 20' 所对应的台阶 141' 中的栅极层 11' 连接。

示例性的，参阅图 80，S6'、形成多个接触柱 50'，包括步骤 S61'~S63'：

S61'、参阅图 81 和图 82，刻蚀保护层 40' 至第一停止部 20'，形成多个接触孔 51'。

S62'、参阅图 83 和图 84，刻蚀接触孔 51' 暴露的第一停止部 20' 及第一停止部 20' 下方的阻隔层 30' 和介质层 12'，以使接触孔 51' 暴露栅极层 11'。

S63'、参阅图 19A，在接触孔 51' 中形成接触柱 50'。

在一些实施例中，参阅图 85 和图 86，三维存储器 200（或者三维存储器 300）还可以包括外围器件 400。

示例性的，请继续参阅图 85 和图 86，外围器件 400 包括基底 401 和外围电路层 402。

上述外围电路层 402 的类型包括多种，可以根据实际需要进行选择。上

述外围电路层 402 例如可以包括页缓冲器、解码器（例如，行解码器和列解码器）、读出放大器、驱动器（例如，字线驱动器）或者电路的任何有源（或无源）部件（例如，晶体管、二极管、电阻器和电容器等）。

上述外围电路层 402 例如可以包括多个晶体管。示例性的，多个晶体管中，至少一部分的晶体管形成在基底 401 中（例如，在基底 401 的顶表面下方），和/或，直接形成在基底 401 上。

此外，上述外围电路层 402 还可以包括与高级逻辑工艺兼容的任何其他电路。示例性的，外围电路层 402 包括逻辑电路（例如，处理器和可编程逻辑器件），和/或，存储电路（例如，静态随机存取存储器）。

如图 87 所示，本公开的一些实施例提供了一种存储系统 1000，存储系统 1000 包括三维存储器 200（三维存储器 300）和控制器 2000。控制器 2000，耦合至三维存储器 200（三维存储器 300），以控制三维存储器 300 存储数据。

其中，存储系统 1000 可以集成到各种类型的存储设备中，例如，包括在相同封装（例如，通用闪存存储（Universal Flash Storage，简称 UFS）封装或嵌入式多媒体卡（Embedded Multi Media Card，简称 eMMC）封装）中。也就是说，存储系统 1000 可以应用于并且封装到不同类型的电子产品中，例如，移动电话（例如手机）、台式计算机、平板电脑、笔记本电脑、服务器、车载设备、游戏控制台、打印机、定位设备、可穿戴设备、智能传感器、移动电源、虚拟现实（Virtual Reality，简称 VR）设备、增强现实（Augmented Reality，简称 AR）设备或者其中具有存储器的任何其他合适的电子设备。

在一些实施例中，参见图 87，存储系统 1000 包括控制器 2000 和一个三维存储器 200（或者三维存储器 300），存储系统 1000 可以被集成到存储器卡中。

其中，存储器卡包括 PC 卡（PCMCIA，个人计算机存储器卡国际协会）、紧凑型闪存（Compact Flash，简称 CF）卡、智能媒体（Smart Media，简称 SM）卡、存储器棒、多媒体卡（Multimedia Card，简称 MMC）、安全数码（Secure Digital Memory Card，简称 SD）卡、UFS 中的任一种。

在另一些实施例中，参见图 88，存储系统 1000 包括控制器 2000 和多个三维存储器 200（或者三维存储器 300），存储系统 1000 集成到固态硬盘（Solid State Drives，简称 SSD）中。

在存储系统 1000 中，在一些实施例中，控制器 2000 被配置为用于在低占空比环境中操作，例如，SD 卡、CF 卡、通用串行总线（Universal Serial Bus，简称 USB）闪存驱动器或用于个人计算器、数字相机、移动电话等电子设备

中使用的其他介质。

在另一些实施例中，控制器 2000 被配置为用于在高占空比环境 SSD 或 eMMC 中操作，SSD 或 eMMC 用于智能电话、平板电脑、笔记本电脑等移动设备的数据储存器以及企业存储阵列。

在一些实施例中，控制器 2000 可以被配置为管理存储在三维存储器 200（或者三维存储器 300）中的数据，并且与外部设备（例如主机）通信。在一些实施例中，控制器 2000 还可以被配置为控制三维存储器 200（或者三维存储器 300）的操作，例如读取、擦除和编程操作。在一些实施例中，控制器 2000 还可以被配置为管理关于存储在或要存储在三维存储器 200（或者三维存储器 300）中的数据的各种功能，包括坏块管理、垃圾收集、逻辑到物理地址转换、损耗均衡中的至少一种。在一些实施例中，控制器 2000 还被配置为处理关于从三维存储器 200（或者三维存储器 300）读取的或者被写入到三维存储器 200（或者三维存储器 300）的数据的纠错码。

当然，控制器 2000 还可以执行任何其他合适的功能，例如格式化三维存储器 200（或者三维存储器 300）；例如控制器 2000 可以通过各种接口协议中的至少一种与外部设备（例如，主机）通信。

需要说明的是，接口协议包括 USB 协议、MMC 协议、外围部件互连 (PCI) 协议、PCI 高速 (PCI-E) 协议、高级技术附件 (ATA) 协议、串行 ATA 协议、并行 ATA 协议、小型计算机小型接口 (SCSI) 协议、增强型小型磁盘接口 (ESDI) 协议、集成驱动电子设备 (IDE) 协议、Firewire 协议中的至少一种。

本公开的一些实施例提供了一种电子设备，电子设备可以是手机、台式计算机、平板电脑、笔记本电脑、服务器、车载设备、可穿戴设备（例如智能手表、智能手环、智能眼镜等）、移动电源、游戏机、数字多媒体播放器等中的任一种。

电子设备可以包括上文所述的存储系统 1000，还可以包括中央处理器 CPU (Central Processing Unit, 中央处理器) 和缓存器 (cache) 等中的至少一种。

以上所述仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

1、一种三维存储器，包括：

堆叠结构，包括交替设置的栅极层和介质层；所述堆叠结构包括台阶结构，所述台阶结构包括多个沿第一方向设置、且沿第二方向具有不同高度的阶梯结构；所述阶梯结构包括多个台阶；所述第一方向与所述第二方向垂直；

多个沿所述第一方向设置的第一停止部，位于至少一个所述阶梯结构的多个台阶上，每个所述第一停止部设置于对应的所述台阶上；

保护层，覆盖所述台阶结构和所述第一停止部；和

多个接触柱，所述接触柱贯穿所述保护层和所述第一停止部，与所述第一停止部所对应的所述台阶中的栅极层连接。

2、根据权利要求1所述的三维存储器，还包括：

隔离结构，沿所述第一方向延伸，且贯穿所述堆叠结构；所述隔离结构将所述堆叠结构划分成多个存储块，每个存储块包括所述台阶结构；

其中，设有所述第一停止部的所述阶梯结构与所述隔离结构间隔设置。

3、根据权利要求2所述的三维存储器，其中，沿所述第二方向，所述存储块包括第一阶梯结构、第二阶梯结构和第三阶梯结构，所述第二阶梯结构的多个台阶上设置有所述第一停止部。

4、根据权利要求2所述的三维存储器，其中，沿所述第二方向，所述存储块包括第一阶梯结构和第二阶梯结构，所述第一阶梯结构与所述隔离结构间隔设置，所述第一阶梯结构的多个台阶上设置有所述第一停止部。

5、根据权利要求2所述的三维存储器，其中，每个存储块还包括侧墙；所述隔离结构包括第一隔离结构和第二隔离结构；

沿所述第二方向，所述第一隔离结构位于不同存储块中相邻的两个侧墙之间，所述第二隔离结构位于相邻的两个台阶结构之间；沿所述第二方向，与所述第二隔离结构相邻的两个存储块中的台阶结构对称设置。

6、根据权利要求5所述的三维存储器，其中，沿所述第二方向，且由所述第一隔离结构朝向所述第二隔离结构，所述存储块中的多个阶梯结构的高度逐渐降低。

7、根据权利要求5所述的三维存储器，其中，沿所述第二方向，与所述第二隔离结构两侧相邻的两个阶梯结构的高度相同。

8、根据权利要求2所述的三维存储器，还包括：

多个沿第一方向设置的第二停止部，位于多个所述阶梯结构中除设置有第一停止部的阶梯结构外的其他阶梯结构的多个台阶上；

其中，所述保护层还覆盖所述第二停止部，所述保护层的至少部分位于所述第二停止部和与所述第二停止部相邻的台阶之间。

9、根据权利要求 8 所述的三维存储器，其中，所述存储块包括多个贯穿所述第二停止部和所述堆叠结构且沿所述第一方向延伸的栅线隔离结构，每个栅线隔离结构包括多个间隔设置的子隔离结构；

其中，所述第二停止部的材料与所述栅极层的材料相同。

10、根据权利要求 1~9 中任一项所述的三维存储器，其中，所述第一停止部的材料包括氮化硅。

11、根据权利要求 1~9 中任一项所述的三维存储器，其中，沿第三方向，所述第一停止部的厚度与上一台阶的栅极层的厚度相同；所述上一台阶与所述第一停止部所对应的台阶相邻，且高于所述第一停止部所对应的台阶；

其中，所述第三方向垂直于所述第一方向和所述第二方向。

12、根据权利要求 8 所述的三维存储器，其中，所述第一停止部包括掺碳氮化硅。

13、根据权利要求 12 所述的三维存储器，其中，所述第二停止部的材料与所述第一停止部的材料相同。

14、根据权利要求 8 所述的三维存储器，其中，所述第二停止部的厚度大于所述栅极层的厚度；所述第二停止部包括绝缘材料。

15、根据权利要求 1 所述的三维存储器，其中，所述保护层的至少部分位于所述第一停止部和与所述第一停止部相邻的台阶之间。

16、根据权利要求 1 所述的三维存储器，还包括覆盖所述台阶结构且位于所述台阶结构和所述第一停止部之间的阻隔层。

17、一种三维存储器的制备方法，包括：

形成初始堆叠结构；所述初始堆叠结构包括交替设置的牺牲层和介质层；所述初始堆叠结构包括台阶结构，所述台阶结构包括多个沿第一方向设置、且沿第二方向具有不同高度的阶梯结构；所述阶梯结构包括多个台阶；所述第一方向与所述第二方向相互垂直；

在至少一个所述阶梯结构的多个台阶上形成多个第一停止部；所述多个第一停止部沿所述第一方向设置，每个所述第一停止部设置于一个所述台阶上；

形成保护层；所述保护层覆盖所述台阶结构和所述第一停止部，所述保护层的至少部分位于所述第一停止部和与所述第一停止部相邻的台阶之间；

将所述牺牲层替换成栅极层，形成堆叠结构；和

形成多个接触柱，所述接触柱贯穿所述保护层和第一停止部，且与所述第一停止部所对应的台阶中的栅极层电连接。

18、根据权利要求 17 所述的制备方法，其中，所述在至少一个所述阶梯结构的多个台阶上形成多个第一停止部，包括：

刻蚀每个台阶中处于最上方的牺牲层和介质层，以形成多个所述第一停止部。

19、根据权利要求 17 所述的制备方法，还包括：

形成沿所述第一方向延伸，且贯穿所述初始堆叠结构的第一隔槽，所述第一隔槽将所述初始堆叠结构划分成多个初始存储块，每个初始存储块包括所述台阶结构；和

在所述第一隔槽内形成隔离结构。

20、根据权利要求 17 所述的制备方法，还包括：

形成沿所述第一方向延伸，且贯穿所述初始堆叠结构的第二隔离子部；

形成沿所述第一方向延伸，且贯穿所述初始堆叠结构的第一子隔槽、第二子隔槽和第二隔槽；沿所述第一方向，所述第一子隔槽与所述第二子隔槽分别与所述第二隔离子部的两端接触；沿所述第二方向，所述第二隔槽位于相邻的两个第二隔离子部之间；和

在所述第一子隔槽内形成第一隔离子部，在所述第二子隔槽内形成第三隔离子部，在所述第二隔槽内形成第二隔离结构；

其中，所述第一隔离子部、所述第三隔离子部以及所述第二隔离子部构成第一隔离结构的至少部分。

21、根据权利要求 17 所述的制备方法，还包括：

在多个阶梯结构中除设置有所述第一停止部的阶梯结构外的其他阶梯结构的多个台阶上，形成多个第二停止部；每个第二停止部位位于一个台阶上。

22、根据权利要求 21 所述的制备方法，还包括：

形成多个沿所述第一方向延伸的第三隔槽；所述第三隔槽贯穿所述第二停止部及所述初始堆叠结构；沿所述第一方向，每个所述第三隔槽包括多个相互分离的第三子隔槽；和

在所述第三隔槽内形成栅线隔离结构。

23、根据权利要求 17~22 中任一项所述的制备方法，其中，所述形成多个接触柱，包括：

刻蚀所述保护层至所述第一停止部，形成多个接触孔；

刻蚀所述接触孔暴露的第一停止部及第一停止部下方的介质层，以使所

述接触孔暴露所述栅极层；和

在所述接触孔中形成接触柱。

24、一种存储系统，包括：控制器，及如权利要求 1~16 中任一项所述的三维存储器；其中，

所述控制器耦合至所述三维存储器，且用于控制所述三维存储器存储数据。

25、一种电子设备，包括：如权利要求 24 所述的存储系统。