

半导体结构的制作方法及其结构

交叉引用

[0001] 本公开要求于 2022 年 11 月 11 日递交的名称为“半导体结构的制作方法及其结构”、申请号为 202211412071.3 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开实施例涉及半导体领域，特别涉及一种半导体结构的制作方法及其结构。

背景技术

[0003] 存储器是用来存储程序和各种数据信息的记忆部件。一般计算机系统使用的随机存取内存(Random Access Memory, RAM)可分为动态随机存取存储器(Dynamic Random Access Memory, DRAM)与静态随机存取存储器(Static Random-Access Memory, SRAM)两种，动态随机存取存储器是计算机中常用的半导体存储器件，由许多重复的存储单元组成。

[0004] 存储单元通常包括电容器和晶体管，晶体管的漏极与位线结构相连、源极与电容器相连，电容器包括电容接触结构和电容，存储单元的字线结构能够控制晶体管的沟道区的打开或关闭，进而通过位线结构读取存储在电容器中的数据信息，或者通过位线结构将数据信息写入到电容器中进行存储。

[0005] 然而有必要提高形成的半导体结构的可靠性。

发明内容

[0006] 本公开实施例提供一种半导体结构的制作方法及其结构，至少可以提高形成的半导体结构的可靠性。

[0007] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构的制作方法，包括：提供基底；在所述基底上形成依次形成层叠的第一半导体层及第二半导体层，且所述第一半导体层的材料与所述第二半导体层的材料不同；刻蚀所述第二半导体层，以形成沿第一方向及第二方向阵列排布的有源柱，所述有源柱包括沿所述第一半导体层指向所述第二半导体层方向上依次排布的第一掺杂区、沟道区及第二掺杂区；形成字线结构，所述字线结构环绕所述沟道区，且沿所述第一方向延伸，沿所述第二方向间隔；形成电容结构，所述电容结构与所述第二掺杂区接触连接；去除所述基底及所述第一半导体层，以暴露所述有源柱的底面；形成位线结构，所述位线结构与所述第一掺杂区接触连接，且沿所述第一方向间隔，沿所述第二方向延伸。

[0008] 在一些实施例中，刻蚀所述基底及所述第一半导体层前还包括：形成第一互联结构，所述第一互联结构位于所述电容结构的顶面；形成第一焊盘结构，所述第一焊盘结构位于所述互联结构的顶面；提供芯片，所述芯片上具有第二焊盘结构；将所述芯片键合至所述电容结构上，且所述第一焊盘结构及所述第二焊盘结构接触连接。

[0009] 在一些实施例中，将所述第一焊盘结构及所述第二焊盘结构键合的方法包括：采用直接键合的方式将所述第一焊盘结构及所述第二焊盘结构的表面键合。

[0010] 在一些实施例中，所述第二半导体层的材料与所述第一半导体层的材料不同。

[0011] 在一些实施例中，所述第一半导体层的材料包括：锗化硅，所述第二半导体层的材料包括：硅。

[0012] 在一些实施例中，形成所述电容结构的方法包括：形成下电极板，所述下电极板与所述第二掺杂区的顶面连接；形成电容介质层，所述电容介质层覆盖所述下电极板的表面；形成上电极板，所述上电极板覆盖所述电容介质层的表面。

[0013] 在一些实施例中，形成所述位线结构的方法包括：形成位线导电层，所述位线导电层位于所述有源柱远离所述电容结构的一侧，所述位线导电层所述第一方向间隔，沿所述第二方向 Y 延伸；形成位线保护层，所述位线保护层位于所述位线导电层上。

[0014] 在一些实施例中，形成所述位线导电层的方法包括：形成初始位线导电层，所述初始位线导电层位于所述第一掺杂区的表面；刻蚀所述初始位线导电层，剩余所述初始位线导电层作为所述位线导电层。

[0015] 在一些实施例中，形成所述位线结构的方法还包括：形成位线接触结构，所述位线接触结构位于所述第一掺杂区的顶面。

[0016] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构，包括：沿第一方向及第二方向阵列排布的有源柱，所述有源柱包括依次排布的第一掺杂区、沟道区及第二掺杂区；字线结构，所述字线结构环绕所述沟道区，且沿所述第一方向延伸，沿所述第二方向 Y 间隔；电容结构，所述电容结构与所述第二掺杂区接触连接；位线结构，所述位线结构与所述第一掺杂区接触连接，且沿所述第一方向间隔，沿所述第二方向延伸；第一互联结构，所述第一互联结构位于所述电容结构远离所述有源柱的表面；第一焊盘结构，所述第一焊盘结构位于所述第一互联结构远离所述电容结构的表面；芯片，所述芯片与所述第一焊盘结构接触电连接。

[0017] 在一些实施例中，所述芯片包括：控制电路结构；第二互联结构，所述第二互联结构位于所述控制电路结构的顶面；第二焊盘结构，所述第二焊盘结构位于所述第二互联结构远离所述控制电路结构的表面，所述第二焊盘结构与所述第一焊盘结构接触连接。

[0018] 在一些实施例中，所述控制电路结构包括：有源结构，所述有源结构包括沿所述第二方向 Y 排布的第三掺杂区，第二沟道区及第四掺杂区；栅极结构，所述栅极结构与所述第二沟道区接触连接；第一引出结构，所述第一引出结构与所述第三掺杂区接触连接；第二引出结构，所述第二引出结构与所述第四掺杂区接触连接，所述第一引出结构与所述第二引出结构间隔，且所述第一引出结构与所述第二引出结构均与所述第二互联结构接触连接。

[0019] 在一些实施例中，在所述有源柱朝向所述电容结构的方向上，阵列排布的所述有源柱的高度相等。

[0020] 在一些实施例中，所述电容结构包括：下电极板，所述下电极板与所述第二掺杂区顶面接触连接；电容介质层，所述电容介质层覆盖所述下电极板的表面；上电极板，所述上电极板覆盖所述电容介质层的表面。

[0021] 在一些实施例中，所述位线结构包括：位线导电层，所述位线导电层位于所述有源柱远离所述电容结构的一侧，所述位线导电层沿所述第一方向间隔，沿所述第二方向延伸；位线保护层，所述位线保护层位于所述位线导电层上。

[0022] 在一些实施例中，所述位线结构还包括：位线接触结构，所述位线接触结构位于所述第一掺杂区的顶面。在一些实施例中，所述电容结构还包括：电容接触结构，所述电容接触结构位于所述第二掺杂区的顶面。

[0023] 在一些实施例中，还包括：第一空气间隙，所述第一空气间隙位于相邻的字线结构之间。

[0024] 在一些实施例中，还包括：第二空气间隙，所述第二空气间隙位于相邻的位线结构之间。

附图说明

[0025] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0026] 图 1 至图 8 为本公开一实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图。

具体实施方式

[0027] 本公开实施提供一种半导体结构的制作方法，通过在基底表面形成层叠的第一半导体

层及第二半导体层，并通过刻蚀第二半导体层的方式形成有源柱，可以控制形成的有源柱的高度，且还可以保证形成的有源柱的均匀性，通过形成环绕沟道区的字线结构及与第二掺杂区接触连接的电容结构，字线结构用于控制是否向电容结构中传输数据信息或者是否读出电容结构中的数据信息，电容结构用于存储数据信息，再通过去除基底及第一半导体层，并在有源柱的底面形成位线结构，从而还可以降低形成位线结构的难度。

[0028] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

[0029] 参考图 1 至图 8，图 1 至图 8 为本公开一实施例提供一种半导体结构的制作方法各步骤对应的结构示意图。

[0030] 在一些实施例中，半导体结构的制作方法可以包括：提供基底 100；在基底 100 上形成依次形成层叠的第一半导体层 110 及第二半导体层 120，且第一半导体层 110 的材料与第二半导体层 120 的材料不同；刻蚀第二半导体层 120，以形成沿第一方向 X 及第二方向 Y 阵列排布的有源柱 130，有源柱 130 包括沿第一半导体层 110 指向第二半导体层 120 方向上依次排布的第一掺杂区 131、沟道区 132 及第二掺杂区 133；形成字线结构 140，字线结构 140 环绕沟道区 132，且沿第一方向 X 延伸，沿第二方向 Y 间隔；形成电容结构 150，电容结构 150 与第二掺杂区 133 接触连接；去除基底 100 及第一半导体层 110，以暴露有源柱 130 的底面；形成位线结构 160，位线结构 160 与第一掺杂区 131 接触连接，且沿第一方向 X 间隔，沿第二方向 Y 延伸。

[0031] 通过形成在基底 100 上形成层叠的第一半导体层 110 及第二半导体层 120 可以为后续形成有源柱 130 提供基础，通过设置第一半导体层 110 于第二半导体层 120 的材料不同，从而可以将第一半导体层 110 作为第二半导体层 120 的刻蚀停止层，从而可以通过将第二半导体层 120 刻蚀穿的方式形成有源柱 130，且形成的有源柱 130 的高度可以控制，且可以保证后续形成的有源柱 130 的均匀性，通过形成环绕沟道区 132 的字线结构 140 以控制是否导通有源柱 130，从而控制是否向电容结构 150 中传输数据信息或者是否读出电容结构 150 中的数据信息，通过形成电容结构 150 可以用于存储数据信息，通过去除基底 100 及第一半导体层 110 以暴露有源柱 130 的底面，也就是暴露第一掺杂区 131 的表面，从而为后续形成位线结构 160 提供工艺基础，通过在有源柱 130 的底面形成位线结构 160 可以降低形成位线结构 160 的工艺难度，且可以形成形貌较好的位线结构 160，可以提高半导体结构的可靠性。

[0032] 在一些实施例中，基底 100 的材料可以是半导体材料，例如是硅，基底 100 的材料还可以是绝缘材料，例如是氮化硅等，基底 100 的材料可以便于去除的材料，从而可以减少后

续去除基底 100 材料所需的时间，降低整个工艺步骤的工艺时间。

[0033] 在一些实施例中，第二半导体层 120 的材料与第一半导体层 110 的材料可以不同，可以理解的是，第二半导体层 120 后续作为刻蚀形成有源柱 130 的基础，通过控制第一半导体层 110 的材料与第二半导体层 120 的材料不同可以将第二半导体层 120 作为第一半导体层 110 的刻蚀停止层，当刻蚀第二半导体层 120 暴露第一半导体层 110 的表面时，即可停止刻蚀第二半导体层 120。

[0034] 在一些实施例中，第一半导体层 110 的材料可以包括：锗化硅，第二半导体层 120 的材料可以包括：硅，通过控制第一半导体层 110 的材料为锗化硅可以便于在第一半导体层 110 的表面形成第二半导体层 120，也就是便于在锗化硅的表面生长硅，且可以通过控制第一半导体层 110 材料的锗元素与硅元素的含量占比，以控制第一半导体层 110 与第二半导体层 120 之间的刻蚀选择比。

[0035] 在一些实施例中，第一半导体层 110 的材料还可以是其它材料，第二半导体层 120 的材料也可以是其它可以用于作为有源柱的材料。

[0036] 在一些实施例中，基底 100 的材料是硅，第一半导体层的材料是锗化硅，同理，通过设置基底 100 的材料是硅，可以便于在基底 100 的表面形成第一半导体层 110。

[0037] 参考图 2，刻蚀第二半导体层 120（参考图 1）以形成有源柱 130。

[0038] 在一些实施例中，有源柱 130 的第一掺杂区 131、沟道区 132 及第二掺杂区 133 可以掺杂相同类型的掺杂离子，且掺杂离子的掺杂浓度可以相同，也就是说，有源柱 130 构成的器件为无结晶体管（Junctionless Transistor），其中，这里的“无结”指的是无 PN 结，也就是有源柱 130 构成的晶体管中没有 PN 结，这样的好处包括：一方面，无需对第一掺杂区 131、沟道区 132 及第二掺杂区 133 进行额外的掺杂，从而可以避免第一掺杂区 131、沟道区 132 及第二掺杂区 133 掺杂工艺难以控制的问题，尤其是随着晶体管尺寸进一步缩小，若额外对第一掺杂区 131 和第二掺杂区 133 进行掺杂，掺杂浓度更加难以控制；另一方面，由于器件为无结晶体管，有利于避免采用超陡峭源漏浓度梯度掺杂工艺，在纳米尺度范围内制作超陡峭 PN 结的现象，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，在几纳米的尺度范围内仍然可以工作，因而有助于进一步提高半导体结构的集成密度和电学性能。可以理解的是，此处额外的掺杂指的是，为了让第一掺杂区 131 和第二掺杂区 133 的掺杂离子类型与沟道区 132 的掺杂离子类型不同而进行的掺杂。

[0039] 通过刻蚀第二半导体层 120（参考图 1）以形成有源柱 130 的方式可以通过控制形成的第二半导体层 120 的厚度以控制形成的有源柱 130 的高度，且可以通过将第二半导体层 120 刻蚀穿的方式以控制形成的每一有源柱 130 的高度相同，从而可以保证形成的有源柱 130 的均匀性。

[0040] 继续参考图 2，还包括：形成字线结构 140，字线结构 140 环绕沟道区 132。

[0041] 在一些实施例中，形成字线结构 140 的方法可以包括：形成栅介质层 141，栅介质层 141 环绕沟道区 132，且与有源柱 130 接触连接；形成字线导电层 142，字线导电层 142 覆盖栅介质层 141 的表面。通过形成栅介质层 141 可以避免字线导电层 142 与有源柱 130 直接接触，避免有源柱 130 中的载流子之间流向字线导电层 142，通过形成字线导电层 142 可以用于控制有源柱 130 是否导通，也就是控制是否向电容结构输出数据信息或者是否读出电容结构中的数据信息。

[0042] 在一些实施例中，形成栅介质层 141 的方法可以通过氧化部分有源柱 130 的方式，通过氧化的方式形成的栅介质层 141 的致密性较好；在一些实施例中，形成栅介质层 141 的方法还可以是通过原子气相沉积的方式，通过原子气相沉积的方式形成的栅介质层 141 的均匀性较好。

[0043] 在一些实施例中，形成字线导电层 142 的方法可以包括：形成初始字线导电层（图中未示出），初始字线导电层填充满阵列排布的有源柱 130 之间的间隙；刻蚀初始字线导电层，以形成沿第一方向 X 延伸，沿第二方向 Y 间隔的字线导电层 142，通过先形成后刻蚀的方式可以减少半导体结构制作方法的工艺难度。在一些实施例中，还可以先形成好用于填充字线导电层的沟槽，再通过填充的方式直接形成字线导电层。

[0044] 在一些实施例中，形成栅介质层 141 之前还包括：形成第一隔离层 170，第一隔离层位于阵列排布的有源柱 130 之间，且位于第一掺杂区 131 的侧壁，通过形成第一隔离层 170 可以避免字线导电层 142 与后续形成的位线结构之间电连接，从而可以提高半导体结构的可靠性。

[0045] 在一些实施例中，形成字线导电层 142 之后还可以包括：形成第二隔离层 180，第二隔离层 180 位于相邻的字线导电层 142 之间，且还可以位于字线导电层 142 的顶面，位于相邻字线导电层 142 之间的第二隔离层 180 可以用于隔离相邻的字线导电层 142 层，从而可以避免相邻字线结构 140 之间出现电连接的情况，从而可以提高半导体结构的可靠性，位于字线导电层 142 顶面的第二隔离层 180 可以作为字线结构 140 的保护层，从而可以避免字线导电层 142 在后续的工艺步骤中被污染或者被损伤，从而可以提高形成的半导体结构的可靠性。

[0046] 可以理解的是，在后续刻蚀形成相互间隔的字线结构 140 的时候，不可避免的还会刻蚀部分第一隔离层 170，因此会在部分第一隔离层 170 内形成凹槽，因此在形成第二隔离层 180 的时候，部分第二隔离层 180 的底面还低于字线结构 140 的顶面。

[0047] 在一些实施例中，还可以刻蚀部分第二隔离层 180，以在第二隔离层 180 中形成第一空气间隙 270，通过形成第一空气间隙 270 可以减少相邻字线结构 140 之间的寄生电容，从而可以提高半导体结构的可靠性。

[0048] 参考图 3 及图 4，形成电容结构 150。

[0049] 在一些实施例中，形成电容结构 150 的方法可以包括：形成下电极板 151，下电极板 151 与第二掺杂区 133 的顶面连接；形成电容介质层 152，电容介质层 152 覆盖下电极板 151 的表面；形成上电极板 153，上电极板 153 覆盖电容介质层 152 的表面。

[0050] 下电极板 151 的材料可以包括氮化钛、氮化钽、铜或钨等金属材料中的任一种或任意组合；电容介质层 152 的材料可以包括： ZrO ， AlO ， $ZrNbO$ ， $ZrHfO$ ， $ZrAlO$ 中的任一种或其任一组合；上电极板 153 的材料包括金属氮化物及金属硅化物中的一种或两种所形成的化合物，如氮化钛、硅化钛、硅化镍、硅氮化钛或者其他导电材料，或者，上电极板 153 的材料也可以为导电的半导体材料，如多晶硅，锗硅等。

[0051] 可以理解的是，电容结构 150 的下电极板 151 与上电极板 153 之间的相对面积、下电极板 151 及上电极板 153 之间的距离及电容介质层 152 的材料都可能影响电容结构 150 的容量的大小，故可以根据实际的需求设置电容结构 150 的下电极板 151 与上电极板 153 之间的相对面积、下电极板 151 及上电极板 153 之间的距离及电容介质层 152 的材料。

[0052] 在一些实施例中，形成电容结构 150 的方法可以包括：形成堆叠结构 190，堆叠结构包括依次堆叠的第一支撑层 191、第一牺牲层 192、第二支撑层 193、第二牺牲层 194 及第三支撑层 195；第一次刻蚀堆叠结构 190，以形成第一凹槽，第一凹槽暴露第二掺杂区 133 的顶面；形成下电极板 151，下电极板 151 位于第一凹槽的侧壁及第二掺杂区 133 的顶面；第二次刻蚀堆叠结构 190，刻蚀部分第三支撑层 195 以暴露第二牺牲层 194 的表面，去除第二牺牲层 194，以暴露第二支撑层 193 的表面；第三次刻蚀堆叠结构，刻蚀部分第二支撑层 193 以暴露第一牺牲层 192 的表面，去除第一牺牲层 192，以形成第二凹槽，第二凹槽暴露下电极板 151 的部分侧壁；形成电容介质层 152；形成上电极板 153。

[0053] 通过保留部分第一支撑层 191、第二支撑层 193 及第三支撑层 195 可以避免在形成电容结构 150 的工艺步骤中出现下电极板 151 的坍塌，从而可以提高形成电容结构 150 的可靠性。

[0054] 在一些实施例中，第一支撑层 191、第二支撑层 193 及第三支撑层 195 的材料可以相同，可以都为氮化钛，第一牺牲层 192 与第二牺牲层 194 的材料可以相同，可以为氧化硅等

[0055] 在一些实施例中，第一支撑层 191、第一牺牲层 192、第二支撑层 193、第二牺牲层 194 及第三支撑层 195 的材料可以互不相同，或者其中部分膜层的材料相同。

[0056] 可以理解的是，上述工艺步骤中形成的电容结构 150 为“筒状电容”，这里的筒状电容是指形成的下电极板 151 的结构形貌成类似筒形。

[0057] 在一些实施例中，电容结构还可以是“柱状电容”也就是说，电容结构的下电极板的

形貌并非是类似筒形或者 U 形的结构，而是类似圆柱状的结构，形成“柱状电容”的方法可以包括：直接形成定义下电极板形状的凹槽，并向凹槽内填充满下电极板的材料，再形成覆盖下电极板表面的电容介质层，最后形成覆盖电容介质层表面的上电极板。

[0058] 在一些实施例中，在形成堆叠结构之前还可以包括：形成电容接触结构 154，通过形成电容接触结构 154 可以避免有源柱 130 与下电极板 151 直接接触，从而避免下电极板 151 与有源柱 130 之间材料属性差异较大，避免影响载流子的传输。

[0059] 在一些实施例中，形成电容接触结构 154 的方法可以包括：采用金属硅化工艺，通过金属化部分有源柱 130 以形成电容接触结构 154。

[0060] 在一些实施例中，形成电容接触结构 154 的方法可以包括：在有源柱 130 的表面沉积电容接触结构材料的方式形成电容接触结构。

[0061] 参考图 5 至图 7，去除基底 100 及第一半导体层 110。

[0062] 在一些实施例中，刻蚀基底 100 及第一半导体层 110 前还可以包括：形成第一互联结构 200，第一互联结构 200 位于电容结构 150 的顶面；形成第一焊盘结构 210，第一焊盘结构 210 位于第一互联结构 200 的顶面；提供芯片 220，芯片 220 上具有第二焊盘结构 250；将芯片 220 键合至电容结构 150 上，且第一焊盘结构 210 及第二焊盘结构 250 接触连接。

[0063] 在一些实施例中，第一互联结构 200 和第一焊盘结构 210 可以用于与芯片 220 接触电连接，通过芯片 220 可以用于提供外围控制电路，从而可以实现控制是否读出电容结构 150 内的数据信息或者是否向电容结构 150 输入数据信息。

[0064] 在一些实施例中，形成第一互联结构 200 的方法包括：形成第一介质层 201，第一介质层 201 位于上电极板 153 的表面；刻蚀第一介质层 201，并形成第一阻挡层 202 及第一导电柱 203，第一阻挡层 202 位于第一导电柱 203 的表面，第一导电柱 203 贯穿第一介质层 201 与上电极板 153 电连接；形成第一导电层 204，第一导电层 204 位于第一导电柱 203 的顶面；形成第三隔离层 205，第三隔离层 205 位于第一导电层 204 的顶面；形成第二介质层 206，第二介质层 206 位于第三隔离层 205 的顶面；刻蚀第二介质层 206，并形成第二阻挡层 207 及第二导电层 208，第二阻挡层 207 位于第二导电层 208 的表面，第二导电层 208 位于所述第二介质层 206 内；形成第四隔离层 209，第四隔离层 209 位于第二介质层 206 的表面。

[0065] 在一些实施例中，第一介质层 201 及第二介质层 206 的材料可以相同，可以为氧化硅等绝缘材料；第一阻挡层 202 及第二阻挡层 207 的材料可以相同，可以为氮化钛；第一导电柱 203 的材料可以为铜或钨等金属；第一导电层 204 及第二导电层 208 的材料可以是铜或钨等金属；第三隔离层 205 及第四隔离层 209 的材料可以相同，可以为氮化硅等绝缘材料。

[0066] 在一些实施例中，形成第一焊盘结构 210 的方法可以包括：形成第三介质层 211，第

三介质层 211 位于第四隔离层 209 的表面；刻蚀第四隔离层 209 及第三介质层 211，以暴露部分第二导电层 208 的表面，形成第二导电柱 212 及第三阻挡层 213，第三阻挡层 213 位于第二导电柱 212 的表面，第二导电柱 212 嵌入第三介质层 211 内且与第二导电层 208 电连接；形成第一焊盘 214，第一焊盘 214 位于第二导电柱 212 的顶面，第三阻挡层 213 还覆盖部分第一焊盘朝向第一互联结构 200 的表面。

[0067] 在一些实施例中，第三介质层 211 的材料可以是氧化硅；第二导电柱 212 的材料可以是钨或铜等金属；第三阻挡层 213 的材料可以是氮化钛等，第一焊盘 214 的材料可以是铜等金属。

[0068] 在一些实施例中，芯片 220 包括：控制电路结构 230；第二互联结构 240，第二互联结构 240 位于控制电路结构 230 的顶面；第二焊盘结构 250，第二焊盘结构 250 位于第二互联结构 240 远离控制电路结构 230 的表面，第二焊盘结构 250 与第一焊盘结构 210 接触连接。

[0069] 在一些实施例中，控制电路结构 230 可以包括：有源结构 231，有源结构 231 包括第三掺杂区 232、第二沟道区 233 及第四掺杂区 234；有源结构 231 上包括栅极结构 235，栅极结构 235 与第二沟道区 233 接触连接；栅极保护层 238，栅极保护层 238 位于栅极结构 235 的表面；第一引出结构 236，第一引出结构 236 与第三掺杂区 232 接触连接；第二引出结构 237，第二引出结构 237 与第四掺杂区 234 接触连接，第一引出结构 236 与第二引出结构 237 间隔；第四介质层 239，第四介质层 239 位于有源结构 231 的顶面。

[0070] 在一些实施例中，第二互联结构 240 可以包括：第三导电层 241，第三导电层 241 位于第四介质层 239 的顶面，且与第一引出结构 236 及第二引出结构 237 电连接；第五介质层 242，第五介质层 242 位于第三导电层 241 的顶面；第四导电层 243，第四导电层 243 位于第五介质层 242 内；第五隔离层 244，第五隔离层 244 位于第四导电层 243 的顶面。

[0071] 在一些实施例中，将第一焊盘结构 210 及第二焊盘结构 250 键合的方法包括：采用直接键合的方式将第一焊盘结构 210 及第二焊盘结构 250 的表面键合，通过直接键合的方式可以提高芯片 220 与电容结构之间的键合强度。

[0072] 在一些实施例中，第一焊盘结构 210 与第二焊盘结构 250 的键合方式还可以是其他方式，例如：热压键合、金属扩散键合或者聚合物粘接键合等等。

[0073] 在一些实施例中，芯片 220 还包括：环绕有源结构 231 的隔离结构，也就是 STI（浅沟槽隔离结构 shallow trench isolation）。

[0074] 在一些实施例中，栅极结构 235 还可以包括依次堆叠的栅极氧化层、半导体层及金属层。

[0075] 在一些实施例中，栅极保护层 238 可以是多层膜层结构，例如：可以包括氮化层-氧

化层-氮化层，也就是 NON 结构。

[0076] 在一些实施例中，第一引出结构 236 及第二引出结构 237 的侧壁还可以形成有扩散阻挡层，用于避免第一引出结构 236 及第二引出结构 237 的金属离子扩散至第四介质层 239 中。

[0077] 在一些实施例中，第三导电层 241 与第四介质层 239 之间还可以形成有扩散阻挡层，第三导电层 241 与第五介质层 242 之间还可以形成有扩散阻挡层。

[0078] 在一些实施例中，第四导电层 243 与第五介质层 242 之间还可以形成有扩散阻挡层。

[0079] 在一些实施例中，有源结构 231 可以是硅衬底；第三掺杂区 232 和第四掺杂区 234 的掺杂离子类型相同，与第二沟道区 233 的掺杂离子不同；第一引出结构 236 及第二引出结构 237 的材料可以是金属；第四介质层 239 的材料可以是氧化硅等绝缘材料；第三导电层 241 的材料可以是钨或铜等金属材料；第五介质层 242 的材料可以是氧化硅等绝缘材料；第四导电层 243 的材料可以是钨或铜等金属材料；第五隔离层 244 的材料可以是氮化硅等绝缘材料。

[0080] 在一些实施例中，形成第二焊盘结构 250 的方法包括：形成第六介质层 251，第六介质层 251 位于第五隔离层 244 的表面；刻蚀第六介质层 251 及第五隔离层 244，并形成第四导电柱 252 及第四阻挡层 253，第四导电柱 252 位于第六介质层 251 内，且贯穿第五隔离层 244 与第四导电层 243 电连接，第四阻挡层 253 位于第四导电柱 252 的表面；形成第二焊盘 254，第二焊盘 254 位于第四导电柱 252 的顶面。

[0081] 在一些实施例中，第六介质层 251 的材料可以是氧化硅等绝缘材料，第四导电柱 252 的材料可以是钨或铜等金属材料，第四阻挡层 253 的材料可以是氮化钛等材料，第二焊盘 254 的材料可以是铜等金属材料。

[0082] 参考图 7 及图 8，形成位线结构 160。

[0083] 在一些实施例中，形成位线结构 160 的方法可以包括：形成位线导电层 162，位线导电层 162 位于有源柱 130 远离电容结构 150 的一侧，位线导电层 162 第一方向 X 间隔，沿第二方向 Y 延伸；形成位线保护层 164，位线保护层 164 位于位线导电层 162 上。通过形成位线导电层 162 用于传输数据信息，通过形成位线保护层 164 用于保护位线导电层 162。

[0084] 在一些实施例中，形成位线导电层 162 的方法可以包括：形成初始位线导电层，初始位线导电层位于第一掺杂区 131 的表面；刻蚀初始位线导电层，剩余初始位线导电层作为位线导电层。通过先整面沉积形成初始位线导电层再刻蚀的方式可以降低形成位线导电层 162 的工艺难度。

[0085] 在一些实施例中，形成位线结构 160 的方法还包括：形成位线接触结构 161，位线接触结构 161 位于第一掺杂区 131 的顶面，通过形成位线接触结构 161 可以降低位线结构 160 与有源柱 130 之间的接触电阻。

[0086] 在一些实施例中,形成位线接触结构 161 的方法可以包括,采用金属硅化物工艺的方式通过金属化部分第一掺杂区 131 的方式形成位线接触结构 161。

[0087] 在一些实施例中,形成位线导电层 162 之后形成位线保护层 164 之前还包括:形成位线隔离层 163,位线隔离层 163 位于相邻位线导电层 162 之间,且还覆盖位线导电层 162 的顶面,位线保护层 164 还可以位于位线隔离层 163 的顶面。通过形成位线隔离层 163 可以将相邻位线导电层 162 进行隔离,从而可以避免相邻位线导电层 162 出现短接。

[0088] 在一些实施例中,还可以包括:形成第二空气间隙 260,第二空气间隙 260 位于相邻位线导电层 162 之间,从而可以减少相邻位线导电层 162 之间的寄生电容,提高半导体结构的可靠性。

[0089] 本公开实施例通过在基底 100 上形成层叠的第一半导体层 110 及第二半导体层 120 可以为后续形成有源柱 130 提供基础,通过设置第一半导体层 110 于第二半导体层 120 的材料不同,从而可以将第一半导体层 110 作为第二半导体层 120 的刻蚀停止层,从而可以通过将第二半导体层 120 刻蚀穿的方式形成有源柱 130,且形成的有源柱 130 的高度可以控制,且可以保证后续形成的有源柱 130 的均匀性,通过形成环绕沟道区 132 的字线结构 140 以控制导通有源柱 130,从而控制是否向电容结构 50 中传输数据信息或者是否读出电容结构 150 中的数据信息,通过形成电容结构 150 可以用于存储数据信息,去除基底 100 及第一半导体层 110 以暴露有源柱 130 的底面,也就是暴露第一掺杂区 131 的表面,从而为后续形成位线结构 160 提供工艺基础,通过在有源柱 130 的底面形成位线结构 160 可以降低形成位线结构 160 的工艺难度形成形貌较好的位线结构 160,可以提高半导体结构的可靠性。

[0090] 本公开另一实施例还提供一种半导体结构,该半导体结构可以采用上述半导体结构的制作方法形成,以下将结合附图对本公开另一实施例提供的半导体结构进行说明,需要说明的是前述实施例相同或相应的部分,可参考前述实施例的相应说明,以下将不做赘述。

[0091] 参考图 8,本公开实施例提供的半导体结构包括:沿第一方向 X 及第二方向 Y 阵列排布的有源柱 130,有源柱 130 包括依次排布的第一掺杂区 131、沟道区 132 及第二掺杂区 133;字线结构 140,字线结构 140 环绕沟道区 132,且沿第一方向 X 延伸,沿第二方向 Y 间隔;电容结构 150,电容结构 150 与第二掺杂区 133 接触连接;位线结构 160,位线结构 160 与第一掺杂区 131 接触连接,且沿第一方向 X 间隔,沿第二方向 Y 延伸;第一互联结构 200,第一互联结构 200 位于电容结构 150 远离有源柱 130 的表面;第一焊盘结构 210,第一焊盘结构 210 位于第一互联结构 200 远离电容结构 150 的表面;芯片 220,芯片 220 与第一焊盘结构 210 接触电连接。

[0092] 本公开实施例通过将芯片 220 提供电信号,通过第一焊盘结构 210 及第一互联结构 200 将芯片 220 提供电信号传输至半导体结构内,字线结构 140 接收电信号控制有源柱 130

是否导通，位线结构 160 根据字线结构 140 的信号控制向电容结构 150 内输入数据信息或者将电容结构 150 内数据信息导出。

[0093] 在一些实施例中，芯片 220 包括：控制电路结构 230；第二互联结构 240，第二互联结构 240 位于控制电路结构 230 的顶面；第二焊盘结构 250，第二焊盘结构 250 位于第二互联结构 240 远离控制电路结构 230 的表面，第二焊盘结构 250 与第一焊盘结构 210 接触连接。通过控制电路结构 230 控制是否将电信号传输至半导体结构内，通过第二互联结构 240 及第二焊盘结构将芯片 220 与第一焊盘结构 210 进行键合，进而向字线结构 140、位线结构 160 及电容结构 150 提供信号。

[0094] 在一些实施例中，控制电路结构 230 包括：有源结构 231，有源结构 231 包括沿第二方向 Y 排布的第三掺杂区 232，第二沟道区 233 及第四掺杂区 234；栅极结构 235，栅极结构 235 与第二沟道区 233 接触连接；第一引出结构 236，第一引出结构 236 与第三掺杂区 232 接触连接；第二引出结构 237，第二引出结构 237 与第四掺杂区 234 接触连接，第一引出结构 236 与第二引出结构 237 间隔，且第一引出结构 236 与第二引出结构 237 均与第二互联结构 240 接触连接。通过第一引出结构 236 将第三掺杂区 232 的信号引出或者向第三掺杂区 232 传输信号，通过第二引出结构 237 将第四掺杂区 234 的信号引出或者向第四掺杂区 234 传输信号，通过栅极结构 235 控制第三掺杂区 232 与第四掺杂区 234 之间的载流子流动。

[0095] 在一些实施例中，在有源柱 130 朝向电容结构 150 的方向上，阵列排布的有源柱 130 的高度相等，通过控制有源柱 130 的高度相等可以使提高半导体结构的可靠性。

[0096] 在一些实施例中，电容结构 150 可以包括：下电极板 151，下电极板 151 与第二掺杂区 133 顶面接触连接；电容介质层 152，电容介质层 152 覆盖下电极板 151 的表面；上电极板 153，上电极板 153 覆盖电容介质层 152 的表面。通过下电极板 151 与有源柱 130 连接，以实现电容结构 150 与有源柱 130 的电连接，通过电容介质层 152 将下电极板 151 与上电极板 153 隔开，通过上电极板 153 与下电极板 151 正对，且通过控制正对面积以控制电容结构 150 的电荷存储量。

[0097] 在一些实施例中，电容结构 150 包括电容接触结构 154，电容接触结构 154 位于第二掺杂区 133 的顶面，通过设置电容接触结构 154 可以降低电容结构 150 与有源柱 130 之间的接触电阻，且可以降低电容结构 150 与有源柱 130 之间因为材料差异过大导致传输异常的可能性。

[0098] 在一些实施例中，下电极板 151 位于电容接触结构 154 的顶面。

[0099] 在一些实施例中，位线结构 160 可以包括：位线导电层 162，位线导电层 162 位于有源柱 130 远离电容结构 150 的一侧，位线导电层 162 沿第一方向 X 间隔，沿第二方向 Y 延伸；位线保护层 164，位线保护层 164 位于位线导电层 162 上。通过设置位线导电层 162 作为位

线结构 160 传输信号的部分，通过设置位线保护层 164 可以保护位线导电层 162，从而可以提高位线结构 160 的可靠性。

[00100] 在一些实施例中，位线结构 160 还可以包括：位线接触结构 161，位线接触结构 161 位于第一掺杂区 131 的顶面，通过设置位线接触结构 161 可以降低位线结构 160 与有源柱 130 之间的接触电阻。

[00101] 在一些实施例中，位线导电层 162 位于位线接触结构 161 远离电容结构 150 的一侧。

[00102] 在一些实施例中，半导体结构还可以包括：第二空气间隙 260，第二空气间隙 260 位于相邻的位线结构 160 之间，通过设置第二空气间隙 260 可以减少相邻位线结构 160 之间的寄生电容。

[00103] 在一些实施例中，字线结构 140 可以包括栅介质层 141 以及位于栅介质层 141 表面的字线导电层 142，字线导电层 142 环绕有源柱 130，通过设置环绕有源柱 130 的字线结构 140 可以提高字线结构 140 控制有源柱 130 导通的能力，提高半导体结构的性能。

[00104] 在一些实施例中，还可以包括：第一空气间隙 270，第一空气间隙 270 位于相邻的字线结构 140 之间，可以减少相邻字线结构 140 之间的寄生电容，提高半导体结构的性能。

[00105] 本公开实施例通过将芯片 220 提供电信号，通过第一焊盘结构 210 及第一互联结构 200 将芯片 220 提供电信号传输至半导体结构内，字线结构 140 接收电信号控制有源柱 130 是否导通，位线结构 160 根据字线结构 140 的信号控制向电容结构 150 内输入数据信息或者将电容结构 150 内数据信息导出。

[00106] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开实施例的精神和范围。任何本领域技术人员，在不脱离本公开实施例的精神和范围内，均可作各自更动与修改，因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构的制作方法，包括：
提供基底；
在所述基底上形成依次形成层叠的第一半导体层及第二半导体层，且所述第一半导体层的材料与所述第二半导体层的材料不同；
刻蚀所述第二半导体层，以形成沿第一方向及第二方向阵列排布的有源柱，所述有源柱包括沿所述第一半导体层指向所述第二半导体层方向上依次排布的第一掺杂区、沟道区及第二掺杂区；
形成字线结构，所述字线结构环绕所述沟道区，且沿所述第一方向延伸，沿所述第二方向间隔；
形成电容结构，所述电容结构与所述第二掺杂区接触连接；
去除所述基底及所述第一半导体层，以暴露所述有源柱的底面；
形成位线结构，所述位线结构与所述第一掺杂区接触连接，且沿所述第一方向间隔，沿所述第二方向延伸。
2. 根据权利要求 1 所述的半导体结构的制作方法，其中，刻蚀所述基底及所述第一半导体层前还包括：
形成第一互联结构，所述第一互联结构位于所述电容结构的顶面；
形成第一焊盘结构，所述第一焊盘结构位于所述互联结构的顶面；
提供芯片，所述芯片上具有第二焊盘结构；
将所述芯片键合至所述电容结构上，且所述第一焊盘结构及所述第二焊盘结构接触连接。
3. 根据权利要求 2 所述的半导体结构的制作方法，其中，将所述第一焊盘结构及所述第二焊盘结构键合的方法包括：采用直接键合的方式将所述第一焊盘结构及所述第二焊盘结构的表面键合。
4. 根据权利要求 1 所述的半导体结构的制作方法，其中，所述第二半导体层的材料与所述第一半导体层的材料不同。
5. 根据权利要求 1 或 4 所述的半导体结构的制作方法，其中，所述第一半导体层的材料包括：锗化硅，所述第二半导体层的材料包括：硅。
6. 根据权利要求 1 所述的半导体结构的制作方法，其中，形成所述电容结构的方法包括：

形成下电极板，所述下电极板与所述第二掺杂区的顶面连接；

下电极板形成电容介质层，所述电容介质层覆盖所述下电极板的表面；

形成上电极板，所述上电极板覆盖所述电容介质层的表面。

7. 根据权利要求1所述的半导体结构的制作方法，其中，形成所述位线结构的方法包括：
形成位线导电层，所述位线导电层位于所述有源柱远离所述电容结构的一侧，所述位线导电层所述第一方向间隔，沿所述第二方向延伸；
形成位线保护层，所述位线保护层位于所述位线导电层上。
8. 根据权利要求7所述的半导体结构的制作方法，其中，形成所述位线导电层的方法包括：
形成初始位线导电层，所述初始位线导电层位于所述第一掺杂区的表面；
刻蚀所述初始位线导电层，剩余所述初始位线导电层作为所述位线导电层。
9. 根据权利要求1所述的半导体结构的制作方法，其中，形成所述位线结构的方法还包括：
形成位线接触结构，所述位线接触结构位于所述第一掺杂区的顶面。
10. 一种半导体结构，包括：
沿第一方向及第二方向阵列排布的有源柱，所述有源柱包括依次排布的第一掺杂区、沟道区及第二掺杂区；
字线结构，所述字线结构环绕所述沟道区，且沿所述第一方向延伸，沿所述第二方向间隔；
电容结构，所述电容结构与所述第二掺杂区接触连接；
位线结构，所述位线结构与所述第一掺杂区接触连接，且沿所述第一方向间隔，沿所述第二方向延伸；
第一互联结构，所述第一互联结构位于所述电容结构远离所述有源柱的表面；
第一焊盘结构，所述第一焊盘结构位于所述第一互联结构远离所述电容结构的表面；
芯片，所述芯片与所述第一焊盘结构接触电连接。
11. 根据权利要求10所述的半导体结构，其中，所述芯片包括：
控制电路结构；
第二互联结构，所述第二互联结构位于所述控制电路结构的顶面；
第二焊盘结构，所述第二焊盘结构位于所述第二互联结构远离所述控制电路结构的表面，所述第二焊盘结构与所述第一焊盘结构接触连接。

12. 根据权利要求 11 所述的半导体结构，其中，所述控制电路结构包括：
- 有源结构，所述有源结构包括沿所述第二方向 Y 排布的第三掺杂区，第二沟道区及第四掺杂区；
- 栅极结构，所述栅极结构与所述第二沟道区接触连接；
- 第一引出结构，所述第一引出结构与所述第三掺杂区接触连接；
- 第二引出结构，所述第二引出结构与所述第四掺杂区接触连接，所述第一引出结构与所述第二引出结构间隔，且所述第一引出结构与所述第二引出结构均与所述第二互联结构接触连接。
13. 根据权利要求 10 所述的半导体结构，其中，在所述有源柱朝向所述电容结构的方向上，阵列排布的所述有源柱的高度相等。
14. 根据权利要求 10 所述的半导体结构，其中，所述电容结构包括：
- 下电极板，所述下电极板与所述第二掺杂区顶面接触连接；
- 电容介质层，所述电容介质层覆盖所述下电极板的表面；
- 上电极板，所述上电极板覆盖所述电容介质层的表面。
15. 根据权利要求 10 所述的半导体结构，其中，所述位线结构包括：
- 位线导电层，所述位线导电层位于所述有源柱远离所述电容结构的一侧，所述位线导电层沿所述第一方向间隔，沿所述第二方向延伸；
- 位线保护层，所述位线保护层位于所述位线导电层上。
16. 根据权利要求 10 所述的半导体结构，其中，所述位线结构还包括：位线接触结构，所述位线接触结构位于所述第一掺杂区的顶面。
17. 根据权利要求 10 所述的半导体结构，其中，所述电容结构还包括：电容接触结构，所述电容接触结构位于所述第二掺杂区的顶面。
18. 根据权利要求 10 所述的半导体结构，其中，还包括：第一空气间隙，所述第一空气间隙位于相邻的字线结构之间。
19. 根据权利要求 10 所述的半导体结构，其中，还包括：第二空气间隙，所述第二空气间隙位于相邻的位线结构之间。