

半导体结构及半导体结构的制备方法

5 本申请要求于 2021 年 4 月 21 日提交中国专利局、申请号为 202110432535.6、申
请名称为“半导体结构及半导体结构的制备方法”的中国专利申请的优先权，其全部
内容通过引用结合在本申请中。

技术领域

10 本申请涉及但不限于一种半导体结构及半导体结构的制备方法。

背景技术

半导体晶体管通常包括位于衬底上的栅极以及位于衬底表面内的源区和漏区，一
般的，晶体管的源区和漏区对应设置有导电插塞。导电插塞用于连接晶体管与其它半
导体器件，以实现晶体管的功能。

15 以上晶体管中存在多种电容，影响晶体管的特性，尤其是栅极和源区之间的电容
以及栅极和漏区之间的电容，通常会对晶体管的高频特性产生影响。
因此，亟需一种方案，用以降低半导体晶体管的栅极与源/漏区之间的电容。

发明内容

20 本申请实施例提供一种半导体结构及半导体结构的制备方法。
本申请实施例提供一种半导体结构，包括：源区和漏区，所述源区和所述漏区在衬底
上间隔设置；栅极氧化层，其设置于所述源区和所述漏区之间；栅极结构，其设置于所
述栅极氧化层上；导电插塞，其设置于所述源区和所述漏区的对应位置上；其中，所述栅
极结构包括具有倾斜侧面的导电层，所述倾斜侧面朝向所述导电插塞。
25 本申请实施例提供一种半导体结构的制备方法，包括：形成栅极氧化层；在所述栅极
氧化层上形成栅极结构；在栅极结构的两侧形成源区和漏区；在所述源区和所述漏区的对
应位置形成导电插塞；其中，所述栅极结构包括具有倾斜侧面的导电层，所述倾斜侧面朝
向所述导电插塞。

30 附图说明

图 1a 和图 1b 示出了一种典型的半导体晶体管结构；

- 图 2a 为本申请实施例一提供的一种半导体结构的剖面示意图；
图 2b 为现有的半导体结构的局部放大图；
图 2c 为本申请实施例中的一种半导体结构的局部放大图；
图 3a 为本申请实施例一提供的另一种半导体结构的剖面示意图；
5 图 3b 为本申请实施例一提供的又一种半导体结构的剖面示意图；
图 4 为本申请实施例二提供的一种半导体结构的剖面示意图；
图 5 为本申请实施例二提供的另一种半导体结构的剖面示意图；
图 6a 和图 6b 为本申请实施例三提供的一种倾斜侧面的结构示意图；
图 6c 和图 6d 为本申请实施例三提供的另一种倾斜侧面的结构示意图；
10 图 7 为本申请实施例四提供的一种半导体结构的结构示意图；
图 8a-图 8c 为本申请实施例五提供的半导体结构的制备方法的流程示意图；
图 9a-图 9g 涉及图 8b 所示实施例提供的制备方法过程中半导体结构的结构示意图；
图 10a-图 10f 涉及图 8c 所示实施例提供的制备方法过程中半导体结构的结构示意图；
图 11 为本申请实施例六提供的一种半导体结构的制备方法的流程示意图；
15 图 12 为本申请实施例七提供的一种半导体结构的制备方法的流程示意图。
附图标记说明：
10：现有的半导体结构；
111：源区；
112：漏区；
20 12：衬底；
13：栅极氧化层；
14：栅极结构；
15：导电插塞；
16：导电层；
25 20：半导体结构；
211：源区；
212：漏区；
22：衬底；
23：栅极氧化层；
30 24：栅极结构；
25：导电插塞；

- 251: 金属插塞;
252: 阻挡层;
253: 金属硅化物;
26: 具有倾斜侧面的导电层;
5 31: 第二介质层;
32: 接触孔;
33: 侧隔离结构;
331: 第一隔离侧壁;
332: 第二隔离侧壁;
10 333: 隔离介质;
34: 轻掺杂区;
40: 半导体结构;
411: 源区;
412: 漏区;
15 42: 衬底;
43: 栅极氧化层;
44: 栅极结构;
441: 第一导电层;
442: 第二导电层;
20 45: 导电插塞;
46: 具有倾斜侧面的金属层;
50: 半导体结构;
511: 源区;
512: 漏区;
25 52: 衬底;
53: 栅极氧化层;
54: 栅极结构;
541: 第一介质层;
55: 导电插塞;
30 56: 具有倾斜侧面的金属层;
711: 源区;

- 712: 漏区;
72: 衬底;
73: 栅极氧化层;
74: 栅极结构;
5 741: 第一导电层;
742: 第二导电层;
75: 导电插塞;
751: 金属插塞;
752: 阻挡层;
10 753: 金属硅化物;
76: 具有倾斜侧面的金属层;
911: 源区;
912: 漏区;
92: 衬底;
15 93: 栅极氧化层;
94: 栅极结构;
941: 第一导电层;
942: 第二导电层;
945: 保护层;
20 95: 导电插塞;
96: 预定的金属层;
1004: 栅极结构;
1041: 第一介质层;
1042: 第三导电层。

- 25 通过上述附图, 已示出本申请明确的实施例, 后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本申请构思的范围, 而是通过参考特定实施例为本领域技术人员说明本申请的概念。

具体实施方式

- 30 本申请中的用语“包括”和“具有”用以表示开放式的包括在内的意思, 并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等; 用语“第一”和“第二”

等仅作为标记使用，不是对其对象的数量限制。在本申请中，在未作相反说明的情况下，使用的方位词如“上、下、左侧、右侧”通常是指参照附图所示的上、下、左、右。“内、外”是指相对于各部件本身轮廓的内、外。能理解的是，以上方位词表示相对性的用语，用于本说明书中仅出于方便，例如根据附图中所述的示例的方向，如果将图标的装置翻转使其上下颠倒，则所叙述在“上”的组件将会成为在“下”的组件。在附图中，示出的形状根据制造工艺和/或容差可以有变形。因此，本申请的示例性实施方式不限于附图中示出的特定形状，且可以包括在制造过程中造成的形状改变。此外，附图中的不同元件和区域只是示意性示出，因此本申请不限于附图中示出的尺寸或距离。

10 图 1a 和图 1b 示出了一种典型的半导体晶体管结构(仅为示例)，图 1a 为俯视示意图，图 1b 为沿图 1a 所示的沟道长度方向 aa' 的截面示意图。

具体的，当栅极结构被施加一定电压时，源区和漏区之间的衬底表面内形成反型层，即产生半导体晶体管的沟道，其中沟道长度方向即源区至漏区或者漏区至源区的方向（图 1a 中的 aa' 所示的方向）。可以理解，以上示出的晶体管结构仅为一种可能的方式，本申请
15 的方案还可以应用于各种晶体管结构。

如图 1b 所示，半导体晶体管结构 10 包括：衬底 12、栅极结构 14、以及位于栅极结构两侧的源区 111 和漏区 112，也可称为源极和漏极。其中，栅极结构 14 包括导电层 16，栅极结构 14 和衬底 12 之间为栅极氧化层 13。在源区 111 和漏区 112 对应的区域，设置有贯穿介质层的导电插塞 15，该导电插塞 15 用于将外部的电信号传导至晶体管的源区 111
20 和漏区 112。

实际应用时，以上结构中会存在多种电容，尤其栅极和源区之间的电容以及栅极和漏区之间的电容，会对晶体管的高频特性产生影响。因此，亟需一种能够降低半导体晶体管的栅极与源/漏区之间的电容的方案。

针对上述问题，本申请发现，半导体晶体管的栅极与源/漏区之间的电容和栅极导电层与导电插塞之间产生的寄生电容为正相关关系，故本申请提供一种方案，用以降低半导体晶体管的栅极导电层与导电插塞之间的寄生电容，从而降低栅极与源/漏区之间的电容。
25

下面以具体地实施例对本申请的技术方案以及本申请的技术方案如何解决上述技术问题进行详细说明。下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图，对本申请的实施例进行描述。
30

实施例一

图 2a 为本申请实施例一提供的一种半导体结构的剖面示意图,该半导体结构用以减小半导体晶体管的栅极与导电插塞之间的寄生电容,如图 2a 所示,该半导体结构 20 包括:

源区 211 和漏区 212, 源区 211 和漏区 212 在衬底 22 上间隔设置;

5 栅极氧化层 23, 其设置于源区 211 和漏区 212 之间;

栅极结构 24, 其设置于栅极氧化层 23 上;

导电插塞 25, 其设置于源区 211 和漏区 212 的对应位置上;

其中, 栅极结构 24 包括具有倾斜侧面的导电层 26, 所述倾斜侧面朝向导电插塞 25。

其中, 衬底 22 可以为半导体衬底, 例如单晶硅、多晶硅或非晶结构的硅或硅锗(SiGe),
10 也可以为混合的半导体结构, 例如碳化硅、铟化镓、碲化铅、砷化镓、磷化镓、砷化镓或铟化镓、合金半导体或其组合。本实施例在此不对其进行限制。其中, 栅极结构可以包括至少一个导电层。本实施例中所述的“具有倾斜侧面的导电层”为栅极结构包括的导电层中的一个或多个。

如图 2a 所示, 衬底 22 有间隔设置的源区 211 和漏区 212 (图中仅为示例, 实际源区
15 和漏区的位置可以互换), 本申请中的“源/漏区”和“源漏区”指源区和漏区。可以理解, 图中只是一种示例, 比如栅极氧化层 23 可以覆盖除源区 211 和漏区 212 之间的衬底表面以外的区域, 实际应用中, 栅极氧化层可以与衬底表面的介质层一同制备。在栅极氧化层 23 上设置有栅极结构 24, 其位于源区 211 和漏区 212 之间, 用于根据外部施加的电压控制晶体管导通或断开。对应源区 211 和漏区 212 设置的导电插塞 25, 与源区 211 和漏区
20 212 接触, 用于将电信号传导至源区和漏区, 以实现晶体管的功能。可选的, 栅极结构 24 还可以包括保护层 245。该保护层可以保护栅极结构不易受到损坏。其中, 保护层可以包括但不限于氮化硅层。

本申请发现, 上述结构中栅极结构的导电层与导电插塞之间形成有寄生电容, 该寄生电容构成栅极与源/漏区之间电容的一部分。尤其在具有集成度高, 产品尺寸小的半导体领域, 这些电容会影响半导体晶体管的器件特性。对此, 本申请提供一种半导体结构, 如图
25 2a 所示, 栅极结构包括具有倾斜侧面的导电层, 且所述倾斜侧面朝向导电插塞。本申请提供的半导体结构, 能够减小栅极结构的导电层与导电插塞之间的寄生电容, 从而降低栅极与源漏区之间的电容, 改善器件特性。

为了更加直观地理解本申请, 结合图 2b 和图 2c 进行阐述: 如图所示, 图 2b 为现有的
30 半导体结构的局部放大图, 图 2c 为本申请的一种半导体结构的局部放大图。其中, 图 2b 所示的半导体结构中, 栅极结构 14 包括导电层 16, 对应源区或漏区的位置设有导电插塞

15. 图 2c 所示的半导体结构中，栅极结构 24 包括导电层 26，对应源区或漏区的位置设有导电插塞 25。可以看出，图 2c 所示的半导体结构中，导电层 26 具有倾斜的侧面，且该侧面为导电层 26 朝向导电插塞 25 的侧面。

其中，将图 2b 和图 2c 进行对比，可知现有的半导体结构中，导电层和导电插塞之间的最小距离为 $S_{m'}$ ，本申请提供的半导体结构中，导电层和导电插塞之间的最小距离为 S_m ，大于 $S_{m'}$ 。因此，相比不具备倾斜侧面的栅极结构，本申请提供的半导体结构中，由于栅极结构的至少一个导电层具备朝向导电插塞的倾斜侧面，故该导电层的侧面至导电插塞的距离增大，从而降低该导电层与导电插塞之间的寄生电容。

需要说明的是，放大图中仅举例示出了一个导电插塞，但可以理解，在其它半导体结构中，即便导电插塞的结构位置与图示不同，本申请的方案也可应用在这些半导体结构的栅极结构，以使其栅极结构包括至少一个导电层，该导电层朝向导电插塞的侧面为倾斜侧面，而这些方案同样属于本申请实施例提供的方案。在一种可实施方式中，半导体结构还可以包括：位于栅极结构两侧的轻掺杂区。通过在栅极两侧设置轻掺杂区可以降低短沟道效应。

15 本实施例提供的半导体结构中，栅极结构包括至少一个具有倾斜侧面的导电层，该倾斜侧面朝向导电插塞。相比于传统的栅极结构，本申请中栅极结构的至少一个导电层与导电插塞之间的距离增大，从而降低栅极结构与导电插塞之间的寄生电容，进而降低栅极与源漏区之间的电容，改善器件特性。

以下结合图 3a 和图 3b 分别对半导体结构的各部分（导电插塞以及侧隔离结构）进行示例说明。可以理解，以下图 3a 和图 3b 的实施例可以结合实施，还可结合本申请的其它任一实施例实施，比如，应用至半导体结构 20、半导体结构 40 和半导体结构 50 中的任一半导体结构。

图 3a 为本申请实施例一提供的另一种半导体结构的剖面示意图，本实施方式对导电插塞的结构进行示例说明，如图 3a 所示，在其它任一实施例的基础上（图中结合图 2a 所示结构进行示例），半导体结构还包括：

第二介质层 31，设置于衬底 22 和栅极结构 24 上；

接触孔 32，贯穿第二介质层 31，且与对应的源区 211 和漏区 212 接触，接触孔 32 的底部为浅凹槽结构，且浅凹槽结构位于对应的源区 211 和漏区 212 内；

其中，导电插塞 25 包括填充在接触孔 32 内的金属插塞 251，以及位于金属插塞 251 和接触孔 32 的内壁之间的阻挡层 252。

具体的，本实施方式中的导电插塞贯穿介质层，设置在对应源区和漏区的位置。其中

该导电插塞采用内外多层结构，即导电插塞包括位于内部的金属插塞以及附着在金属插塞表面和接触孔内壁之间的阻挡层。其中，阻挡层用于阻挡其内部的金属插塞扩散至衬底，导致衬底污染，以保证晶体管特性。需要说明的是，图中仅为一种示例，本实施方式着重说明导电插塞的结构，且本实施方式提供的导电插塞可以被参照应用于其它任一实施例。

- 5 可选的，导电插塞 25 与所述浅凹槽结构的内壁之间填充有金属硅化物 253。其中，金属硅化物 253 包括但不限于硅化钴（CoSi）。通过在浅凹槽结构的内壁上形成金属硅化物，可以降低导电插塞与源/漏区之间的接触电阻，优化晶体管特性。

在一种可实施方式中，半导体结构还可以包括：位于栅极结构两侧的轻掺杂区。通过在栅极两侧设置轻掺杂区可以降低短沟道效应。

- 10 本实施例提供的导电插塞采用内外多层结构，可以防止金属扩散，保证晶体管的器件特性。

图 3b 为本申请实施例一提供的又一种半导体结构的剖面示意图，本实施方式对侧隔离结构进行示例说明，如图 3b 所示，在其它任一实施例的基础上（图中结合半导体结构 20 进行示例），半导体结构还包括：

- 15 侧隔离结构 33，侧隔离结构 33 贴附于栅极结构 24 朝向源区 211 和漏区 212 的两侧面。

- 可选的，侧隔离结构可以采用多层结构。在一种可实施方式中，侧隔离结构 33 包括：第一隔离侧壁 331 和第二隔离侧壁 332；第一隔离侧壁 331 贴附于栅极结构 24 的侧面；第二隔离侧壁 332 位于第一隔离侧壁 331 的外围，且第二隔离侧壁 332 的顶部延伸至第一隔离侧壁 331 的顶部，形成封闭空间，该封闭空间填充有隔离介质 333。其中，隔离介质 333
20 包括但不限于氧化硅、空气等。其中，第一隔离侧壁和所述第二隔离侧壁的材质可以包括氮化硅。

- 其中，侧隔离结构的各部分可以位于栅极氧化层或衬底上。作为一种示例，第一隔离侧壁位于衬底上，隔离介质和第二隔离侧壁位于衬底上（如图 3b 中示例）。作为另一种示例，第一隔离侧壁和隔离介质位于栅极氧化层上，第二隔离侧壁位于衬底上。作为又一
25 种示例，第一隔离侧壁、隔离介质和第二隔离侧壁均位于栅极氧化层上。

- 以上侧隔离结构采用多层结构，可以兼顾支撑效果和应力。具体的，第一隔离侧壁和第二隔离侧壁可以采用硬度高，致密性大、介电常数高的材料，比如氮化硅，以起到良好的支撑作用，并能起到有效的隔离绝缘作用。同时考虑到良好的应力，本实施方式的侧隔离结构在第一隔离侧壁和第二隔离侧壁之间填充具备良好应力特性的材料，例如氧化硅等。
30 一种实施方式中，在第一隔离侧壁和第二隔离侧壁之间填充空气，可以起到更好的隔离绝缘作用，并且减小应力作用。在第一隔离侧壁和第二隔离侧壁之间填充空气，还可以减小

栅极结构 24 与导电插塞 25 之间的等效的介电常数,从而进一步减小二者之间的寄生电容。

在一种可实施方式中,半导体结构还可以包括:位于栅极结构两侧的轻掺杂区 34。通过在栅极两侧设置轻掺杂区可以降低短沟道效应。可选的,轻掺杂区 34 的区域可以根据器件设计确定,比如,轻掺杂区 34 位于第一隔离侧壁下方(如图 3b 中示例),或者位于
5 第一隔离侧壁和隔离介质下方,或者位于第一隔离侧壁、隔离介质和第二隔离侧壁的下方。

本实施例中,在栅极结构的两侧设置侧隔离结构,以避免栅极与其它部件之间发生短路,保证晶体管的良好特性。

以下结合实施例二对栅极结构的不同实施方式进行介绍。同样的,实施例二可与本申
10 请的其它任一实施例按照多种组合方式实施,比如,结合倾斜侧面、导电插塞、侧隔离结构对应的实施例实施。

实施例二

图 4 为本申请实施例二提供的一种半导体结构的剖面示意图,本实施例中的栅极结构包括导电层和多个金属层,如图 4 所示,该半导体结构 40 包括:

15 源区 411 和漏区 412,源区 411 和漏区 412 在衬底 42 上间隔设置;

栅极氧化层 43,其设置于源区 411 和漏区 412 之间;

栅极结构 44,其设置于栅极氧化层 43 上;

导电插塞 45,其设置于源区 411 和漏区 412 的对应位置上;

其中,栅极结构 44 包括第一导电层 441 和第二导电层 442;第一导电层 441 设置于栅
20 极氧化层 43 上,第二导电层 442 设置于第一导电层 441 上;第二导电层 442 包括叠层设置的多个金属层(图中以包括两个金属层作为示例),且其中的至少一个金属层 46 具有倾斜侧面,所述倾斜侧面朝向导电插塞 45。这里的金属层可以由金属构成,例如钨,也可以由金属化合物构成,例如氮化钛。需要说明的是,图 4 中除上述标号对应的结构以外的其它标号,为其它实施例中在相关附图中示出的结构,这里将其结合至图 4 中进行展示,
25 作为本申请的一种实施方式。

其中,衬底 42 可以为半导体衬底,例如单晶硅、多晶硅或非晶结构的硅或硅锗(SiGe),也可以为混合的半导体结构,例如碳化硅、锑化铟、碲化铅、砷化铟、磷化铟、砷化镓或锑化镓、合金半导体或其组合。本实施例在此不对其进行限制。其中,栅极结构包括设置在栅极氧化层上的第一导电层、以及设置在第一导电层上的第二导电层。其中第二导电层
30 包括多个金属层,本实施例中“具有倾斜侧面的导电层”为该多个金属层中的一个或多个。

实际应用中,晶体管的阈值电压(threshold voltage)主要由栅极与栅极氧化层的功函

数(work function)之间的差异来决定,故本实施例中与栅极氧化层直接接触的第一导电层不做倾斜侧面的处理,以保证功函数匹配和降低接触电阻。需要说明的是,即便本实施例如此,但本申请不排除将第一导电层的侧面形成倾斜侧面的方案,在该方案中,使第一导电层的上边缘尺寸小于下边缘尺寸,以优化接触电阻,并且同样能够降低电容。另外为了优化晶体管的特性,在一种可实施的方式中,第一导电层 441 包括多晶硅层。具体的,由于多晶硅可以借由掺杂不同极性的杂质来改变其功函数,以调节晶体管的阈值电压。在另一种可实施的方式中,第二导电层 442 包括多个金属层,这些金属层包括但不限于氮化钛层和钨层。在一种示例中,第二导电层包括设置在多晶硅层上的氮化钛层,以及设置在所述氮化钛层上的钨层,其中,钨层具有倾斜侧面,所述倾斜侧面朝向导电插塞。需要说明的是,以上各可实施的方式也可以结合实施。

同样的,相比于不具备倾斜侧面的栅极结构,本实施例中第二导电层中的至少一个金属层具备倾斜侧面,故其与导电插塞之间的距离增大,从而降低该金属层与导电插塞之间的寄生电容,进而降低整个栅极结构和导电插塞连接的源区或漏区之间的寄生电容。

本实施例提供的半导体结构中,栅极结构的第二导电层包括多个金属层,该多个金属层中存在至少一个具有朝向导电插塞的倾斜侧面的金属层,相比于不具备倾斜侧面的栅极结构,本申请中的具有倾斜侧面的金属层与导电插塞之间的距离增大,从而降低栅极结构与导电插塞之间的寄生电容,进而降低栅极与源漏区之间的电容,改善器件特性。

图 5 为本申请实施例二提供的另一种半导体结构的剖面示意图,本实施例中的栅极结构包括介质层和金属层,如图 5 所示,该半导体结构 50 包括:

源区 511 和漏区 512,源区 511 和漏区 512 在衬底 52 上间隔设置;
栅极氧化层 53,其设置于源区 511 和漏区 512 之间;
栅极结构 54,其设置于栅极氧化层 53 上;
导电插塞 55,其设置于源区 511 和漏区 512 的对应位置上;

其中,栅极结构 54 包括第一介质层 541 和第三导电层;第一介质层 541 设置于栅极氧化层 53 上,第三导电层设置于第一介质层 541 上;第三导电层为金属层 56,金属层 56 具有倾斜侧面,所述倾斜侧面朝向导电插塞 55。

其中,衬底 52 可以为半导体衬底,例如单晶硅、多晶硅或非晶结构的硅或硅锗(SiGe),也可以为混合的半导体结构,例如碳化硅、锑化铟、碲化铅、砷化铟、磷化铟、砷化镓或锑化镓、合金半导体或其组合。本实施例在此不对其进行限制。其中,栅极结构 54 包括设置在栅极氧化层上的第一介质层、以及设置在第一介质层上的第三导电层。其中第三导电层为金属层,例如,单金属层或多金属层。本实施例中“具有倾斜侧面的导电层”以单

金属层进行举例。

在一种实施方式中，第一介质层 541 包括高介电常数材料，例如氧化铪、氧化锆等。该第一介质层和栅极氧化层共同构成栅介质层，以减少隧穿效应。在另一种实施方式中，设置在第一介质层 541 上的第三导电层包括钨层，该钨层具有倾斜侧面，所述倾斜侧面朝向导电插塞。第三导电层还可以是铜、铝、钛等金属。需要说明的是，这两种实施方式可以结合实施。

同样的，相比于不具备倾斜侧面的栅极结构，本实施例中第三导电层中的至少一个金属层具备倾斜侧面，故其与导电插塞之间的距离增大，从而降低该金属层与导电插塞之间的寄生电容，进而降低整个栅极结构和导电插塞连接的源区或漏区之间的寄生电容。

10 本实施例提供的半导体结构中，栅极结构包括第一介质层和第三导电层，其中第三导电层包括金属层，该金属层中具有朝向导电插塞的倾斜侧面，相比于不具备倾斜侧面的栅极结构，本实施例中的具有倾斜侧面的金属层与导电插塞之间的距离增大，从而降低栅极结构与导电插塞之间的寄生电容，进而降低栅极与源漏区之间的电容，改善器件特性。

15 以下结合实施例三对倾斜侧面的不同实施方式进行介绍。需要说明的是，以下的倾斜侧面的实施方式可以应用于其它任一实施例的栅极结构的导电层。

实施例三

图 6a 和图 6b 为本申请实施例三提供的一种倾斜侧面的结构示意图，图中结合图 4 中的部分结构进行示例说明，如图所示，在其它任一实施方式的基础上：

20 倾斜侧面的上边缘至导电插塞的第一距离 S_t 大于所述倾斜侧面的下边缘至所述导电插塞的第二距离 S_b 。

需要说明的是，图中还示出了位于倾斜侧面附近的其它结构，例如衬底、栅极氧化层、栅极结构等，这些均为一种示例，并未对本实施例的范围进行限制。具体的，本实施例着重说明倾斜侧面的结构，且本实施例提供的倾斜侧面可以结合其它任一实施例实施。

25 作为一种示例，所述倾斜侧面的中间位置的表面大致呈平面状，如图 6a 所示。作为一种示例，所述倾斜侧面的中间位置的表面大致呈阶梯状，如图 6b 所示。

图 6c 和图 6d 为本申请实施例三提供的另一种倾斜侧面的结构示意图，图中结合图 4 中的部分结构进行示例说明，如图所示，在其它任一实施方式的基础上：

30 倾斜侧面的上边缘至导电插塞的第一距离 S_t 小于所述倾斜侧面的下边缘至所述导电插塞的第二距离 S_b 。

作为一种示例，所述倾斜侧面的中间位置的表面大致呈平面状，如图 6c 所示。作为另

一种示例，所述倾斜侧面的中间位置的表面大致呈阶梯状，如图 6d 所示。

在本实施方式中，具有倾斜侧面的导电层的下边沿尺寸小于上边沿尺寸。可选的，该导电层下方相邻层的上边沿尺寸可以与导电层的上边沿尺寸大致一致（如图 6c 所示），或者也可以与导电层的下边沿尺寸大致一致（如图 6d 所示）。具体的，以上结构可以通过相关的工艺实现，以降低栅极与导电插塞之间的电容。需要说明的是，图中只是将以上示例和实施方式结合示出的结构，实际上这些示例和实施方式也可以分别单独实施，或者按照不同组合实施，例如倾斜侧面的中间位置的表面大致呈平面状且相邻层的上边沿尺寸与导电层的下边沿尺寸大致一致等。再可选的，类似的，导电层上方相邻层的下边沿尺寸可以与导电层的上边沿尺寸大致一致，或者也可以与导电层的下边沿尺寸大致一致。

10 本实施例提供的倾斜侧面的结构，可应用于前述的结构中，以使栅极结构中的至少一个导电层中具有朝向导电插塞的该倾斜侧面，相比于不具备倾斜侧面的栅极结构，本实施例中的具有倾斜侧面的导电层与导电插塞之间的距离增大，从而降低栅极结构与导电插塞之间的寄生电容，进而降低栅极与源漏区之间的电容，改善器件特性。

15 实施例四

本实施例提供一种将以上实施例中的几个实施例进行组合实施的示例，图 7 为本申请实施例四提供的一种半导体结构的结构示意图，该半导体结构是基于图 3a 和图 3b 所示的实施例、实施例二以及实施例三的组合实施方式，如图 7 所示，该半导体结构包括：

20 在衬底 72 上间隔设置的源区 711 和漏区 712，设置于源区 711 和漏区 712 之间的栅极氧化层 73；设置于栅极氧化层 73 上的栅极结构 74；导电插塞 75，其设置于源区 711 和漏区 712 的对应位置上；

25 其中，栅极结构 74 包括第一导电层 741 和第二导电层 742；第一导电层 741 设置于栅极氧化层 73 上，第二导电层 742 设置于第一导电层 741 上；第二导电层 742 包括叠层设置的多个金属层，且其中的至少一个金属层 76 具有倾斜侧面，所述倾斜侧面朝向导电插塞 75；所述倾斜侧面的上边缘至导电插塞 75 的第一距离小于所述倾斜侧面的下边缘至导电插塞 75 的第二距离，且所述倾斜侧面的中间位置的表面大致呈平面状；

设置于衬底 72 和栅极结构 74 上的第二介质层 31；贯穿第二介质层 71 的接触孔 32，且与对应的源区 711 和漏区 712 接触，接触孔 32 的底部为浅凹槽结构，且浅凹槽结构位于对应的源区 711 和漏区 712 内；

30 其中，导电插塞 75 包括填充在接触孔 32 内的金属插塞 751，以及位于金属插塞 751 和接触孔 32 的内壁之间的阻挡层 752；导电插塞 75 与所述浅凹槽结构的内壁之间填充有

金属硅化物 753;

侧隔离结构 33,侧隔离结构 33 贴附于栅极结构 74 朝向源区 211 和漏区 212 的两侧面;
侧隔离结构 33 包括:第一隔离侧壁 331 和第二隔离侧壁 332;第一隔离侧壁 331 贴附于栅
极结构 74 的侧面;第二隔离侧壁 332 位于第一隔离侧壁 331 的外围,且第二隔离侧壁 332
5 的顶部延伸至第一隔离侧壁 331 的顶部,形成封闭空间,该封闭空间填充有隔离介质 333,
隔离介质 333 可以为空气;

轻掺杂区 34,位于栅极结构 74 的两侧。

关于以上各部分结构的描述和效果,已在前述各实施例中详细说明,故可参见前
述实施例的相关内容,此处不再赘述。

10

前述实施例一至实施例四是对本申请提供的半导体结构的示例说明,以下结合实施例
五至实施例七对半导体结构的制备方法进行示例说明。

实施例五

图 8a 为本申请实施例五提供的一种半导体结构的制备方法的流程示意图,该半导体结
15 构用以减小半导体晶体管的栅极与导电插塞之间的寄生电容,如图 8a 所示,该制备方
法包括:

步骤 101、形成栅极氧化层;

步骤 102、在所述栅极氧化层上形成栅极结构;

步骤 103、在栅极结构的两侧形成源区和漏区;

20 步骤 104、在所述源区和所述漏区的对应位置形成导电插塞;其中,所述栅极结构包
括具有倾斜侧面的导电层,所述倾斜侧面朝向所述导电插塞。

可选的,步骤 102 具体包括:在所述栅极氧化层上形成栅极结构,其中所述栅极结构
的顶层为保护层。即栅极结构还可以包括为保护层的顶层。

在一种示例中,栅极结构包括第一导电层和第二导电层,且第二导电层包括多个金属
25 层,其中至少一个金属层具有倾斜侧面。作为一种可实施的方式,该栅极结构可以通过以
下制备方法获得,该相应的,如图 8b 所示,步骤 102 具体可以包括:

步骤 201、在栅极氧化层上形成第一导电层;

步骤 202、在第一导电层上形成第二导电层,所述第二导电层包括叠层设置的多个金
属层;

30 重复执行以下步骤 203,直至露出所述第一导电层:

步骤 203、若当前第一区域中露出的层为预定的金属层,则对第一区域中该预定的金

属层进行刻蚀并调整刻蚀的方向和速度，直至露出下一个金属层，以使该预定的金属层具有朝向源区和漏区的倾斜侧面；若当前第一区域中露出的层不为预定的金属层，则对第一区域或未被上层覆盖的区域中的该层向下进行刻蚀，直至露出下一个金属层；其中，所述第一区域为除源区和漏区之间的区域以外的区域；

- 5 步骤 204、对第一区域或未被上层覆盖的区域中的第一导电层向下刻蚀，直至露出栅极氧化层，以形成所述栅极结构。

具体地，执行步骤 101 之后半导体结构的结构示意图如图 9a 所示，其中，衬底用标号 92 表示，栅极氧化层用标号 93 表示。执行步骤 201 和步骤 202 之后半导体结构的结构示意图如图 9b 所示，其中，第一导电层用标号 941 表示，第二导电层用标号 942 表示。执行步骤 203 之后的半导体结构的结构示意图如图 9c 所示，其中，预定的金属层用标号 96 表示。执行步骤 204 之后的半导体结构的结构示意图如图 9d 所示，其中，栅极结构用标号 94 表示。可选的，步骤 103 具体可以包括：先对当前未被覆盖的栅极氧化层进行刻蚀，直至露出衬底。相应的，该步骤执行后的半导体结构的结构示意图如图 9e 所示。对栅极氧化层刻蚀后，形成位于栅极结构两侧的源区和漏区。相应的，该步骤执行后的半导体结构的结构示意图如图 9f 所示，源区和漏区分别用标号 911 和 912 表示。其中，保护层在图中用标号 945 表示，保护层可以在对栅极氧化层进行刻蚀之后形成。相应的，执行步骤 104 之后的半导体结构的结构示意图如图 9g 所示，其中，导电插塞用标号 95 表示，第二介质层用 31 表示。

在另一种示例中，栅极结构包括第一介质层和第三导电层，且第三导电层包括金属层，该金属层具有倾斜侧面。作为一种可实施的方式，该栅极结构可以通过以下制备方法获得，相应的，如图 8c 所示，步骤 102 具体可以包括：

步骤 301、在栅极氧化层上形成第一介质层；

步骤 302、在第一介质层上形成第三导电层，所述第三导电层为金属层；

步骤 303、对第一区域中的第三导电层进行刻蚀并调整刻蚀的方向和速度，直至露出第一介质层，以使所述第三导电层具有朝向源区和漏区的倾斜侧面；其中，所述第一区域为除源区和漏区之间的区域以外的区域；

步骤 304、对第一区域的或者未被第三导电层覆盖的第一介质层向下刻蚀，直至露出栅极氧化层，以形成所述栅极结构。

具体地，执行步骤 101 之后半导体结构的结构示意图如图 9a 所示，其中，衬底用标号 92 表示，栅极氧化层用标号 93 表示。执行步骤 301 和步骤 302 之后半导体结构的结构示意图如图 10a 所示，其中，第一介质层用标号 1041 表示，第三导电层用标号 1042 表示。

执行步骤 303 之后的半导体结构的结构示意图如图 10b 所示,其中,第三导电层为金属层,金属层用标号 96 表示。执行步骤 304 之后的半导体结构的结构示意图如图 10c 所示,其中,栅极结构用标号 1004 表示。同样的,在一种示例中,步骤 103 具体可以包括:先对当前未被覆盖的栅极氧化层进行刻蚀,直至露出衬底。相应的,该步骤执行后的半导体结构的结构示意图如图 10d 所示。对栅极氧化层刻蚀后,形成位于栅极结构两侧的源区和漏区。相应的,该步骤执行后的半导体结构的结构示意图如图 10e 所示,源区和漏区分别用标号 911 和 912 表示。其中,保护层在图中用标号 945 表示,保护层可以在对栅极氧化层进行刻蚀之后形成。相应的,执行步骤 104 之后的半导体结构的结构示意图如图 10f 所示,其中,导电插塞用标号 95 表示,第二介质层用 31 表示。

10 本实施例提供的半导体结构中,栅极结构包括至少一个具有倾斜侧面的导电层,该倾斜侧面朝向导电插塞。相比于传统的栅极结构,本实施例中栅极结构的至少一个导电层与导电插塞之间的距离增大,从而降低栅极结构与导电插塞之间的寄生电容,进而降低栅极与源漏区之间的电容,改善器件特性。

15 实施例六

图 11 为本申请实施例六提供的一种半导体结构的制备方法的流程示意图,用以制备半导体结构的导电插塞,如图 11 所示,在实施例五的基础上,步骤 104 具体包括:

步骤 1101、在衬底和栅极结构上形成第二介质层;

20 步骤 1102、在第二介质层上形成图案化的刻蚀保护层,且该刻蚀保护层遮盖除源区和漏区对应的部分区域以外的介质层表面;

步骤 1103、自露出的第二介质层表面向下刻蚀至露出源区和漏区的表面,并对源区和漏区的表面进行过刻蚀,形成底部为浅凹槽结构的接触孔,且所述浅凹槽结构位于对应的所述源区和所述漏区内;

25 步骤 1104、在所述接触孔的内壁上形成阻挡层,并在覆盖有所述阻挡层的接触孔内填充金属,形成导电插塞。

可选的,在步骤 1104 之前,还可以包括:在接触孔底部的浅凹槽结构的内壁上形成金属硅化物。通过本实施方式可以形成位于导电插塞和浅凹槽结构的内壁之间的金属硅化物。

30 本实施例提供的导电插塞采用内外多层结构,可以防止金属扩散,保证晶体管的器件特性。并且,通过在浅凹槽结构的内壁上形成金属硅化物,降低导电插塞与源/漏区之间的接触电阻,优化晶体管特性。

实施例七

图 12 为本申请实施例七提供的一种半导体结构的制备方法的流程示意图，用以制备半导体结构的侧隔离结构，如图 12 所示，在实施例五或实施例六的基础上，步骤 102 之后，还包括：

步骤 1201、在栅极结构朝向源区和漏区的两侧面上形成侧隔离结构。

可选的，步骤 1201 具体包括：在栅极结构朝向源区和漏区的侧面上形成第一隔离侧壁；在所述第一隔离侧壁的外壁上覆盖隔离介质；在所述隔离介质的外壁上形成第二隔离侧壁，且所述第二隔离侧壁的顶部延伸至所述第一隔离侧壁的顶部，形成包围所述隔离介质的封闭空间。其中，所述隔离介质可以包括但不限于氧化硅。

其中，侧隔离结构的各部分可以位于栅极氧化层或衬底上，以实现隔离作用。作为一种示例，第一隔离侧壁位于栅极氧化层上，隔离介质和第二隔离侧壁位于衬底上。相应工艺实现上，可以在对栅极氧化层刻蚀之前，形成第一隔离侧壁，再对栅极氧化层进行刻蚀，最后形成第二隔离侧壁。作为另一种示例，第一隔离侧壁和隔离介质位于栅极氧化层上，第二隔离侧壁位于衬底上。相应工艺上，可以在对栅极氧化层刻蚀之前，形成第一隔离侧壁和隔离介质，再对栅极氧化层进行刻蚀，最后形成第二隔离侧壁。作为又一种示例，第一隔离侧壁、隔离介质和第二隔离侧壁均位于栅极氧化层上。相应工艺上，可以在对栅极氧化层刻蚀之前，形成第一隔离侧壁、隔离介质和第二隔离侧壁，再对栅极氧化层进行刻蚀，最后形成第二隔离侧壁。可选的，源漏区的形成步骤可以在对栅极氧化层进行刻蚀后执行。

再可选的，步骤 1201 具体包括：在栅极结构朝向源区和漏区的侧面上形成第三隔离侧壁；在所述第三隔离侧壁的外壁上覆盖第三介质层；在所述第三介质层的外壁上形成第四隔离侧壁，且所述第四隔离侧壁的顶部延伸至所述第三隔离侧壁的顶部，形成包围所述第三介质层的封闭空间；对第四隔离侧壁的顶部进行刻蚀，直至露出第三介质层的表面，形成刻蚀孔；通过刻蚀孔对第三介质层进行刻蚀，直至抵达栅极氧化层的表面；采用快速淀积工艺，封闭所述第四隔离侧壁与所述第三隔离侧壁的顶部之间的刻蚀孔，形成内为空气的封闭空间。同样的，本实施方式中侧隔离结构的各部分也可以位于栅极氧化层或衬底上，相关内容可对应参见上一实施方式的描述，在此不再赘述。

在一种可实施方式中，为了降低短沟道效应，半导体结构还可以包括：位于栅极结构两侧的轻掺杂区。相应的，所述制备方法还包括：形成位于栅极结构两侧的轻掺杂区。可选的，轻掺杂区的区域可以根据器件设计确定，比如，轻掺杂区位于第一隔离侧壁下方，

或者位于第一隔离侧壁和隔离介质下方，或者位于第一隔离侧壁、隔离介质和第二隔离侧壁的下方。相应的，形成轻掺杂区的步骤可以在形成第一隔离侧壁后执行，或者在形成第一隔离侧壁和隔离介质后执行，或者在形成第二隔离侧壁后执行。本实施例在此不对工艺流程的执行顺序进行限制。

5 结合前述保护层的实施方式进行工艺示例，形成保护层的步骤可以在形成侧隔离结构的步骤之前执行，或者实际应用中若保护层与隔离侧壁的材质相同，则保护层可以在形成侧隔离结构的过程中一并形成，又或者，保护层还可以在形成侧隔离结构之后形成。本实施例对具体的工艺执行先后不进行限制，即本实施例提供的工艺流程用于形成前面实施例中的半导体结构。

10 本实施例中，在栅极结构的两侧设置侧隔离结构，以避免栅极与其它部件之间发生短路，保证晶体管的良好特性。并且兼顾支撑效果和良好应力特性。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本申请的其它实施方案。本申请旨在涵盖本申请的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本申请的一般性原理并包括本申请未公开的本技术领域中的公知常识或

15 惯用技术手段。说明书和实施例仅被视为示例性的，本申请的真正范围和精神由下面的权利要求书指出。

应当理解的是，本申请并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本申请的范围仅由所附的权利要求书来限制。

权 利 要 求 书

- 1、一种半导体结构，包括：
源区和漏区，所述源区和所述漏区在衬底上间隔设置；
栅极氧化层，其设置于所述源区和所述漏区之间；
5 栅极结构，其设置于所述栅极氧化层上；
导电插塞，其设置于所述源区和所述漏区的对应位置上；
其中，所述栅极结构包括具有倾斜侧面的导电层，所述倾斜侧面朝向所述导电插塞。
- 2、根据权利要求 1 所述的半导体结构，其中，所述栅极结构包括第一导电层和第二导电层；
10 所述第一导电层设置于所述栅极氧化层上，所述第二导电层设置于所述第一导电层上；
所述第二导电层包括叠层设置的多个金属层，且其中的至少一个所述金属层具有倾斜侧面，
所述倾斜侧面朝向所述导电插塞。
- 3、根据权利要求 2 所述的半导体结构，其中，所述第一导电层包括多晶硅层；所述
第二导电层包括自下向上叠层设置的氮化钛层和钨层，其中，所述钨层具有倾斜侧面，所
15 述倾斜侧面朝向所述导电插塞。
- 4、根据权利要求 1 所述的半导体结构，其中，所述栅极结构包括第一介质层和第三
导电层；
所述第一介质层设置于所述栅极氧化层上，所述第三导电层设置于所述第一介质层上；
所述第三导电层为金属层，所述金属层具有倾斜侧面，所述倾斜侧面朝向所述导电插塞。
- 20 5、根据权利要求 4 所述的半导体结构，其中，所述第一介质层包括高介电常数材料，
所述第三导电层包括钨层。
- 6、根据权利要求 1 所述的半导体结构，其中，所述倾斜侧面的上边缘至所述导电插
塞的第一距离小于所述倾斜侧面的下边缘至所述导电插塞的第二距离。
- 7、根据权利要求 1 所述的半导体结构，其中，所述倾斜侧面的上边缘至所述导电插
25 塞的第一距离大于所述倾斜侧面的下边缘至所述导电插塞的第二距离。
- 8、根据权利要求 6 或 7 所述的半导体结构，其中，所述倾斜侧面的中间位置的表面
呈平面状，其中，所述倾斜侧面的中间位置位于所述倾斜侧面的上边缘和下边缘之间。
- 9、根据权利要求 6 或 7 所述的半导体结构，其中，所述倾斜侧面的中间位置的表面
呈阶梯状，其中，所述倾斜侧面的中间位置位于所述倾斜侧面的上边缘和下边缘之间。
- 30 10、根据权利要求 1 所述的半导体结构，其中，所述半导体结构还包括：

第二介质层，设置于所述衬底和所述栅极结构上；

接触孔，贯穿所述第二介质层，且与对应的所述源区和所述漏区接触，所述接触孔的底部为浅凹槽结构，且所述浅凹槽结构位于对应的所述源区和所述漏区内；

其中，所述导电插塞包括填充在所述接触孔内的金属插塞，以及位于所述金属插塞和
5 所述接触孔的内壁之间的阻挡层。

11、根据权利要求 10 所述的半导体结构，其中，所述导电插塞与所述浅凹槽结构的内壁之间填充有金属硅化物。

12、根据权利要求 1 所述的半导体结构，其中，所述栅极结构还包括：保护层，所述保护层设置在所述栅极结构上。

10 13、根据权利要求 1 或 12 所述的半导体结构，其中，所述栅极结构还包括：侧隔离结构，所述侧隔离结构贴附于栅极结构朝向所述源区和所述漏区的两侧面。

14、根据权利要求 13 所述的半导体结构，其中，所述侧隔离结构包括：第一隔离侧壁和第二隔离侧壁；

所述第一隔离侧壁贴附于所述栅极结构的侧面；所述第二隔离侧壁位于所述第一隔离
15 侧壁的外围，且所述第二隔离侧壁的顶部延伸至所述第一隔离侧壁的顶部，形成封闭空间，该封闭空间填充有隔离介质。

15、根据权利要求 14 所述的半导体结构，其中，所述第一隔离侧壁和所述第二隔离侧壁的材质包括氮化硅，所述隔离介质包括氧化硅或空气。

16、一种半导体结构的制备方法，包括：
20 形成栅极氧化层；
在所述栅极氧化层上形成栅极结构；
在栅极结构的两侧形成源区和漏区；
在所述源区和所述漏区的对应位置形成导电插塞；

其中，所述栅极结构包括具有倾斜侧面的导电层，所述倾斜侧面朝向所述导电插塞。

25 17、根据权利要求 16 所述的方法，其中，所述在所述栅极氧化层上形成栅极结构，包括：

在栅极氧化层上形成第一导电层；

在第一导电层上形成第二导电层，所述第二导电层包括叠层设置的多个金属层；

重复执行以下步骤，直至露出所述第一导电层：若当前第一区域中露出的层为预定的
30 金属层，则对第一区域中该预定的金属层进行刻蚀并调整刻蚀的方向和速度，直至露出一个金属层，以使该预定的金属层具有朝向源区和漏区的倾斜侧面；若当前第一区域中露

出的层不为预定的金属层，则对第一区域或未被上层覆盖的区域中的该层向下进行刻蚀，直至露出下一个金属层；其中，所述第一区域为除源区和漏区之间的区域以外的区域；

对第一区域或未被上层覆盖的区域中的第一导电层向下刻蚀，直至露出栅极氧化层，以形成所述栅极结构。

5 18、根据权利要求 16 所述的方法，其中，所述在所述栅极氧化层上形成栅极结构，包括：

在栅极氧化层上形成第一介质层；

在第一介质层上形成第三导电层，所述第三导电层为金属层；

10 对第一区域中的第三导电层进行刻蚀并调整刻蚀的方向和速度，直至露出第一介质层，以使所述第三导电层具有朝向源区和漏区的倾斜侧面；其中，所述第一区域为除源区和漏区之间的区域以外的区域；

对第一区域的或者未被第三导电层覆盖的第一介质层向下刻蚀，直至露出栅极氧化层，以形成所述栅极结构。

15 19、根据权利要求 16 所述的方法，其中，所述在所述源区和所述漏区的对应位置形成导电插塞，包括：

在衬底和栅极结构上形成第二介质层；

在第二介质层上形成图案化的刻蚀保护层，且该刻蚀保护层遮盖除源区和漏区对应的部分区域以外的介质层表面；

20 自露出的第二介质层表面向下刻蚀至露出源区和漏区的表面，并对源区和漏区的表面进行过刻蚀，形成底部为浅凹槽结构的接触孔，且所述浅凹槽结构位于对应的所述源区和所述漏区内；

在所述接触孔的内壁上形成阻挡层，并在覆盖有所述阻挡层的接触孔内填充金属，形成导电插塞。

25 20、根据权利要求 19 所述的方法，其中，所述在所述接触孔的内壁上形成阻挡层之前，还包括：

在接触孔底部的浅凹槽结构的内壁上形成金属硅化物。

21、根据权利要求 16 所述的方法，其中，所述在所述栅极氧化层上形成栅极结构，包括：

在所述栅极氧化层上形成栅极结构，其中所述栅极结构的顶层为保护层。

30 22、根据权利要求 16 或 21 所述的方法，其中，所述在所述栅极氧化层上形成栅极结构之后，还包括：

在栅极结构朝向源区和漏区的两侧面上形成侧隔离结构。

23、根据权利要求 22 所述的方法，其中，所述在栅极结构朝向源区和漏区的两侧面上形成侧隔离结构，包括：

- 在栅极结构朝向源区和漏区的侧面上形成第一隔离侧壁；
- 5 在所述第一隔离侧壁的外壁上覆盖隔离介质；
- 在所述隔离介质的外壁上形成第二隔离侧壁，且所述第二隔离侧壁的顶部延伸至所述第一隔离侧壁的顶部，形成包围所述隔离介质的封闭空间。

24、根据权利要求 22 所述的方法，其中，所述在栅极结构朝向源区和漏区的两侧面上形成侧隔离结构，包括：

- 10 在栅极结构朝向源区和漏区的侧面上形成第三隔离侧壁；
- 在所述第三隔离侧壁的外壁上覆盖第三介质层；
- 在所述第三介质层的外壁上形成第四隔离侧壁，且所述第四隔离侧壁的顶部延伸至所述第三隔离侧壁的顶部，形成包围所述第三介质层的封闭空间；
- 对第四隔离侧壁的顶部进行刻蚀，直至露出第三介质层的表面，形成刻蚀孔；
- 15 通过刻蚀孔对第三介质层进行刻蚀，直至抵达栅极氧化层的表面；
- 采用快速淀积工艺，封闭所述第四隔离侧壁与所述第三隔离侧壁的顶部之间的刻蚀孔，形成内为空气的封闭空间。