

## 明 細 書

発明の名称：半導体記憶装置およびその製造方法

### 技術分野

[0001] 本発明の実施形態は、半導体記憶装置およびその製造方法に関する。

### 背景技術

[0002] 半導体記憶装置の一例である３次元積層型半導体メモリは、ワードラインとして機能する第１電極層を積層した積層体を備える。この積層体には、チャネルとして機能する半導体膜が形成される。また、ビットラインとして機能する第２電極層は、上記積層体上に配置され、上記半導体膜と電氣的に接続される。

### 先行技術文献

#### 特許文献

[0003] 特許文献１：特開２０１９－４１４６号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] 上述した３次元積層型半導体メモリでは、集積度を改善するために第１電極層の積層数を増加すると、第２電極層の微細化が求められる。しかし、第２電極層の微細化は、電気抵抗の増加、および半導体膜との接続不良といった事態を招く可能性がある。

[0005] 本発明の実施形態は、電極層の積層数の増加に対処することが可能な半導体記憶装置およびその製造方法を提供する。

#### 課題を解決するための手段

[0006] 一実施形態に係る半導体記憶装置は、複数の第１電極層と複数の第１絶縁層とが基板上で基板に垂直な第１方向に交互に積層された第１積層体と、第１積層体を第１方向に貫通する複数の半導体膜と、複数の第２電極層と複数の第２絶縁層とが第１積層体上で第１方向に交互に積層された第２積層体と、第２積層体を第１方向に貫通し、複数の半導体膜の各々と複数の第２電極

層の各々に個別に接続される複数のコンタクトプラグと、を備える。

## 発明の効果

[0007] 一実施形態によれば、電極層の積層数の増加に対処することが可能となる。

## 図面の簡単な説明

[0008] [図1]第1実施形態に係る半導体記憶装置の要部の構造を示す斜視図である。

[図2] (a) は、第1実施形態に係る半導体記憶装置の概略的な平面図である。  
(b) は、(a) に示す切断線A1-A1に沿った断面図である。

[図3]メモリ膜および半導体膜の一部を拡大した断面図である。

[図4] (a) は、第1積層体、メモリ膜、および半導体膜の形成工程を示す平面図であり、(b) は、(a) に示す切断線A2-A2に沿った断面図である。

[図5] (a) は、第2積層体の形成工程を示す平面図であり、(b) は、(a) に示す切断線A3-A3に沿った断面図である。

[図6] (a) は、マスクの形成工程を示す平面図であり、(b) は、(a) に示す切断線A4-A4に沿った断面図である。

[図7] (a) は、第1コンタクトホール形成工程を示す平面図であり、(b) は、(a) に示す切断線A5-A5に沿った断面図である。

[図8] (a) は、第2コンタクトホール形成工程を示す平面図であり、(b) は、(a) に示す切断線A6-A6に沿った断面図である。

[図9] (a) は、犠牲層の除去工程を示す平面図であり、(b) は、(a) に示す切断線A7-A7に沿った断面図である。

[図10] (a) は、絶縁膜の形成工程を示す平面図であり、(b) は、(a) に示す切断線A8-A8に沿った断面図である。

[図11] (a) は、コンタクトプラグの形成工程を示す平面図であり、(b) は、(a) に示す切断線A9-A9に沿った断面図である。

[図12]比較例に係る半導体記憶装置の構造を示す斜視図である。

[図13] (a) は、変形例に係る第2積層体の形成工程を示す平面図であり、

(b) は、(a) に示す切断線 B 1 - B 1 に沿った断面図である。

[図14] (a) は、変形例に係るマスクの形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 2 - B 2 に沿った断面図である。

[図15] (a) は、変形例に係る第 1 コンタクトホール形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 3 - B 3 に沿った断面図である。  
変形例に係るマスクの形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 2 - B 2 に沿った断面図である。

[図16] (a) は、変形例に係る第 2 コンタクトホール形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 4 - B 4 に沿った断面図である。

[図17] (a) は、変形例に係る金属膜の形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 5 - B 5 に沿った断面図である。

[図18] (a) は、変形例に係る金属膜の除去工程を示す平面図であり、(b) は、(a) に示す切断線 B 6 - B 6 に沿った断面図である。

[図19] (a) は、変形例に係る犠牲層の除去工程を示す平面図であり、(b) は、(a) に示す切断線 B 7 - B 7 に沿った断面図である。

[図20] (a) は、変形例に係る絶縁膜の形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 8 - B 8 に沿った断面図である。

[図21] (a) は、変形例に係る絶縁膜の形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 9 - B 9 に沿った断面図である。

[図22] (a) は、変形例に係る第 3 ホールの形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 1 0 - B 1 0 に沿った断面図である。

[図23] (a) は、変形例に係る金属膜の形成工程を示す平面図であり、(b) は、(a) に示す切断線 B 1 1 - B 1 1 に沿った断面図である。

[図24] (a) は、変形例に係る金属膜のライン加工工程を示す平面図であり、(b) は、(a) に示す切断線 B 1 2 - B 1 2 に沿った断面図である。

[図25]他の金属膜のライン加工工程を示す平面図である。

[図26]第 2 実施形態に係る半導体記憶装置の要部の構造を示す斜視図である。

。

### 発明を実施するための形態

[0009] 以下、本発明の実施形態を、図面を参照して説明する。本実施形態は、本発明を限定するものではない。

[0010] (第1実施形態)

図1は、第1実施形態に係る半導体記憶装置の概略的な斜視図である。図2(a)は、第1実施形態に係る半導体記憶装置の概略的な平面図である。図2(b)は、図2(a)に示す切断線A1-A1に沿った断面図である。各図において、基板100に垂直な方向をZ方向(第1方向)とする。また、基板100に平行な方向であって相互に直交する2つの方向をX方向(第3方向)およびY方向(第2方向)とする。

[0011] 本実施形態に係る半導体記憶装置1は、第1積層体10と、第2積層体20と、複数のメモリ膜30と、複数の半導体膜40と、複数のコンタクトプラグ50と、を備える。

[0012] 第1積層体10は、基板100上に設けられている。基板100は、例えばシリコン基板である。第1積層体10には、第1電極層11および第1絶縁層12がZ方向に交互に積層されている。第1電極層11は、例えばタングステン(W)を含み、ワードラインとして機能する。第1絶縁層12は、例えば酸化シリコン( $\text{SiO}_2$ )を含む。本実施形態では、図1に示すように、第1積層体10のY方向の両端にはスリット膜101が設けられている。このスリット膜101によって、第1積層体10は分断される。

[0013] 第2積層体20は、第1積層体10上に設けられている。第2積層体20には、第2電極層21と第2絶縁層22とがZ方向に交互に積層されている。第2電極層21は、例えばタングステンを含み、ビットラインとして機能する。第2絶縁層22は、例えば酸化シリコンを含む。第2絶縁層22の上面は保護膜60に覆われている。保護膜60は、例えば酸化シリコンを含む。なお、図1では、第2絶縁層22および保護膜60の記載を省略している。

- [0014] 図3は、メモリ膜30および半導体膜40の一部を拡大した断面図である。メモリ膜30および半導体膜40は、第1積層体10をZ方向に貫通している。また、メモリ膜30は、ブロック絶縁膜31と、電荷蓄積膜32と、トンネル絶縁膜33と、を含む。
- [0015] ブロック絶縁膜31は、例えば酸化シリコンを含み、第1電極層11および第1絶縁層12に対向する。電荷蓄積膜32は、例えば窒化シリコン(SiN)を含み、ブロック絶縁膜31の内周面に対向する。トンネル絶縁膜33は、例えば酸窒化シリコン(SiON)を含み、電荷蓄積膜32の内周面に対向する。
- [0016] 半導体膜40は、例えばポリシリコンを含み、トンネル絶縁膜33の内周面に対向する。半導体膜40は、図2(b)に示すように、コンタクトプラグ50を介して複数の第2電極層21のいずれか一つに電氣的に接続される。
- [0017] 本実施形態では、図1に示すように、複数のメモリ膜30および複数の半導体膜40が、Y方向に沿って配列されている。また、メモリ膜30および半導体膜40からなる列は、X方向に複数配置されている。
- [0018] 各コンタクトプラグ50は、図2(b)に示すように、第2積層体20をZ方向に貫通している。また、各コンタクトプラグ50は、第1柱状部50aおよび第2柱状部50bを有する。第1柱状部50aおよび第2柱状部50bは、例えばアルミニウム等の金属を含んでいる。
- [0019] 第1柱状部50aの下端は、半導体膜40に接続されている。第1柱状部50aの上端は、第2柱状部50bの下端と接続されている。第2柱状部50bは、第1柱状部50aよりも大きな径を有する。各コンタクトプラグ50は、第1柱状部50aと第2柱状部50bとの境界部で複数の第2電極層21のうちのいずれか一つと接続される。
- [0020] 上記のように複数のコンタクトプラグ50と複数の第2電極層21とを個別に接続するために、第1柱状部50aおよび第2柱状部50bの側面は、絶縁膜51によって覆われている。絶縁膜51によって、コンタクトプラグ

50は、接続対象外の第2電極層21と絶縁される。

[0021] また、本実施形態では、Z方向の長さに関し、下層側の第2電極層21に接続されるコンタクトプラグ50では、第1柱状部50aは、第2柱状部50bよりも短い。一方、上層側の第2電極層21に接続されるコンタクトプラグ50では、第1柱状部50aは第2柱状部50bよりも長い。

[0022] 以下、上述した本実施形態に係る半導体記憶装置1の製造方法について説明する。

[0023] まず、図4(a)および図4(b)に示すように、基板100上に第1積層体10、メモリ膜30、および半導体膜40を形成する。第1積層体10は、例えばCVD (Chemical Vapor Deposition) またはALD (Atomic Layer Deposition) を用いて形成することができる。メモリ膜30および半導体膜40は、第1積層体10に形成したメモリホール内に形成することができる。

[0024] 次に、図5(a)および図5(b)に示すように、第1積層体10上に第2積層体20を形成する。第2積層体20も、第1積層体10と同様に、CVDまたはALDを用いて形成することができる。

[0025] 次に、図6(a)および図6(b)に示すように、第2積層体20上にマスク70を形成する。マスク70には、コンタクトプラグ50の第2柱状部50bを形成するために、深さがそれぞれ異なる複数の穴部71が形成されている。マスク70は、例えばレジストである。また、穴部71のパターンは、例えばナノインプラント法を用いて形成できる。すなわち、テンプレートの凹凸パターンをマスク70に転写することによって穴部71のパターンを形成できる。

[0026] 次に、図7(a)および図7(b)に示すように、例えばRIE (Reactive Ion Etching) によって、各穴部71から第2積層体20をエッチングする。これにより、深さがそれぞれ異なる複数の第1コンタクトホール80が形成される。各第1コンタクトホール80は、穴部71の深さに対応して接続対象の第2電極層21で終端する。その後、マスク70は除去される。

- [0027] 次に、図8（a）および図8（b）に示すように、第1コンタクトホール80の側面に犠牲層90を形成し、この犠牲層90をマスクとして第2積層体20をエッチングする。これにより、第1コンタクトホール80よりも小さな径を有する第2コンタクトホール81が形成される。犠牲層90は、例えば窒化シリコンを含む。また、第2コンタクトホール81の上端は、第1コンタクトホール80に連通し、下端は半導体膜40まで到達している。
- [0028] 次に、図9（a）および図9（b）に示すように、例えばウェットエッチングにて犠牲層90を除去する。これにより、第1コンタクトホール80および第2コンタクトホール81が露出する。
- [0029] 次に、図10（a）および図10（b）に示すように、第1コンタクトホール80の側面および第2コンタクトホール81の側面に絶縁膜51を形成する。
- [0030] 次に、図11（a）および図11（b）に示すように、コンタクトプラグ50を形成し、さらに保護膜60を第2積層体20上に形成する。コンタクトプラグ50は、例えば、第1コンタクトホール80内および第2コンタクトホール81内にタングステン等の金属材料を埋め込み、金属膜の表面を化学機械研磨（CMP）することによって形成することができる。
- [0031] 最後に、図2（a）および図2（b）に示すように、第2積層体20をX方向にライン加工することによって、第2電極層21を分断する。
- [0032] 以下、比較例に係る半導体記憶装置について、上述した本実施形態に係る半導体記憶装置1と比較して説明する。
- [0033] 図12は、比較例に係る半導体記憶装置110の構造を示す斜視図である。図1に示す半導体記憶装置1と同様の構成要素には同じ符号を付し、詳細な説明を省略する。
- [0034] 比較例に係る半導体記憶装置110は、Y方向で同列に属する複数の半導体膜40を、X方向に配列された第2電極層21（ビットライン）に接続する。そのため、第1電極層11（ワードライン）の積層数が増加すると、第2電極層21同士のX方向の間隔を確保するために第2電極層21を微細化

することが求められる。この場合、第2電極層21とコンタクトプラグ50との接触面積が減少するため電気抵抗が増加する。また、半導体膜40に対するコンタクトプラグ50の位置が制約されるため、第2電極層21と半導体膜40とが電氣的に接続されない事態が起こり得る。

[0035] しかし、本実施形態では、図1に示すように、第2電極層21がZ方向に積層されている。そのため、第1電極層11の積層数が増加しても、第2電極層21の微細化は不要になり、第2電極層21とコンタクトプラグ50との接触面積が十分に確保される。これにより、電気抵抗の増加を抑制できる。また、半導体膜40に対するコンタクトプラグ50の位置も制約されないため、第2電極層21と半導体膜40との電氣的な接続も十分に確保することができる。

[0036] (変形例)

以下、図13～図25を参照して、変形例に係る半導体記憶装置の製造方法を説明する。なお、上述した第1実施形態と同様の構成要素には同じ符号を付し、詳細な説明を省略する。

[0037] まず、第1実施形態と同様に、基板100上に第1積層体10、メモリ膜30、および半導体膜40を形成する。

[0038] 次に、図13(a)および図13(b)に示すように、第1積層体10上に第2積層体20aを形成する。第2積層体20aは、最上層の第2電極層21が形成されていない点で第1実施形態に係る第2積層体20と異なる。

[0039] 次に、図14(a)および図14(b)に示すように、第2積層体20上にマスク70aを形成する。マスク70aには、穴部71aおよび穴部71bが形成されている。穴部71bの口径は、穴部71aの口径よりも大きい。また、穴部71aおよび穴部71bの深さは互いに等しい。

[0040] 次に、図15(a)および図15(b)に示すように、例えばRIEによって、穴部71aおよび穴部71bから第2積層体20をエッチングすることによって、口径がそれぞれ異なる複数の第1コンタクトホール82を形成する。第1コンタクトホール82は、最下層の第2電極層21の上に形成さ

れた第2絶縁層22で終端する。

[0041] 次に、図16(a)および図16(b)に示すように、第1コンタクトホール82の側面に犠牲層91を形成し、この犠牲層91をマスクとして第2積層体20をエッチングする。これにより、第1コンタクトホール82よりも小さな径を有する第2コンタクトホール83が形成される。第2コンタクトホール83の上端は、第1コンタクトホール82に連通し、下端は半導体膜40まで到達している。

[0042] 次に、図17(a)および図17(b)に示すように、金属膜52を形成する。このとき、口径が小さな第1コンタクトホール82および第2コンタクトホール83には、金属膜52が充填される。また、口径が大きな第1コンタクトホール82および第2コンタクトホール83では、金属膜52は、犠牲層91上または第2コンタクトホール83の側面に形成され、コンタクトホール内は完全には充填されない。

[0043] 次に、図18(a)および図18(b)に示すように、例えばウェットエッチングにて金属膜52を除去する。このとき、口径が小さな第1コンタクトホール82および第2コンタクトホール83では、金属膜52の上部のみがエッチングされる。また、口径が大きな第1コンタクトホール82および第2コンタクトホール83では、金属膜52は全て除去される。さらに、最下層の第2電極層21の一部をエッチングしたエッチバック領域EBが形成される。

[0044] 次に、図19(a)および図19(b)に示すように、犠牲層91を除去する。

[0045] 次に、図20(a)および図20(b)に示すように、絶縁膜51を形成する。絶縁膜51は、犠牲層91のエッチング箇所やエッチバック領域EBなどに形成される。

[0046] 次に、図21(a)および図21(b)に示すように、コンタクトプラグ50を形成する。ここでは、まず、絶縁膜51をウェットエッチングにて除去する。ただし、口径が小さな第1コンタクトホール82および第2コンタ

クトホール83において、最下層の第2電極層21の一段上の第2電極層21上に設けられた絶縁膜51は残す。また、口径が大きな第1コンタクトホール82および第2コンタクトホール83において、エッチバック領域EBに形成された絶縁膜51も残す。続いて、金属膜52と同じ金属材料を第1コンタクトホール82および第2コンタクトホール83に埋め込み、金属膜の表面を化学機械研磨する。これにより、コンタクトプラグ50が完成する。

[0047] 次に、図22(a)および図22(b)に示すように、第3ホール84を形成する。第3ホール84は、コンタクトプラグ50と未接続の半導体膜40上に形成される。第3ホール84は、開口部71cを有するマスク70bを用いて第2積層体20aをエッチングすることによって形成される。第3ホール84の下端は、半導体膜40まで到達する。

[0048] 次に、図23(a)および図23(b)に示すように、金属膜53を形成する。ここでは、まず、第2積層体20aの上面および第3ホール84の側面に酸化シリコンを含む絶縁膜54を形成する。続いて、第2電極層21と同じ金属材料を含む金属膜53を絶縁膜54上に形成する。第2積層体20aの上面に形成された金属膜53は、最上層の第2電極層21に相当する。また、第3ホール84内に充填された金属膜53は、最上層の第2電極層21に接続されるコンタクトプラグ50に相当する。

[0049] 次に、図24(a)および図24(b)に示すように、第2積層体20aの上面に形成された金属膜53をX方向にライン加工する。これにより、最上層の第2電極層21が完成する。

[0050] なお、本変形例では、図25に示すように、第2電極層21が接続領域21aを有するように金属膜53を加工してもよい。この場合、コンタクトプラグ50と接続される接続領域21aが他の領域よりも広い面積になるため、十分な接続マージンを確保することができる。

[0051] 以上説明した本変形例においても、第2電極層21をZ方向に積層することができる。そのため、第1実施形態と同様に、第1電極層11の積層数

増加しても、第2電極層21の微細化は不要になる。よって、電気抵抗の増加を抑制し、かつ、第2電極層21と半導体膜40との電氣的な接続も十分に確保することができる。

[0052] (第2実施形態)

図26は、第2実施形態に係る半導体記憶装置の概略的な斜視図である。図26では、図1に示す第1実施形態に係る半導体記憶装置1と同様の構成要素には同じ符号を付し、詳細な説明を省略する。

[0053] 上述した第1実施形態では、第2電極層21は、Y方向に配列された半導体膜40列毎に設けられている。すなわち、第2電極層21の積層ブロックが、半導体膜40の一行に対して設けられている。

[0054] 一方、本実施形態に係る半導体記憶装置2では、図26に示すように、第2電極層21の積層ブロックは、X方向で隣接する複数の半導体膜40の一行に対して共通に設けられている。このとき、各半導体膜40は、第1実施形態と同様に、積層された複数の第2電極層21のうちの1つと電氣的に接続される。なお、本実施形態に係る半導体記憶装置2は、上述した第1実施形態および変形例と同様の製造方法で製造することができる。

[0055] 以上説明した本実施形態によれば、第1実施形態と同様に第2電極層21が積層されているため、第1電極層11の積層数が増加しても第2電極層21の微細化は不要になる。したがって、電気抵抗の増加を抑制し、かつ、第2電極層21と半導体膜40との電氣的な接続も十分に確保することができる。

[0056] さらに、本実施形態によれば、第1実施形態に比べて第2電極層21の面積が拡大するので、第2電極層21の電気抵抗も低減することが可能となる。

[0057] 以上、いくつかの実施形態を説明したが、これらの実施形態は、例としてのみ提示したものであり、発明の範囲を限定することを意図したものではない。本明細書で説明した新規な装置、方法、プログラム、及びシステムは、その他の様々な形態で実施することができる。また、本明細書で説明した装

置、方法、プログラム、及びシステムの形態に対し、発明の要旨を逸脱しない範囲内で、種々の省略、置換、変更を行うことができる。添付の特許請求の範囲およびこれに均等な範囲は、発明の範囲や要旨に含まれるこのような形態や変形例を含むように意図されている。

### 請求の範囲

- [請求項1] 複数の第1電極層と複数の第1絶縁層とが基板上で前記基板に垂直な第1方向に交互に積層された第1積層体と、  
前記第1積層体を前記第1方向に貫通する複数の半導体膜と、  
複数の第2電極層と複数の第2絶縁層とが前記第1積層体上で前記第1方向に交互に積層された第2積層体と、  
前記第2積層体を前記第1方向に貫通し、前記複数の半導体膜の各々と前記複数の第2電極層の各々に個別に接続される複数のコンタクトプラグと、  
を備える半導体記憶装置。
- [請求項2] 前記複数のコンタクトプラグの各々が、第1柱状部と、前記第1柱状部よりも大きな径を有する第2柱状部と、を含み、前記第1柱状部の下端が前記半導体膜に接続され、前記第1柱状部の上端が前記第2柱状部の下端と接続され、前記第2電極層が、前記第1柱状部と前記第2柱状部との境界部で前記コンタクトプラグに接続されている、請求項1に記載の半導体記憶装置。
- [請求項3] 前記第1柱状部の側面および前記第2柱状部の側面が絶縁膜で覆われている、請求項2に記載の半導体記憶装置。
- [請求項4] 最上層の第2電極層の材料と、前記最上層の第2電極層と接続されるコンタクトプラグの材料が互いに同じである、請求項1に記載の半導体記憶装置。
- [請求項5] 前記複数の半導体膜が、前記第1方向に直交する第2方向に配列され、  
前記複数の第2電極層は、前記半導体膜の一行に対して設けられている、請求項1乃至3のいずれか一項に記載の半導体記憶装置。
- [請求項6] 前記複数の半導体膜が、前記第1方向に直交する第2方向に配列され、  
前記複数の第2電極層は、前記第1方向および前記第2方向に直交

する第3方向で互いに隣接する前記半導体膜の複数の列に対して共通に設けられている、請求項1乃至3のいずれか一項に記載の半導体記憶装置。

[請求項7] 前記複数の第1電極層と前記複数の半導体膜との間に設けられたメモリ膜をさらに備える、請求項1乃至5のいずれか一項に記載の半導体記憶装置。

[請求項8] 前記複数の第1電極層の各々がワードラインであり、前記複数の第2電極層の各々がビットラインである、請求項1乃至6のいずれか一項に記載の半導体記憶装置。

[請求項9] 複数の第1電極層と複数の第1絶縁層とを第1方向に交互に積層した第1積層体と、前記第1積層体を前記第1方向に貫通する複数の半導体膜と、を基板上に形成し、

複数の第2電極層と複数の第2絶縁層とが前記第1方向に交互に積層された第2積層体を、前記第1積層体上に形成し、

前記第1方向に前記第2積層体を貫通する複数のコンタクトホールを形成し、

前記複数のコンタクトホール内に、前記複数の半導体膜と前記複数の第2電極層とを個別に接続する複数のコンタクトプラグを形成する、  
半導体記憶装置の製造方法。

[請求項10] 前記複数のコンタクトホールを形成するときに、深さがそれぞれ異なる複数の第1コンタクトホールを形成し、前記第1コンタクトホールの側面に犠牲層を形成し、前記犠牲層をマスクとして前記第1コンタクトホールに連通する第2コンタクトホールを形成する、請求項9に記載の半導体記憶装置の製造方法。

[請求項11] 前記複数のコンタクトホールを形成するときに、口径がそれぞれ異なる複数の第1コンタクトホールを形成し、前記第1コンタクトホールの側面に犠牲層を形成し、前記犠牲層をマスクとして前記第1コン

タクトホールに連通する第２コンタクトホールを形成し、  
最上層の第２電極層と、前記最上層の第２電極層と接続されるコン  
タクトプラグを同時に形成する、請求項９に記載の半導体記憶装置の  
製造方法。