(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年3 月13 日 (13.03.2008)

PCT

(10) 国際公開番号
WO 2008/029800 A1

(51) 国際特許分類:
H01L 21/768 (2006.01) *H01L 21/306* (2006.01)
H01L 21/304 (2006.01) *H01L 21/312* (2006.01)

(21) 国際出願番号: PCT/JP2007/067206

(22) 国際出願日: 2007 年9 月4 日 (04.09.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-242524 2006 年9 月7 日 (07.09.2006) JP

(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1078481 東京都港区赤坂五丁目３番６号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 藤井 康 (FUJII, Yasushi) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢６５０番地 東京エレクトロン九州株式会社内 Yamanashi (JP). 小佐井 一樹 (KOSAI, Kazuki) [JP/JP]; 〒8611116 熊本県合志市福原１－１ 東京エレクトロン九州株式会社内 Kumamoto (JP).

(74) 代理人: 高山 宏志 (TAKAYAMA, Hiroshi); 〒1070052 東京都港区赤坂２丁目１０番８号第一信和ビル７階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) **Title:** SUBSTRATE PROCESSING METHOD AND STORAGE MEDIUM

(54) **発明の名称:** 基板処理方法および記憶媒体



AA FORM Low-k FILM
BB FORM REFLECTION PREVENTING FILM AND RESIST FILM ON Low-k FILM AND FORM PATTERN BY RESIST FILM EXPOSURE PROCESS AND DEVELOPMENT PROCESS
CC ETCH Low-k FILM (FORM VIA)
DD REMOVE RESIST FILM AND REFLECTION PREVENTING FILM
EE FORM SACRIFICIAL FILM ON Low-k FILM
FF FORM RESIST FILM ON SACRIFICIAL FILM AND FORM PATTERN BY EXPOSURE PROCESS AND DEVELOPMENT PROCESS
GG ETCH Low-k FILM (FORM TRENCH)
HH MODIFY SACRIFICIAL FILM AND RESIST FILM
II DISSOLVE AND REMOVE SACRIFICIAL FILM AND RESIST FILM
JJ SILYLATE Low-k FILM
KK BAKE WAFER
LL EMBED COPPER IN VIA AND TRENCH
MM ANNEAL AND PLANARIZE
NN STEP 1
OO STEP 2
PP STEP 3
QQ STEP 4
RR STEP 5
SS STEP 6
TT STEP 7
UU STEP 8
VV STEP 9
WW STEP 10
XX STEP 11
YY STEP 12
ZZ STEP 13

(57) Abstract: A substrate processing method is provided with a step of forming a prescribed pattern by etching a low dielectric constant film formed on a substrate; a step of modification to make a substance left after the etching process soluble to a prescribed liquid; a step dissolving and removing the modified substance by supplying the substance with the prescribed liquid; a step of silylating the surface of the etched surface after the modified substance is dissolved and removed; and a step of baking the substrate after the silylation process.

(57) 要約: 基板処理方法は、基板上に形成された低誘電率膜をエッチング処理して所定パターンを形成する工程と、エッチング処理を終了した後に残存する物質を所定の液に対して可溶化するように変性させる工程と、その所定の液を供給して変性された物質を溶解除去する工程と、次いで、変性された物質の溶解除去後の被エッチング膜の表面をシリル化処理する工程と、シリル化処理の後、基板をベークする工程とを有する。

WO 2008/029800 A1

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書