

Description

Titre de l'invention : Dispositif pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur

Domaine technique

- 5 La présente invention concerne un dispositif et une méthode pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur.

Arrière-plan technique

- Dans l'industrie microélectronique, les circuits ou puces électroniques intégrés, aussi appelés « chips », « integrated circuits », or « dies » en langue
10 anglaise, sont généralement fabriqués en série et large quantité sur une seule galette (« wafer ») en semi-conducteur, notamment sur une galette en silicium. Les circuits intégrés peuvent inclure différents éléments tels qu'un circuit mémoire, un microprocesseur, un coupe-circuit à fusible (« fuse circuit »), des BUS de communication, des circuits logiques de type bascule, verrou ou encore tampon, et
15 d'autres circuits d'interface d'entrée / sortie (« I/O circuits »).

- Avant d'être découpé et conditionné, chaque circuit intégré fait l'objet d'un test de performance ou de défaillance afin de vérifier si ses caractéristiques électriques sont conformes aux spécifications pour lesquelles il a été conçu. Par exemple, il peut être conduit un test de performance dans lequel des signaux sous la forme d'une
20 trame de données sont envoyés en entrée du circuit intégré et les signaux de réponse en sortie du circuit sont contrôlés et analysés. Lorsque les signaux de réponse ne sont pas conformes, le circuit intégré est déclaré comme défectueux et mis au rebus. Il peut aussi être conduit un test statique de défaillance dans lequel des tensions et/ou des courants élevés sont appliqués aux circuits intégrés afin
25 d'éliminer ceux susceptibles d'être affectés d'une défaillance précoce.

- Il est de pratique courante de conduire les tests de performance et de défaillance à l'aide d'un un testeur automatique (« ATE » - « Automated Test Equipment ») qui se présente sous la forme d'un système électronique programmable dont la fonction principale est de mettre œuvre un programme de test
30 tel que, par exemple, l'envoi d'un ensemble de trames de données, ou de valeurs de tensions et/ou de courants en entrée des circuits intégrées, puis de collecter et

d'analyser les signaux de réponse desdits circuits. Pour assurer cette fonction, le testeur dispose d'entrées-sorties, appelées ressources (« channels »), dont le nombre conditionne généralement le nombre de circuits intégrés qu'il est capable de tester simultanément.

- 5 Le testeur automatique communique généralement avec les circuits intégrés en conditions de test par l'intermédiaire d'une carte d'interface, elle-même connectée à une carte à sonde (« probe card »). La carte à sonde est configurée pour établir une connexion électrique entre la carte d'interface et des connecteurs de test (« pads ») propres aux circuits intégrés. La carte d'interface relaie et,
- 10 éventuellement, prétraite les signaux entre la carte à sonde et le testeur. Lorsqu'ils sont en conditions de test par le testeur automatique, les circuits intégrés sont souvent dénommés DUTs (« Devices Under Test »). Ils sont généralement testés par rangées directement sur la galette en semi-conducteur.

- La carte à sonde se présente généralement sous la forme d'une carte
- 15 électronique munie d'une pluralité de pointes ou de plots dont le nombre et les dimensions correspondent à la densité et à la taille des connecteurs de test propres aux circuits intégrés, et dont l'arrangement permettent la redistribution des signaux électriques échangés entre le testeur et les circuits intégrés via la carte d'interface. En condition d'utilisation, la carte à sonde demeure généralement fixe tandis que la
- 20 galette comportant les circuits intégrés est placée sous la carte à sonde à l'aide d'une platine mobile (« prober ») de manière à établir un contact électrique entre les connecteurs des circuits intégrés d'une rangée de circuits électriques et les pointes de la carte à sonde.

- Dans l'industrie des semi-conducteurs, et plus généralement, dans l'industrie
- 25 microélectronique, le coût des testeurs et le temps nécessaire à la conduite des procédures de tests des performances des circuits intégrés sont des préoccupations majeures face à des demandes de production des circuits toujours plus importantes et plus rapides.

- Une tendance générale est d'augmenter le nombre de circuits intégrés testés
- 30 simultanément, notamment lorsque les cycles des procédures de test sont particulièrement longs. C'est le cas, par exemple, avec les circuits intégrés comprenant des mémoires non-volatiles qui requièrent, dans leurs procédures de

test, de nombreuses opérations d'écriture et d'effacement. Aujourd'hui, plusieurs dizaines voire centaines de circuits intégrés sont testés simultanément en parallèle selon les ressources disponibles des testeurs et cartes de sondes. Outre l'augmentation du nombre de circuits intégrés simultanément, il est aussi courant d'optimiser les procédures de tests ou de modifier la conception des circuits pour en réduire la durée des tests.

US 4956602 A, [AMBER ENGINEERING INC [US]], 11.09.1990 décrit une galette en semi-conducteur dont la surface comprend une pluralité de circuits intégrés et une pluralité de multiplexeurs composés de lignes de multiplexage localisés dans les zones de découpe de la galette. Les circuits intégrés sont connectés à un nombre réduit de connecteurs de test via les multiplexeurs. Un plus grand nombre de circuits intégrés peuvent être testés en parallèle avec un même nombre de connecteurs de test.

US 6366112 B1 [MICRON TECHNOLOGY INC [US]] 09.10.2001 décrit une carte à sonde comprenant un circuit multiplexeur configuré pour diffuser et transmettre de manière sélective des signaux de test d'un testeur vers les circuits intégrés d'une galette en semi-conducteur. Le circuit multiplexeur permet de répartir les ressources du testeur sur plusieurs circuits intégrés testés en parallèle. La carte à sonde comprend un substrat à base de silicium sur lequel des contacteurs sont formés par gravure chimique. Les contacteurs sont de dimensions adaptées pour être mis en contact avec les connecteurs des circuits intégrés à tester. Chaque circuit multiplexeur est formé d'une pluralité de transistors à effet de champ permettant de sélectionner les contacteurs à l'aide de signaux de contrôle. Chaque circuit multiplexeur redistribue les ressources de chaque site de test du testeur pour démultiplier le nombre de circuits intégrés pouvant être originellement testés par chaque site de test.

US 6400173 B1 [HITACHI LTD [JP]] 04.06.2002 décrit un système permettant de réduire le temps de test des circuits intégrés sur une galette de semi-conducteur. Le système comprend une carte à sonde munie d'une pluralité de pointes spatialement arrangées de manière à pouvoir être connectées aux connecteurs des circuits intégrés. Les pointes sont connectées à une pluralité de circuits de test compris dans la carte à sonde. Les circuits de test sont configurés pour échanger

des signaux électriques avec les circuits intégrés et générer des résultats de test selon un programme de test donné.

US 2003 074611 A1 [TOWER SEMICONDUCTOR LTD [US]] 17.04.2003 décrit un système permettant d'augmenter le nombre de circuits intégrés à mémoire non-volatile pouvant être testés simultanément en parallèle. Le système comprend un testeur, une carte à sonde et une platine d'alignement. La carte à sonde comprend un substrat muni d'un circuit auxiliaire, d'une première série de connecteurs disposés sur une de ses surfaces et adaptés pour être connectés électriquement au testeur, et une deuxième série de connecteurs disposés sur son autre surface et adaptés pour être connectés électriquement à des connecteurs arrangés sur la galette comportant les circuits intégrés à tester. Les deux séries de connecteurs sont également connectés au circuit auxiliaire par l'intermédiaire de commutateurs configurés pour éventuellement le contourner. Le circuit auxiliaire comprend une pluralité de circuits d'autodiagnostic qui peuvent être respectivement associés en parallèle aux circuits intégrés d'une galette. Cette configuration permet de réduire le temps nécessaire pour conduire des opérations de lecture ou d'effacement dans la mémoire non-volatile des circuits intégrés. Des circuits d'autodiagnostic peuvent également être directement intégrés dans les lignes de découpe de la galette comprenant les circuits intégrés à tester. Ils sont configurés pour exploiter qu'un nombre limité de connecteurs des circuits intégrés et partager certains connecteurs entre plusieurs circuits, augmentant ainsi le nombre de circuits pouvant être testés en parallèle.

US 6903565 B2 [INFINEON TECHNOLOGIES AG [DE]] 07.06.2005 décrit un système pour tester en parallèle une pluralité de circuits intégrés sur une galette en semi-conducteur. Le système comprend une carte à sonde munie de pointes et une carte d'interface. Le système comprend une unité d'alimentation externe permettant de fournir une tension d'alimentation à une pluralité de circuits intégrés. La carte d'interface comprend une unité de régulation de la tension pilotée par une source de tension de référence, et une unité de limitation du courant électrique permettant de mesurer le courant consommé par les circuits intégrés. L'unité de limitation du courant électrique est configurée pour opérer un dispositif d'isolation électrique lorsque le courant consommé dépasse un certain seuil.

WO 2006 083856 A1 [FORMFACTOR INC [US]] 10.08.2006 et WO 2007 146583 A2 [FORMFACTOR INC [US]] 21.12.2007 décrivent une carte à sonde comprenant un circuit permettant de partager une ressource d'alimentation électrique d'un testeur entre quatre circuits intégrés. A chaque circuit intégré ledit
5 circuit associe un module de régulation de la tension permettant d'isoler un circuit intégré en cas de surcharge de courant. La carte à sonde peut comprendre un circuit multiplexeur pour rediriger les signaux de sortie des circuits intégrés vers le testeur.

US 8378698 B2 [SAMSUNG ELECTRONICS CO LTD [KR]] 19.02.2013 décrit une carte à sonde muni de pointes adaptées à être en contact électrique avec les
10 connecteurs d'une pluralité de circuits intégrés sur une galette en semi-conducteur. La carte à sonde comprend une pluralité de circuits de test, chaque circuit de tests comprenant lui-même une pluralité de transmetteurs de signaux correspondant à un circuit intégré à tester sur la galette en semi-conducteur. Les tensions électriques et les signaux de commande d'un testeur sont relayés par les transmetteurs de signaux
15 et envoyés aux circuits intégrés. Les transmetteurs de signaux sont en outre configurés pour relayer les signaux de réponse des circuits intégrés au testeur.

US 2016011232 A1 [INFINEON TECHNOLOGIES AG [DE]] 14.01.2016 décrit un système pour augmenter le nombre de circuits intégrés pouvant être testés simultanément en parallèle sans avoir à augmenter le nombre de ressources du
20 testeur. Le système comprend un testeur, une carte d'interface et une carte à sonde sous la forme d'un circuit muni d'une pluralité de connecteurs adaptés pour être connectés à une pluralité de circuits intégrés. Le circuit de la carte sonde est configuré pour échanger une instruction identique avec l'ensemble des circuits intégrés auxquelles il est connecté et échanger une instruction avec le testeur via la
25 carte d'interface.

US 2022 341991 A1 [WINBOND ELECTRONICS CORP [TW]] 27.10.2022 décrit un système pour le nombre de circuits intégrés pouvant être testés simultanément en parallèle en partageant les ressources disponibles d'un testeur. Le système comprend un testeur et un dispositif de test composé d'un circuit d'interface
30 et d'un circuit d'analyse. Le circuit d'interface est connecté simultanément à quatre circuits intégrés à tester sur une galette de silicium et permet de transmettre des signaux depuis le testeur vers les circuits intégrés. Le circuit d'interface comprend un circuit tampon couplé aux quatre circuits intégrés à tester et au circuit de conception.

Le circuit tampon permet de redistribuer une ressource d'alimentation du testeur entre les quatre circuits ainsi que les signaux de commande et d'entrée/sortie. Le circuit d'analyse reçoit et sérialise les signaux de sortie des quatre circuits intégrés à l'aide de circuits flip-flop avant de les communiquer au testeur.

5

Résumé de l'invention

Problème technique

Une tendance significative dans l'industrie microélectronique est le développement de circuits intégrés à faible puissance afin de réduire leur consommation énergétique. Concrètement, cette tendance se traduit par une diminution des tensions et des courants électriques de fonctionnement des circuits intégrés. A titre d'exemple, dans le domaine des cartes à puces, l'effort de développement se concentre actuellement sur les circuits intégrés de classe B et C au sens de la norme ISO/IEC 7816-3:2006, c'est-à-dire des circuits intégrés avec des tensions et des courants de fonctionnement respectivement inférieures à 3,3 V et 50 mA pour la classe B et inférieures à 1,98 V et 30 mA pour la classe C.

Une conséquence directe de cette tendance est le développement prioritaire de testeurs adaptés à ce type de circuits intégrés, et, en raison des coûts élevés et des contraintes techniques d'installation de tels testeurs, leur déploiement privilégié au sein des fonderies de semi-conducteurs, en particulier au sein des fonderies mutualisées (« open foundries »). Autrement dit, les testeurs « haute puissance » de circuits électroniques avec des tensions de fonctionnement élevées tels que, par exemple, les circuits intégrés de classe A dans le domaine des cartes à puces, deviennent de moins en moins disponibles dans les fonderies. Soit ils sont, dans les fonderies actuelles, progressivement remplacés par des testeurs « basse puissance », soit, dans les nouvelles fonderies, ils ne sont plus déployés.

Malgré la tendance générale vers l'électronique faible puissance, il demeure toujours un besoin de manufacture de circuits intégrés de forte puissance – par exemple les circuits intégrés de classe A dans le domaine des cartes à puces. Or, la mise en œuvre de tests de performance et de défaillance, en particulier des tests statiques de défaillance, sur ce type de circuits intégrés requiert l'utilisation de testeurs « haute puissance » dont la disponibilité se fait désormais toujours plus

30

rare. Et, pour des raisons de coût, il est indispensable de tester les circuits intégrés sur le site de production, c'est-à-dire dans la fonderie. Il apparait donc un besoin de pouvoir conduire des tests de performance et de défaillance sur des circuits « haute puissance » tels que, notamment les circuits intégrés de classe A dans le domaine
5 des cartes à puces, à l'aide des testeurs qui ne sont pas adaptés à mettre en œuvre ces tests sur ce type de circuit intégré.

Solution technique

Dans un premier aspect de l'invention, il est fourni une carte à sonde pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur, ladite
10 carte à sonde comprenant :

- une pluralité de pointes adaptées à assurer une connexion électrique temporaire avec des connecteurs d'une pluralité de circuits intégrés à tester sur une galette en semi-conducteur ;
- au moins un circuit tampon arrangé pour partager une même ressource
15 d'alimentation électrique d'un testeur avec des entrées d'alimentation électrique d'un groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester ;
- au moins un groupe d'au moins quatre circuits multiplexeurs arrangés de sorte qu'une même ressource haute-tension du testeur est partagée avec une
20 première entrée de chacun des quatre circuits multiplexeur, une ressource électronique entrée/sortie de données différente du testeur est en communication électrique avec une deuxième entrée de chacun des quatre circuits multiplexeur, et une sortie de chacun des quatre circuits multiplexeur est en communication électrique avec une entrée/sortie de test d'un circuit
25 intégré dudit groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester.

Dans des modes particuliers de réalisation, la carte à sonde conforme à l'invention peut comporter en outre l'une ou plusieurs des caractéristiques suivantes, prises individuellement ou selon toutes les combinaisons techniques possibles :

- 30 - chaque circuit multiplexeur d'un groupe de circuits multiplexeurs est configuré pour connecter simultanément la ressource haute-tension du testeur avec

l'entrée/sortie de test de chaque circuit intégré du groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester en fonction d'une première valeur de signal de commande.

- 5 - chaque circuit multiplexeur d'un groupe de circuits multiplexeurs est configuré pour connecter séquentiellement la ressource haute-tension du testeur avec l'entrée/sortie de test de chaque circuit intégré du groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester en fonction d'une deuxième valeur de signal de commande.
- 10 - chaque circuit multiplexeur d'un groupe de circuits multiplexeurs est configuré pour connecter simultanément une ressource électronique du testeur avec l'entrée/sortie de test de chaque circuit intégré du groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester en fonction d'une troisième valeur de signal de commande.
- 15 - la première valeur du signal commande correspond à un test statique de défaillance des circuits intégrés à tester par application d'une tension électrique supérieure à une valeur seuil, de préférence supérieure à une valeur seuil fixée à 4,5V.
- 20 - la deuxième valeur du signal de contrôle correspond à un test de mesure des circuits intégrés à tester avec une tension électrique supérieure à une valeur seuil, de préférence supérieure à une valeur seuil fixée à 4,5V.
- la troisième valeur du signal de contrôle correspond à une mesure courante des circuits intégrés à tester avec une tension électrique inférieure à une valeur seuil, de préférence inférieure à une valeur seuil fixée à 4,5V.
- 25 - les circuits tampons et/ou les groupes de circuits multiplexeurs sont intégrés dans une carte d'interface en communication électrique avec ladite carte à sonde.
- la carte à sonde est en outre adaptée à être en communication électrique avec un testeur de circuits intégrés de classe B et/ou C, et une pluralité de circuits intégrés à tester de classe A selon la norme ISO/IEC 7816-3 :2006.

- la carte à sonde est en outre adaptée à être en communication électrique avec un testeur configuré pour tester des architectures de type mémoire de masse à semi-conducteur et/ou de type mémoire vive.

Dans un deuxième aspect de l'invention, il est fourni un système pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur comprenant un testeur et une carte à sonde selon le premier aspect de l'invention.

Dans un troisième aspect de l'invention, il est fourni des méthodes alternatives ou complémentaires pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur, notamment :

- 10 - Une méthode pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur, ladite méthode comprend les étapes suivantes :
 - partager une ressource d'alimentation électrique d'un testeur avec des entrées d'alimentation électrique d'un groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester ;
 - 15 - connecter parallèlement une même ressource haute-tension dudit testeur avec une entrée/sortie de test de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester ;
 - appliquer une tension électrique supérieure à une valeur seuil sur une entrée/sortie de test de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés ;
 - 20 - vérifier le fonctionnement de chacun des circuits intégrés par analyse des signaux de réponse via leur entrée/sortie de test respective.
- Une méthode pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur, ladite méthode comprend les étapes suivantes :
 - 25 - connecter séquentiellement une ressource haute-tension dudit testeur avec une entrée/sortie de test de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester ;

- appliquer séquentiellement une tension électrique supérieure à une valeur seuil sur l'entrée/sortie de test de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés;
 - mesurer séquentiellement une réponse de chacun des circuits intégrés par analyse des signaux de réponse via leur entrée/sortie de test respective.
- 5
- Une méthode pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur, ladite méthode comprend les étapes suivantes :
- connecter en parallèle une ressource électronique entrée/sortie de données d'un testeur avec une entrée/sortie de test de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés parmi la pluralité de circuits intégrés à tester ;
- 10
- envoyer en parallèle une trame de données sur l'entrée/sortie de test de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés;
- 15
- recevoir en parallèle une trame de données de réponse de chacun des circuits intégrés par analyse des signaux de réponse via leur entrée/sortie de test respective.

Dans un quatrième aspect de l'invention, il est fourni un programme d'ordinateur comprenant des instructions qui, lorsque le programme est exécuté par un ordinateur, conduisent celui-ci à mettre en œuvre une des méthodes selon le troisième aspect de l'invention à l'aide d'un système selon le deuxième aspect.

20

Brève description des dessins

La figure 1 est une représentation schématique d'une galette en semi-conducteur sur laquelle sont formés des circuits intégrés.

25

La figure 2 est une représentation schématique d'un groupe de quatre circuits intégrés.

La figure 3 est une représentation schématique d'un système de test de performance et de défaillance de circuits intégrés sur galette en semi-conducteur.

30

La figure 4 est un schéma structurel d'une carte à sonde selon le premier aspect de l'invention.

La figure 5 est un schéma fonctionnel d'une carte à sonde selon un premier mode de réalisation.

- 5 La figure 6 est un schéma fonctionnel d'une carte à sonde selon un deuxième mode de réalisation.

La figure 7 est un schéma fonctionnel d'une carte à sonde selon un troisième mode de réalisation.

10 Description détaillée des modes de réalisation

- En référence à la figure 1, les circuits intégrés 1001, aussi appelés puces électroniques, sont généralement fabriqués en série et large quantité sur une seule galette 1000 en semi-conducteur. Leur disposition est souvent selon un plan hippodamien dans lequel les circuits sont rangés en colonnes 1002a-n et en lignes 15 1003a-n de manière à faciliter leur repérage et permettre d'en tester plusieurs en parallèles lors des tests de performance et de défaillance.

- Dans le cadre de la présente invention, il est entendu par « circuit intégré » un ensemble indivisible de composants électroniques électriquement interconnectés et associés de manière inséparable sur un substrat semi-conducteur. Le circuit intégré 20 met en œuvre par l'intermédiaire de ses composants, des opérations logiques pour le traitement des signaux électromagnétiques, notamment de signaux électriques. Il peut être un microcontrôleur programmable ou un ou plusieurs sous-éléments tels qu'un microprocesseur, une mémoire vive, une mémoire morte, un coupe-circuit à fusible (« fuse circuit »), des BUS de communication, des circuits logiques de type 25 bascule, verrou ou encore tampon, et d'autres circuits d'interface d'entrée / sortie (« I/O circuits »).

- En référence à la figure 2, un circuit intégré 1001 comprend un certain nombre d'entrées-sorties VCC, DQ, SPT. Certaines de ces entrées-sorties VCC, DQ peuvent être utilisées lors des procédures de test de performances et de défaillance, 30 puis ultérieurement lors de l'implémentation et l'utilisation des circuits intégrés dans des dispositifs électroniques. D'autres entrées-sorties SPT sont uniquement dédiées

aux procédures de test de performances et de défaillance. Les entrées-sorties ont des fonctions différentes. Dans l'exemple de la figure 2, l'entrée/sortie VCC est une entrée d'alimentation électrique, l'entrée/sortie DQ est une entrée/sortie d'échange de données lors de l'utilisation ultérieure du circuit dans des dispositifs électroniques, et l'entrée/sortie SPT est une entrée/sortie exclusivement dédiée aux procédures de test de performance et de défaillance du circuit 1001.

Sur la galette 1000, les entrées-sorties des circuits sont reliées à des connecteurs 2000 (« pads ») afin de permettre leur connexion avec les pointes d'une carte à sonde lors des procédures de test de performance et de défaillance. Ces connecteurs peuvent être uniquement dédiés aux procédures de test et ne pas être destinés à être utilisés dans le dispositif électronique dans lequel le circuit sera implémenté ultérieurement. Ils peuvent être disposés dans les zones de découpe de la galette pour pouvoir être éliminés lors du conditionnement des circuits, ou simplement être conservés dans le dispositif électronique lors du conditionnement mais demeurés inutilisés.

En référence à la figure 3, un système 3000 de test de performance et de défaillance de circuits intégrés 1001 sur une galette 1000 en semi-conducteur comprend un support mobile (« holder » ou « prober ») 3001 de galette en semi-conducteur, une carte à sonde (« probe card ») 3002, une carte d'interface (« interface card ») 3003 et un testeur automatique (ATE) 3004. La carte à sonde 3002 a la forme d'une carte électronique munie d'une pluralité de pointes ou de plots 3002a. Les pointes 3002a sont mises en contact avec les connecteurs de test (non représentés) propres aux circuits intégrés 1001 et permettent la redistribution des signaux électriques échangés entre le testeur 3004 et les circuits intégrés 1001 via la carte d'interface 3003. Leur nombre et les dimensions correspondent à la densité et à la taille des connecteurs de test des circuits intégrés 1001.

Lors du fonctionnement du système, la carte à sonde 3002 demeure généralement fixe tandis que la galette 1000 comportant les circuits intégrés 1001 est placée sous la carte à sonde par le support 3001 de manière à établir un contact électrique entre les connecteurs 2000 des circuits intégrés 1001 d'une rangée de circuits électriques et les pointes 3002a de la carte à sonde 3002. Chaque connecteur de test d'un circuit intégré 1001 est mis ainsi en communication électrique avec une ressource 3004a du testeur 3004. A titre d'exemple, en

référence à la figure 2, l'entrée/sortie VCC peut être mise en communication électrique avec une ressource d'alimentation électrique du testeur, et l'entrée/sortie SPT être mise en communication électrique avec une ressource haute-tension ou une ressource électronique du testeur. Le nombre de ressources du testeur
5 conditionne généralement le nombre de circuits intégrés qu'il est capable de tester simultanément.

Dans le cadre de la présente invention, il est entendu par « ressources » (« channel ») d'un testeur les entrées-sorties du testeur permettant d'échanger un ensemble de trames de données avec des circuits électroniques, et/ou d'appliquer
10 des valeurs de tensions et/ou de courants électriques en entrée des circuits intégrés.

Dans le cadre de la présente invention, il est entendu par « ressource d'alimentation » d'un testeur une ressource permettant de délivrer une tension et/ou un courant électrique suffisant pour alimenter un circuit intégré et le démarrer. Il est entendu par « ressource électronique » une ressource permettant l'échange d'une
15 trame de données entre ledit testeur et un connecteur d'un circuit intégré. Il est entendu par « ressource haute-tension » d'un testeur une ressource permettant de délivrer une tension plus élevée que celle d'une de ses ressources électroniques. Notamment, ce type de ressources peut délivrer des tensions de plusieurs dizaines de volts, par exemple jusqu'à 30 volts.

20 Comme illustrée sur la figure 3, la carte à sonde 3002 comprend un ensemble de circuits électriques 3002b ayant pour fonction de distribuer les ressources du testeur vers les connecteurs des circuits intégrés via la carte d'interface.

Dans un premier aspect de l'invention, en référence aux figures 3 & 4, il est fourni une carte à sonde 3002 pour tester une pluralité de circuits intégrés 1001 sur une
25 galette 1000 en semi-conducteur, ladite carte à sonde 3002 comprenant :

- une pluralité de pointes 3002a adaptées à assurer une connexion électrique temporaire avec des connecteurs 2000 d'une pluralité de circuits intégrés 1001 à tester sur une galette 1000 en semi-conducteur ;
- au moins un circuit tampon 4001a arrangé pour partager une même
30 ressource d'alimentation électrique SC1 d'un testeur 3004 avec des entrées d'alimentation électrique VCC d'un groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester ;

- au moins un groupe 4002 d'au moins quatre circuits multiplexeurs 4002a-d arrangés de sorte qu'une même ressource haute-tension HVC1 du testeur 3004 est partagée avec une première entrée de chacun des quatre circuits multiplexeur 4002a-d, une ressource électronique entrée/sortie de données différente DC1-4 du testeur 3004 est en communication électrique avec une deuxième entrée de chacun des quatre circuits multiplexeur 4002a-d, et une sortie de chacun des quatre circuits multiplexeur 4002a-d est en communication électrique avec une entrée/sortie de test SPT d'un circuit intégré 1001a-d dudit groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester.

A des fins illustratives, sur la figure 4, deux circuits tampons 4001a, 4001b et deux groupes 4002, 4003 de circuits multiplexeurs sont représentés. Le nombre de circuits tampons et de groupes de circuits multiplexeurs est fonction du nombre de ressources haute-tension du testeur 3004. A titre d'exemple, pour un testeur tel que le Magnum V EV commercialisé par la société Teradyne Inc ®, comprenant 512 ressources électroniques, 128 ressources haute-tension et 128 ressources d'alimentation, le nombre de circuits tampons et de groupe de circuits multiplexeurs peut atteindre 512. La carte à sonde 3002 selon le premier aspect de l'invention peut être mise en œuvre avec d'autres types de testeur, notamment avec des testeurs comprenant 1024 ressources électroniques, 256 ressources haute-tension et 256 ressources d'alimentation. Le nombre de circuits intégrés pouvant être testés simultanément à l'aide de la carte à sonde selon le premier aspect de l'invention peut alors atteindre 1024.

Le nombre de circuits intégrés par circuit tampon et par groupe de circuits multiplexeurs est d'au moins quatre, avec un circuit multiplexeur par circuit intégré. Ainsi, dans la configuration de l'exemple précédente, une carte à sonde 3002 selon le premier aspect de l'invention peut permettre de tester 512 circuits intégrés simultanément grâce au partage des ressources d'alimentation et des ressources haute-tension du testeur. Le nombre de circuits intégrés par circuit tampon et par groupe de circuits multiplexeurs peut être plus élevé. Il peut être égal à une puissance N de 2 avec N supérieur à 2.

Un avantage remarquable d'une carte à sonde selon le premier aspect de l'invention est la possibilité de procéder à des tests statiques sur les circuits intégrés,

notamment les circuits intégrés de classe A dans le domaine des cartes à puces, à l'aide de testeurs qui ne sont pas adaptés à mettre en œuvre ces tests sur ce type de circuit intégré. Dans l'exemple précédent, la tension électrique délivrée par les ressources électroniques du testeur Magnum V EV est adaptée aux circuits intégrés de classes B et C. La carte à sonde selon le premier aspect de l'invention permet d'utiliser un tel testeur sur un circuit intégré de classe A, en particulier pour un test statique de performance ou de défaillance sur les éléments de type mémoire non-volatile, par exemple Flash, des circuits intégrés.

Les circuits multiplexeurs 4002a-d, 4003a-d de chaque groupe 4002, 4003 sont configurés pour propager l'une de leurs entrées vers leur sortie en fonction de la valeur d'un signal de commande CS1, CS2. Cette opération peut être exécutée de manière différente selon la nature du test mis en œuvre sur les circuits intégrés.

Selon un premier mode de réalisation, en référence à la figure 5, chaque circuit multiplexeur d'un groupe 4002 de circuits multiplexeurs 4002a-d est configuré pour connecter simultanément la ressource haute-tension HVC1 du testeur 3004 avec l'entrée/sortie de test SPT de chaque circuit intégré du groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester en fonction d'une première valeur de signal de commande CS1. En fonction d'une première valeur de signal de commande CS1, les circuits multiplexeurs 4002a-d du groupe 4002 propagent simultanément, donc parallèlement, la même ressource haute-tension HVC1 sur leur sortie vers l'entrée/sortie de test SPT de chaque circuit intégré 1001a-d.

Ce premier mode de réalisation est particulièrement adapté pour la mise en œuvre de tests statiques de défaillance sur les circuits intégrés, notamment sur les éléments mémoires des circuits intégrés de classe A. Ainsi, selon une variante préférée, la première valeur du signal de commande CS1 correspond à un test statique de défaillance des circuits intégrés à tester par application d'une tension électrique supérieure à une valeur seuil, de préférence supérieure à une valeur seuil fixée à 4,5V.

Selon un deuxième mode de réalisation, alternatif ou complémentaire au premier mode, en référence à la figure 6, chaque circuit multiplexeur d'un groupe 4002 de circuits multiplexeurs 4002a-d est configuré pour connecter

séquentiellement la ressource haute-tension HVC1 du testeur 3004 avec l'entrée/sortie de test SPT de chaque circuit intégré du groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester en fonction d'une deuxième valeur de signal de commande CS1. En fonction d'une

5 deuxième valeur du signal de commande CS1, les circuits multiplexeurs 4002a-d du groupe 4002 propagent l'un après l'autre, donc séquentiellement, la même ressource haute-tension HVC1 sur leur sortie vers l'entrée/sortie de test SPT de chaque circuit intégré 1001a-d. Les circuits intégrés sont testés individuellement l'un après l'autre.

10 Ce deuxième mode de réalisation est particulièrement adapté pour la mise en œuvre de tests statiques de performance sur les circuits intégrés fondée sur la mesure et l'analyse d'un signal de réponse d'un circuit intégré. La mesure du signal de réponse peut notamment consister en une mesure de la tension sur l'entrée/sortie de test SPT de chaque circuit intégré 1001a-d. Ainsi, selon une

15 variante préférée, notamment applicable aux circuits intégrés de classe A, la deuxième valeur du signal de contrôle (SC1) correspond à un test de mesure des circuits intégrés à tester avec une tension électrique supérieure à une valeur seuil, de préférence supérieure à une valeur seuil fixée à 4,5V.

Selon un troisième mode de réalisation, alternatif ou complémentaire aux

20 deux autres modes précédents, en référence à la figure 7, chaque circuit multiplexeur d'un groupe 4002 de circuits multiplexeurs 4002a-d est configuré pour connecter simultanément une ressource électronique DC1-4 du testeur 3004 avec l'entrée/sortie de test SPT de chaque circuit intégré du groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester en

25 fonction d'une troisième valeur de signal de commande CS1. En fonction d'une troisième valeur de signal de commande CS1, les circuits multiplexeurs 4002a-d propagent simultanément, et donc parallèlement, une ressource électronique entrée/sortie de données DC1-4 du testeur 3004 vers l'entrée/sortie de test SPT de chaque circuit intégré du groupe d'au moins quatre circuits intégrés 1001a-d. Une

30 unique ressource électronique entrée/sortie de données DC1-4 du testeur 3004 est utilisée pour chaque circuits intégré 1001a-d.

Ce troisième mode de réalisation est particulièrement adapté pour la mise en œuvre de tests de mesure courante sur les circuits intégrés tel que l'échange d'une

ou plusieurs trames de données entre le testeur et les circuits intégrés. La ou les trames de données peuvent être constituées d'une succession de valeurs de tension dont les durées et les valeurs correspondent respectivement à des constantes de temps et des valeurs de bits. Par exemple, le testeur peut communiquer, via ses
5 ressources électroniques, des instructions aux circuits intégrés pour l'exécution d'une succession d'opérations d'écriture et de lecture dans leur élément mémoire. Dans une variante préférée, la troisième valeur du signal de contrôle CS1 correspond à une mesure courante des circuits intégrés à tester avec une tension électrique inférieure à une valeur seuil, de préférence inférieure à une valeur seuil
10 fixe à 4,5V.

Dans l'ensemble des modes de réalisation et leurs variantes décrits précédemment, les circuits tampons 4001a, 4001b et les groupes 4002, 4003 de circuits multiplexeurs font partie de la carte à sonde 3002. Toutefois, dans certains systèmes 3000 de test de circuits intégrés 1001, comme celui illustré sur la figure 3,
15 il peut être courant de recourir à une carte d'interface 3003 entre le testeur et la carte à sonde 3002. Aussi, dans certains modes de réalisation alternatifs, les circuits tampons 4001a, 4001b et/ou les groupes 4002, 4003 de circuits multiplexeurs sont intégrés dans une carte d'interface 3003 en communication électrique avec ladite carte à sonde 3002.

20 Une carte à sonde 3002 selon le premier aspect de l'invention peut fonctionner avec tout type de testeur adapté. Néanmoins, comme mentionné précédemment, un avantage d'une carte à sonde 3002 selon le premier aspect de l'invention est la possibilité de procéder à des tests statiques sur les circuits intégrés 1001 de classe A dans le domaine des cartes à puces à l'aide de testeurs qui ne
25 sont pas adaptés à mettre en œuvre ces tests sur ce type de circuit intégré. Aussi, selon des modes préférés de réalisation, combinables avec tous les modes de réalisation décrit précédemment, la carte à sonde 3002 selon le premier aspect de l'invention est en outre adaptée à être en communication électrique avec un testeur 3004 de circuits intégrés 1001 de classe B et/ou C, et une pluralité de circuits
30 intégrés à tester de classe A selon la norme ISO/IEC 7816-3 :2006.

Une carte à sonde 3002 selon l'un des quelconques modes de réalisation du premier aspect de l'invention peut être avantageusement utilisée pour tester tout type de circuit intégré, en particulier les éléments mémoires non-volatiles des circuits

intégrés. Selon des modes préférés de réalisation, elle peut être en outre adaptée à être en communication électrique avec un testeur 3004 configuré pour tester des architectures de type mémoire de masse à semi-conducteur, par exemple des mémoire flash, et/ou de type mémoire vive.

5 Dans un deuxième aspect de l'invention, il est fourni un système 3000 pour tester une pluralité de circuits intégrés 1001 sur une galette 1000 en semi-conducteur. Le système comprend une carte à sonde 3002 selon le premier aspect de l'invention et un testeur 3004. Le testeur 3004 peut être un testeur de circuits intégrés 1001 de classe A ou un testeur de circuits intégrés de classe B et/ou C au
10 sens de la norme ISO/IEC 7816-3:2006.

Dans un troisième aspect de l'invention, il est fourni plusieurs méthodes alternatives ou complémentaires pour tester une pluralité de circuits intégrés sur une galette en semi-conducteur.

Selon une première variante, il est fourni une méthode pour tester une pluralité
15 de circuits intégrés 1001 sur une galette 1000 en semi-conducteur, ladite méthode comprend les étapes suivantes :

- partager une ressource d'alimentation électrique SC1 d'un testeur 3004 avec des entrées d'alimentation électrique VCC d'un groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester ;
- 20 - connecter parallèlement une même ressource haute-tension HVC1 dudit testeur 3001 avec une entrée/sortie de test SPT de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester ;
- appliquer une tension électrique supérieure à une valeur seuil sur
25 l'entrée/sortie de test SPT de chaque circuit intégré dudit d'au moins quatre circuits intégrés 1001a-d ;
- vérifier le fonctionnement de chacun des circuits intégrés 1001a-d par analyse des signaux de réponse via leur entrée/sortie de test SPT respective.

Une méthode selon cette première variante soumet simultanément les circuits
30 intégrés à un test statique de défaillance en leur imposant une tension supérieure à une valeur seuil via le partage d'une même ressource haute-tension du testeur. La

méthode est notamment adaptée pour la mise en œuvre de tests statiques de défaillance sur les éléments mémoires non-volatiles des circuits intégrés de classe

A. La valeur seuil de la tension peut être avantageusement fixée à 4,5V.

5 Selon une deuxième variante, il est fourni une méthode pour tester une pluralité de circuits intégrés 1001 sur une galette 1000 en semi-conducteur, ladite méthode comprend les étapes suivantes :

- connecter séquentiellement une ressource haute-tension HVC1 d'un testeur 3004 avec une entrée/sortie de test SPT de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester ;
10
- appliquer séquentiellement une tension électrique supérieure à une valeur seuil sur l'entrée/sortie de test SPT de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés 1001a-d ;
- mesurer séquentiellement la réponse de chacun des circuits intégrés 1001a-d par analyse des signaux de réponse via leur entrée/sortie de test SPT
15 respective.

Une méthode selon cette deuxième variante soumet successivement les circuits intégrés à un test de performance en leur imposant une tension supérieure à une valeur seuil via le partage séquentiel d'une même ressource haute-tension du
20 testeur. La méthode est particulièrement adaptée pour la mise en œuvre de tests statiques de défaillance sur les éléments mémoires non-volatiles des circuits intégrés de classe A. La valeur seuil de la tension peut être avantageusement fixée à 4,5V.

25 Selon une troisième variante, il est fourni une méthode pour tester une pluralité de circuits intégrés 1001a-d sur une galette 1000 en semi-conducteur, ladite méthode comprend les étapes suivantes :

- connecter en parallèle une ressource électronique entrée/sortie de données DC1-4 dudit testeur 3004 avec une entrée/sortie de test SPT de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés 1001 à tester ;
30

- envoyer en parallèle une trame de données sur l'entrée/sortie de test SPT de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés 1001a-d ;
- recevoir en parallèle une trame de données de réponse de chacun des circuits intégrés 1001a-d par analyse des signaux de réponse via leur entrée/sortie de test SPT respective.

Une méthode selon cette troisième variante soumet simultanément les circuits intégrés à un test de mesure courante par l'échange d'une trame de données entre le testeur et les circuits intégrés via les ressources électroniques du testeur. Par exemple, le testeur peut communiquer, via ses ressources électroniques, des instructions aux circuits intégrés, notamment des circuits intégrés de classe A, pour l'exécution d'une succession d'opérations d'écriture et de lecture dans leur élément mémoire.

Les méthodes selon les trois variantes précédentes peuvent être mises en œuvre de manière alternative ou complémentaire par tout moyen. De préférence, elles sont mises en œuvre à l'aide d'un système selon le deuxième aspect de l'invention. Elles peuvent l'être par le testeur lui-même ou par l'intermédiaire d'un dispositif de traitement de données configuré pour piloter le testeur de manière qu'il en exécute les étapes.

Un exemple de dispositif de traitement de données est un dispositif qui peut être chargé d'exécuter automatiquement des séquences d'opérations arithmétiques ou logiques pour réaliser des tâches ou des actions. Ce dispositif, également appelé ordinateur, peut comprendre une ou plusieurs unités centrales de traitement (CPU) et/ou un ou plusieurs processeurs graphiques (GPU) ainsi qu'au moins un dispositif de contrôle adapté à l'exécution de ces opérations. Il peut également comprendre d'autres composants électroniques tels que des interfaces d'entrée/sortie, des dispositifs de stockage non volatils ou volatils, et des bus de communication pour le transfert de données entre les composants internes du dispositif ou avec des composants externes. L'une des interfaces d'entrée/sortie peut être une interface utilisateur pour l'interaction homme-machine, par exemple une interface utilisateur graphique pour afficher des informations compréhensibles par l'homme. Pour la mise en œuvre d'une ou plusieurs des méthodes selon le troisième aspect de l'invention,

le dispositif peut comprendre une interface d'entrée / sortie en communication électronique avec un testeur, et éventuellement une carte à sonde selon le premier aspect de l'invention.

Dans un quatrième aspect de l'invention, il est fourni un programme d'ordinateur
5 comprenant des instructions qui, lorsque le programme est exécuté par un ordinateur, conduisent celui-ci, par l'intermédiaire d'un système selon le deuxième aspect de l'invention, à mettre en œuvre une ou plusieurs des méthodes selon le troisième aspect de l'invention. Le programme peut être stocké dans la mémoire d'un dispositif de traitement de données tel que décrit précédemment et être exécuté
10 par celui-ci. Alternativement, il peut être exécuté par le testeur lui-même après son chargement en mémoire.

Tout type de langage de programmation, compilé ou interprété, peut être utilisé pour mettre en œuvre les étapes de la méthode selon le troisième aspect de l'invention dans un programme d'ordinateur. Le programme d'ordinateur peut faire
15 partie d'une solution logicielle, c'est-à-dire d'une collection d'instructions exécutables, de codes, de scripts ou autres et/ou de bases de données.

Le programme d'ordinateur peut être stocké sur un support d'enregistrement lisible par l'ordinateur ou le testeur. Le support d'enregistrement est de préférence une mémoire non volatile, par exemple un disque dur ou un lecteur à semi-
20 conducteurs. Il peut être un support de stockage amovible ou un support de stockage non amovible faisant partie de l'ordinateur. Il peut également être une mémoire volatile à l'intérieur d'un support amovible ou faire partie d'un ordinateur utilisé comme serveur à partir duquel des instructions exécutables peuvent être téléchargées et, lorsqu'elles sont exécutées par un ordinateur, faire en sorte que
25 l'ordinateur exécute une méthode selon le troisième aspect de l'invention.

Références

Littérature brevet

- US 4956602 A, [AMBER ENGINEERING INC [US]], 11.09.1990.
- US 6366112 B1 [MICRON TECHNOLOGY INC [US]] 09.10.2001.
- 30 US 6400173 B1 [HITACHI LTD [JP]] 04.06.2002.
- US 2003 074611 A1 [TOWER SEMICONDUCTOR LTD [US]] 17.04.2003.

US 6903565 B2 [INFINEON TECHNOLOGIES AG [DE]] 07.06.2005.

WO 2006 083856 A1 [FORMFACTOR INC [US]] 10.08.2006.

WO 2007 146583 A2 [FORMFACTOR INC [US]] 21.12.2007.

US 8378698 B2 [SAMSUNG ELECTRONICS CO LTD [KR]] 19.02.2013.

5 US 2016011232 A1 [INFINEON TECHNOLOGIES AG [DE]] 14.01.2016.

US 2022 341991 A1 [WINBOND ELECTRONICS CORP [TW]] 27.10.2022.

Littérature non-brevet

ISO/IEC 7816-3 – Identification cards — Integrated circuit cards — Part 3:
Cards with contacts — Electrical interface and transmission protocols, 2006.

Revendications

1. Carte à sonde (3002) pour tester une pluralité de circuits intégrés (1001) sur une galette (1000) en semi-conducteur, ladite carte à sonde (3002) comprenant :
 - 5 - une pluralité de pointes (3002a) adaptées à assurer une connexion électrique temporaire avec des connecteurs (2000) d'une pluralité de circuits intégrés (1001) à tester sur une galette (1000) en semi-conducteur ;
 - au moins un circuit tampon (4001a) arrangé pour partager une même ressource d'alimentation électrique (SC1) d'un testeur (3004) avec des entrées d'alimentation électrique (VCC) d'un groupe d'au moins quatre circuits intégrés (1001a-d) parmi la pluralité de circuits intégrés (1001) à tester ;
 - 10 - au moins un groupe (4002) d'au moins quatre circuits multiplexeurs (4002a-d) arrangés de sorte qu'une même ressource haute-tension (HVC1) du testeur (3004) est partagée avec une première entrée de chacun des quatre circuits multiplexeur (4002a-d), une ressource électronique entrée/sortie de données différente (DC1-4) du testeur (3004) est en communication électrique avec une deuxième entrée de chacun des quatre circuits multiplexeur (4002a-d), et une sortie de chacun des quatre circuits multiplexeur (4002a-d) est en communication électrique avec une entrée/sortie de test (SPT) d'un circuit
 - 15 intégré (1001a-d) dudit groupe d'au moins quatre circuits intégrés (1001a-d) parmi la pluralité de circuits intégrés (1001) à tester.
2. Carte à sonde (3002) selon la revendication 1, telle que chaque circuit multiplexeur d'un groupe (4002) de circuits multiplexeurs (4002a-d) est configuré pour connecter simultanément la ressource haute-tension (HVC1) du testeur (3004) avec l'entrée/sortie de test (SPT) de chaque circuit intégré du groupe d'au moins quatre circuits intégrés (1001a-d) parmi la pluralité de circuits intégrés (1001) à tester en fonction d'une première valeur de signal de commande (CS1).
- 25 3. Carte à sonde selon l'une quelconque des revendications 1 à 2, telle que chaque circuit multiplexeur d'un groupe (4002) de circuits multiplexeurs (4002a-d) est configuré pour connecter séquentiellement la ressource haute-tension (HVC1) du testeur (3004) avec l'entrée/sortie de test (SPT) de chaque circuit intégré du groupe d'au moins quatre circuits intégrés (1001a-d) parmi la
- 30

pluralité de circuits intégrés (1001) à tester en fonction d'une deuxième valeur de signal de commande (CS1).

4. Carte à sonde (3002) selon l'une quelconque des revendications 1 à 3, telle que chaque circuit multiplexeur d'un groupe (4002) de circuits multiplexeurs (4002a-d) est configuré pour connecter simultanément une ressource électronique (DC1-4) du testeur (3004) avec l'entrée/sortie de test (SPT) de chaque circuit intégré du groupe d'au moins quatre circuits intégrés (1001a-d) parmi la pluralité de circuits intégrés 1001 à tester en fonction d'une troisième valeur de signal de commande (CS1).
5. Carte à sonde (3002) selon la revendication 2, telle que la première valeur du signal commande (CS1) correspond à un test statique de défaillance des circuits intégrés à tester par application d'une tension électrique supérieure à une valeur seuil, de préférence supérieure à une valeur seuil fixée à 4,5V.
6. Carte à sonde (3002) selon la revendication 3, telle que la deuxième valeur du signal de contrôle (CS1) correspond à un test de mesure des circuits intégrés à tester avec une tension électrique supérieure à une valeur seuil, de préférence supérieure à une valeur seuil fixée à 4,5V.
7. Carte à sonde (3002) selon la revendication 4, telle que la troisième valeur du signal de contrôle (CS1) correspond à une mesure courante des circuits intégrés à tester avec une tension électrique inférieure à une valeur seuil, de préférence inférieure à une valeur seuil fixée à 4,5V.
8. Carte à sonde (3002) selon l'une quelconque des revendications 1 à 7, telle que les circuits tampons (4001a, 4001b) et/ou les groupes (4002, 4003) de circuits multiplexeurs sont intégrés dans une carte d'interface (3003) en communication électrique avec ladite carte à sonde (3002).
9. Carte à sonde (3002) selon l'une quelconque des revendications 1 à 8, telle qu'elle est en outre adaptée à être en communication électrique avec un testeur (3004) de circuits intégrés (1001) de classe B et/ou C, et une pluralité de circuits intégrés à tester de classe A selon la norme ISO/IEC 7816-3 :2006.
10. Carte à sonde (3002) selon l'une quelconque des revendications 1 à 9, telle qu'elle est en outre adaptée à être en communication électrique avec un

testeur (3004) configuré pour tester des architectures de type mémoire de masse à semi-conducteur et/ou de type mémoire vive.

- 5 11. Système (3000) pour tester une pluralité de circuits intégrés (1001) sur une galette (1000) en semi-conducteur comprenant un testeur (3004) et une carte à sonde (3002) selon l'une quelconque des revendications 1 à 10.
12. Méthode pour tester une pluralité de circuits intégrés (1001) sur une galette (1000) en semi-conducteur, ladite méthode comprend les étapes suivantes :
- 10 - partager une ressource d'alimentation électrique (SC1) d'un testeur (3004) avec des entrées d'alimentation électrique (VCC) d'un groupe d'au moins quatre circuits intégrés 1001a-d parmi la pluralité de circuits intégrés (1001) à tester ;
- 15 - connecter parallèlement une même ressource haute-tension (HVC1) dudit testeur (3004) avec une entrée/sortie de test SPT de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés (1001a-d) parmi la pluralité de circuits intégrés (1001) à tester ;
- 20 - appliquer une tension électrique supérieure à une valeur seuil sur une entrée/sortie de test (SPT) de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés (1001a-d) ;
- vérifier le fonctionnement de chacun des circuits intégrés (1001a-d) par analyse des signaux de réponse via leur entrée/sortie de test (SPT) respective.
13. Méthode pour tester une pluralité de circuits intégrés (1001) sur une galette (1000) en semi-conducteur, ladite méthode comprend les étapes suivantes :
- 25 - connecter séquentiellement une ressource haute-tension (HVC 1) dudit testeur (3004) avec une entrée/sortie de test (SPT) de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés (1001a-d) parmi la pluralité de circuits intégrés (1001) à tester ;
- 30 - appliquer séquentiellement une tension électrique supérieure à une valeur seuil sur l'entrée/sortie de test (SPT) de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés (1001a-d) ;
- mesurer séquentiellement une réponse de chacun des circuits intégrés (1001a-d) par analyse des signaux de réponse via leur entrée/sortie de test (SPT) respective.

14. Méthode pour tester une pluralité de circuits intégrés (1001a-d) sur une galette (1000) en semi-conducteur, ladite méthode comprend les étapes suivantes :
- connecter en parallèle une ressource électronique entrée/sortie de données (DC1-4) d'un testeur (3004) avec une entrée/sortie de test (SPT) de chaque circuit intégré d'un groupe d'au moins quatre circuits intégrés (1001a-d) parmi la pluralité de circuits intégrés (1001) à tester ;
 - envoyer en parallèle une trame de données sur l'entrée/sortie de test (SPT) de chaque circuit intégré dudit groupe d'au moins quatre circuits intégrés (1001a-d) ;
 - recevoir en parallèle une trame de données de réponse de chacun des circuits intégrés (1001a-d) par analyse des signaux de réponse via leur entrée/sortie de test (SPT) respective.
15. Programme d'ordinateur comprenant des instructions qui, lorsque le programme est exécuté par un ordinateur, conduisent celui-ci à mettre en œuvre la méthode selon l'une quelconque des revendications 12 à 14 à l'aide d'un système selon la revendication 11.