

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関し、更に詳しくは、全ての走査信号線を同時にアクティブな状態にする機能を有する表示装置に関する。

背景技術

[0002] 一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する2枚の基板からなる液晶パネルを備えており、当該2枚の基板のうち一方の基板には、複数本のゲートバスライン（走査信号線）と複数本のソースバスライン（映像信号線）とが格子状に配置され、それら複数本のゲートバスラインと複数本のソースバスラインとの交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）や、画素値を保持するための画素容量などを含んでいる。また、上記2枚の基板のうち他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極が設けられている。アクティブマトリクス型の液晶表示装置には、さらに、上記複数本のゲートバスラインを駆動するゲートドライバ（走査信号線駆動回路）と上記複数本のソースバスラインを駆動するソースドライバ（映像信号線駆動回路）とが設けられている。

[0003] 画素値を示す映像信号はソースバスラインによって伝達されるが、各ソースバスラインは複数行分の画素値を示す映像信号を一時（同時）に伝達することができない。このため、上述のマトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは1行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。そして、

シフトレジスタの各段（以下、シフトレジスタの各段を構成する回路のことを「段構成回路」ともいう）から順次にアクティブな走査信号が出力されることによって、上述のように、画素容量への映像信号の書き込みが１行ずつ順次に行われる。

[0004] このような液晶表示装置において、利用者によって電源がオフされたにもかかわらず、直ちに表示がクリアされず、残像のような画像が残ることがある。この理由は、装置の電源がオフされると画素容量に保持された電荷の放電経路が遮断され、画素形成部内に残留電荷が蓄積されるからである。また、画素形成部内に残留電荷が蓄積された状態で装置の電源がオンされると、その残留電荷に基づく不純物の偏りに起因するフリッカが発生するなど表示品位の低下が生じる。

[0005] そこで、電源オフや電源オンの際に全てのゲートバスラインを選択状態（アクティブな状態）にすることにより全ての画素形成部内の残留電荷が放電されるようにした液晶表示装置が提案されている（国際公開２００９／０２８３５３号パンフレットを参照）。なお、全てのゲートバスラインを選択状態にする駆動のことを以下「全選択駆動」という。

[0006] 国際公開２００９／０２８３５３号パンフレットに開示された液晶表示装置において、ゲートドライバの概略構成は、図１６に示すようなものとなっている。ゲートドライバは、上述したように、複数段からなるシフトレジスタによって構成されている。なお、図１６には、 $(n-1)$ 段目から $(n+2)$ 段目までの段構成回路 $SR(n-1) \sim SR(n+2)$ を示している。各段構成回路には、セット信号 S 、リセット信号 R 、クロック信号 CK （第１のゲートクロック信号 $GCK1$ または第２のゲートクロック信号 $GCK2$ の一方）、および全選択信号 $ALL-ON$ が入力される。セット信号 S は段構成回路をアクティブにするための信号であり、リセット信号 R は段構成回路を非アクティブにするための信号である。また、各段構成回路からは、走査信号 OUT が出力される。各段構成回路から出力された走査信号 OUT は、対応するゲートバスラインに印加されるだけでなく、図１６に示すように

、次段の段構成回路にセット信号Sとして与えられ、前段の段構成回路にリセット信号Rとして与えられる。すなわち、各段構成回路から出力されるハイレベルの走査信号は、次段の段構成回路をアクティブにし、前段の段構成回路を非アクティブにする。段構成回路の概略構成は、図17に示すようなものとなっている。ロジック部では、2つの信号（便宜上「Q信号」、「QB信号」という。）が生成される。Q信号は出力部内のスイッチSW1の状態を制御し、QB信号は出力部内のスイッチSW2の状態を制御する。出力部からは、スイッチSW1、スイッチSW2、クロック信号CK、および全選択信号ALL-ONの状態に応じて走査信号OUTが出力される。

[0007] 以上のような構成において、通常時には、全選択信号ALL-ONはローレベルで維持される（図18参照）。通常時において、段構成回路が非アクティブな時には、Q信号はローレベルかつQB信号はハイレベルとなっている。これにより、スイッチSW1はオフ状態かつスイッチSW2はオン状態となるので、走査信号OUTはローレベルとなる。一方、通常時において、段構成回路がアクティブな時には、Q信号はハイレベルかつQB信号はローレベルとなっている。これにより、スイッチSW1はオン状態かつスイッチSW2はオフ状態となるので、クロック信号CKがハイレベルとなっている期間中、走査信号OUTはハイレベルとなる。以上より、通常時には、図18に示すような波形のクロック信号（第1のゲートクロック信号GCK1および第2のゲートクロック信号GCK2）をゲートドライバに与えることによって、ゲートドライバ内のシフトレジスタを構成する複数の段構成回路から出力される走査信号が所定期間ずつ順次にハイレベルとなる。ところで、スイッチSW1がオフ状態かつスイッチSW2がオン状態となっている時に全選択信号ALL-ONがハイレベルになると、この段構成回路から出力される走査信号OUTはハイレベルとなる。従って、全選択駆動を行いたいときには、全選択信号ALL-ONをハイレベルにすることによって、各段構成回路が非アクティブな状態で、図18に示すように全ての走査信号をハイレベルにすることができる。このようにして、表示部内の全ての画素形成部

内の残留電荷が除去される。

先行技術文献

特許文献

[0008] 特許文献1：国際公開2009/028353号パンフレット

発明の概要

発明が解決しようとする課題

[0009] ところが、従来技術によれば、全選択駆動が行われたときに段構成回路内の薄膜トランジスタに耐圧（絶縁破壊を引き起こさない限界の電圧）を超える電圧が印加され信頼性が低下することがある。これについて以下に説明する。

[0010] 図19は、従来の段構成回路の一構成例を示す図である。この段構成回路は、6個の薄膜トランジスタ $T_{r91} \sim T_{r96}$ を備えている。また、この段構成回路は、高電位電源用の入力端子のほか、4個の入力端子91～94と1個の出力端子99とを有している。全選択信号 $ALL-ON$ を受け取る入力端子には符号91を付し、クロック信号 CK を受け取る入力端子には符号92を付し、セット信号 S を受け取る入力端子には符号93を付し、リセット信号 R を受け取る入力端子には符号94を付している。なお、薄膜トランジスタ T_{91} のソース端子、薄膜トランジスタ T_{93} のドレイン端子、および薄膜トランジスタ T_{95} のゲート端子が互いに接続されている領域（配線）のことを便宜上「Qノード」という。また、薄膜トランジスタ T_{r92} のソース端子、薄膜トランジスタ T_{r93} のゲート端子、薄膜トランジスタ T_{r94} のドレイン端子、および薄膜トランジスタ T_{r96} のゲート端子が互いに接続されている領域（配線）のことを便宜上「QBノード」という。

[0011] 図19および図20のA部を参照しつつ、従来の段構成回路の通常時の動作について説明する。なお、図20において時点 $t_3 \sim$ 時点 t_4 までの期間がこの段構成回路に接続されたゲートバスラインが選択されるべき期間であると仮定する。また、この段構成回路の入力端子92には第1のゲートクロ

ック信号GCK1が与えられるものと仮定する。

[0012] 時点 t_1 以前の期間には、Qノードの電位はローレベルで維持され、QBノードの電位はハイレベルで維持されている。時点 t_1 になりセット信号Sがローレベルからハイレベルに変化すると、薄膜トランジスタTr91, Tr94がオン状態となる。薄膜トランジスタTr91がオン状態となることにより、Qノードの電位はローレベルからハイレベルに変化する。また、薄膜トランジスタTr94がオン状態となることにより、QBノードの電位がハイレベルからローレベルに変化する。

[0013] 時点 t_2 にセット信号Sがハイレベルからローレベルに変化した後、時点 t_3 になると、第1のゲートクロック信号GCK1がローレベルからハイレベルに変化する。このとき、薄膜トランジスタTr95はオン状態となっているので、入力端子92の電位の上昇とともに出力端子99の電位（走査信号OUTの電位）は上昇する。薄膜トランジスタTr95のゲートソース間、ゲートドレイン間には寄生容量が存在するので、出力端子99の電位の上昇とともにQノードの電位も上昇する（Qノードがブートストラップされる）。その結果、Qノードの電位は“ $V_{DD} \times 2 - V_{th}$ ”となる（ V_{th} は薄膜トランジスタTr91の閾値電圧である。）。これにより、薄膜トランジスタTr95のゲート端子には大きな電圧が印加され、いわゆる閾値電圧落ち（ドレイン電位と比べて閾値電圧分だけ低い電位にまでしかソース電位が上昇しないこと）を生ずることなく、出力端子99の電位が第1のゲートクロック信号GCK1のハイレベルの電位にまで上昇する。このようにして、この段構成回路の出力端子99に接続されているゲートバスラインが選択状態となる。

[0014] 上述のように、Qノードの電位はブートストラップによって顕著に上昇する。このため、薄膜トランジスタT93のドレインソース間に耐圧を超える電圧が印加されることがある。そこで、薄膜トランジスタTr95のゲート端子と薄膜トランジスタTr93のドレイン端子との間に図21に示すように薄膜トランジスタTr97を設けることによって、薄膜トランジスタT

19への耐圧を超える電圧の印加が抑制される。何故ならば、薄膜トランジスタ197が分圧手段として機能し、たとえQノードの電位がVDDよりも高くなっても、薄膜トランジスタ193のドレイン端子に接続されて

いるQ2ノードの電位はVDDよりも高くないからである。

[0015] 次に、図19および図20のB部を参照しつつ、従来の段構成回路の全選

択駆動時の動作について説明する。なお、図20において時点11から時点12までの期間が全てのゲートバスラインが選択状態とされるべき期間であると仮定する。時点11以前の期間には、Qノードの電位はローレベル、Q2ノードの電位はハイレベルとなっている。時点11になると、全選択信号ALL-ONがローレベルからハイレベルへと変化する。このとき、薄膜トランジスタ196の寄生容量に起因するブーストラップによって、Q2ノードの電位はVDDから“ $V_{DD} \times 2 - V_{th}$ ”へと上昇する。これにより、薄膜トランジスタ196のゲート端子には大きな電圧が印加され、いわゆる閾値電圧落ちを生ずることなく、出力端子99の電位（走査信号OUTの電位）が全選択信号ALL-ONの電位にまで上昇する。このような動作が全ての段構成回路で行われ、時点11から時点12までの期間には全てのゲートバスラインが選択状態となる。

[0016] ところで、薄膜トランジスタ193および薄膜トランジスタ194のソース端子の電位はVSSとなっているので、時点11から時点12までの期間に薄膜トランジスタ193や薄膜トランジスタ194に耐圧を超える電圧が印加されるおそれがある。段構成回路内の薄膜トランジスタに耐圧を超える電圧が印加されると、回路の信頼性が低下する。そこで、薄膜トランジスタ196のゲート端子と薄膜トランジスタ194のドレイン端子との間に図22に示すように薄膜トランジスタ198を設けることが考えられる。しかしながら、段構成回路内の回路素子の数が増加するので、小型化やコスト低減が困難となる。

[0017] そこで本発明は、従来よりも回路素子の数を増加させることなく、かつ、耐圧信頼性を低下させることなく、ゲートバスラインの全選択駆動を行うて

とができる表示装置を実現することを目的とする。

課題を解決するための手段

[0018] 本発明の第1の局面は、複数の走査信号線および複数の映像信号線が配設された表示部、前記複数の走査信号線を駆動する走査信号線駆動回路、および前記複数の映像信号線を駆動する映像信号線駆動回路を含む表示パネルを備えた表示装置であって、

前記表示パネルは、前記走査信号線駆動回路に第1電位電源を供給するための第1の第1電位電源線と前記走査信号線駆動回路以外の回路に第1電位電源を供給するための第2の第1電位電源線とを含み、

前記走査信号線駆動回路は、クロック信号に基づき前記複数の走査信号線に順次にオンレベルの走査信号を出力するための複数の段からなるシフトレジスタを含み、

前記シフトレジスタの各段を構成する段構成回路は、

前記走査信号線に接続された出力ノードと、

前記出力ノードから出力される走査信号の電位を制御するための出力制御ノードと、

前記出力制御ノードに第2電極が接続され、前記第1の第1電位電源線に第3電極が接続された、第1電極の電位に基づいて前記出力制御ノードの電位をオフレベルに向けて変化させるための出力制御ノードターンオフ用スイッチング素子と

を有し、

前記走査信号線駆動回路に供給される第2電位電源の電位が前記走査信号線駆動回路に供給される第1電位電源の電位よりも高い場合には、前記出力制御ノードは、前記走査信号線駆動回路に供給される第2電位電源の電位よりも高い電位が与えられ得るように構成され、

前記走査信号線駆動回路に供給される第2電位電源の電位が前記走査信号線駆動回路に供給される第1電位電源の電位よりも低い場合には、前記出力制御ノードは、前記走査信号線駆動回路に供給される第2電位電源の電位よ

りも低い電位が与えられ得るように構成され、

前記第 1 の第 1 電位電源線と前記第 2 の第 1 電位電源線とは、互いに独立した電源線であることを特徴とする。

[0019] 本発明の第 2 の局面は、本発明の第 1 の局面において、
前記段構成回路は、

前記出力ノードに第 2 電極が接続され、前記第 1 の第 1 電位電源線に第 3 電極が接続された、第 1 電極の電位に基づいて前記出力ノードの電位をオフレベルに向けて変化させるための出力ノードターンオフ用スイッチング素子と、

前記出力ノードターンオフ用スイッチング素子の第 1 電極に接続された、前記出力制御ノードとしての第 1 制御ノードと、

前記第 1 制御ノードの電位をオンレベルに向けて変化させるための第 1 制御ノードターンオン部と、

前記第 1 制御ノードに第 2 電極が接続され、前記第 1 の第 1 電位電源線に第 3 電極が接続された、第 1 電極の電位に基づいて前記第 1 制御ノードの電位をオフレベルに向けて変化させるための、前記出力制御ノードターンオフ用スイッチング素子としての第 1 制御ノードターンオフ用スイッチング素子と

を有することを特徴とする。

[0020] 本発明の第 3 の局面は、本発明の第 2 の局面において、
前記段構成回路は、

前記クロック信号が第 2 電極に与えられ、前記出力ノードに第 3 電極が接続された、第 1 電極の電位に基づいて前記出力ノードの電位をオンレベルに向けて変化させるための出力ノードターンオン用スイッチング素子と、

前記出力ノードターンオン用スイッチング素子の第 1 電極に接続された、前記出力制御ノードとしての第 2 制御ノードと、

前記第 2 制御ノードの電位をオンレベルに向けて変化させるための第 2 制御ノードターンオン部と、

前記第2制御ノードに直接または分圧手段を介して第2電極が接続され、前記第1の第1電位電源線に第3電極が接続された、第1電極の電位に基づいて前記第2制御ノードの電位をオフレベルに向けて変化させるための、前記出力制御ノードターンオフ用スイッチング素子としての第2制御ノードターンオフ用スイッチング素子とを更に有し、

前記第2制御ノードターンオフ用スイッチング素子の第1電極は、前記第1制御ノードに接続されていることを特徴とする。

[0021] 本発明の第4の局面は、本発明の第3の局面において、

前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能ないように構成され、

前記全選択駆動を行うか否かを制御する全選択信号が前記第1の第1電位電源線に与えられ、

前記段構成回路に含まれる第2制御ノードターンオン部は、開始指示信号または前段の出力ノードから出力される走査信号に基づいて、前記第2制御ノードの電位をオンレベルに向けて変化させ、

前記段構成回路に含まれる第1制御ノードターンオフ用スイッチング素子の第1電極には、前記開始指示信号または前段の出力ノードから出力される走査信号が与えられ、

前記全選択駆動時には、前記全選択信号、前記クロック信号、および前記開始指示信号がオンレベルにされることを特徴とする。

[0022] 本発明の第5の局面は、本発明の第3の局面において、

前記段構成回路は、前記分圧手段として、第1電極に高電位電源が与えられ、第2電極に前記第2制御ノードターンオフ用スイッチング素子の第2電極が接続され、第3電極に前記出力ノードターンオン用スイッチング素子の第1電極が接続された分圧用スイッチング素子を有することを特徴とする。

[0023] 本発明の第6の局面は、本発明の第3の局面において、

前記シフトレジスタは、前記複数の走査信号線にオンレベルの走査信号を

与える順序が正順序と逆順序との間で切り替え可能となるように構成され、

前記段構成回路には、前記複数の走査信号線にオンレベルの走査信号を与える順序を切り替えるための、オンレベルとオフレベルとの間で変化する切替制御信号が与えられ、

前記段構成回路に含まれる第2制御ノードターンオン部は、

第2電極に高電位電源が与えられ、第3電極が直接または前記分圧手段を介して前記第2制御ノードに接続された、第1電極の電位に基づいて前記第2制御ノードの電位をオンレベルに向けて変化させるための第2制御ノードターンオン用スイッチング素子と、

前記第2制御ノードターンオン用スイッチング素子の第1電極に接続された第4制御ノードと、

第1電極に前記切替制御信号が与えられ、第2電極に他の段の出力ノードから出力される走査信号が与えられ、第3電極が前記第4制御ノードに接続された第2の切替制御用スイッチング素子とからなり、

前記切替制御信号にオフレベルの電位を与えるための信号線は、前記第1の第1電位電源線に接続されていることを特徴とする。

[0024] 本発明の第7の局面は、本発明の第6の局面において、

前記段構成回路に含まれる第1制御ノードターンオン部は、

第2電極に高電位電源が与えられ、第3電極が前記第1制御ノードに接続された、第1電極の電位に基づいて前記第1制御ノードの電位をオンレベルに向けて変化させるための第1制御ノードターンオン用スイッチング素子と、

前記第1制御ノードターンオン用スイッチング素子の第1電極に接続された第3制御ノードと、

第1電極に前記切替制御信号が与えられ、第2電極に他の段の出力ノードから出力される走査信号が与えられ、第3電極が前記第3制御ノードに接続された第1の切替制御用スイッチング素子とからなることを特徴とする。

[0025] 本発明の第8の局面は、本発明の第6または第7の局面において、

前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能のように構成され、

前記全選択駆動を行うか否かを制御する全選択信号が前記第 1 の第 1 電位電源線に与えられ、

前記全選択駆動時には、前記全選択信号および前記切替制御信号がオンレベルにされることを特徴とする。

[0026] 本発明の第 9 の局面は、本発明の第 2 の局面において、

前記段構成回路は、第 2 電極に高電位電源が与えられ、第 3 電極が前記第 1 制御ノードに接続され、第 1 電極に所定の初期化信号が与えられるように構成された初期化用スイッチング素子を更に有することを特徴とする。

[0027] 本発明の第 10 の局面は、本発明の第 9 の局面において、

前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能のように構成され、

前記全選択駆動を行うか否かを制御する全選択信号が前記第 1 の第 1 電位電源線に与えられ、

前記全選択駆動時には、前記全選択信号および前記初期化信号がオンレベルにされることを特徴とする。

[0028] 本発明の第 11 の局面は、本発明の第 1 の局面において、

前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能のように構成され、

前記全選択駆動を行うか否かを制御する全選択信号が前記第 1 の第 1 電位電源線に与えられ、

前記全選択駆動時には、前記全選択信号がオンレベルにされることを特徴とする。

[0029] 本発明の第 12 の局面は、本発明の第 11 の局面において、

前記表示パネルの検査時に前記全選択駆動が行われることを特徴とする。

[0030] 本発明の第 13 の局面は、本発明の第 11 の局面において、

前記第 1 の第 1 電位電源線に接続された、前記表示パネルの動作を制御す

るためのパネル制御回路を更に備え、

前記パネル制御回路は、外部からの電源の供給が開始または遮断された時に前記全選択信号をオンレベルにすることを特徴とする。

発明の効果

[0031] 本発明の第1の局面によれば、表示パネルには、走査信号線駆動回路に第1電位電源（スイッチング素子としてnチャネル型トランジスタが採用されている場合には低電位電源，スイッチング素子としてpチャネル型トランジスタが採用されている場合には高電位電源）を供給するための第1の第1電位電源線と走査信号線駆動回路以外の回路に第1電位電源を供給するための第2の第1電位電源線とが設けられている。また、走査信号線駆動回路内のシフトレジスタを構成する段構成回路は、出力ノード，走査信号の電位を制御するための出力制御ノード，および出力制御ノードの電位をオフレベルに向けて変化させるための出力制御ノードターンオフ用スイッチング素子を有している。出力制御ノードターンオフ用スイッチング素子の第3電極は第1の第1電位電源線に接続されている。ここで、第1の第1電位電源線と第2の第1電位電源線とは互いに独立している。このため、走査信号の状態を制御するために第1の第1電位電源線によって供給される電源の電位を変化させても、走査信号線駆動回路以外の回路での異常動作を引き起こすことはない。また、出力制御ノードの電位の変化に応じて出力制御ノードターンオフ用スイッチング素子の第3電極の電位も変化させることが可能となり、従来と比較して回路素子を増加させることなく出力制御ノードターンオフ用スイッチング素子への耐圧を超える電圧の印加が抑制される。

[0032] 本発明の第2の局面によれば、シフトレジスタを構成する段構成回路に出力ノードの電位をオフレベルにするためのスイッチング素子やノードが設けられている構成の表示装置において、従来と比較して回路素子を増加させることなく耐圧信頼性の低下が抑制される。

[0033] 本発明の第3の局面によれば、シフトレジスタを構成する段構成回路に出力ノードの電位をオンレベルにするためのスイッチング素子やノードが設け

られている構成の表示装置において、従来と比較して回路素子を増加させることなく耐圧信頼性の低下が抑制される。

[0034] 本発明の第4の局面によれば、全選択駆動が行われた際に、全選択信号のみならずクロック信号および開始指示信号もオンレベルとなるので、シフトレジスタを構成する段構成回路に設けられたスイッチング素子への耐圧を超える電圧の印加が確実に抑制される。

[0035] 本発明の第5の局面によれば、第2制御ノードの電位が大きく上昇した際に、第2制御ノードターンオフ用スイッチング素子の第2電極の電位の上昇を抑制することができる。これにより、第2制御ノードターンオフ用スイッチング素子への耐圧を超える電圧の印加が抑制される。

[0036] 本発明の第6の局面によれば、走査信号線の走査順序の切り替えが可能な表示装置において、本発明の第1から第3までの局面と同様の効果が得られる。

[0037] 本発明の第7の局面によれば、走査信号線の走査順序の切り替えが可能な表示装置において、本発明の第1から第3までの局面と同様の効果が得られる。

[0038] 本発明の第8の局面によれば、走査信号線の走査順序の切り替えが可能な表示装置において、全選択駆動が行われた際に、走査順序の切り替え用に設けられたスイッチング素子への耐圧を超える電圧の印加が抑制される。

[0039] 本発明の第9の局面によれば、シフトレジスタを構成する段構成回路を所望のタイミングで初期化することが可能となる。

[0040] 本発明の第10の局面によれば、全選択駆動が行われた際に、シフトレジスタの初期化用に設けられたスイッチング素子への耐圧を超える電圧の印加が抑制される。

[0041] 本発明の第11の局面によれば、従来よりも回路素子の数を増加させることなく、かつ、耐圧信頼性を低下させることなく、走査信号線の全選択駆動を行うことができる表示装置が実現される。

[0042] 本発明の第12の局面によれば、画素形成部内の残留電荷の存在が表示パ

ネルの検査結果に影響を与えないようにすることが可能となる。

[0043] 本発明の第13の局面によれば、電源オンまたは電源オフの際に画素形成部内の残留電荷が除去されるので、残留電荷の存在に起因する表示品位の低下が抑制される。

図面の簡単な説明

[0044] [図1]本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置における段構成回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

[図2]上記第1の実施形態において、液晶表示装置の全体構成を示すブロック図である。

[図3]上記第1の実施形態において、ゲートドライバの構成を説明するためのブロック図である。

[図4]上記第1の実施形態において、ゲートドライバの動作を説明するための信号波形図である。

[図5]上記第1の実施形態において、段構成回路の動作を説明するための信号波形図である。

[図6]上記第1の実施形態の変形例における段構成回路の構成を示す回路図である。

[図7]本発明の第2の実施形態における段構成回路の構成を示す回路図である。

[図8]上記第2の実施形態において、逆順序指示信号を生成するための回路の構成を示す回路図である。

[図9]上記第2の実施形態において、クロック信号CKBに基づいてQBノードが充電されるようにした場合の段構成回路の構成を示す回路図である。

[図10]本発明の第3の実施形態における段構成回路の構成を示す回路図である。

[図11]上記第3の実施形態において、クロック信号CKBに基づいてQBノードが充電されるようにした場合の段構成回路の構成を示す回路図である。

[図12] pチャネル型トランジスタを用いた場合の段構成回路の一構成例を示す回路図である。

[図13] pチャネル型トランジスタを用いた場合の段構成回路の動作を説明するための信号波形図である。

[図14]液晶パネルの全体構成についての変形例を示す図である。

[図15]全選択駆動が液晶パネルの検査の際に行われる例について説明するための図である。

[図16]ゲートドライバの概略構成図である。

[図17]従来例における段構成回路の概略構成図である。

[図18]従来例において、ゲートドライバの動作を説明するための信号波形図である。

[図19]従来の段構成回路の一構成例を示す図である。

[図20]従来例において、段構成回路の動作を説明するための信号波形図である。

[図21]従来の段構成回路の一構成例を示す図である。

[図22]従来の段構成回路の一構成例を示す図である。

発明を実施するための形態

[0045] 以下、添付図面を参照しつつ、本発明の実施形態について説明する。以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は第1電極に相当し、ドレイン端子（ドレイン電極）は第2電極に相当し、ソース端子（ソース電極）は第3電極に相当する。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、以下の説明では、一方をドレイン、他方をソースと定義しているので、ドレイン電位よりもソース電位の方が高くなることもある。また、特に断らない限り、シフトレジスタ内に設けられている薄膜トランジスタはすべてnチャネル型であるものとして説明する。

[0046] <1. 第1の実施形態>

<1. 1 全体構成および動作>

図2は、本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、液晶パネル5とコントロール基板6とによって構成されている。液晶パネル5には、表示部100、ゲートドライバ（走査信号線駆動回路）200、ソースドライバ（映像信号線駆動回路）300、パネル内の回路を静電気から保護するための保護回路400、およびレベルシフタなどの制御回路501、502が含まれている。コントロール基板6には、パネル制御回路600が含まれている。

[0047] 表示部100には、複数本（ j 本）のソースバスライン（映像信号線） $SL_1 \sim SL_j$ と、複数本（ i 本）のゲートバスライン（走査信号線） $GL_1 \sim GL_i$ と、それらソースバスライン $SL_1 \sim SL_j$ とゲートバスライン $GL_1 \sim GL_i$ との交差点にそれぞれ対応して設けられた複数個（ $i \times j$ 個）の画素形成部とが含まれている。各画素形成部には、対応する交差点を通過するゲートバスライン GL にゲート端子が接続されるとともに当該交差点を通過するソースバスライン SL にソース端子が接続された薄膜トランジスタ（TFT）10と、その薄膜トランジスタ10のドレイン端子に接続された画素電極11と、上記複数個の画素形成部に共通的に設けられた共通電極14および補助容量電極15と、画素電極11と共通電極14とによって形成される液晶容量12と、画素電極11と補助容量電極15とによって形成される補助容量13とが含まれている。また、液晶容量12と補助容量13とによって画素容量が形成されている。そして、各薄膜トランジスタ10のゲート端子がゲートバスライン GL からアクティブな走査信号を受けたときに当該薄膜トランジスタ10のソース端子がソースバスライン SL から受ける映像信号に基づいて、画素容量に画素値を示す電圧が保持される。なお、図2の表示部100内には、1個の画素形成部に対応する構成要素のみを示している。

[0048] パネル制御回路600は、電源PWの供給を受け、液晶パネル5内の各回路で必要とされる高電位電源VDDおよび低電位電源VSSを生成すると

もに、全選択信号ALL-ONを生成する。パネル制御回路600は、また、外部から送られる画像信号DATおよび水平同期信号や垂直同期信号などのタイミング信号群TGを受け取り、デジタル映像信号（不図示）とゲートドライバ200やソースドライバ300の動作を制御するための各種制御信号（不図示）とを生成する。各種制御信号には、ゲートドライバ200の動作を制御するゲートスタートパルス信号、ゲートクロック信号や、ソースドライバ300の動作を制御するソーススタートパルス信号、ソースクロック信号などが含まれている。パネル制御回路600で生成された高電位電源VDD、低電位電源VSS、全選択信号ALL-ON、デジタル映像信号、および各種制御信号は、保護回路400を介して、液晶パネル5内の回路に与えられる。なお、説明の便宜上、全選択信号ALL-ONを供給するための配線のことを「ALL-ON配線」といい、低電位電源VSSを供給するための配線のことを「VSS配線」という。図2において、ALL-ON配線には符号L1を付し、VSS配線には符号L2を付している。ALL-ON配線L1とVSS配線L2とは、互いに電氣的に切り離された状態となっている。すなわち、ALL-ON配線L1とVSS配線L2とは、互いに独立した電源線となっている。また、液晶パネル5内の各回路には低電位電源用入力端子が設けられているところ、ゲートドライバ200の低電位電源用入力端子のみがALL-ON配線L1と接続され、ゲートドライバ200以外の回路の低電位電源用入力端子はVSS配線L2と接続されている。

[0049] 保護回路400は、液晶パネル5内の回路を静電気から保護する。制御回路501、502は、ゲートドライバ200、ソースドライバ300で所望の動作が行われるよう、例えば電源電位のレベルの変換などを行う。ゲートドライバ200は、パネル制御回路600から出力される制御信号に基づいて、アクティブな走査信号の各ゲートバスラインGL1～GLiへの印加を1垂直走査期間を周期として繰り返す。ソースドライバ300は、パネル制御回路600から出力されるデジタル映像信号および制御信号に基づいて、各ソースバスラインSL1～SLjに駆動用映像信号を印加する。

[0050] 以上のようにして、各ソースバスライン $SL1 \sim SLj$ に駆動用映像信号が印加され、各ゲートバスライン $GL1 \sim GLi$ に走査信号が印加されることにより、外部から送られた画像信号 DAT に基づく画像が表示部 100 に表示される。なお、本実施形態においては、 $ALL-ON$ 配線 $L1$ によって第1の第1電位電源線が実現され、 VSS 配線 $L2$ によって第2の第1電位電源線が実現されている。また、低電位電源が第1電位電源に相当し、高電位電源が第2電位電源に相当する。

[0051] <1. 2 ゲートドライバの構成および動作>

次に、図3、図4および図16を参照しつつ、本実施形態におけるゲートドライバ 200 の構成および動作の概要について説明する。図3に示すように、ゲートドライバ 200 は複数段からなるシフトレジスタ 210 によって構成されている。表示部 100 には i 行 $\times j$ 列の画素マトリクスが形成されている。それら画素マトリクスの各行と1対1で対応するようにシフトレジスタ 210 の各段が設けられている。すなわち、シフトレジスタ 210 には i 個の段構成回路 $SR(1) \sim SR(i)$ が含まれている。それら i 個の段構成回路 $SR(1) \sim SR(i)$ は互いに直列に接続されている。

[0052] ゲートドライバ 200 の概略構成は、図16に示すように従来と同様の構成となっている。各段構成回路には、セット信号 S を受け取るための入力端子と、クロック信号 CK を受け取るための入力端子と、全選択信号 $ALL-ON$ を受け取るための入力端子と、リセット信号 R を受け取るための入力端子と、走査信号 OUT を出力するための出力端子とが設けられている。各段構成回路には、前段の段構成回路から出力される走査信号 OUT がセット信号 S として与えられ、次段の段構成回路から出力される走査信号 OUT がリセット信号 R として与えられる。全選択信号 $ALL-ON$ については、全ての段構成回路に共通的に与えられる。また、クロック信号 CK として、第1のゲートクロック信号 $GCK1$ と第2のゲートクロック信号 $GCK2$ とが1段ずつ交互に段構成回路に与えられる。なお、1段目の段構成回路には、ゲートスタートパルス信号（開始指示信号）がセット信号 S として与えられる。

。

[0053] 以上のような構成において、シフトレジスタ210の1段目にセット信号Sとしてのゲートスタートパルス信号のパルスが与えられると、オンデューティが50パーセント前後の値にされた第1のゲートクロック信号GCK1および第2のゲートクロック信号GCK2に基づいて、ゲートスタートパルス信号に含まれるパルスが1段目からi段目へと順次に転送される。そして、このパルスの転送に応じて、各段から出力される走査信号OUTが順次にハイレベルとなる。これにより、図4に示すように、所定期間ずつ順次にハイレベルとなる走査信号OUT1～OUTiが表示部100内のゲートバスラインGL1～GLiに与えられる。

[0054] <1. 3 段構成回路の構成>

図1は、本実施形態における段構成回路の構成（シフトレジスタ210の一段分の構成）を示す回路図である。図1に示すように、この段構成回路は、7個の薄膜トランジスタTr1～Tr7を備えている。また、この段構成回路は、高電位電源用の入力端子のほか、4個の入力端子21～24と1個の出力端子39とを有している。ここで、全選択信号ALL-ONを受け取る入力端子には符号21を付し、クロック信号CKを受け取る入力端子には符号22を付し、セット信号Sを受け取る入力端子には符号23を付し、リセット信号Rを受け取る入力端子には符号24を付している。

[0055] 次に、この段構成回路内における構成要素間の接続関係について説明する。薄膜トランジスタTr2のソース端子、薄膜トランジスタTr3のゲート端子、薄膜トランジスタTr4のドレイン端子、および薄膜トランジスタTr6のゲート端子は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「QBノード」という。薄膜トランジスタTr5のゲート端子と薄膜トランジスタTr7のソース端子とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「Qノード」という。薄膜トランジスタTr1のソース端子、薄膜トランジスタTr3のドレイン端子、および薄膜トランジスタTr7のドレイ

ン端子は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「Q 2 ノード」という。

[0056] 薄膜トランジスタ T r 1 については、ゲート端子は入力端子 2 3 に接続され、ドレイン端子は高電位電源用の入力端子に接続され、ソース端子は Q 2 ノードに接続されている。薄膜トランジスタ T r 2 については、ゲート端子は入力端子 2 4 に接続され、ドレイン端子は高電位電源用の入力端子に接続され、ソース端子は Q B ノードに接続されている。薄膜トランジスタ T r 3 については、ゲート端子は Q B ノードに接続され、ドレイン端子は Q 2 ノードに接続され、ソース端子は入力端子 2 1 に接続されている。薄膜トランジスタ T r 4 については、ゲート端子は入力端子 2 3 に接続され、ドレイン端子は Q B ノードに接続され、ソース端子は入力端子 2 1 に接続されている。薄膜トランジスタ T r 5 については、ゲート端子は Q ノードに接続され、ドレイン端子は入力端子 2 2 に接続され、ソース端子は出力端子 3 9 に接続されている。薄膜トランジスタ T r 6 については、ゲート端子は Q B ノードに接続され、ドレイン端子は出力端子 3 9 に接続され、ソース端子は入力端子 2 1 に接続されている。薄膜トランジスタ T r 7 については、ゲート端子は高電位電源用の入力端子に接続され、ドレイン端子は Q 2 ノードに接続され、ソース端子は Q ノードに接続されている。

[0057] 次に、通常時における各構成要素の機能について説明する。薄膜トランジスタ T r 1 は、セット信号 S がハイレベルになっているときに、Q 2 ノードの電位をハイレベルに向けて変化させる。薄膜トランジスタ T r 2 は、リセット信号 R がハイレベルになっているときに、Q B ノードの電位をハイレベルに向けて変化させる。薄膜トランジスタ T r 3 は、Q B ノードの電位がハイレベルになっているときに、Q 2 ノードの電位をローレベルに向けて変化させる。薄膜トランジスタ T r 4 は、セット信号 S がハイレベルになっているときに、Q B ノードの電位をローレベルに向けて変化させる。薄膜トランジスタ T r 5 は、Q ノードの電位がハイレベルになっているときに、クロック信号 C K の電位を出力端子 3 9 に与える。薄膜トランジスタ T r 6 は、Q

Bノードの電位がハイレベルになっているときに、出力端子39の電位をローレベルに向けて変化させる。薄膜トランジスタTr7は、Qノードの電位が顕著に高くなっても薄膜トランジスタTr3のドレインソース間に耐圧以上の電圧が印加されることのないよう、分圧手段として機能する。

[0058] なお、本実施形態においては、薄膜トランジスタTr1によって第2制御ノードターンオン部が実現され、薄膜トランジスタTr2によって第1制御ノードターンオン部が実現され、薄膜トランジスタTr3によって第2制御ノードターンオフ用スイッチング素子を実現され、薄膜トランジスタTr4によって第1制御ノードターンオフ用スイッチング素子を実現されている。また、薄膜トランジスタTr5によって出力ノードターンオン用スイッチング素子を実現され、薄膜トランジスタTr6によって出力ノードターンオフ用スイッチング素子を実現されている。さらに、薄膜トランジスタTr7によって分圧用スイッチング素子を実現されている。さらにまた、出力端子39によって出力ノードが実現され、QBノードによって第1制御ノードが実現され、Qノードによって第2制御ノードが実現されている。

[0059] <1. 4 通常時の段構成回路の動作>

次に、図1および図5のA部を参照しつつ、通常時の段構成回路の動作について説明する。なお、時点t3～時点t4までの期間がこの段構成回路に接続されたゲートバスラインが選択されるべき期間であると仮定する。また、この段構成回路の入力端子22には、第1のゲートクロック信号GCK1が与えられものと仮定する。全選択信号ALL-ONについては、通常時にはローレベルで維持される。

[0060] 時点t1以前の期間には、Qノードの電位およびQ2ノードの電位はローレベルで維持され、QBノードの電位はハイレベルで維持されている。時点t1になりセット信号Sがローレベルからハイレベルに変化すると、薄膜トランジスタTr1、Tr4がオン状態となる。薄膜トランジスタTr1がオン状態となることにより、Q2ノードの電位がローレベルからハイレベルに変化する。このとき、薄膜トランジスタTr7はオン状態となっており、Q

ノードの電位もローレベルからハイレベルに変化する。また、薄膜トランジスタ T_{r4} がオン状態となることにより、 Q_B ノードの電位がハイレベルからローレベルに変化する。

[0061] 時点 t_2 にセット信号 S がハイレベルからローレベルに変化した後、時点 t_3 になると、第1のゲートクロック信号 GCK_1 がローレベルからハイレベルに変化する。このとき、薄膜トランジスタ T_{r5} はオン状態となっているので、入力端子22の電位の上昇とともに出力端子39の電位（走査信号 OUT の電位）は上昇する。薄膜トランジスタ T_{r5} のゲートソース間、ゲートドレイン間には寄生容量が存在するので、出力端子39の電位の上昇とともに Q ノードの電位も上昇する（ Q ノードがブートストラップされる）。その結果、 Q ノードの電位は “ $(V_{DD} \times 2) - V_{th}$ ” となる。これにより、薄膜トランジスタ T_{r5} のゲート端子には大きな電圧が印加され、いわゆる閾値電圧落ちを生ずることなく、出力端子39の電位が第1のゲートクロック信号 GCK_1 のハイレベルの電位にまで上昇する。このようにして、この段構成回路の出力端子39に接続されているゲートバスラインが選択状態となる。

[0062] なお、時点 $t_3 \sim$ 時点 t_4 の期間中、リセット信号 R はローレベルとなっているので薄膜トランジスタ T_{r2} はオフ状態で維持される。このため、この期間中、 Q_B ノードはローレベルで維持され、薄膜トランジスタ T_{r3} 、 T_{r6} はオフ状態で維持される。従って、この期間中に Q_2 ノード、 Q ノード、および出力端子39の電位が低下することはない。また、本実施形態においては、薄膜トランジスタ T_{r5} のゲート端子と薄膜トランジスタ T_{r3} のドレイン端子との間に薄膜トランジスタ T_{r7} が設けられている。このため、時点 $t_3 \sim$ 時点 t_4 の期間にブートストラップによって Q ノードの電位が V_{DD} よりも高くなっても、薄膜トランジスタ T_{r7} が分圧手段として機能するので、薄膜トランジスタ T_{r3} に耐压を超える電圧が印加されることはない。

[0063] 時点 t_4 になると、第1のゲートクロック信号 GCK_1 はハイレベルから

ローレベルに変化する。これにより、入力端子22の電位の低下とともに出力端子39の電位は低下する。このため、薄膜トランジスタ T_{r5} の寄生容量を介してQノードの電位も低下する。これに伴い、Q2ノードの電位も低下する。時点 t_5 になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、薄膜トランジスタ T_{r2} がオン状態となる。その結果、QBノードの電位がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ T_{r3} がオン状態となるので、Q2ノードの電位およびQノードの電位が更に低下する。また、薄膜トランジスタ T_{r6} がオン状態となるので、出力端子39の電位がローレベルへと引き込まれる。

[0064] 以上のような動作がシフトレジスタ210内の各段構成回路で行われることにより、上述したように、所定期間ずつ順次にハイレベルとなる走査信号OUT1～OUTiが表示部100内のゲートバスラインGL1～GLiに与えられる。

[0065] <1. 5 全選択駆動時の段構成回路の動作>

次に、図1および図5のB部を参照しつつ、全選択駆動時の段構成回路の動作について説明する。なお、時点 t_{11} から時点 t_{12} までの期間が全てのゲートバスラインが選択状態とされるべき期間であると仮定する。時点 t_{11} 以前の期間には、Qノードの電位はローレベル、QBノードの電位はハイレベルとなっている。時点 t_{11} になると、全選択信号ALL-ONがローレベルからハイレベルへと変化する。このとき、薄膜トランジスタ T_{r6} の寄生容量に起因するブートストラップによって、QBノードの電位はVDDから“ $VDD \times 2 - V_{th}$ ”へと上昇する。これにより、薄膜トランジスタ T_{r6} のゲート端子には大きな電圧が印加され、いわゆる閾値電圧落ちを生ずることなく、出力端子39の電位（走査信号OUTの電位）が全選択信号ALL-ONの電位にまで上昇する。このような動作が全ての段構成回路で行われ、時点 t_{11} から時点 t_{12} までの期間には全てのゲートバスラインが選択状態となる。ここで、本実施形態においては、薄膜トランジスタ T_{r3} のソース端子および薄膜トランジスタ T_{r4} のソース端子は全選択信号

ALL-ONを受け取る入力端子21に接続されている。このため、QBノードの電位が“ $V_{DD} \times 2 - V_{th}$ ”に上昇しても、薄膜トランジスタT₃や薄膜トランジスタT₄に耐圧を超える電圧が印加されることはない。

[0066] ところで、各段構成回路には前段の段構成回路から出力される走査信号OUTがセット信号Sとして与えられるので、全選択駆動が行われている期間中、薄膜トランジスタT₁はオン状態となってQ₂ノードの電位およびQノードの電位はハイレベルとなる。これにより、薄膜トランジスタT₅はオン状態となる。また、上述のように、薄膜トランジスタT₆もオン状態となっている。このため、時点t₁₁～時点t₁₂までの期間中、第1のゲートクロック信号GCK₁および第2のゲートクロック信号GCK₂はハイレベルとされる。何故ならば、仮に第1のゲートクロック信号GCK₁、第2のゲートクロック信号GCK₂がローレベルにされると、入力端子21と入力端子22との間で過電流が流れるからである。

[0067] また、時点t₁₁から時点t₁₂までの期間中、各段構成回路において、セット信号S（ゲートスタートパルス信号または前段の段構成回路から出力される走査信号OUT）はハイレベルかつリセット信号R（次段の段構成回路から出力される走査信号OUT）はハイレベルとなるので、Q₂ノード、Qノード、およびQBノードにはいわゆる閾値電圧落ちが生じるが高電位電源VDDが供給される。従って、各段構成回路において、フローティングノード（電氣的に浮いた状態のノード）は存在しない。このため、全てのゲートバスラインが選択された状態が長期間維持される。

[0068] <1. 6 効果>

本実施形態によれば、ゲートバスラインの全選択駆動が可能なゲートドライバ200を備えた液晶表示装置において、ゲートドライバ200内のシフトレジスタ210を構成する段構成回路に含まれる一部の薄膜トランジスタのソース端子は、全選択信号ALL-ON用の入力端子21に接続されている。詳しくは、図1に示すように、QBノード（出力端子39の電位をローレベルにするための薄膜トランジスタT₆のゲート端子に接続されたノード

ド) にゲート端子が接続された薄膜トランジスタ T_r3 のソース端子および Q_B ノードにドレイン端子が接続された薄膜トランジスタ T_r4 のソース端子が、全選択信号 $ALL-ON$ 用の入力端子 21 に接続されている。このため、全選択信号 $ALL-ON$ がローレベルからハイレベルに変化すること起因して Q_B ノードの電位が顕著に上昇しても、薄膜トランジスタ T_r3 や薄膜トランジスタ T_r4 に耐圧を超える電圧が印加されることはない。ところで、従来技術においては、 Q_B ノードの電位が顕著に上昇したときに薄膜トランジスタに耐圧を超える電圧が印加されることを防ぐために、段構成回路内に分圧手段として機能する薄膜トランジスタ (図 22 の薄膜トランジスタ T_r98) が設けられていた。これに対して、本実施形態においては、図 22 の薄膜トランジスタ T_r98 に相当する薄膜トランジスタは段構成回路内に設けられていない。以上より、従来よりも回路素子の数を増加させることなく、かつ、耐圧信頼性を低下させることなく、ゲートバスラインの全選択駆動を行うことが可能となる。

[0069] また、本実施形態においては、全選択信号 $ALL-ON$ を供給するための $ALL-ON$ 配線 $L1$ と低電位電源 VSS を供給するための VSS 配線 $L2$ とは、互いに電氣的に切り離された状態となっている。そして、ゲートドライバ 200 についての低電位電源用入力端子のみが $ALL-ON$ 配線 $L1$ と接続され、ゲートドライバ 200 以外の回路についての低電位電源用入力端子は VSS 配線 $L2$ と接続されている。このため、全選択駆動の際に全選択信号 $ALL-ON$ をローレベルからハイレベルに変化させても、異常動作 (例えば、制御回路 501, 502 の誤動作や保護回路 400 に過電流が流れることによる異常動作) を引き起こすことはない。

[0070] <1. 7 変形例>

上記第 1 の実施形態においては、リセット信号 R に基づいて Q_B ノードが充電されるように構成されていたが、本発明はこれに限定されない。例えば、2 相のクロック信号 (第 1 のゲートクロック信号 $GCK1$ および第 2 のゲートクロック信号 $GCK2$) のうち入力端子 22 に与えられるクロック信号

とは異なるクロック信号C K Bに基づいてQ Bノードが充電されるようにしても良い。本変形例においては、図6に示すように、薄膜トランジスタT r 2のゲート端子はクロック信号C K Bを受け取るための入力端子2 5に接続され、薄膜トランジスタT r 2のドレイン端子は抵抗器を介して高電位電源用の入力端子に接続される。本変形例によれば、全選択駆動時には、クロック信号C K Bがハイレベルとなる。これにより、Q Bノードにはいわゆる閾値電圧落ちは生じるが高電位電源V D Dが供給される。このようにして、本変形例においても、全選択駆動が行われた際に全てのゲートバスラインが選択された状態を長期間維持することが可能となる。

[0071] <2. 第2の実施形態>

<2. 1 構成>

本発明の第2の実施形態について説明する。なお、上記第1の実施形態と異なる点についてのみ説明し、上記第1の実施形態と同様の点については説明を省略する。本実施形態においては、ゲートバスラインの走査順序の切り替えが可能となっている。走査順序の切り替えとは、表示部1 0 0の一端（例えば上端）から他端（例えば下端）へと1本ずつゲートバスラインを選択状態にする正順序走査と表示部1 0 0の他端から一端へと1本ずつゲートバスラインを選択状態にする逆順序走査との切り替えを行うことである。

[0072] 図7は、本実施形態における段構成回路の構成を示す回路図である。図7に示すように、この段構成回路は、上記第1の実施形態における構成要素に加えて、4個の薄膜トランジスタT r 8～T r 1 1および6個の入力端子2 6～3 1を有している。入力端子2 6には、正順序走査の時にハイレベルとなる正順序指示信号U Dが入力される。入力端子2 7には、正順序走査用のセット信号S Uが入力される。入力端子2 8には、逆順序走査の時にハイレベルとなる逆順序指示信号U D Bが入力される。入力端子2 9には、逆順序走査用のセット信号S Dが入力される。入力端子3 0には、正順序走査用のリセット信号R Uが入力される。入力端子3 1には、逆順序走査用のリセット信号R Dが入力される。なお、薄膜トランジスタT r 1のゲート端子、薄

膜トランジスタT_r4のゲート端子，薄膜トランジスタT_r8のソース端子，および薄膜トランジスタT_r9のソース端子が互いに接続されている領域（配線）のことを便宜上「Q S ノード」という。また、薄膜トランジスタT_r2のゲート端子，薄膜トランジスタT_r10のソース端子，および薄膜トランジスタT_r11のソース端子が互いに接続されている領域（配線）のことを便宜上「Q R ノード」という。

[0073] なお、薄膜トランジスタT_r8，T_r9によって第2の切替制御用スイッチング素子の実現され、薄膜トランジスタT_r10，T_r11によって第1の切替制御用スイッチング素子の実現されている。また、正順序指示信号U_Dと逆順序指示信号U_DBとによって切明制御信号の実現されている。

[0074] 次に、この段構成回路内における構成要素間の接続関係について説明する。薄膜トランジスタT_r3～T_r7については、上記第1の実施形態と同様である。薄膜トランジスタT_r1については、ゲート端子はQ S ノードに接続され、ドレイン端子は高電位電源用の入力端子に接続され、ソース端子はQ 2 ノードに接続されている。薄膜トランジスタT_r2については、ゲート端子はQ R ノードに接続され、ドレイン端子は高電位電源用の入力端子に接続され、ソース端子はQ B ノードに接続されている。薄膜トランジスタT_r8については、ゲート端子は入力端子26に接続され、ドレイン端子は入力端子27に接続され、ソース端子はQ S ノードに接続されている。薄膜トランジスタT_r9については、ゲート端子は入力端子28に接続され、ドレイン端子は入力端子29に接続され、ソース端子はQ S ノードに接続されている。薄膜トランジスタT_r10については、ゲート端子は入力端子26に接続され、ドレイン端子は入力端子30に接続され、ソース端子はQ R ノードに接続されている。薄膜トランジスタT_r11については、ゲート端子は入力端子28に接続され、ドレイン端子は入力端子31に接続され、ソース端子はQ R ノードに接続されている。

[0075] 本実施形態では、各段構成回路において、前段の段構成回路から出力される走査信号O_UTが、正順序走査用のセット信号S_Uとして入力端子27に

与えられるとともに、逆順序走査用のリセット信号RDとして入力端子31に与えられる。また、各段構成回路において、次段の段構成回路から出力される走査信号OUTが、逆順序走査用のセット信号SDとして入力端子29に与えられるとともに、正順序走査用のリセット信号RUとして入力端子30に与えられる。

[0076] <2. 2 段構成回路の動作>

通常時において、正順序走査が行われる際には、正順序指示信号UDがハイレベルかつ逆順序指示信号UDBがローレベルとされる。このとき、薄膜トランジスタTr8, Tr10はオン状態となり、薄膜トランジスタTr9, Tr11はオフ状態となる。これにより、段構成回路は、正順序走査用のセット信号SUと正順序走査用のリセット信号RUとに基づいて動作する。通常時において、逆順序走査が行われる際には、正順序指示信号UDがローレベルかつ逆順序指示信号UDBがハイレベルとされる。このとき、薄膜トランジスタTr8, Tr10はオフ状態となり、薄膜トランジスタTr9, Tr11はオン状態となる。これにより、段構成回路は、逆順序走査用のセット信号SDと逆順序走査用のリセット信号RDとに基づいて動作する。このようにして、QSノードに与えられる信号が上記第1の実施形態におけるセット信号Sとして機能し、QRノードに与えられる信号が上記第2の実施形態におけるリセット信号Rとして機能することにより、段構成回路では上記第1の実施形態と同様の動作が行われる。

[0077] 全選択駆動時には、上記第1の実施形態と同様、全選択信号ALL-ONがローレベルからハイレベルに変化する。このとき、薄膜トランジスタTr4の寄生容量に起因するブートストラップによって、QSノードの電位がVDDよりも高くなる。同様に、薄膜トランジスタTr2の寄生容量に起因するブートストラップによって、QRノードの電位がVDDよりも高くなる。ここで、例えば、正順序走査が行われていた場合には逆順序指示信号UDBがローレベルとなっているため、薄膜トランジスタTr9, Tr11のゲートソース間に耐圧を超える電圧が印加されることが懸念される。そこで、

本実施形態においては、全選択信号 $ALL-ON$ がハイレベルで維持される期間中、正順序指示信号 UD および逆順序指示信号 UDB はハイレベルとされる。

[0078] ところで、ゲートドライバ 200 の内部に図 8 に示す構成の回路を設けることにより、ゲートドライバ 200 の内部で正順序指示信号 UD に基づいて逆順序指示信号 UDB を比較的容易に生成することが可能となる。図 8 に示す構成において、全選択信号 $ALL-ON$ がローレベルとなっている時すなわち通常時には、正順序指示信号 UD がハイレベルであれば、薄膜トランジスタ $Tr20$ はオン状態となるので逆順序指示信号 UDB はローレベルとなる。また、正順序指示信号 UD がローレベルであれば、薄膜トランジスタ $Tr20$ はオフ状態となるので逆順序指示信号 UDB はハイレベルとなる。また、全選択信号 $ALL-ON$ がハイレベルとなっている時すなわち全選択駆動時には、正順序指示信号 UD の論理レベルに関わらず、逆順序指示信号 UDB はハイレベルとなる。

[0079] ＜ 2.3 効果＞

本実施形態によれば、ゲートバスラインの走査順序の切り替えが可能な液晶表示装置において、従来よりも回路素子の数を増加させることなく、かつ、耐圧信頼性を低下させることなく、ゲートバスラインの全選択駆動を行うことが可能となる。なお、上記第 1 の実施形態と同様、本実施形態においても、クロック信号 CKB に基づいて QB ノードが充電されるようにしても良い（図 9 参照）。

[0080] ＜ $3. 第3の実施形態$ ＞

本発明の第 3 の実施形態について説明する。本実施形態においては、シフトレジスタ 210 の初期化を行うことが可能となっている。図 10 は、本実施形態における段構成回路の構成を示す回路図である。図 10 に示すように、本実施形態における段構成回路には、上記第 2 の実施形態（図 7 参照）における構成要素に加えて、段構成回路を非アクティブにするための薄膜トランジスタ $Tr12$ および入力端子 33 が設けられている。なお、薄膜トラン

ジスタ T_{r12} によって初期化用スイッチング素子の実現されている。薄膜トランジスタ T_{r12} については、ゲート端子は初期化信号 $INIT$ を受け取るための入力端子 33 に接続され、ドレイン端子は高電位電源用の入力端子に接続され、ソース端子は QB ノードに接続されている。なお、シフトレジスタ 210 を構成する全ての段構成回路には共通の初期化信号 $INIT$ が与えられる。このような構成において、例えば装置の電源オン直後に、初期化信号 $INIT$ はハイレベルとされる。これにより、薄膜トランジスタ T_{r12} はオン状態となり、 QB ノードの電位はハイレベルとなる。 QB ノードの電位がハイレベルになると、薄膜トランジスタ T_{r3} はオン状態となるので、 $Q2$ ノードの電位および Q ノードの電位はローレベルとなる。以上のようにして、 $Q2$ ノードの電位はローレベルかつ QB ノードの電位はハイレベルとなる。このように、本実施形態においては、初期化信号 $INIT$ をハイレベルにすることによって、シフトレジスタ 210 を構成する全ての段構成回路を非アクティブにすることができる。

[0081] 以上のような構成において、上記第 1 の実施形態と同様、全選択駆動時には QB ノードの電位が顕著に高くなる。すなわち、 QB ノードの電位が V_{DD} よりも高くなる。このため、仮に初期化信号 $INIT$ がローレベルになっていると、薄膜トランジスタ T_{r12} のゲートーソース間に耐圧を超える電圧が印加されることが懸念される。そこで、本実施形態においては、全選択信号 $ALL-ON$ がハイレベルで維持される期間中、初期化信号 $INIT$ はハイレベルとされる。これにより、薄膜トランジスタ T_{r12} への耐圧を超える電圧の印加が抑制される。

[0082] なお、上記第 1 および第 2 の実施形態と同様、本実施形態においても、クロック信号 CKB に基づいて QB ノードが充電されるようにしても良い（図 11 参照）。

[0083] <4. 変形例、その他>

<4. 1 薄膜トランジスタの型について>

上記各実施形態においては、各段構成回路内の薄膜トランジスタが n チャ

ネル型トランジスタである場合を例に挙げて説明したが、本発明はこれに限定されない。電源（高電位／低電位）および信号ロジック（ハイ／ロー）を上記各実施形態と逆にすれば、pチャネル型トランジスタを各段構成回路内の薄膜トランジスタとして採用することもできる。例えば、pチャネル型トランジスタを用いて図1に示した段構成回路と同等の回路を実現した場合、その回路構成は図12に示すようなものとなる。この場合、全選択駆動時には、図13に示すように、全選択信号ALL-ONがハイレベルからローレベルへと変化する。このとき、薄膜トランジスタTr6の寄生容量に起因するブートストラップによって、QBノードの電位は顕著に低いレベルにまで低下する。これにより、いわゆる閾値電圧落ちを生ずることなく、出力端子69の電位（走査信号OUTの電位）が全選択信号ALL-ONの電位にまで低下する。このような動作が全ての段構成回路で行われ、時点t11から時点t12までの期間には全てのゲートバスラインが選択状態となる。なお、本変形例においては、高電位電源が第1電位電源に相当し、低電位電源が第2電位電源に相当する。

[0084] <4. 2 液晶パネルの全体構成について>

上記説明においては、保護回路400とゲートドライバ200との間および保護回路400とソースドライバ300との間に制御回路501, 502が設けられた構成（図2参照）を例示したが、本発明はこれに限定されない。図14に示すように、ゲートドライバ200やソースドライバ300とは独立した制御回路が液晶パネル5内に設けられていない場合にも、本発明を適用することができる。但し、この場合にも、ALL-ON配線L1とVSS配線L2とは互いに電氣的に切り離された状態とされ、ゲートドライバ200の低電位電源用入力端子のみがALL-ON配線L1と接続される。

[0085] <4. 3 全選択駆動が行われるタイミングについて>

<4. 3. 1 第1のケース>

全選択駆動が行われる典型的なタイミングとしては、装置の電源がオフされた際および装置の電源がオンされた際が挙げられる。すなわち、典型的に

は、電源オフシーケンス（電源がオフされた際に実行される一連の処理）や電源オンシーケンス（電源がオンされた際に実行される一連の処理）の中に全選択駆動が組み込まれる。

[0086] 図2に示すように、パネル制御回路600は、外部からの電源PWの供給を受ける。パネル制御回路600が外部からの電源PWの供給を受けている期間中、当該パネル制御回路600は全選択信号ALL-ONをローレベルで維持する。一方、外部からの電源PWの供給が開始または遮断された時、パネル制御回路600は全選択信号ALL-ONをハイレベル（オンレベル）にする。このようにして装置の立ち上げ又は立ち下げの際に全選択駆動が行われ、表示部内の全ての画素形成部内の残留電荷が除去される。

[0087] <4.3.2 第2のケース>

全選択駆動は、液晶パネル5の検査の際に行われるようにしても良い。例えば、液晶パネル5の各種検査において、画素形成部内の残留電荷が検査結果に影響を及ぼさないようにすることが望まれる。このような場合に、液晶パネル5に設けられている端子のうちの全選択信号ALL-ON用の端子（図15参照）にハイレベルの電位を与えることによって、表示部内の全ての画素形成部内の残留電荷が除去される。また、クロック等を入れることなく検査できるため、簡易的に検査することができる。

符号の説明

[0088] 5…液晶パネル
100…表示部
200…ゲートドライバ
210…シフトレジスタ
400…保護回路
600…パネル制御回路
Tr1～Tr12…薄膜トランジスタ
ALL-ON…全選択信号
CK…クロック信号

O U T…走査信号

S…セット信号

R…リセット信号

請求の範囲

[請求項1] 複数の走査信号線および複数の映像信号線が配設された表示部、前記複数の走査信号線を駆動する走査信号線駆動回路、および前記複数の映像信号線を駆動する映像信号線駆動回路を含む表示パネルを備えた表示装置であって、

前記表示パネルは、前記走査信号線駆動回路に第1電位電源を供給するための第1の第1電位電源線と前記走査信号線駆動回路以外の回路に第1電位電源を供給するための第2の第1電位電源線とを含み、

前記走査信号線駆動回路は、クロック信号に基づき前記複数の走査信号線に順次にオンレベルの走査信号を出力するための複数の段からなるシフトレジスタを含み、

前記シフトレジスタの各段を構成する段構成回路は、

前記走査信号線に接続された出力ノードと、

前記出力ノードから出力される走査信号の電位を制御するための出力制御ノードと、

前記出力制御ノードに第2電極が接続され、前記第1の第1電位電源線に第3電極が接続された、第1電極の電位に基づいて前記出力制御ノードの電位をオフレベルに向けて変化させるための出力制御ノードターンオフ用スイッチング素子とを有し、

前記走査信号線駆動回路に供給される第2電位電源の電位が前記走査信号線駆動回路に供給される第1電位電源の電位よりも高い場合には、前記出力制御ノードは、前記走査信号線駆動回路に供給される第2電位電源の電位よりも高い電位が与えられ得るように構成され、

前記走査信号線駆動回路に供給される第2電位電源の電位が前記走査信号線駆動回路に供給される第1電位電源の電位よりも低い場合には、前記出力制御ノードは、前記走査信号線駆動回路に供給される第2電位電源の電位よりも低い電位が与えられ得るように構成され、

前記第 1 の第 1 電位電源線と前記第 2 の第 1 電位電源線とは、互いに独立した電源線であることを特徴とする、表示装置。

[請求項2]

前記段構成回路は、

前記出力ノードに第 2 電極が接続され、前記第 1 の第 1 電位電源線に第 3 電極が接続された、第 1 電極の電位に基づいて前記出力ノードの電位をオフレベルに向けて変化させるための出力ノードターンオフ用スイッチング素子と、

前記出力ノードターンオフ用スイッチング素子の第 1 電極に接続された、前記出力制御ノードとしての第 1 制御ノードと、

前記第 1 制御ノードの電位をオンレベルに向けて変化させるための第 1 制御ノードターンオン部と、

前記第 1 制御ノードに第 2 電極が接続され、前記第 1 の第 1 電位電源線に第 3 電極が接続された、第 1 電極の電位に基づいて前記第 1 制御ノードの電位をオフレベルに向けて変化させるための、前記出力制御ノードターンオフ用スイッチング素子としての第 1 制御ノードターンオフ用スイッチング素子と
を有することを特徴とする、請求項 1 に記載の表示装置。

[請求項3]

前記段構成回路は、

前記クロック信号が第 2 電極に与えられ、前記出力ノードに第 3 電極が接続された、第 1 電極の電位に基づいて前記出力ノードの電位をオンレベルに向けて変化させるための出力ノードターンオン用スイッチング素子と、

前記出力ノードターンオン用スイッチング素子の第 1 電極に接続された、前記出力制御ノードとしての第 2 制御ノードと、

前記第 2 制御ノードの電位をオンレベルに向けて変化させるための第 2 制御ノードターンオン部と、

前記第 2 制御ノードに直接または分圧手段を介して第 2 電極が接続され、前記第 1 の第 1 電位電源線に第 3 電極が接続された、第 1 電

極の電位に基づいて前記第2制御ノードの電位をオフレベルに向けて変化させるための、前記出力制御ノードターンオフ用スイッチング素子としての第2制御ノードターンオフ用スイッチング素子とを更に有し、

前記第2制御ノードターンオフ用スイッチング素子の第1電極は、前記第1制御ノードに接続されていることを特徴とする、請求項2に記載の表示装置。

[請求項4] 前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能なように構成され、

前記全選択駆動を行うか否かを制御する全選択信号が前記第1の第1電位電源線に与えられ、

前記段構成回路に含まれる第2制御ノードターンオン部は、開始指示信号または前段の出力ノードから出力される走査信号に基づいて、前記第2制御ノードの電位をオンレベルに向けて変化させ、

前記段構成回路に含まれる第1制御ノードターンオフ用スイッチング素子の第1電極には、前記開始指示信号または前段の出力ノードから出力される走査信号が与えられ、

前記全選択駆動時には、前記全選択信号、前記クロック信号、および前記開始指示信号がオンレベルにされることを特徴とする、請求項3に記載の表示装置。

[請求項5] 前記段構成回路は、前記分圧手段として、第1電極に高電位電源が与えられ、第2電極に前記第2制御ノードターンオフ用スイッチング素子の第2電極が接続され、第3電極に前記出力ノードターンオン用スイッチング素子の第1電極が接続された分圧用スイッチング素子を有することを特徴とする、請求項3に記載の表示装置。

[請求項6] 前記シフトレジスタは、前記複数の走査信号線にオンレベルの走査信号を与える順序が正順序と逆順序との間で切り替え可能となるように構成され、

前記段構成回路には、前記複数の走査信号線にオンレベルの走査信号を与える順序を切り替えるための、オンレベルとオフレベルとの間で変化する切替制御信号が与えられ、

前記段構成回路に含まれる第2制御ノードターンオン部は、

第2電極に高電位電源が与えられ、第3電極が直接または前記分圧手段を介して前記第2制御ノードに接続された、第1電極の電位に基づいて前記第2制御ノードの電位をオンレベルに向けて変化させるための第2制御ノードターンオン用スイッチング素子と、

前記第2制御ノードターンオン用スイッチング素子の第1電極に接続された第4制御ノードと、

第1電極に前記切替制御信号が与えられ、第2電極に他の段の出力ノードから出力される走査信号が与えられ、第3電極が前記第4制御ノードに接続された第2の切替制御用スイッチング素子とからなり、

前記切替制御信号にオフレベルの電位を与えるための信号線は、前記第1の第1電位電源線に接続されていることを特徴とする、請求項3に記載の表示装置。

[請求項7]

前記段構成回路に含まれる第1制御ノードターンオン部は、

第2電極に高電位電源が与えられ、第3電極が前記第1制御ノードに接続された、第1電極の電位に基づいて前記第1制御ノードの電位をオンレベルに向けて変化させるための第1制御ノードターンオン用スイッチング素子と、

前記第1制御ノードターンオン用スイッチング素子の第1電極に接続された第3制御ノードと、

第1電極に前記切替制御信号が与えられ、第2電極に他の段の出力ノードから出力される走査信号が与えられ、第3電極が前記第3制御ノードに接続された第1の切替制御用スイッチング素子とからなることを特徴とする、請求項6に記載の表示装置。

- [請求項8] 前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能なように構成され、
前記全選択駆動を行うか否かを制御する全選択信号が前記第1の第1電位電源線に与えられ、
前記全選択駆動時には、前記全選択信号および前記切替制御信号がオンレベルにされることを特徴とする、請求項6または7に記載の表示装置。
- [請求項9] 前記段構成回路は、第2電極に高電位電源が与えられ、第3電極が前記第1制御ノードに接続され、第1電極に所定の初期化信号が与えられるように構成された初期化用スイッチング素子を更に有することを特徴とする、請求項2に記載の表示装置。
- [請求項10] 前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能なように構成され、
前記全選択駆動を行うか否かを制御する全選択信号が前記第1の第1電位電源線に与えられ、
前記全選択駆動時には、前記全選択信号および前記初期化信号がオンレベルにされることを特徴とする、請求項9に記載の表示装置。
- [請求項11] 前記走査信号線駆動回路は、前記複数の走査信号線の全てにオンレベルの走査信号を出力する全選択駆動が可能なように構成され、
前記全選択駆動を行うか否かを制御する全選択信号が前記第1の第1電位電源線に与えられ、
前記全選択駆動時には、前記全選択信号がオンレベルにされることを特徴とする、請求項1に記載の表示装置。
- [請求項12] 前記表示パネルの検査時に前記全選択駆動が行われることを特徴とする、請求項11に記載の表示装置。
- [請求項13] 前記第1の第1電位電源線に接続された、前記表示パネルの動作を制御するためのパネル制御回路を更に備え、
前記パネル制御回路は、外部からの電源の供給が開始または遮断さ

れた時に前記全選択信号をオンレベルにすることを特徴とする、請求項 1 1 に記載の表示装置。