

半导体结构的制造方法及半导体结构

交叉引用

5 本公开要求于 2020 年 09 月 18 日提交的申请号为 202010984302.2、名称为“半导体结构的制造方法及半导体结构”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

10 本发明涉及半导体技术领域，尤其涉及一种半导体结构的制造方法及半导体结构。

背景技术

15 在现有的浅沟道隔离技术（shallow trench isolation，STI）中，沟道较浅造成隔离效果差，而有源区的尺寸较小对器件连接造成限制，相关技术中的工艺很难实现沟道变深的同时有源区的尺寸也相应增大。因此现有技术中的沟道结构很难满足半导体结构的性能要求。

发明内容

20 本发明提供一种半导体结构的制造方法及半导体结构，以改善半导体结构的性能。

根据本发明的第一个方面，提供了一种半导体结构的制造方法，包括：

提供衬底，衬底上形成有隔离沟道；

在隔离沟道中形成富硅隔离层，富硅隔离层覆盖隔离沟道的内表面；

在隔离沟道内形成隔离氧化层；

其中，隔离氧化层充满隔离沟道。

在本发明的一个实施例中，在隔离沟道内形成隔离氧化层，包括：

25 在隔离沟道内形成第一隔离氧化层，第一隔离氧化层的至少部分由富硅隔离层氧化后形成；

在隔离沟道内形成第二隔离氧化层，第二隔离氧化层覆盖第一隔离氧化层，第一隔离氧化层和第二隔离氧化层作为隔离氧化层。

在本发明的一个实施例中，在隔离沟道内形成第一隔离氧化层后，富硅隔离层全部被

30 氧化成第一氧化层。

在本发明的一个实施例中，形成第一隔离氧化层，包括：

在隔离沟道内形成第二氧化层，第二氧化层覆盖富硅隔离层，在形成第二氧化层后，部分富硅隔离层被氧化成第一氧化层；

5 通过原位水汽生成工艺对富硅隔离层进行氧化，原位水汽生成工艺结束后，至少部分的富硅隔离层被氧化成第一氧化层；

在隔离沟道内形成第三氧化层，第三氧化层覆盖第二氧化层；

其中，在形成第三氧化层后，富硅隔离层全部被氧化成第一氧化层，第一氧化层、第二氧化层和第三氧化层作为第一隔离氧化层。

10 在本发明的一个实施例中，隔离沟道包括第一隔离沟道和第二隔离沟道，第一隔离沟道的宽度大于第二隔离沟道的宽度；

其中，第一氧化层、第二氧化层、第三氧化层以及第二隔离氧化层作为第一隔离沟道氧化层填充第一隔离沟道，第一氧化层、第二氧化层以及第三氧化层作为第二隔离沟道氧化层填充第二隔离沟道。

在本发明的一个实施例中，第二氧化层和第三氧化层均通过原子沉积工艺形成。

15 在本发明的一个实施例中，第二隔离氧化层通过旋涂介电层工艺形成。

在本发明的一个实施例中，富硅隔离层为多晶硅层。

在本发明的一个实施例中，覆盖隔离沟道侧壁的富硅隔离层从隔离沟道的底部至隔离沟道的顶部，富硅隔离层的厚度均相等。

20 在本发明的一个实施例中，覆盖隔离沟道侧壁的富硅隔离层从隔离沟道的底部至隔离沟道的顶部，富硅隔离层的厚度逐渐增加。

在本发明的一个实施例中，富硅隔离层通过低台阶覆盖率炉管工艺形成。

根据本发明的第二个方面，提供了一种半导体结构，包括：

衬底，衬底上形成有隔离沟道和多个有源区，隔离沟道位于多个有源区之间；

25 隔离氧化层，隔离氧化层位于隔离沟道内，隔离氧化层包括第一隔离氧化层和第二隔离氧化层，第一隔离氧化层覆盖隔离沟道的内表面；

其中，第一隔离氧化层的至少部分由覆盖隔离沟道内表面的富硅隔离层氧化后形成。

在本发明的一个实施例中，隔离沟道包括第一隔离沟道和第二隔离沟道，第一隔离沟道的宽度大于第二隔离沟道的宽度；

30 其中，第一隔离沟道填充有第一隔离氧化层和第二隔离氧化层，第二隔离沟道均由第一隔离氧化层填充。

5 本发明的半导体结构的制造方法通过先在隔离沟道中形成富硅隔离层，然后形成隔离氧化层，富硅隔离层可以防止形成隔离氧化层的过程中对衬底的氧化，即最终形成的隔离氧化层不会占用有源区所在区域，以此保证有源区的尺寸。且由于富硅隔离层的隔离作用，在工艺允许的条件下可以增加隔离沟道的深度，以此增强隔离效果，从而改善半导体结构的性能。

附图说明

- 通过结合附图考虑以下对本发明的优选实施方式的详细说明，本发明的各种目标，特征和优点将变得更加显而易见。附图仅为本发明的示范性图解，并非一定是按比例绘制。
- 10 在附图中，同样的附图标记始终表示相同或类似的部件。其中：
- 图 1 是根据一示例性实施方式示出的一种半导体结构的制造方法的流程示意图；
- 图 2 是根据一示例性实施方式示出的一种半导体结构的结构俯视图；
- 图 3 是图 2 中 A-A 处的剖面结构示意图；
- 图 4 是根据一示例性实施方式示出的一种半导体结构的制造方法形成隔离沟道的结
- 15 构示意图；
- 图 5 是根据一示例性实施方式示出的一种半导体结构的制造方法形成富硅隔离层的结构示意图；
- 图 6 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第二氧化层的结构示意图；
- 20 图 7 是根据一示例性实施方式示出的一种半导体结构的制造方法经过原位水汽生成工艺的结构示意图；
- 图 8 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第三氧化层的结构示意图；
- 图 9 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第二隔离氧化
- 25 层的结构示意图；
- 图 10 是根据另一示例性实施方式示出的一种半导体结构的制造方法形成富硅隔离层的结构示意图；
- 图 11 是根据另一示例性实施方式示出的一种半导体结构的制造方法形成第二氧化层的结构示意图；
- 30 图 12 是根据另一示例性实施方式示出的一种半导体结构的制造方法经过原位水汽生

成工艺的结构示意图；

图 13 是根据另一示例性实施方式示出的一种半导体结构的制造方法形成第三氧化层的结构示意图；

图 14 是根据另一示例性实施方式示出的一种半导体结构的制造方法形成第二隔离氧化层的结构示意图。

附图标记说明如下：

10、衬底；11、隔离沟道；111、第一隔离沟道；112、第二隔离沟道；12、有源区；20、富硅隔离层；30、隔离氧化层；31、第一隔离氧化层；32、第二隔离氧化层；33、第一氧化层；34、第二氧化层；35、第三氧化层。

10

具体实施方式

体现本发明特征与优点的典型实施例将在以下的说明中详细叙述。应理解的是本发明能够在不同的实施例上具有各种的变化，其皆不脱离本发明的范围，且其中的说明及附图在本质上是作说明之用，而非用以限制本发明。

15 在对本发明的不同示例性实施方式的下面描述中，参照附图进行，附图形成本发明的一部分，并且其中以示例方式显示了可实现本发明的多个方面的不同示例性结构，系统和步骤。应理解的是，可以使用部件，结构，示例性装置，系统和步骤的其他特定方案，并且可在不偏离本发明范围的情况下进行结构和功能性修改。而且，虽然本说明书中可使用术语“之上”，“之间”，“之内”等来描述本发明的不同示例性特征和元件，但是这些术语用于本文中仅出于方便，例如根据附图中的示例的方向。本说明书中的任何内容都不应理解为需要结构的特定三维方向才落入本发明的范围内。

20

本发明的一个实施例提供了一种半导体结构的制造方法，请参考图 1，半导体结构的制造方法包括：

S101，提供衬底 10，衬底 10 上形成有隔离沟道 11；

25 S103，在隔离沟道 11 中形成富硅隔离层 20，富硅隔离层 20 覆盖隔离沟道 11 的内表面；

S105，在隔离沟道 11 内形成隔离氧化层 30；

其中，隔离氧化层 30 填充满隔离沟道 11。

30 本发明一个实施例的半导体结构的制造方法通过先在隔离沟道 11 中形成富硅隔离层 20，然后形成隔离氧化层 30，富硅隔离层 20 可以防止形成隔离氧化层 30 的过程中对衬

底 10 的氧化，即最终形成的隔离氧化层 30 不会占用有源区 12 所在区域，以此保证有源区 12 的尺寸。且由于富硅隔离层 20 的隔离作用，在工艺允许的条件下可以增加隔离沟道 11 的深度，以此增强隔离效果，从而改善半导体结构的性能。

需要说明的是，由于刻蚀工艺的限制，衬底 10 上隔离沟道 11 的尺寸具有极限值，即
5 最小尺寸有限定，如果将隔离沟道 11 的尺寸刻蚀为最小尺寸，此时，如果按照相关技术的形成工艺形成隔离氧化层 30，在形成隔离氧化层 30 的过程中会氧化衬底 10，从而出现占用有源区 12 所在区域的问题。因此，相关技术中通过调整刻蚀深宽比很难实现隔离沟道 11 变深的同时，有源区 12 的尺寸也变大。

本发明的半导体结构的制造方法，可以利用最小尺寸的隔离沟道 11，首先在隔离沟
10 道 11 内形成覆盖其内表面的富硅隔离层 20，然后在形成隔离氧化层 30，在形成隔离氧化层 30 的过程中即使出现氧化现象也是对富硅隔离层 20 的氧化，而不会对衬底 10 出现氧化。

需要注意的是，隔离氧化层 30 的形成过程中，会氧化富硅隔离层 20，即隔离氧化层
15 30 包括富硅隔离层 20 氧化后形成的薄膜。在本实施例中，在隔离沟道 11 内形成隔离氧化层 30 后，富硅隔离层 20 全部被氧化成隔离氧化层 30 的一部分。

隔离氧化层 30 的形成工艺可以包括原子层沉积（Atomic Layer Deposition，ALD）工艺、原位水汽生成（In-Situ Steam Generation, ISSG）工艺、旋涂介电层（spin on dielectric, SOD）工艺等。

在一个实施例中，衬底 10 可以由含硅材料形成。衬底 10 可以由任何合适的材料形成，
20 例如，包括硅、单晶硅、多晶硅、非晶硅、硅锗、单晶硅锗、多晶硅锗以及碳掺杂硅中的至少一种。

需要说明的是，在衬底 10 上刻蚀出隔离沟道 11 后，可以通过采用化学气相沉积（Chemical Vapor Deposition，CVD）工艺在隔离沟道 11 内形成富硅隔离层 20。在一个
25 实施例中，在隔离沟道 11 内形成隔离氧化层 30，包括：在隔离沟道 11 内形成第一隔离氧化层 31，第一隔离氧化层 31 的至少部分由富硅隔离层 20 氧化后形成；在隔离沟道 11 内形成第二隔离氧化层 32，第二隔离氧化层 32 覆盖第一隔离氧化层 31，第一隔离氧化层 31 和第二隔离氧化层 32 作为隔离氧化层 30。

具体的，在形成第一隔离氧化层 31 的过程中，采用原子层沉积工艺、原位水汽生成工艺等工艺，以此使得富硅隔离层 20 发生氧化，从而形成第一隔离氧化层 31，即在防止
30 氧化衬底 10 的基础上，可以使得富硅隔离层 20 最终作为形成隔离氧化层 30 的一部分，

以此保证隔离氧化层 30 具有足够的隔离能力。并在形成第一隔离氧化层 31 之后，在第一隔离氧化层 31 上覆盖第二隔离氧化层 32，并使得第二隔离氧化层 32 填满隔离沟道 11 的剩余空间。

5 在一个实施例中，在隔离沟道 11 内形成第一隔离氧化层 31 后，富硅隔离层 20 全部被氧化成第一氧化层 33，即第一隔离氧化层 31 包括至少部分富硅隔离层 20 氧化后形成的薄膜，且全部被氧化后的富硅隔离层 20 形成的第一氧化层 33 可以保证隔离氧化层 30 具有足够的隔离能力。

10 具体的，在形成第一隔离氧化层 31 的过程中，富硅隔离层 20 全部被氧化，例如在采用原子层沉积工艺、原位水汽生成工艺形成第一隔离氧化层 31 的过程中会使得富硅隔离层 20 逐渐被氧化，最终全部形成第一隔离氧化层 31。

15 在一个实施例中，形成第一隔离氧化层 31，包括：在隔离沟道 11 内形成第二氧化层 34，第二氧化层 34 覆盖富硅隔离层 20，在形成第二氧化层 34 后，部分富硅隔离层 20 被氧化成第一氧化层 33；通过原位水汽生成工艺对富硅隔离层 20 进行氧化，原位水汽生成工艺结束后，至少部分的富硅隔离层 20 被氧化成第一氧化层 33；在隔离沟道 11 内形成第三氧化层 35，第三氧化层 35 覆盖第二氧化层 34；其中，在形成第三氧化层 35 后，富硅隔离层 20 全部被氧化成第一氧化层 33。第一氧化层 33、第二氧化层 34 以及第三氧化层 35 作为第一隔离氧化层 31。

20 具体的，第一隔离氧化层 31 的形成过程主要包括三个步骤，即首先在富硅隔离层 20 的内表面上形成第二氧化层 34，此过程也可能会氧化一部分的富硅隔离层 20，通过原位水汽生成工艺对富硅隔离层 20 进行处理。此时，富硅隔离层 20 至少部分被氧化成第一氧化层 33。最后，在第二氧化层 34 表面形成第三氧化层 35。第一氧化层 33、第二氧化层 34 和第三氧化层 35 构成第一隔离氧化层 31。

25 在一个实施例中，第二氧化层 34 和第三氧化层 35 均通过原子沉积工艺形成，即在富硅隔离层 20 表面通过原子沉积工艺形成第二氧化层 34，在采用原位水汽生成工艺对富硅隔离层 20 进行氧化形成第一氧化层 33 后，通过原子沉积工艺在第二氧化层 34 表面形成第三氧化层 35。

30 在一个实施例中，第二隔离氧化层 32 通过旋涂介电层工艺形成，即在形成第一隔离氧化层 31 后，通过旋涂介电层工艺在隔离沟道 11 内形成第二隔离氧化层 32，此时隔离沟道 11 的空余区域完全被填充，且第二隔离氧化层 32 覆盖位于衬底 10 上表面的第一隔离氧化层 31。

需要说明的是，通过原子沉积工艺在富硅隔离层 20 的内表面以及衬底 10 的上表面形成第二氧化层 34，具体可参见图 6 和图 11，原子层工艺形成的薄膜的均匀性特别好，即能保证第二氧化层 34 的均匀性达到要求。采用原位水汽生成工艺对富硅隔离层 20 进行氧化，以在第二氧化层 34 内侧形成第一氧化层 33，具体可参见图 7 和图 12，原位水汽生成工艺是通过 H_2/O_2 进行退火，能保证大部分的富硅隔离层 20 被氧化，并且可以增加第二氧化层 34 的致密度，保证隔离氧化层的效果。通过原子沉积工艺在第二氧化层 34 的内表面以及位于衬底 10 上表面的第二氧化层 34 上形成第三氧化层 35，具体可参见图 8 和图 13，采用原子层工艺形成的第三氧化层 35 均匀性达到要求。最后，通过旋涂介电层工艺在第三氧化层 35 的内表面以及位于衬底 10 上表面的第三氧化层 35 上形成第二隔离氧化层 32，具体可参见图 9 和图 14，采用旋涂介电层工艺能保证隔离沟道 11 全部填满，并在后续增加退火工艺，保证形成氧化硅。

在一个实施例中，如图 2 和图 3 所示，衬底 10 上形成有多个有源区 12，隔离沟道 11 位于多个有源区 12 之间，隔离沟道 11 包括第一隔离沟道 111 和第二隔离沟道 112，第一隔离沟道 111 的宽度大于第二隔离沟道 112 的宽度，且第一隔离沟道 111 的深度大于第二隔离沟道 112 的深度，即第一隔离沟道 111 内的填充量要大于第二隔离沟道 112 内的填充量。

在一个实施例中，第一氧化层 33、第二氧化层 34、第三氧化层 35 以及第二隔离氧化层 32 作为第一隔离沟道氧化层填充第一隔离沟道 111。由于第一隔离沟道 111 的宽度较大，因此在第一氧化层 33、第二氧化层 34 以及第三氧化层 35 形成完毕后还会有部分区域未被填充，因此需要通过旋涂介电层工艺形成第二隔离氧化层 32 进行填充。

在一个实施例中，第一氧化层 33、第二氧化层 34 以及第三氧化层 35 作为第二隔离沟道氧化层填充第二隔离沟道 112。由于第二隔离沟道 112 的宽度较小，因此在第一氧化层 33、第二氧化层 34 以及第三氧化层 35 形成完毕后就可以完全填满第二隔离沟道 112。当然，也不排除在形成第一隔离氧化层 31 后，第二隔离沟道 112 还存在未被填充的区域，而此区域通过第二隔离氧化层 32 进行填充。

在一个实施例中，隔离氧化层 30 为二氧化硅层。

在一个实施例中，富硅隔离层 20 为多晶硅层，通过后续工艺进行氧化以形成二氧化硅层。

在一个实施例中，富硅隔离层 20 通过炉管工艺形成。

在一个实施例中，形成富硅隔离层 20，包括：在炉管中通入 $C_6H_{17}NSi$ ，以在隔离沟

道 11 的表面形成晶种；在炉管中通入 Si_2H_4 ，以在隔离沟道 11 的内表面形成富硅隔离层 20。

具体的，在炉管中通入 $\text{C}_6\text{H}_{17}\text{NSi}$ ，控制反应时间 8min-12min，温度控制在 400°C - 440°C ，从而在衬底 10 表面快速生长晶种，在本实施例中，控制反应时间 10 min，
5 温度控制在 420°C 。然后通入 Si_2H_4 ，控制反应时间 8min-12min，温度控制在 400°C - 440°C ，以此形成富硅隔离层 20，在本实施例中，控制反应时间 10 min，温度控制在 420°C 。

在一个实施例中，覆盖隔离沟道 11 侧壁的富硅隔离层 20 从隔离沟道 11 的底部至隔离沟道 11 的顶部，富硅隔离层 20 的厚度均相等，即在衬底 10 表面形成厚度一致的富硅隔离层 20。

10 需要说明的是，位于隔离沟道 11 底端的富硅隔离层 20 的厚度也可以等于覆盖隔离沟道 11 侧壁的富硅隔离层 20 的厚度。

具体的，针对本实施例中半导体结构的制造方法包括：

如图 4 所示，在衬底 10 上刻蚀出隔离沟道 11，隔离沟道 11 包括第一隔离沟道 111 和第二隔离沟道 112，第一隔离沟道 111 的深度以及宽度均大于第二隔离沟道 112 的深度
15 和宽度，其中，第一隔离沟道 111 的深度可以为 260nm-300nm，第二隔离沟道 112 的深度可以为 225nm-265nm。

在图 4 的基础上，采用化学气相沉积工艺在隔离沟道 11 内形成富硅隔离层 20，如图 5 所示，其中，富硅隔离层 20 的厚度均相一致，富硅隔离层 20 的厚度可以为 2.3nm-3.1nm。

在图 5 的基础上，采用原子层沉积工艺在富硅隔离层 20 的内表面以及衬底 10 的上表面形成第二氧化层 34，如图 6 所示，在此过程中部分的富硅隔离层 20 被氧化（考虑到在此过程中，富硅隔离层 20 被氧化的部分较少，因此图 6 中并未视出富硅隔离层 20 被氧化的部分）。
20

在图 6 的基础上，采用原位水汽生成工艺氧化富硅隔离层 20，以形成第一氧化层 33，如图 7 所示，即富硅隔离层 20 的至少部分被氧化后形成第一氧化层 33（图 7 中的实施例，
25 富硅隔离层 20 通过原位水汽生成工艺完全被氧化）。

在图 7 的基础上，采用原子层沉积工艺形成第三氧化层 35，如图 8 所示，如果在经过原位水汽生成工艺后存在未被氧化的富硅隔离层 20，在此过程中则全部被氧化，第一氧化层 33、第二氧化层 34 以及第三氧化层 35 作为第一隔离氧化层 31。

在图 8 的基础上，采用旋涂工艺形成第二隔离氧化层 32，形成如图 9 所示，第一隔离氧化层 31 和第二隔离氧化层 32 作为隔离氧化层 30 填充满隔离沟道 11，即最终形成如
30

图 2 和图 3 所示的半导体结构。（隔离氧化层 30 都为同一种材料，例如氧化硅）。

需要说明的是，在形成第一隔离氧化层 31 之后，第二隔离沟道 112 已被完全填满。而第二隔离氧化层 32 用于填充第一隔离沟道 111，并覆盖第一隔离氧化层 31 位于衬底 10 上表面的部分。

5 在一个实施例中，覆盖隔离沟道 11 侧壁的富硅隔离层 20 从隔离沟道 11 的底部至隔离沟道 11 的顶部，富硅隔离层 20 的厚度逐渐增加，即在衬底 10 表面形成厚度渐变的富硅隔离层 20。

在一个实施例中，富硅隔离层 20 通过低台阶覆盖率炉管工艺形成，从而可以在衬底 10 表面形成厚度渐变的富硅隔离层 20。

10 需要说明的是，位于隔离沟道 11 上部的富硅隔离层 20 厚度最大，而位于隔离沟道 11 下部的富硅隔离层 20 厚度最小，受制造工艺限定，隔离沟道 11 上部的富硅隔离层 20 在后续工艺过程中被氧化的速度较快，因此通过此结构可以保证富硅隔离层 20 同步氧化，而不会出现氧化衬底 10 的问题。

具体的，针对本实施例中半导体结构的制造方法包括：

15 衬底 10 上刻蚀出隔离沟道 11，此隔离沟道 11 的具体结构以及尺寸可以参考图 4 所示结构，此处不作赘述。

在图 4 的基础上，采用化学气相沉积工艺在隔离沟道 11 内形成富硅隔离层 20，如图 10 所示，其中，富硅隔离层 20 的厚度属于渐变式结构，富硅隔离层 20 的厚度可以为 2.3nm-3.1nm，在本实施例中，位于隔离沟道 11 上部的富硅隔离层 20 的厚度可以为 2.8nm-3.1nm，位于隔离沟道 11 中部的富硅隔离层 20 的厚度可以为 2.6nm-2.9nm，位于隔离沟道 11 底部的富硅隔离层 20 的厚度可以为 2.3nm-2.7nm。

20 在图 10 的基础上，采用原子层沉积工艺在富硅隔离层 20 的内表面以及衬底 10 的上表面形成第二氧化层 34，如图 11 所示，在此过程中部分的富硅隔离层 20 被氧化（考虑到在此过程中，富硅隔离层 20 被氧化的部分较少，因此图 11 中并未视出富硅隔离层 20 被氧化的部分）。

25 在图 11 的基础上，采用原位水汽生成工艺氧化富硅隔离层 20，以形成第一氧化层 33，如图 12 所示，即富硅隔离层 20 的至少部分被氧化后形成第一氧化层 33（图 12 中的实施例，富硅隔离层 20 通过原位水汽生成工艺完全被氧化）。

30 在图 12 的基础上，采用原子层沉积工艺形成第三氧化层 35，如图 13 所示，如果在形成第一氧化层 33 后存在未被氧化的富硅隔离层 20，在此过程中则全部被氧化，第一氧

化层 33、第二氧化层 34 以及第三氧化层 35 作为第一隔离氧化层 31。

在图 13 的基础上，采用旋涂工艺形成第二隔离氧化层 32，形成如图 14 所示，第一隔离氧化层 31 和第二隔离氧化层 32 作为隔离氧化层 30 填充满隔离沟道 11，即最终形成如图 2 和图 3 所示的半导体结构。（隔离氧化层 30 都为同一种材料，例如氧化硅）。

5 需要说明的是，在形成第一隔离氧化层 31 之后，第二隔离沟道 112 已被完全填充满。而第二隔离氧化层 32 用于填充第一隔离沟道 111，并覆盖第一隔离氧化层 31 位于衬底 10 上表面的部分。

10 在一些实施例中，通过原位水汽生成工艺氧化富硅隔离层 20 时，也可以有部分的富硅隔离层 20 未被氧化，在后续通过原子层沉积工艺形成第三氧化层 35 时，将未被氧化的富硅隔离层 20 完全氧化为第一氧化层 33。

需要说明的是，图 9 和图 14 中的半导体结构，隔离沟道 11 内填充的第一隔离氧化层 31 和第二隔离氧化层 32 为相同的材料，即第一隔离氧化层 31 和第二隔离氧化层 32 构成了隔离氧化层 30，即隔离氧化层 30 可以为氧化硅，具体如图 2 和图 3 所示。图 4 至图 14 重在说明半导体结构的制造流程，并不代表半导体结构的最终形式。

15 本发明的半导体结构的制造方法，通过在填充二氧化硅之前在隔离沟道内填充多晶硅，防止后续原位水汽生成氧化有源区的硅，以此实现有源区的长度和宽度增大的同时，隔离沟道深度也得到有效增大，获得的半导体结构一定程度上既改善了隔离效果，又增大了有源区的面积。

20 本发明的一个实施例还提供了一种半导体结构，请参考图 2、图 3、图 9 以及图 14，包括：衬底 10，衬底 10 上形成有隔离沟道 11 和多个有源区 12，隔离沟道 11 位于多个有源区 12 之间；隔离氧化层 30，隔离氧化层 30 位于隔离沟道 11 内，隔离氧化层 30 包括第一隔离氧化层 31 和第二隔离氧化层 32，第一隔离氧化层 31 覆盖隔离沟道 11 的内表面；其中，第一隔离氧化层 31 的至少部分由覆盖隔离沟道 11 内表面的富硅隔离层 20 氧化后形成。

25 本发明一个实施例的半导体结构的隔离氧化层 30 由第一隔离氧化层 31 和第二隔离氧化层 32 形成，且第一隔离氧化层 31 的至少部分由覆盖隔离沟道 11 内表面的富硅隔离层 20 氧化后形成，即半导体结构的隔离沟道 11 内的隔离氧化层 30 不会占用有源区 12 所在区域，以此保证有源区 12 的尺寸。且由于富硅隔离层 20 的隔离作用，在工艺允许的条件下可以增加隔离沟道 11 的深度，以此增强隔离效果，从而改善半导体结构的性能。

30 在一个实施例中，富硅隔离层 20 可以为多晶硅，隔离氧化层 30 可以为二氧化硅。

在一个实施例中，如图 4 所示，隔离沟道 11 包括第一隔离沟道 111 和第二隔离沟道 112，第一隔离沟道 111 的宽度大于第二隔离沟道 112 的宽度；其中，第一隔离沟道 111 填充有第一隔离氧化层 31 和第二隔离氧化层 32，第二隔离沟道 112 均由第一隔离氧化层 31 填充，具体可参见图 8 和图 9 以及图 13 和图 14。

5 在一个实施例中，半导体结构由上述的半导体结构的制造方法形成。

10 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本发明的其它实施方案。本发明旨在涵盖本发明的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本发明的一般性原理并包括本发明未公开的本技术领域中的公知常识或惯用技术手段。说明书和示例实施方式仅被视为示例性的，本发明的真正范围和精神由前

面的权利要求指出。

应当理解的是，本发明并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本发明的范围仅由所附的权利要求来限制。