

明 細 書

発明の名称：メモリシステム

技術分野

[0001] 実施形態は、メモリシステムに関する。

背景技術

[0002] 現在、不揮発性半導体記憶装置（メモリ）の用途拡大にともない、メモリの容量も増大してきている。

図面の簡単な説明

[0003] [図1]図1は、第1の実施形態に係る3次元積層型不揮発性半導体記憶装置の回路構成を示すブロック図である。

[図2]図2は、第1の実施形態に係るメモリセルアレイを示している。

[図3]図3は、第1の実施形態に係るp-BiCSメモリの1つのブロックのうち、1本のビット線に接続された複数のU字型のストリングの構成を示している。

[図4]図4は、第1の実施形態に係るドライバと、プレーンスイッチとの関係を概略的に示すためのブロック図である。

[図5]図5は、第1の実施形態に係るCGドライバを概略的に示すブロック図である。

[図6]図6は、第1の実施形態に係るプレーンスイッチCGSWのCGNに係るスイッチの回路図である。

[図7]図7は、第1の実施形態に係るプレーンスイッチCGSWのCGDに係るスイッチの回路図である。

[図8]図8は、第1の実施形態に係るロウデコーダの回路図である。

[図9]図9は、第1の実施形態に係る半導体記憶装置のプログラム動作時のCGマッピングを示す図であり、従来技術のプログラムおよびリード動作時のCGマッピングを示す図である。

[図10]図10は、第1の実施形態に係る半導体記憶装置のリード動作時のC

Gマッピングを示す図である。

【図11】図11は、第1の実施形態に係る半導体記憶装置のイレース動作時のCマッピングを示す図である。

【図12A】図12Aは、イレース動作、プログラム動作、リード動作時におけるゾーン信号と、CGドライバとの関係を示している。

【図12B】図12Bは、スイッチ信号と、出力信号との関係を示している。

【図13】図13は、第2の実施形態に係る半導体記憶装置の基本的な構成を模式的に示したブロック図である。

【図14】図14は、第2の実施形態に係るアクセス統合動作を示したフローチャートである。

【図15】図15は、第2の実施形態に係る半導体記憶装置の、相異なるプレーン内のブロック内の、相異なるページ番号を持つページ上のデータが並列にアクセスを受ける様子を図示したものである。

【図16】図16は、第3の実施形態に係るアクセス統合動作を示したフローチャートである。

【図17】図17は、第3の実施形態に係る半導体記憶装置の、相異なるプレーン内のブロック内の、相異なるページ番号を持つページ上のデータが並列にアクセスを受ける様子を図示したものである。

【図18】図18は、メモリセルトランジスタMTの閾値分布を示すグラフである。

【図19】図19は、hSLCの専用のパラメータを示している。

【図20】図20は、第4の実施形態に係る動作オプションにおけるリードシーケンスを示す図である。

【図21A】図21Aは、SLCデータのリードの場合のリード動作波形を示している。

【図21B】図21Bは、MLC-LOWデータのリードの場合のリード動作波形を示している。

【図21C】図21Cは、MLC-UPデータのリードの場合のリード動作波形を示している。

波形を示している。

[図22A]図22Aは、第4の実施形態の動作オプションAにおけるSLCデータ及びhSLCデータのリードの場合のリード動作波形を示している。

[図22B]図22Bは、MLC—Lowerデータ及びhSLCデータのリードの場合のリード動作波形を示している。

[図22C]図22Cは、MLC—Upperデータ及びhSLCデータのリードの場合のリード動作波形を示している。

[図23A]図23Aは、第4の実施形態の動作オプションBにおけるSLCデータ及びhSLCデータのリードの場合のリード動作波形を示している。

[図23B]図23Bは、MLC—Lowerデータ及びhSLCデータのリードの場合のリード動作波形を示している。

[図23C]図23Cは、MLC—Upperデータ及びhSLCデータのリードの場合のリード動作波形を示している。

[図24]図24は、コマンドシーケンスで用いる記号と、記号の意味を示した表である。

[図25]図25は、hSLCデータのプログラム時のコマンドシーケンスと、その内部動作波形とを示した図である。

[図26]図26は、hSLCデータのリード時のコマンドシーケンスと、その内部動作波形とを示した図である。

[図27]図27は、データアウトシーケンスの具体例を示している。

[図28]図28は、マルチプレーンアクセスの際に用いられるアドレス例を示している。

[図29A]図29Aは、リード動作時において、選択ワード線WLが、ダミーワード線WLD近傍である場合の、各信号を示した図である。

[図29B]図29Bは、各ワード線WLに用いられるCGドライバの種類と、ワード線WLに印加される電圧を示した図である。

[図30]図30は、第6の実施形態に係るCGドライバを概略的に示すブロック図である。

[図31]図31は、メモリセルアレイを構成する複数のブロックを示している。

[図32]図32は、メモリセルアレイを構成する複数のブロックを示している。

[図33]図33は、メモリセルアレイの平面図である。

[図34]図34は、ワード線グループにより構成されるロジカルブロックを代表的に示している。

[図35]図35は、第8の実施形態に係るNAND型フラッシュメモリの基本的な構成を模式的に示すブロック図である。

[図36]図36は、第8の実施形態に係るCGドライバと、プレーンスイッチとの関係を概略的に示すためのブロック図である。

[図37]図37は、第8の実施形態に係るCGドライバを概略的に示すブロック図である。

[図38]図38は、第8の実施形態に係るプレーンスイッチCGSWのCGDに係るスイッチの回路図である。

[図39]図39は、第8の実施形態に係る半導体記憶装置のプログラム動作時のCGマッピングを示す図である。

[図40]図40は、第8の実施形態に係る半導体記憶装置のリード動作時のCGマッピングを示す図である。

[図41]図41は、第8の実施形態に係る半導体記憶装置のイレース動作時のCGマッピングを示す図である。

[図42A]図42Aは、イレース動作、プログラム動作、リード動作時におけるゾーン信号と、CGドライバとの関係を示している。

[図42B]図42Bは、スイッチ信号と、出力信号との関係を示している。

[図43A]図43Aは、リード動作時において、選択ワード線WLが、ダミーワード線WLD近傍である場合の、各信号を示した図である。

[図43B]図43Bは、各ワード線WLに用いられるCGドライバの種類と、ワード線WLに印加される電圧を示した図である。

[図44]図44は、第10の実施形態に係るCGドライバを概略的に示すブロック図である。

発明を実施するための形態

[0004] 以下に、実施形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。また、図面の寸法比率は、図示の比率に限定されるものではない。また、以下に示す各実施形態は、この実施形態の技術的思想を具体化するための装置や方法を例示するものであって、実施形態の技術的思想は、構成部品の材質、形状、構造、配置等の下記のものに特定するものでない。実施形態の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

[0005] (第1の実施形態)

<不揮発性半導体記憶装置の構成>

図1は、第1の実施形態に係わる3次元積層型不揮発性半導体記憶装置（メモリシステム）の回路構成を示すブロック図である。

[0006] 近年、NAND型フラッシュメモリのビット密度向上に向けたアプローチとして、メモリセルを積層した積層型NANDフラッシュメモリ、所謂BiCS (Bit-Cost Scalable) フラッシュメモリのメモリが提案されている。

[0007] 本実施形態の3次元積層型不揮発性半導体記憶装置（メモリシステム）1は、BiCSフラッシュメモリ（単に、フラッシュメモリ、またはメモリデバイス等とも称す）10と、メモリコントローラ20とを有する。

[0008] ここで、BiCSフラッシュメモリ10は、メモリセルアレイ11、センスアンプ12、カラムアドレスバッファ／カラムデコーダ13、ロウデコーダ21、制御回路15、電圧生成回路16、プレーンスイッチ17、ロウアドレスバッファ18、入出力バッファ19を備えている。

[0009] メモリセルアレイ11は、後述するように、複数のメモリセルが垂直方向に積層された3次元積層型不揮発性半導体記憶装置である。メモリセルアレイ11の一部には、例えば不良カラムを置換するためのカラム置換情報、各

種動作モードを決めるパラメータや、各種電圧を発生するためのトリミング結果、及び不良ブロックを示すバッドブロック情報が記憶される。また、メモリセルアレイ 11 の一部には、後天的に発生したバッドブロックを示すバッドブロック情報が記憶されても良い。

[0010] <センスアンプ及びカラムアドレスバッファ／カラムデコーダ>

図 1 に示すように、センスアンプ 12 は、ビット線 BL を介してメモリセルアレイ 11 と接続される。メモリセルアレイ 11 は複数のブロック BLK を含む。例えば同一のブロック BLK 内にあるメモリセルトランジスタ MT のデータは、一括して消去される。これに対してデータの読み出し及び書き込みは、いずれかのブロック BLK のいずれかのメモリグループにおける、いずれかのワード線 WL に共通に接続された複数のメモリセルトランジスタ MT につき、一括して行われる。この単位を「ページ」と呼ぶ。センスアンプ 12 は、読み出しの際にメモリセルアレイ 11 のデータをページ単位で読み出しを行い、書き込みの際にメモリセルアレイ 11 にデータをページ単位で書き込む。

[0011] また、センスアンプ 12 はカラムアドレスバッファ／カラムデコーダ 13 とも接続されている。センスアンプ 12 はカラムアドレスバッファ／カラムデコーダ 13 から入力される選択信号をデコードし、ビット線 BL の何れかを選択して駆動する。

[0012] センスアンプ 12 は、書き込む際のデータを保持するデータラッチの機能も兼ねる。本実施形態のセンスアンプ 12 は、複数個のデータラッチ回路を有する。例えば 1 つのセルに 2 ビットのデータを記憶するマルチレベルセル (MLC) に適用されるセンスアンプは、3 つのデータラッチを有している。

[0013] カラムアドレスバッファ／カラムデコーダ 13 は、メモリコントローラ 20 から入出力バッファ 19 を介して入力されるカラムアドレス信号を一時的に格納し、カラムアドレス信号に従ってビット線 BL の何れかを選択する選択信号をセンスアンプ 12 に出力する。

[0014] <ロウデコーダ>

ロウデコーダ21は、ロウアドレスバッファ18を介して入力されるロウアドレス信号をデコードし、メモリセルアレイのワード線WL及び選択ゲート線SGD、SGSを選択して駆動する。また、このロウデコーダ21は、メモリセルアレイ11のブロックを選択する部分とページを選択する部分を有する。

[0015] なお、本実施形態のB i C Sフラッシュメモリ10は、図示せぬ外部入出力端子I/Oを有し、この外部入出力端子I/Oを介して入出力バッファ19とメモリコントローラ20とのデータの授受が行われる。外部入出力端子I/Oを介して入力されるアドレス信号は、ロウアドレスバッファ18を介してロウデコーダ21及びカラムアドレスバッファ/カラムデコーダ13に出力される。

[0016] <制御回路>

制御回路15は、メモリコントローラ20を介して供給される各種外部制御信号（書き込みイネーブル信号WEn、読み出しイネーブル信号REn、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE等）とコマンドCMDに基づき、データの書き込み及び消去のシーケンス制御、及び読み出し動作を制御する。

[0017] <電圧生成回路>

電圧生成回路16は、制御回路15により制御され、書き込み、消去及び読み出しの動作に必要な各種内部電圧を発生する。この電圧生成回路16は、電源電圧より高い内部電圧を発生するための昇圧回路を有している。

[0018] <プレーンスイッチ>

プレーンスイッチ17は、制御回路15、電圧生成回路16等に接続される。プレーンスイッチ17は、制御回路15等からの信号に基づいて、電圧生成回路16からの電圧の出力先を切り替えて、ロウデコーダ21に供給する。

[0019] <メモリコントローラ>

メモリコントローラ20は、ホストインタフェース30を通じてホスト（ホストデバイス、または外部機器等とも称す）2と接続されている。メモリコントローラ20は、BiCSフラッシュメモリ10の動作に必要なコマンドなどを出力し、BiCSフラッシュメモリ10の読み出し、書き込みや消去を行う。このメモリコントローラ20は、CPU、ROM（Read only memory）、RAM（Random Access Memory）やECC（Error Correcting Code）回路を含んでいる。

[0020] <ホスト>

ホスト2は、ホストインタフェース30を介してメモリコントローラ20に対してデータの読み出し要求または書き込み要求を発行する。このように、ホスト2とメモリコントローラ20の間でやりとりされるデータを、以下ではユーザデータと呼ぶこととする。ユーザデータは一般に、512バイトなどの一定の単位ごとに、論理アドレスと呼ばれる一意な番号を割り当てられて管理される。

[0021] <メモリセルアレイ>

図2は、第1の実施形態のメモリセルアレイ11を示している。なお、図2は、説明を簡単にするためにワード線WLの層数を4層としている。

[0022] 図2は、本実施形態のメモリセルアレイ11の素子構造例を示す斜視図である。本実施形態のメモリセルアレイは、隣接する直列接続された複数のメモリセルの下端をパイプ接続と呼ばれるトランジスタで接続したp-BiCSメモリとなっている。

[0023] メモリセルアレイ11は、 $m \times n$ 個（ m 、 n は自然数）のNANDストリングMSを有している。図2は、 $m=6$ 、 $n=2$ の一例を示している。各NANDストリングMSは、隣接する直列接続された複数のトランジスタ（MT_{r0}～MT_{r7}）の下端がパイプ接続され、上端にソース側選択トランジスタSGST_r及びドレイン側選択トランジスタSGDT_rが配置されている。

[0024] 本実施形態に係わる不揮発性半導体記憶装置において、NANDストリン

グMSを構成するメモリトランジスタMT_r（以下、メモリセルと称す）は、導電層を複数積層することによって形成されている。各NANDストリングMSは、U字型半導体SC、ワード線WL（WL₀～WL₇）、ソース側選択ゲート線SGS、ドレイン側選択ゲート線SGDを有している。また、NANDストリングMSは、バックゲート線BGを有している。

[0025] U字型半導体SCは、ロウ方向からみてU字型に形成されている。U字型半導体SCは、半導体基板Baに対して略垂直方向に延びる一对の柱状部CL、及び一对の柱状部CLの下端を連結させるように形成された連結部JPを有する。

[0026] U字型半導体SCは、一对の柱状部CLの中心軸を結ぶ直線がカラム方向に平行になるように配置されている。また、U字型半導体SCは、ロウ方向及びカラム方向から構成される面内にマトリクス状となるように配置されている。

[0027] 各層のワード線WLは、カラム方向に平行に延びている。各層のワード線WLは、カラム方向に一定の間隔を設けて、互いに絶縁分離してライン状に形成されている。

[0028] カラム方向の同一位置に設けられ、ロウ方向に配置されたメモリセル（MT_{r0}～MT_{r7}）のゲートは、同一のワード線WLに接続されている。各ワード線WLは、NANDストリングMSに略垂直に配置されている。

[0029] ドレイン側選択ゲート線SGDは、最上部のワード線WLの上方に設けられ、ロウ方向に平行に延びている。ソース側選択ゲート線SGSもドレイン側選択ゲート線SGDと同様に、最上部のワード線WLの上方に設けられ、ロウ方向に平行に延びている。

[0030] また、ソース側選択トランジスタSGST_rは共通ソース線SLに接続され、ドレイン側選択トランジスタSGDT_rは最上層のビット線BLに接続されている。

[0031] <ストリングの構成>

図3は、一般的なp-BiCSメモリの1つのブロックのうち、1本のピ

ット線に接続された複数のU字型のストリングの構成を示している。このpーB i C Sメモリは、例えばm（mは1以上の整数）層のワード線を有し、複数のU字型のストリングが1本のビット線BLに接続されている。複数のビット線BLそれぞれに接続されたU字型のストリングで1ブロックを構成する。

[0032] 以下、各実施形態において、共通のワード線を持つストリングの集まりを、物理ブロック（フィジカルブロック）と呼ぶ。また、各実施形態において、ブロックは、消去単位を意味しない。データの消去は、例えばソース線SLを共有するストリング単位、或いは、別の単位で実行することが可能である。

[0033] The configuration of the memory cell array 11 is disclosed in U.S. Patent Application No. 12/407,403 filed 19 March 2009 and entitled “three dimensional stacked nonvolatile semiconductor memory”. In addition, the configuration thereof is disclosed in U.S. Patent Application No. 12/406,524 filed 18 March 2009 and entitled “three dimensional stacked nonvolatile semiconductor memory”, in U.S. Patent Application No. 13/816,799 filed 22 September 2011 and entitled “nonvolatile semiconductor memory device”, and in U.S. Patent Application No. 12/532,030 filed 23 March 2009 and entitled “semiconductor memory and method for manufacturing the same”. The entire descriptions of these patent applications are incorporated by reference herein.

＜第1の実施形態に係るドライバの構成＞

図4は、第1の実施形態に係るドライバと、プレーンスイッチとの関係を概略的に示すためのブロック図である。図5は、第1の実施形態に係るCGドライバを概略的に示すブロック図である。

[0034] 図4では、簡単のため、メモリセルアレイ11が、二つのプレーンを有する場合について説明する。そして、本実施形態では、一つのプレーンが4ブロック有している場合について説明する。

[0035] 図4に示すように、電圧生成回路16は、パワーサプライ161と、CGドライバ（ワード線ドライバとも称す）162と、SGドライバ163とを備えている。パワーサプライ161は、CGドライバ162、SGドライバ163、及びその他の回路に電力を供給する。

[0036] 図5に示すように、CGドライバ162は、CGNDドライバ162b、162d、CGDドライバ162c、CGUドライバ162e、p-BiCSであればさらにCGBGドライバ162c等を備えている。CGNDドライバは、データを格納するワード線WL（DataWLとも称す）を1本単位で駆動する。

[0037] 後述するようにNAND型半導体記憶装置におけるプログラム動作時、選択ワード線WL i （0以上の整数）上の書き込みを行わないセルのチャネルに対しワード線WLゲートからブーストを掛けてトンネル電流が発生しないようにする制御が重要である。そのため、NANDストリング中、非選択ワード線WL（ $i \pm 6$ ）～WL（ $i \pm 9$ ）本程度の範囲の電圧を最適に制御できるように設計し、チップ評価にて最適設定して量産化を行っている。このためのドライバがCGNDドライバである。

[0038] NANDストリングのワード線WL本数が例えば32本のNAND型半導体記憶装置において、データを格納するワード線WL1本に対してCGNDドライバを専用に1台用意し、どのワード線WLをプログラムするときであっても、その前後のワード線WLに対し、最適な電圧を選択して印加することが検討できる。しかし、NANDストリングのワード線WL本数を64本以上に増やした場合、ワード線WL1本に対しCGNDドライバを1台用意するとなると、ワード線WLの本数の増加に伴い、CGNDドライバが増加する。その結果、チップ面積が増加する問題を生じる。

[0039] 本実施形態では、非選択ワード線WL（ $i \pm 6$ ）～WL（ $i \pm 9$ ）本程度を駆動できるだけのCGNDドライバと、それ以外のワード線WLをまとめて駆動する後述のCGUドライバとを、選択ワード線WL情報（ゾーン）により、適宜切り替える。これをCGNDドライバのデコード方式と呼び、これに

よりNANDストリングのWL本数が64～128以上に増えたとしてもCGNドライバの台数を16台～24台程度のままにすることができ、チップ面積を抑えることができる。

[0040] CGNドライバは分割単位で接続を切り替えるため、例えばCGNAドライバ<0>～<3>（まとめて<3:0>等と表記する）、CGNBドライバ<3:0>、CGNCドライバ<3:0>、CGNDドライバ<3:0>のようにグルーピングされている。尚、以下において、CGNAドライバ<3:0>、CGNBドライバ<3:0>、CGNCドライバ<3:0>、CGNDドライバ<3:0>を区別しない場合には、単にCGNドライバや、CGN*等と称す。

[0041] 図5に示すように、第1の実施形態に係るCGドライバ162は、VCGSEL回路162aと、CGNドライバ162b、162d（計16台）と、CGDドライバ162c（計4台）と、CGBGドライバ162cと、CGUドライバ162eとを備えている。CGUドライバ162e以外のCGドライバは、電圧VCGSEL、VUSEL1、VUSEL2、及びVSSのいずれかの電圧を出力する。CGUドライバ162eは、電圧VUSEL1、VUSEL2、及びVSSを出力する。VCGSEL回路162aと、CGNドライバ162b、162dと、CGDドライバ162cと、CGBGドライバ162cと、CGUドライバ162eと、は、制御回路15からの制御信号によって制御される。

[0042] 電圧VCGSELは、VCGSEL回路162aによって選択される電圧である。VCGSEL回路162aには、例えば電圧VPGM及びVCGRVが入力され、VCGSEL回路162aは、制御回路15の制御信号によって、どちらかを選択する。

[0043] 電圧VPGMは、選択セルにプログラムを行う際に選択ワード線WL_iに印加する電圧（セルプログラム電圧）である。電圧VCGRVは、リード、またはプログラムベリファイ時に選択ワード線WL_iに印加する電圧（セルリード電圧）である。電圧VUSEL1は、プログラム時はチャネルブース

ト用の電圧 V_{PASS1} である。リード、またはプログラムベリファイ時は非選択ワード線 $WL(i \pm 1)$ に印加される電圧 V_{READK} である。電圧 V_{USEL2} は、プログラム時はチャネルブースト用の電圧 V_{PASS2} である。リード、またはプログラムベリファイ時は、選択ワード線 WL_i 及び非選択ワード線 $WL(i \pm 1)$ 以外の非選択ワード線 WL に印加される電圧 V_{READ} である。電圧 V_{CELSRC} 及び V_{CPWELL} は、メモリセルアレイ 11 に接続される。

[0044] 図5に示すように、それぞれのCGNドライバ162b、162dは、パワーサプライ161で生成される各種ワード線 WL 印加用電圧を選択して出力する、スイッチの機能を有する回路を含む。

[0045] CGDドライバ162cは、データを格納しないワード線 WL (Dummy WL とも称す)を1本単位で駆動する。CGDドライバは、CGDDTドライバ、CGDDBドライバ、CGDSBドライバ、及びCGDSTドライバを備えている。本実施例のリード動作においては、CGDDT、CGDSTドライバは、例えば電圧 V_{READK} を選択して出力し、CGDDB、CGDSBドライバは、 V_{READ} を選択して出力する。また、以下において、CGDDTドライバ、CGDDBドライバ、CGDSBドライバ、及びCGDSTドライバを区別しない場合には、単にCGDドライバや、CGD*等と称す。

[0046] CGUドライバ162eは、選べる電圧は少ないが駆動力があるドライバである。プログラムまたはリード動作時において、選択ワード線 WL から遠いワード線 WL は一律同電位で駆動すれば良く、このためにCGUドライバが用いられる。

[0047] 本実施形態のメモリセルアレイ11では、U字のStringsの底面にバックゲートが設けられており、CGBGドライバ162cは、このバックゲートを駆動するために用いられる。

[0048] SGドライバ163は、メモリセルアレイ11の選択ゲート等に電力を供給するドライバである。

[0049] プレーンスイッチ17は、メモリセルアレイ11のプレーン毎に、プレー

ンスイッチCGSWと、プレーンスイッチSGSWとが設けられている。より具体的には、プレーンスイッチ17は、プレーン<0>に対応して、プレーンスイッチCGSW171aと、プレーンスイッチSGSW171bとを備え、プレーン<1>に対応して、プレーンスイッチCGSW172aと、プレーンスイッチSGSW172bとを備えている。

[0050] プレーンスイッチCGSW171aは、制御回路15からゾーン信号ZONE__P0<3:0>と、モード信号MODE__P0<1:0>と、CGD*SW__P0とを受信する。また、プレーンスイッチCGSW171aは、CGNAドライバ<3:0>、CGNBドライバ<3:0>、CGNCドライバ<3:0>、CGNDドライバ<3:0>、CGDDTドライバ、CGDDBドライバ、CGDSBドライバ、CGDSTドライバ、CGBGドライバ、及びCGUドライバから信号を受信する。そして、プレーンスイッチCGSW171aは、制御回路15からの信号に基づいて、CGドライバ162から受信した信号を、ロウデコーダ21に供給する。また、プレーンスイッチSGSW171bは、制御回路15からの信号に基づいて、SGドライバ163から受信したSGS信号及びSGD信号を、ロウデコーダ21に供給する。

[0051] ロウデコーダ21は、プレーン毎に専用のロウデコーダが設けられている。より具体的には、ロウデコーダ21は、プレーン<0>に対応するロウデコーダ211と、プレーン<1>に対応するロウデコーダ212とを備えている。

[0052] ロウデコーダ211は、制御回路15から信号BLKADD__P0<1:0>、及び信号RDEC__P0を受信する。また、ロウデコーダ211は、プレーンスイッチCGSW171aから、信号線CGI<31:0>、CGDDTI、CGDDBI、CGDSBI、CGDSTI、及びCGBGIを介して信号を受信する。更に、ロウデコーダ211は、プレーンスイッチSGSW171bから、信号線SGSI、SGDI、USGSI、及びUSGDIを介して信号を受信する。ロウデコーダ211は、受信信号に基づいて

、信号をプレーン＜0＞に供給する。また、ロウデコーダ212は、ロウデコーダ211と同様に動作する。

[0053] <プレーンスイッチCGSWのCGNに係るスイッチの構成>

次に、図6を用いて第1の実施形態に係るプレーンスイッチCGSWのCGNに係るスイッチの構成について概略的に説明する。図6は、第1の実施形態に係るプレーンスイッチCGSWのCGNに係るスイッチの回路図である。

[0054] 例えば、本実施形態ではプレーンスイッチCGSW171aは、スイッチ17a0～17a7、17b0～17b7、17c0～17c7を備えている。

[0055] スイッチ17a0、17a4の電圧経路の一端にCGNA＜3：0＞が入力され、スイッチ17a1、17a5の電圧経路の一端にCGNB＜3：0＞が入力される。また、スイッチ17a2、17a6の電圧経路の一端にCGNC＜3：0＞が入力され、スイッチ17a3、17a7の電圧経路の一端にCGND＜3：0＞が入力される。

[0056] また、スイッチ17a0の電圧経路の他端は信号線CGI＜3：0＞に接続され、スイッチ17a1の電圧経路の他端は信号線CGI＜7：4＞に接続される。また、スイッチ17a2の電圧経路の他端は信号線CGI＜11：8＞に接続され、スイッチ17a3の電圧経路の他端は信号線CGI＜15：12＞に接続される。さらに、スイッチ17a4の電圧経路の他端は信号線CGI＜19：16＞に接続され、スイッチ17a5の電圧経路の他端は信号線CGI＜23：20＞に接続される。また、スイッチ17a6の電圧経路の他端は信号線CGI＜27：24＞に接続され、スイッチ17a7の電圧経路の他端は信号線CGI＜31：28＞に接続される。

[0057] スイッチ17b0、17b4の電圧経路の一端にCGNC＜3：0＞が入力され、スイッチ17b1、17b5の電圧経路の一端にCGND＜3：0＞が入力される。また、スイッチ17b2、17b6の電圧経路の一端にCGNA＜3：0＞が入力され、スイッチ17b3、17b7の電圧経路の一

端に $CGB < 3 : 0 >$ が入力される。

[0058] また、スイッチ 17b0 の電圧経路の他端は信号線 $CG1 < 3 : 0 >$ に接続され、スイッチ 17b1 の電圧経路の他端は信号線 $CG1 < 7 : 4 >$ に接続される。また、スイッチ 17b2 の電圧経路の他端は信号線 $CG1 < 11 : 8 >$ に接続され、スイッチ 17b3 の電圧経路の他端は信号線 $CG1 < 15 : 12 >$ に接続される。さらに、スイッチ 17b4 の電圧経路の他端は信号線 $CG1 < 19 : 16 >$ に接続され、スイッチ 17b5 の電圧経路の他端は信号線 $CG1 < 23 : 20 >$ に接続される。また、スイッチ 17b6 の電圧経路の他端は信号線 $CG1 < 27 : 24 >$ に接続され、スイッチ 17b7 の電圧経路の他端は信号線 $CG1 < 31 : 28 >$ に接続される。

[0059] スwitch 17c0 ~ 17c7 の電圧経路の一端に CGU が入力される。スイッチ 17c0 の電圧経路の他端は信号線 $CG1 < 3 : 0 >$ に接続され、スイッチ 17c1 の電圧経路の他端は信号線 $CG1 < 7 : 4 >$ に接続される。また、スイッチ 17c2 の電圧経路の他端は信号線 $CG1 < 11 : 8 >$ に接続され、スイッチ 17c3 の電圧経路の他端は信号線 $CG1 < 15 : 12 >$ に接続される。さらに、スイッチ 17c4 の電圧経路の他端は信号線 $CG1 < 19 : 16 >$ に接続され、スイッチ 17c5 の電圧経路の他端は信号線 $CG1 < 23 : 20 >$ に接続される。また、スイッチ 17c6 の電圧経路の他端は信号線 $CG1 < 27 : 24 >$ に接続され、スイッチ 17c7 の電圧経路の他端は信号線 $CG1 < 31 : 28 >$ に接続される。

[0060] また、スイッチ 17a0 ~ a7、17b0 ~ b7、17c0 ~ c7 のそれぞれのゲートには、制御回路 15 からの 2 種類の信号が入力される。より具体的には、スイッチ 17a0 ~ a7、17b0 ~ b7、17c0 ~ c7 のゲートには、モード信号 $MODE < 1 : 0 >$ 、及びゾーン信号 $ZONE < 2 : 0 >$ に基づく信号が入力される。このモード信号 $MODE < 1 : 0 >$ 、及びゾーン信号 $ZONE < 2 : 0 >$ については後述で説明する。

[0061] $<$ プレーンスイッチ $CGSW$ の CGD に係るスイッチの構成 $>$

次に、図 7 を用いて第 1 の実施形態に係るプレーンスイッチ $CGSW$ の

G Dに係るスイッチの構成について概略的に説明する。図7は第1の実施形態に係るブレーンスイッチC G S WのC G Dに係るスイッチの回路図である。

[0062] 例えば、本実施形態ではブレーンスイッチC G S W 1 7 1 aは、スイッチ1 7 n、1 7 o、1 7 p、1 7 q、1 7 r、1 7 s、1 7 t、及び1 7 uを備えている。

[0063] スイッチ1 7 nの電圧経路の一端にC G D Tが入力され、電圧経路の他端は、信号線C G D T 1に接続され、ゲートには、制御回路1 5からのC G D T S W信号が入力される。

[0064] スイッチ1 7 oの電圧経路の一端にC G D Bが入力され、電圧経路の他端は、信号線C G D T 1に接続され、ゲートには、制御回路1 5からのC G D T S W信号が入力される。

[0065] スイッチ1 7 pの電圧経路の一端にC G D Tが入力され、電圧経路の他端は、信号線C G D B 1に接続され、ゲートには、制御回路1 5からのC G D B S W信号が入力される。

[0066] スイッチ1 7 qの電圧経路の一端にC G D Bが入力され、電圧経路の他端は、信号線C G D B 1に接続され、ゲートには、制御回路1 5からのC G D B S W信号が入力される。

[0067] スイッチ1 7 rの電圧経路の一端にC G D S Tが入力され、電圧経路の他端は、信号線C G D S T 1に接続され、ゲートには、制御回路1 5からのC G D S T S W信号が入力される。

[0068] スイッチ1 7 sの電圧経路の一端にC G D S Bが入力され、電圧経路の他端は、信号線C G D S T 1に接続され、ゲートには、制御回路1 5からのC G D S T S W信号が入力される。

[0069] スイッチ1 7 tの電圧経路の一端にC G D S Tが入力され、電圧経路の他端は、信号線C G D S B 1に接続され、ゲートには、制御回路1 5からのC G D S B S W信号が入力される。

[0070] スイッチ1 7 uの電圧経路の一端にC G D S Bが入力され、電圧経路の他端は、信号線C G D S B 1に接続され、ゲートには、制御回路1 5からのC G D S B S W信号が入力される。

端は、信号線CGDSBIに接続され、ゲートには、制御回路15からのCGDSBSW信号が入力される。

[0071] <ロウデコーダの構成>

次に、図8を用いて第1の実施形態に係るロウデコーダの構成について概念的に説明する。図8は第1の実施形態に係るロウデコーダの回路図である。

[0072] ロウデコーダ21は、フロッグアプルスBLKAD<0>、BLKAD<1>、デコード結果RDEC等に基づいてフロッグBLKを選択する。

[0073] すなわち、選択されたメモリセルトランジスタMTが含まれるフロッグBLKに対応するMOSトランジスタ21k、21l、21m、21nをオン状態とする。

[0074] 例えば、フロッグアプルスBLKAD<0>が“H”、フロッグアプルス<1>が“L”となる場合、インバータ21aに、“H”が入力され、インバータ21bに“L”が入力される。

[0075] そして、NANDゲート21cには、インバータ21aから“L”が入力され、インバータ21bから“H”が入力される。NANDゲート21cに“L”が入力されているので、RDECに関わらずNANDゲート21cは“H”を出力する。そのため、インバータ21dは、MOSトランジスタ21kのゲートに対して“L”を出力する。

[0076] また、NANDゲート21eには、フロッグアプルスBLKAD<0>として“H”が入力され、インバータ21bから“H”が入力される。RDECが“H”であれば、NANDゲート21cは“L”を出力する。そのため、インバータ21fは、MOSトランジスタ21lのゲートに対して“H”を出力する。このため、RDECが“H”であれば、フロッグBLK1が選択される。

[0077] また、NANDゲート21gには、インバータ21aから“L”が入力され、フロッグアプルスBLKAD<1>として“L”が入力される。NANDゲート21gに“L”が入力されているので、RDECに関わらずNAN

Dゲート21gは“H”を出力する。そのため、インバータ21hは、MOSトランジスタ21mのゲートに対して“L”を出力する。

[0078] また、NANDゲート21iには、ブロックアドレスBLKAD<0>として“H”が入力され、ブロックアドレスBLKAD<1>として“L”が入力される。NANDゲート21iに“L”が入力されているので、RDECに関わらずNANDゲート21iは“H”を出力する。そのため、インバータ21jは、MOSトランジスタ21nのゲートに対して“L”を出力する。

[0079] <CGマッピングの例>

図9～図11を用いて、第1の実施形態に係るCGマッピングについて概略的に説明する。図9は、第1の実施形態に係る半導体記憶装置のプログラム動作時のCGマッピングを示す図である。図10は、第1の実施形態に係る半導体記憶装置のリード動作時のCGマッピングを示す図である。図11は、第1の実施形態に係る半導体記憶装置のイレース動作時のCGマッピングを示す図である。図9～図11において、縦軸がワード線WLに対するCGドライバの割り当てを示しており、横軸は選択ワード線WLを示している。

[0080] 尚、第1の実施形態では、CGDSTドライバは常にワード線WLDSTに専用の電圧を印加しており、CGDSBドライバは常にワード線WLDSBに専用の電圧を印加している。また、第1の実施形態では、CGDDBDドライバは常にワード線WLddbに専用の電圧を印加しており、CGDDTドライバは常にワード線WLDDTに専用の電圧を印加している。更に、第1の実施形態では、CGBGドライバは常にバックゲートBGに専用の電圧を印加している。

[0081] <プログラム動作時のCGマッピングの例>

まず、プログラム動作時のCGマッピングについて説明する。図9に示すように、選択されたワード線WLによって、ワード線WLに電圧を印加するCGドライバは適宜切り替えられる。

[0082] 図9の横軸に示すゾーンとは、各DataWLに、CGNドライバのいずれかまたはCGUドライバを接続するかを、制御回路15から指示する情報である。例えば、メモリコントローラ20からBiCSフラッシュメモリ10にアクセスの種類（プログラム／リード／イレース等）と、アクセスするプレーン及びページアドレスとを入力することで、制御回路15は、該当プレーンのプレーンスイッチ回路に対し、後述のMODE<1:0>およびZONE<3:0>を送信することにより各CGN、CGUドライバをどのようにCGI、すなわちDataWLに接続するかを指示している。

[0083] 例えば、ワード線WLDST、WL0～WL9に対してプログラムを行う際はワード線WL0～3にはCGNAドライバから所望の電圧を加え、同様にワード線WL4～7にはCGNBドライバ、ワード線WL8～11にはCGNCドライバ、ワード線WL12～15にはCGNDドライバ、ワード線WL16～31にはCGUドライバから所望の電圧を加える。

[0084] ワード線WL10～WL13に対してプログラムを行うときには、ワード線WL16～19にCGNAドライバを接続し、ワード線WL0～3にCGUドライバを接続するよう切り替えが発生する。このようにプログラムを行うワード線WLであらかじめ決められたCGN／CGUドライバのCGIへの接続が行われ、この接続の組み合わせはゾーンPZ0～PZ4の5種類となる。

[0085] このゾーンPZ0～PZ4のそれぞれをプログラム時のゾーンと呼ぶ。メモリコントローラ20からプレーンスイッチ回路17に対し入力するZONE信号は、切り替え回路の簡略化のため、後述のリード時のゾーンと統合した単に「ゾーン」と示した信号を入力するようにしている。このときプログラム時とリード時のゾーンはなるべく同じ領域をとり、CGNドライバ数、ゾーン数で大きく決まるCGドライバ系の回路面積が最小になるように考慮している。

[0086] ゾーンPZ0を選択する場合は、ゾーン信号は“000”または“001”となり、ゾーンPZ1を選択する場合は、ゾーン信号は“010”となる

。ゾーンPZ2を選択する場合は、ゾーン信号は“011”となり、ゾーンPZ3を選択する場合は、ゾーン信号は“100”となる。ゾーンPZ4を選択する場合は、ゾーン信号は“101”、“110”、“111”となる。

[0087] 本実施形態では、CGNドライバを合計16台使用することで、プログラム時の選択ワード線WL i ($i: 0 \sim 31$) 対して非選択ワード線WL ($i+1$) ~ 非選択ワード線WL ($i+6$) (図中のD6参照) または非選択ワード線WL ($i-1$) ~ 非選択ワード線WL ($i-6$) (図中のS6参照) の電圧をCGNドライバによって電圧を最適に制御できるように設計したものである。

[0088] <リード動作時のCGマッピングの例>

次に、リード動作時のCGマッピングについて説明する。

[0089] NAND型半導体記憶装置のリード時は選択ワード線WL i に読み出し電圧、非選択ワード線WL ($i \pm 1$) のワード線WLにVREADK、その他ワード線WLはVREADと呼ばれる電圧を入れるだけでよく、プログラム時より制御必要なワード線WL範囲が狭く、必要なCGNドライバの台数を少なくすることができる。プログラム動作のためには16~24台程度は用意されるため、リード時にはCGUドライバでWL電圧印可を代用することができるCGNドライバが存在することになる。本実施形態では、そのCGNからCGUへの代用とそれにより確保したCGNドライバを、マルチプレーンリード動作において、各プレーンで互いに異なるWLを選べるように有効活用する。

[0090] 図10に示すように、選択されたワード線WLによって、ワード線WLに電圧を印加するCGドライバは適宜切り替えられる。

[0091] 図10の横軸に示すように、リード時のゾーンRZ0~RZ6を設定している。

[0092] 具体的には、ワード線WLDST、WL0~WL5に対してリードを行う際はワード線WL0~3にはCGNAドライバまたはCGNCドライバにて

所望の電圧を加え、同様にワード線WL 4～7にはCGNBドライバまたはCGNDドライバ、ワード線WL 8～31にはCGUドライバにて所望の電圧を加える。これに対し、ワード線WL 6～WL 9に対してリードを行うときには、ワード線WL 8～11にCGNAドライバまたはCGNCドライバを接続し、ワード線WL 0～3にCGUを接続するよう切り替えが発生する。リードを行うワード線WLであらかじめ決められた接続が行われ、この接続の組み合わせはゾーンRZ0～RZ6の7種類となっている。このゾーンRZ0～RZ6のそれぞれをリード時のゾーンと呼ぶ。

[0093] ゾーンRZ0を選択する場合は、ゾーン信号は“000”となり、ゾーンRZ1を選択する場合は、ゾーン信号は“001”となる。ゾーンRZ2を選択する場合は、ゾーン信号は“010”となり、ゾーンRZ3を選択する場合は、ゾーン信号は“011”となる。ゾーンRZ4を選択する場合は、ゾーン信号は“100”、または“101”となり、ゾーンRZ5を選択する場合は、ゾーン信号は“110”となる。そして、ゾーンRZ6を選択する場合は、ゾーン信号は“111”となる。

[0094] このように、本実施形態では、少なくとも選択ワード線WL i ($i: 0 \sim 31$) に対して非選択ワード線WL ($i+1$) (図中のD1参照) または非選択ワード線WL ($i-1$) (図中のS1参照) の電圧をCGNドライバによって切り替えることができ、CGNA及びCGNBと、CGNC及びCGNDとで、異なるプレーンのワード線WLに電圧を印加するためのドライバとして割り当てることで、マルチプレーンリード時に2種類のワード線WLを自由に指定することができる。例えば16台のCGNドライバを有する場合、2種類のワード線WLをマルチプレーンリードで選べるようにするためには、16個のCGNドライバを4グループに分け、4つグループのうち2グループを1つのワード線WLの選択用、残り2グループをもう1つのワード線WLの選択用に割り当てる。

[0095] 4プレーンを有する場合、16台のCGNドライバを8グループに分けることで、同様なマルチプレーンリードを行うことができる。いずれも回路面

積の大きいCGNドライバの台数を増やすことなく実現可能である。

[0096] <イレース動作時のCGマッピングの例>

次に、イレース動作時のCGマッピングについて説明する。

[0097] 図11に示すように、イレース動作時において、CGNAドライバはワード線WL0～WL3、WL16～WL19に電圧を印加しており、CGNBドライバはワード線WL4～WL7、WL20～WL23に電圧を印加している。また、CGNCドライバはワード線WL8～WL11、WL24～WL27に電圧を印加しており、CGNDドライバはワード線WL12～WL15、WL28～WL31に電圧を印加している。尚、本実施形態はイレース動作には関係しないため、詳細な説明は省略する。

[0098] <CGのコネクションテーブル>

次に、図12A及び図12Bを用いて、CGのコネクションテーブルについて説明する。図12Aは、イレース動作、プログラム動作、リード動作時におけるゾーン信号に対し、CGN/CGUドライバからCGIへの接続関係を示している。図12Bは、スイッチ信号と、出力信号との関係を示している。

[0099] 図12Aに示すように、イレース時には、モード信号MODE<1:0>は“00”となり、プログラム時には、モード信号MODE<1:0>は“01”となる。リード時(Read-A)には、モード信号MODE<1:0>は“10”となり、リード時(Read-B)には、モード信号MODE<1:0>は、“11”となる。図中のリード時(Read-A)と、リード時(Read-B)とは、リード動作自体は実質的に変わらないが、用いるCGドライバがそれぞれ異なっている。

[0100] 図12Bは、CGDドライバからCGD*1への接続関係を示している。信号CGDDTSWが“0”の場合、信号線CGDDTI出力はCGDDTDドライバの出力となり、信号CGDDTSWが“1”の場合、信号線CGDDTI出力はCGDDBドライバの出力となる。また、信号CGDDBSWが“0”の場合、信号線CGDDBI出力はCGDDBドライバの出力とな

り、信号CGDDBSWが“1”の場合、信号線CGDDBI出力はCGDDTドライバの出力となる。信号CGDSTSWが“0”の場合、信号線CGDSTI出力はCGDSTドライバの出力となり、信号CGDSTSWが“1”の場合、信号線CGDSTI出力はCGDSBドライバの出力となる。また、信号CGDSBSWが“0”の場合、信号線CGDSBI出力はCGDSBドライバの出力となり、信号CGDSBSWが“1”の場合、信号線CGDSBI出力はCGDSTドライバの出力となる。

[0101] <第1の実施形態の作用効果>

上述した第1の実施形態によれば、BiCSフラッシュメモリ10は、データの書き換えが可能な複数のメモリセルと、複数のメモリセルに接続されている複数のワード線WLを備えている。また、BiCSフラッシュメモリ10は、同一のワード線WLに接続された複数のメモリセルを備えるページと、複数のページを備えるプレーンと、プレーンを複数備えるメモリセルアレイ11と、を備えている。更にBiCSフラッシュメモリ10は、複数のワード線WLに電圧を印加する複数のワード線ドライバ（CGドライバ）162と、プレーン毎に設けられ、ワード線WL毎にワード線ドライバ162を割り当てる複数のプレーンスイッチ17を備えている。メモリコントローラ20がBiCSフラッシュメモリ10内に存在するあるページに対してアクセスを行う際、そのページの属するプレーンを識別する番号（プレーン番号と称す）、同一プレーン内で各ブロックを識別する番号（ブロック番号と称す）、及び同一ブロック内で各ページを識別する番号（ページ番号と称す）をフラッシュメモリに対して指定する。以降では、それらを各々「プレーン番号」「ブロック番号」「ページ番号」と呼ぶこととする。

[0102] ところで、近年のNAND型フラッシュメモリでは、その微細化や多値（multi-level）化が進むにつれて、必要とされる電圧の種類も増加している。例えばデータのプログラム時に着目した場合、非選択のワード線に印加すべき電圧だけでも複数種類ある。

[0103] 例えば選択ワード線WL_i（例えばiは0～31）に印加される電圧は、

プログラム時にはVPGMであり、選択ワード線WL i にセレクトゲート線SGD側で隣接する非選択ワード線WL($i+1$)に印加される電圧は、プログラム時にはVPASSH。また、その他の非選択ワード線WLに印加される電圧は、プログラム時にはVPASS、VPASSL、VGP、VISO等がある。

[0104] 例えば選択ワード線WL i に印加される電圧は、リード時にはVCGRVであり、選択ワード線WL i にセレクトゲート線SGD側で隣接する非選択ワード線WL($i+1$)またはWL($i-1$)に印加される電圧は、プログラム時にはVREADK。また、その他の非選択ワード線WLに印加される電圧は、リード時にはVREAD等である。

[0105] そのため、選択ワード線WLに隣接するワード線WLを、様々な電圧を選択出力することができるCGNドライバで制御することが必要である。しかしながら、CGNドライバは、回路面積が大きいというデメリットもある。そのため、少ないCGNドライバで効率的にワード線WLを制御する必要がある。

[0106] しかしながら、本実施形態では、選択ワード線WLに隣接し、詳細な電圧の調整が必要なワード線WLに対しては、プレーンスイッチ17によってCGNドライバを割り当てることができる。そして、単純にVPASSを印加すれば良い。その他ワード線WLに対しては、プレーンスイッチ17によって選択出力できる電圧の種類も少なく、回路面積がCGNドライバよりも小さいCGUドライバを割り当てることができる。

[0107] このように、本実施形態によれば、プレーンスイッチ17を設け、ゾーン信号等でプレーンスイッチを制御することで、少ないCGドライバで、効率的にワード線WLを制御することができる。

[0108] また、プレーンスイッチ17等により、CGドライバの切り替えを制御しなくても、同一のページ番号 x を持つ、相異なる複数のプレーン $P_0, P_1, \dots, P_n$ の、ブロック番号 $B_0, B_1, \dots, B_n$ のページ $(P_0, B_0, x), (P_1, B_1, x), \dots, (P_n, B_n, x)$ に対する同時アクセスが発生した場合、それらのアクセス要求を一括

してフラッシュメモリデバイスに対して発行し、並列アクセスを行うことができる。

[0109] しかしながら、相異なる複数のプレーン $P_0, P_1, \dots, P_n$ のあるブロック $B_0, B_1, \dots, B_n$ に存在する、相異なるページ番号 $x, y, \dots, z$ に属するページ $(P_0, B_0, x), (P_1, B_1, y), \dots, (P_n, B_n, z)$ に対するアクセス要求が発生した場合、ページ番号が異なるページは相異なるワード線に属することがあるため、第1の実施形態で説明したB i C Sフラッシュメモリ10を用いないと、それらを一括して処理することはできない。

[0110] 本実施形態に係るB i C Sフラッシュメモリ10は、プレーンスイッチ17によって、プレーン毎に、CGドライバを適宜ワード線WLに割り当てることができるので、相異なる複数のプレーン内に位置するページ番号の異なるページに対して並列アクセス可能である。つまり、本実施形態に係るB i C Sフラッシュメモリ10では、ワード線ドライバ(CGドライバ)の制約から、ProgramコマンドおよびReadコマンドは同じワード線WL且つ同じLower/UpperのPageを指定する制約等がない。これにより、NANDシステムのPerformanceを改善することができる。

[0111] (第2の実施形態)

次に、第2の実施形態について説明する。第2の実施形態では、第1の実施形態で説明した半導体記憶装置を用いるマルチプレーンアクセスについて説明する。尚、第2の実施形態において、上述した第1の実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0112] <第2の実施形態に係る半導体記憶装置の構成>

まず、図13を用いて、第2の実施形態に係る半導体記憶装置の基本的な構成について概略的に説明する。図13は、第2の実施形態に係る半導体記憶装置の基本的な構成を模式的に示したブロック図である。

[0113] 図13に示すように、メモリコントローラ20は、論物変換テーブル1aと、書き込み／読み出し制御部1bとを更に備える。

[0114] 論物変換テーブル1 aは、ホスト2からホストインタフェース30を通じて供給される論理アドレスを持つユーザデータが、B i C Sフラッシュメモリ10内のどの物理的なメモリセル位置（物理アドレス）に格納されているかの情報を保持するテーブルである。メモリコントローラ20は、ホスト2から、論理アドレスが供給されると、論物変換テーブル1 aを用いて、受信した論理アドレスに対応する物理アドレスを導出する。

[0115] 書き込み／読み出し制御部1 bは、ここでは図示しないCPU等のハードウェアで実現されても良いし、CPU及びRAM上等で動作するソフトウェアで実現されても良い。書き込み／読み出し制御部1 bの詳細な動作については後述する。

[0116] <第2の実施形態に係るアクセス統合動作>

次に、図14、図15を用いて、第2の実施形態に係るアクセス統合動作について説明する。図14は、第2の実施形態に係るアクセス統合動作を示したフローチャートである。図15は、第2の実施形態に係るB i C Sフラッシュメモリ10の、相異なるプレーン内のブロック内の、相異なるページ番号を持つページに格納されたデータに並列にアクセスする様子を図示したものである(Fig. 15 describes parallel access to pages having different page numbers, where each page is included in a block in a different plane)。ここでは、簡単のため、i番目のプレーンのj番目のブロックのk番目のページを、ページ(i, j, k)と表す。

[0117] [ステップS1001]

メモリコントローラ20は、ホスト2からのアクセス要求（アクセスコマンド）を受信する。ここで、アクセス要求とは、読み出し要求（リードコマンド）と書き込み要求（ライトコマンド）を含む。

[0118] [ステップS1002]

メモリコントローラ20は、ホスト2からのアクセス要求を受信した後、処理を開始することが可能になった時点で、受信したアクセス要求の処理を開始する。

[0119] [ステップS1003]

書き込み／読み出し制御部1bは、処理対象のアクセス要求が複数あるか否かを判定する。例えば、メモリコントローラ20は、例えば、図示しないコマンドキュー領域等を備えている。このコマンドキュー領域は、ホスト2から受信したコマンドを保持する。書き込み／読み出し制御部1bは、コマンドキュー領域に保持されたアクセス要求を参照することが可能であり、複数のアクセス要求があるか否かを判定することが可能である。

[0120] [ステップS1004]

ステップS1003において、書き込み／読み出し制御部1bが、処理対象のアクセス要求が複数あると判定した場合、書き込み／読み出し制御部1bは、複数のアクセス要求が統合可能か否かを判定する。処理対象の複数のアクセス要求が同一のBiCSフラッシュメモリ10の相異なるプレーン内のページに対するものであれば、それらのアクセス要求は統合可能であると判定し、そうでない場合は統合不能と判定する。より具体的には、書き込み／読み出し制御部1bは、処理対象の複数のアクセス要求について、それぞれアクセス先の物理アドレス（S1002において導出）を参照する。複数のアクセス要求のアクセス先の物理アドレスが異なるプレーン上のページを指定しており、かつアクセス内容が読出し要求同士ないし書き込み要求同士である場合には、その複数のアクセス要求を統合可能であると判定する。一方、以上の条件を満たさない場合には、統合不能と判定する。

[0121] ここで、アクセス要求を統合するとは、一回のBiCSフラッシュメモリに対するコマンドシーケンス発行によって、アクセス要求のあった複数のデータに対してリード動作ないしプログラム動作を一度に行うことを言う。

[0122] [[ステップS1005]

ステップS1004において、書き込み／読み出し制御部1bが、複数のアクセス要求が統合可能と判定した場合、書き込み／読み出し制御部1bは複数のアクセス要求を統合する。

[0123] [ステップS1006]

ステップS 1 0 0 3において、書き込み／読み出し制御部 1 b が処理対象のアクセス要求が複数ではないと判定した場合（つまり、処理対象のアクセス要求が1つであると判定した場合）、書き込み／読み出し制御部 1 b は処理対象のアクセス要求に基づきB i C Sフラッシュメモリ 1 0 へのアクセスを行う。

[0124] ステップS 1 0 0 4において、書き込み／読み出し制御部 1 b が複数のアクセス要求が統合できないと判定した場合、書き込み／読み出し制御部 1 b は、各アクセス要求に基づいて逐次B i C Sフラッシュメモリ 1 0 へのアクセスを行う。

[0125] 書き込み／読み出し制御部 1 b が複数のアクセス要求を統合する場合、書き込み／読み出し制御部 1 b は、統合したアクセス要求に基づいてB i C Sフラッシュメモリ 1 0 へのアクセス（並列アクセスまたはマルチプレーンアクセスと称す）を行う。

[0126] 図 1 5 を用いて、統合したアクセス要求に基づくB i C Sフラッシュメモリ 1 0 へのアクセスについて説明する。

[0127] 前述のように、書き込み／読み出し制御部 1 b は、処理対象の複数のアクセス要求が同一のB i C Sフラッシュメモリ 1 0 の相異なるプレーン内のページに対するものである場合、複数のアクセス要求を統合し、統合したアクセス要求に基づいてB i C Sフラッシュメモリ 1 0 へのアクセスを行う。図 1 5 は、統合したアクセス要求に基づくB i C Sフラッシュメモリ 1 0 へのアクセスの様子を示す。

[0128] 図 1 5 はページ(0, 1, 1)に存在するユーザデータAに対するアクセス要求、ページ(1, 2, 0)に存在するユーザデータBに対するアクセス要求、及びページ(n, 1, 2)に存在するユーザデータCに対するアクセス要求が統合され、統合されたアクセス要求に基づくアクセスを図示している。

[0129] 図 1 5 のように、第 2 の実施形態に係る半導体記憶装置では、相異なるページ番号を持つページ(0, 0, 1), (1, 2, 0), …(n, 1, 2)に格納されたユーザデータA,B,Cに対して並列にアクセスを行うことが可能である。なお、並列

にアクセスを行うとは、アクセス要求のあったユーザデータA, B, Cの格納されるメモリセルに対するリード動作ないしプログラム動作を同時に行うことを言う。

[0130] <第2の実施形態の作用効果>

上述した第2の実施形態によれば、第1の実施形態で説明した、相異なる複数のプレーン内に位置するページ番号の異なるページに対して並列アクセス可能なB i C Sフラッシュメモリを用いて、相異なるプレーン内のページ番号の異なるページに格納されたデータへのアクセス要求を統合し、並列にアクセスを行う。

[0131] このように、複数のアクセス要求を統合することで、逐次データアクセスを行う必要がなく、B i C Sフラッシュメモリへのデータアクセスのスループットを向上させることができる。

[0132] (第3の実施形態)

次に、第3の実施形態について説明する。第3の実施形態では、マルチプレーンアクセスの他の例について説明する。尚、第3の実施形態において、上述した第2の実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0133] <第3の実施形態に係るアクセス統合動作>

次に、図16、図17を用いて、第3の実施形態に係るアクセス統合動作について説明する。図16は、第3の実施形態に係るアクセス統合動作を示したフローチャートである。図17は、第3の実施形態に係るB i C Sフラッシュメモリ10の、相異なるプレーン内のブロック内の、相異なるページ番号を持つページに格納されたデータに並列にアクセスする様子を図示したものである。一般に、メモリコントローラ20は、ホスト2から要求を受けてユーザデータへアクセスする際、当該ユーザデータに対応するがユーザデータそのものではない何らかのデータを、副次的な情報として利用することがある。このような、メモリコントローラ20が内部的にユーザデータの管理のために利用するデータを、以下ではメタデータと呼ぶ。

- [0134] 第3の実施形態では、メモリコントローラ20はあるユーザデータと対応するメタデータを、同一フラッシュメモリアドレス内の相異なるアドレスに格納する。この際、ユーザデータとそれに対応するメタデータの格納されるページは、ブロック番号、ページ番号が相異なっても構わない。また、第3の実施形態では、ユーザデータをアドレス0～n-1に格納し、メタデータをアドレスnに格納しているが、必ずしもこれに限らない。
- [0135] また、あるユーザデータに対応するメタデータの格納位置(物理アドレス)を決定する際、メタデータの格納位置は、対応するユーザデータの格納位置(物理アドレス)等の属性から容易に計算できるように構成することができ、このように構成することで、ユーザデータに対応するメタデータの位置を求めることが容易になる利点を得ることができる。
- [0136] [スツップS2001] メモリコントローラ20は、ホスト2からの読み出し要求を受信する(図14のスツップS1001参照)。
- [0137] [スツップS2002] メモリコントローラ20は、ホスト2からの読み出し要求を受信した後、受診した読み出し要求の処理を開始する(図14のスツップS1002参照)。
- [0138] [スツップS2003] メモリコントローラ20は、ホスト2からのアクセス要求処理を開始した後、アクセス要求のあったユーザデータに対応するメタデータの格納されている位置を取得する。
- [0139] [スツップS2004] 書き込み/読み出し制御部1bは、ホスト2からアクセス要求のあったユーザデータと、ユーザデータに対応するメタデータに対して並列にアクセスを行うようなコマンドシーケンスを、BICSFラッシュメモリ10に対して発行する(図14のスツップS1006参照)。
- [0140] これにより、メモリコントローラ20は、ホスト2よりアクセス要求のあ

ったユーザデータと、ユーザデータに対応するメタデータへのアクセスを並列に行うことができる。

[0141] 図17に示すように、メモリコントローラ20によって、ページ(0, 0, 1)に格納されたユーザデータAとページ(n, 1, 2)に格納されたメタデータAとが関連付けられている。同様に、書き込み／読み出し制御部1bによって、ページ(1, 2, 0)に格納されたユーザデータBとページ(n, 1, 1)に格納されたメタデータBがそれぞれ関連付けられている。

[0142] 図17に示すように、書き込み／読み出し制御部1bは、ユーザデータとメタデータの組に対して並列にアクセスすることができる。これは、メモリコントローラ20が、各ユーザデータA, Bとそれに対応するメタデータA, Bを、同一のB i C Sフラッシュメモリ10内の相異なるプレーンに格納しているためである。

[0143] <第3の実施形態の作用効果>

上述した第3の実施形態によれば、ユーザデータと、当該ユーザデータに関連付けられているメタデータを、同一のB i C Sフラッシュメモリ10上の相異なるプレーンに格納する。メモリコントローラ20は、ユーザデータと当該ユーザデータに関連付けられているメタデータにアクセスする際、二つのデータに並列にアクセスを行うようなコマンドシーケンスをB i C Sフラッシュメモリ10に対して発行する。これにより、ユーザデータと、当該ユーザデータに関連付けられているメタデータが並列にアクセスすることができる。

[0144] ユーザデータと、当該ユーザデータに関連付けられているメタデータを並列にアクセスすることで、逐次データアクセスを行わなくて済むことによりスループットを向上させることができる。

[0145] (第4の実施形態)

次に、第4の実施形態について説明する。第4の実施形態では、第1の実施形態、第2の実施形態、及び第3の実施形態で説明した半導体記憶装置におけるプログラム動作、リード動作について説明する。尚、第4の実施形態

において、上述した各実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0146] <データのプログラム方法の例>

以下では、電荷蓄積層に電荷を注入してメモリセルトランジスタMTの閾値電圧を上昇させる場合を“x 0”プログラム、“0 0”プログラム“1 0”プログラム、“0”プログラム等と呼ぶ。他方、電荷蓄積層に電荷を注入せず、閾値電圧を変化させない場合（換言すれば、保持データが別のレベルに遷移しない程度の電荷注入に抑える場合）を“x 1”プログラム、“1 1”プログラム、“1”プログラム等と呼ぶ。

[0147] 図18を用いて本実施態様に従ったメモリにおける、データのプログラム方法の一例について説明する。但し、説明の簡略化の為に、以下では4値（4-levels）、または2値（2-levels）NAND型フラッシュメモリの場合を例に挙げて説明する。また、その他の多値（multi-bit）NAND型フラッシュメモリでも同様である。

[0148] 図18は、メモリセルトランジスタMTの閾値分布を示すグラフである。メモリセルトランジスタMTが4値のデータ（2ビットデータ）を保持出来る場合、メモリセルトランジスタMTは、閾値電圧 V_{th} の低い順に“1 1”、“0 1”、“0 0”、“1 0”の4種のデータを保持出来る。

[0149] <MLCプログラム方法の例>

図18の（a）はメモリセルトランジスタMTの閾値分布を示すグラフであり、MLCプログラム時におけるLowerページのプログラム後の閾値分布の変化を示している。図18の（b）はメモリセルトランジスタMTの閾値分布を示すグラフであり、MLC（multi level cell）プログラム時におけるUpperページのプログラム後の閾値分布の変化を示している。

[0150] 図18の（a）及び（b）に示すように、データは1ページに対して一括して書き込まれる。またデータは、2ビットのうちの1ビットずつ書き込まれる。この際、図示するように、2ビットのうちのまず下位ビットのデータが書き込まれ、次に上位ビットのデータが書き込まれる。下位ビットにつき

“0”プログラムを行う場合、粗くプログラムが行われる。そして上位ビットのプログラムの際に、“00”をプログラムする際にはその閾値がBVより高くなるようにプログラムが行われ、“10”をプログラムする際にはCVより高くなるようプログラムが行われる。

[0151] <SLCプログラム方法の例>

図18の(c)はメモリセルトランジスタMTの閾値分布を示すグラフであり、SLC (Single level cell) プログラム後の閾値分布の変化を示している。

[0152] 図18の(c)に示すように、MLCプログラムに比べて、粗くプログラムが行われる。そして“0”をプログラムする際にはその閾値がSLCVより高くなるようプログラムが行われる。

[0153] また、このSLCデータは。例えばメタデータ等で用いられる。

[0154] <hSLCプログラム方法の例>

図18の(d)はメモリセルトランジスタMTの閾値分布を示すグラフであり、hSLC (higher Single level cell) プログラム後の閾値分布の変化を示している。

[0155] 図18の(d)に示すように、“0”をプログラムする際にはSLCプログラムの“0”に比べて、高くプログラムが行われる。より具体的には“0”をプログラムする際にはその閾値がhSLCVより高くなるようプログラムが行われる。hSLCプログラム時は、図19に示すようなhSLCの専用のパラメータを用いてプログラムを行う。パラメータF__VPGMHSLCは、hSLCプログラムにおける初回の電圧VPGMを定義するパラメータである。パラメータF__DVPGMHSLCは、hSLCプログラムにおけるVPGMの増加分を定義するパラメータである。パラメータF__VCG__HSLCVは、hSLCプログラムにおけるベリファイレベルを定義するパラメータである。パラメータF__NLP__HSLCは、hSLCプログラムにおけるループの最大回数を定義するパラメータである。尚、これらのパラメータは、メモリアレイ11の一部に記憶しておき、電源投入時に制御回

路15内のレジスタに転送される。

[0156] また、このhSLCデータは、例えばメタデータ等で用いられる。このhSLCデータの“0”は、例としてMLCのBV以上書きあげておく。

[0157] <リードシーケンス>

次に、図20を用いて、第4の実施形態に係る動作オプションについて説明する。図20は、第4の実施形態に係る動作オプションにおけるリードシーケンスを示す図である。ここでは、簡単のために、プレーン0とプレーン1の二つのプレーンを取り出して説明する。

[0158] <動作オプションA>

まずは、動作オプションAについて説明する。hSLCデータを専用のコマンドでメモリセルの閾値電圧をMLCにおけるBV以上となる。このため、この動作オプションAは、SLCデータおよびMLC Lower/Upperデータのリードを行いながら、hSLCデータの読み出しも同時に行うものである。この動作オプションAは、読み出し時間の増大を防止できる。

[0159] プレーン0のSLCデータと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにSLCRを印加することで、両方のデータを読み出すことができる。

[0160] プレーン0のMLC-Lower（まだUpperプログラムが行われていない）データと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにBRを印加することで、hSLCデータを読み出すことができ、その後、選択ワード線WLにLMRを印加することで、MLC-Lowerデータを読み出すことができる。

[0161] プレーン0のMLC-Upper（まだUpperプログラムが行われていない）データと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにARを印加することで、hSLCデータを読み出すことができ、その後、選択ワード線WLにCRを印加することで、MLC-Upperデータを読み出すことができる。

[0162] プレーン0のMLC-Lower（Upperプログラムが行われた）デ

ータと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにBRを印加することで、両方のデータを読み出すことができる。

[0163] プレーン0のMLC-Upper (Upperプログラムが行われた) データと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにARを印加することで、hSLCデータを読み出すことができ、その後、選択ワード線WLにCRを印加することで、MLC-Upperデータを読み出すことができる。

[0164] 動作オプションAでは、読み出し時間tRの長さなく、プレーン0のデータ (ユーザデータ) 及びプレーン1のデータ (メタデータ) を読み出すことができる。

[0165] 尚、このオプションを選択する場合は、F_HSLC_MODEは“1”とする。

[0166] <動作オプションB>

次に、動作オプションBについて説明する。hSLCデータをSLCコマンドでメモリセルの閾値電圧をMLCにおけるLMV以上かつSLCV以上となる。このため、この動作オプションBは、SLCデータおよびMLC Lower/Upperデータのリードを行いながら、hSLCデータの読み出しも同時に行うものである。この動作オプションBは、SLCの書き込みレベルとhSLCの書き込みレベルとがほぼ同じであるため、hSLCデータのW/E回数はほぼSLCデータのW/E回数と同じになる。hSLCデータのプログラムレベルが、SLCのプログラムレベルと全く同じ場合、hSLCデータのプログラムの際にSLCプログラムコマンドを使ってよいし、書き込みレベルを微調整する場合はhSLCデータの専用コマンドを使えば良い。

[0167] プレーン0のSLCデータと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにSLCRを印加することで、両方のデータを読み出すことができる。

[0168] プレーン0のMLC-Lower (まだUpperプログラムが行われて

いない) データと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにLMRを印加することで、hSLCおよびMLC-Lowerデータを読み出すことができる。

[0169] プレーン0のMLC-Upper (まだUpperプログラムが行われていない) データと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにARを印加することで、hSLCデータを読み出すことができ、その後、選択ワード線WLにCRを印加することで、MLC-Upperデータを読み出すことができる。

[0170] プレーン0のMLC-Lower (Upperプログラムが行われた) データと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにLMRを印加することで、MLC-Lowerデータを読み出すことができ、その後、選択ワード線WLにBRを印加することで、hSLCデータを読み出すことができる。

[0171] プレーン0のMLC-Upper (Upperプログラムが行われた) データと、プレーン1のhSLCデータとを読み出す場合、選択ワード線WLにARを印加することで、hSLCデータを読み出すことができ、その後、選択ワード線WLにCRを印加することで、MLC-Upperデータを読み出すことができる。

[0172] 動作オプションBでは、hSLCは、SLCV以上で書き込むだけで良く、SLCと同じtPROG/信頼性(W/E回数)となる。また、動作オプションBでは、hSLCのプログラムは、SLCのプログラムコマンドを使えば良いため、SLCデータとのマルチプレーンプログラムが可能である(プログラム時のワード線WLは全プレーンで同じである必要あり)。また、動作オプションBでは、hSLCプログラムにhSLCのプログラムコマンドを使った場合、SLCとはVth分布(閾値分布)を変えることが可能である。尚、このオプションを選択する場合は、F_HSLC_MODEは“0”とする。

[0173] <動作波形>

次に、図21A、図21B、図21C、図22A、図22B、図22C、

図23A、図23B、図23Cを用いて、本実施形態に係るリード動作時の動作波形について説明する。

[0174] 図21AはSLCデータのリードの場合のリード動作波形を示し、図21BはMLC-Lowerデータのリードの場合のリード動作波形を示し、図21CはMLC-Upperデータのリードの場合のリード動作波形を示す。

[0175] 図22Aは本実施形態の動作オプションAにおけるSLCデータ及びhSLCデータのリードの場合のリード動作波形を示し、図22BはMLC-Lowerデータ及びhSLCデータのリードの場合のリード動作波形を示し、図22CはMLC-Upperデータ及びhSLCデータのリードの場合のリード動作波形を示す。

[0176] 図23Aは本実施形態の動作オプションBにおけるSLCデータ及びhSLCデータのリードの場合のリード動作波形を示し、図23BはMLC-Lowerデータ及びhSLCデータのリードの場合のリード動作波形を示し、図23CはMLC-Upperデータ及びhSLCデータのリードの場合のリード動作波形を示す。

[0177] 図21Aに示すように、SLCデータの読み出しの際は、選択ワード線WL_nに電圧SLCRが印加され、非選択ワード線WL_(n+1)、WL_(n-1)に電圧VREADK (VREADK>SLCR) が印加され、その他の非選択ワード線WL (WL_{other}等と称す) に電圧VREAD (VREADK>VREAD>SLCR) が印加される。

[0178] 図21Bに示すように、MLC-Lowerデータの読み出しの際は、選択ワード線WL_nに電圧BRが印加され、非選択ワード線WL_(n+1)、WL_(n-1)に電圧VREADK (VREADK>BR) が印加され、その他の非選択ワード線WL_{other}に電圧VREAD (VREADK>VREAD>BR) が印加される。Upperプログラムが実行されていない場合(破線部参照)は、選択ワード線WL_nに電圧LMR (BR>LMR) が印加され、非選択ワード線WL_(n+1)、WL_(n-1)に電圧VRE

ADK ($V_{READK} > BR > LMR$) が印加され、その他の非選択ワード線 WL_{other} に電圧 V_{READ} ($V_{READK} > V_{READ} > BR > LMR$) が印加し、読み直しを行う。

[0179] 図 21C に示すように、MLC—Upper データの読み出しの際は、選択ワード線 WL_n に電圧 AR が印加され、その後選択ワード線 WL_n に電圧 CR ($CR > AR$) が印加され、非選択ワード線 $WL_{(n+1)}$ 、 $WL_{(n-1)}$ に電圧 V_{READK} ($V_{READK} > CR > AR$) が印加され、その他の非選択ワード線 WL_{other} に電圧 V_{READ} ($V_{READK} > V_{READ} > CR > AR$) が印加される。

[0180] また、図 21A 及び図 22A に示すように、動作オプション A における SLC データ及び hSLC データのリードの場合の動作波形は、SLC データのリードの場合の動作波形と同様である。

[0181] また、図 21B 及び図 22B に示すように、動作オプション A における MLC—Lower データ及び hSLC データのリードの場合の動作波形は、MLC—Lower データのリードの場合の動作波形と同様である。

[0182] また、図 21C 及び図 22C に示すように、動作オプション A における MLC—Upper データ及び hSLC データのリードの場合の動作波形は、MLC—Upper データのリードの場合の動作波形と同様である。

[0183] また、図 21A 及び図 23A に示すように、動作オプション B における SLC データ及び hSLC データのリードの場合の動作波形は、SLC データのリードの場合の動作波形と同様である。

[0184] 図 23B に示すように、MLC—Lower データ及び hSLC データの読み出しの際は、選択ワード線 WL_n に電圧 LMR が印加され、その後選択ワード線 WL_n に電圧 BR ($BR > LMR$) が印加され、非選択ワード線 $WL_{(n+1)}$ 、 $WL_{(n-1)}$ に電圧 V_{READK} ($V_{READK} > BR > LMR$) が印加され、その他の非選択ワード線 WL_{other} に電圧 V_{READ} ($V_{READK} > V_{READ} > BR > LMR$) が印加される。この動作は hSLC データを読むために電圧 LMR が必要であり、Upper プログ

ラム実行前よりもU p p e rプログラム実行後の方がリード動作の頻度が高い。電圧L M Rと電圧B Rの2回の読み出しする頻度が高いため、電圧L M R、電圧B Rを順に連続して印加して非選択ワード線W Lの放電および図示しないセンスアンプのR e s e t時間を減らして高速化できる。なお、連続して印加せずに図2 2 Bのような方式としてもよい。

[0185] また、図2 1 C及び図2 3 Cに示すように、動作オプションBにおけるM L CーU p p e rデータ及びh S L Cデータのリードの場合の動作波形は、M L CーU p p e rデータのリードの場合の動作波形と同様である。

[0186] <プログラムシーケンスの例>

次に、図2 4及び図2 5を用いて、第4の実施形態に係るプログラムシーケンスについて説明する。

[0187] 図2 4は、コマンドシーケンスの理解を容易にするために、コマンドシーケンスで用いる記号と、記号の意味を示した表である。

[0188] 図2 5は、h S L Cデータのプログラム時のコマンドシーケンスと、その内部動作波形とを示した図である。ここでは、プレーン0、ブロックB L K x、及び選択ワード線W L nに対してh S L Cデータをプログラムする例について説明する。尚、本図で示すR / Bは、メモリコントローラ2 0と、B i C Sフラッシュメモリ1 0との間の信号線のレディ / ビジーを示すものである。

[0189] 図2 5に示すように、h S L Cデータをプログラムする場合、メモリコントローラ2 0は、B i C Sフラッシュメモリ1 0に対してx x hコマンドと8 0 hコマンドとを発行する。そして、メモリコントローラ2 0は、所定のコマンドやアドレス、書き込みデータ等をB i C Sフラッシュメモリ1 0に対して発行する。

[0190] 図2 5に示すように、B i C Sフラッシュメモリ1 0は、メモリコントローラ2 0からh S L Cデータのプログラムコマンドが入力されると、メモリセルアレイ1 1に対してプログラム動作が行われる。

[0191] 図2 5に示すように、1回目（L O O P # = 1）のプログラム時において

選択ワード線WL_nに電圧V_{PGM}が印加され、その他の非選択ワード線WL_{other}には、前述したような様々な電圧V_{xxxx} (V_{PGM}>V_{xxxx}) が印加される。尚、電圧V_{PGM}は、パラメータF__V_{PGMHSLC}で設定することができる。

[0192] そして、正常にプログラムがされたか否かを判定するために、1回目のベリファイ動作が行われる。ベリファイ動作時において選択ワード線WL_nに電圧HSLCVが印加され、非選択ワード線WL_(n+1)、WL_(n-1)に電圧V_{READK} (V_{READK}>HSLCV) が印加され、その他の非選択ワード線WL_{other}に電圧V_{READ} (V_{READK}>V_{READ}>HSLCV) が印加される。尚、電圧HSLCVは、パラメータF__V_{CG_HSLCV}で設定することができる。

[0193] ここで、1回目のプログラム動作によって、プログラムが終了しない場合は、2回目のプログラム動作を行う。

[0194] 2回目 (LOOP#=2) のプログラム時において選択ワード線WL_nに、1回目のプログラム動作時の電圧V_{PGM}よりも高い電圧V_{PGM}が印加され、その他の非選択ワード線WL_{other}には、前述したような様々な電圧V_{xxxx} (V_{PGM}>V_{xxxx}) が印加される。尚、前回のプログラム動作時の電圧V_{PGM}からの今回のプログラム動作時の電圧V_{PGM}の上がり幅は、パラメータF__DV_{PGHSLC}で設定することができる。

[0195] そして、1回目のベリファイ動作時と同様に、正常にプログラムがされたか否かを判定するために、2回目のベリファイ動作が行われる。

[0196] 図25に示すように、最大回数 (LOOP#=MAX) までプログラム動作を行っても、ベリファイがOKにならない場合は、BiCSフラッシュメモリ10の図示しないステータスレジスタにフェイルをセットしてプログラム動作を終了する。尚、ループ回数は、パラメータF__NLP__HSLCで設定することができる。

[0197] <リードシーケンスの例>

次に、図26を用いて、第4の実施形態に係るリードシーケンスについて

説明する。

- [0198] 図26は、hSLCデータのリード時のコマンドシーケンスと、プログラム時の動作波形とを示した図である。ここでは、プレーン0、ブロックBLK_x、及び選択ワード線WL_nに保持されているhSLCデータと、プレーン1、ブロックBLK_y、及び選択ワード線WL_mに保持されているMLC-Upperデータとを同時にリードする例について説明する。このように、異なるプレーンに対して同時に行うリード動作を、マルチプレーンリード等と称す。このマルチプレーンリードは、前述した並列アクセスと同義である。尚、本図で示すR/Bは、メモリコントローラ20と、BiCSフラッシュメモリ10との間の信号線のレディ/ビジーを示すものである。
- [0199] 図26に示すように、hSLCデータをリードする場合、メモリコントローラ20は、BiCSフラッシュメモリ10に対してxxhコマンドと、00hコマンドとを発行する。続いて、メモリコントローラ20は、所定のコマンドやアドレス等をBiCSフラッシュメモリ10に対して発行する。更にメモリコントローラ20は、MLC-Upperデータを読み出すために、BiCSフラッシュメモリ10に対して00hコマンドを発行する。続いて、メモリコントローラ20は、所定のコマンドやアドレス等をBiCSフラッシュメモリ10に対して発行する。
- [0200] 図26に示すように、BiCSフラッシュメモリ10は、メモリコントローラ20から各コマンドが入力されると、メモリセルアレイ11からリード動作が行われる。
- [0201] プレーン0、ブロックBLK_x、ページhSLCにおいて、選択ワード線WL_nに電圧ARが印加され、その後、選択ワード線WL_nに電圧CR (CR>AR) が印加され、非選択ワード線WL (n+1)、WL (n-1) に電圧VREADK (VREADK>CR>AR) が印加され、その他の非選択ワード線WL_{other}に電圧VREAD (VREADK>VREAD>CR>AR) が印加される。尚、選択ワード線WLに電圧ARを印加することにより、hSLCデータが読み出される。

[0202] プレーン1、ブロックBLK_y、ページMLC-Upperにおいて、選択ワード線WL_mに電圧ARが印加され、その後、選択ワード線WL_nに電圧CR (CR>AR) が印加され、非選択ワード線WL (m+1)、WL (m-1) に電圧VREADK (VREADK>CR>AR) が印加され、その他の非選択ワード線WL_{other}に電圧VREAD (VREADK>VREAD>CR>AR) が印加される。

[0203] 尚、プレーン0及びプレーン1へのアクセスは第1の実施形態で説明したBiCSフラッシュメモリ10を用いて、同時にアクセスすることができる。

[0204] このようにして、hSLCデータと、MLC-Upperデータとは連続的に読み出される。

[0205] <データアウトシーケンスの具体例>

次に、図27及び図28を用いて、リードシーケンス及びデータアウトシーケンスの具体例について概略的に説明する。図27は、データアウトシーケンスの具体例を示している。図28は、マルチプレーンアクセスの際に用いられるアドレス例を示している。尚、本図で示すR/Bは、メモリコントローラ20と、BiCSフラッシュメモリ10との間の信号線のレディ/ビジーを示すものである。

[0206] 図27に示すように、プレーン0に保持されているhSLCデータをデータアウトする場合、メモリコントローラ20は、BiCSフラッシュメモリ10に対して00hコマンドを発行する。続いて、メモリコントローラ20は、アドレスC1、C2、R1、R2、R3、コマンドE0hをBiCSフラッシュメモリ10に対して発行する。これにより、BiCSフラッシュメモリ10から、hSLCデータ(R-Data)が出力される。

[0207] 図27に示すように、プレーン1に保持されているMLCデータをデータアウトする場合、メモリコントローラ20は、BiCSフラッシュメモリ10に対して00hコマンドを発行する。続いて、メモリコントローラ20は、アドレスC1、C2、R1、R2、R3、コマンドE0hをBiCSフラ

ッシュメモリ 10 に対して発行する。これにより、BiCSフラッシュメモリ 10 から、MLCデータ (Read Data) が出力される。

[0208] 図 28 に示すように、本実施形態では、一例として、フラッシュメモリ上の物理位置が、8ビット×5サイクルのアドレスで表現している。

[0209] 例えば、本実施例では、R1-1 から R1-5 のビットが、ワード線WLの番号を示す際に用いられ、R2-3 から R2-4 のビットが、プレーン番号を示す場合に用いられる。

[0210] 本願では、hSLCデータと、MLCデータに対してマルチプレーンアクセスを行う場合、hSLCデータのワード線WL番号、及びプレーン番号と、MLCデータのワード線WL番号、及びプレーン番号とが異なる可能性がある。

[0211] <第4の実施形態の作用効果>

上述した第4の実施形態によれば、ユーザデータとしてMLCデータ、またはSLCデータを用いて、メタデータとしてhSLCデータまたはSLCデータを用いている。そして、あるプレーンに対して通常のリード(SLC、MLC-Lower/Upperデータ)を行うと同時に、ほかのプレーンにhSLCデータ(メタデータ)を読み出すことができる。

[0212] 例えば、SLC、MLC-Lower/Upperデータのいずれのリードであっても、当該リードを行うプレーンとは別のプレーンに格納された、hSLCデータであれば、SLC、MLC-Lower/Upperデータのいずれのリード動作と同時にhSLCデータのリード動作を行うことができる。

[0213] また、MLC-Lower/Upperデータ、またはSLCデータ、またはhSLCデータ同士であれば、マルチプレーン動作においてそれぞれのプレーンで別のワード線WLを選択することができる。

[0214] 以上のように、複数のプレーンを同時並列にアクセスすることで、逐次データアクセスを行わなくて済むことによりスループットを向上させることができ、NANDシステムのパフォーマンスを改善することができる。

[0215] (第5の実施形態)

次に、第5の実施形態について説明する。第5の実施形態では、ダミーワード線近傍におけるリード動作について説明する。尚、第5の実施形態において、上述した各実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0216] 図29A及び図29Bを用いて、選択ワード線WLがダミーワード線WLD近傍におけるリード動作について説明する。図29Aは、リード動作時において、選択ワード線WLが、ダミーワード線WLD近傍である場合の、ゾーン信号ZONE<3:0>、モード信号MODE<1:0>、CGDDT SW信号、CGDDBSW信号、CGDSTSW信号、CGDSBSW信号を示した図である。図29Bは、各ワード線WLに用いられるCGドライバの種類と、ワード線WLに印加される電圧を示した図である。尚、ここでは、簡単のため、プレーン0と、プレーン1とに焦点を当て、プレーン1からhSLCデータを読み出す場合について説明する。

[0217] 図29A及び図29Bに示すように、プレーン0において、選択ワード線WLが、例えばダミーワード線WLDDTに隣接するワード線WL31である場合、ゾーン信号ZONE<3:0>は“111”、モード信号MODE<1:0>は“10”、CGDDT SW信号は“0”、CGDDBSW信号は“0”、CGDSTSW信号は“1”、CGDSBSW信号は“0”となる。

[0218] 選択ワード線WL31には、電圧VCGRVがCGNB<3>ドライバによって印加され、非選択ワード線WL30には、電圧VREADK (VREADK>VCGRV)がCGNB<2>ドライバによって印加される。そして、ダミー選択ワード線WLDDTには、電圧VREADK (VREADK>VCGRV)がCGDDTドライバによって印加される。

[0219] 図29A及び図29Bに示すように、プレーン1において、選択ワード線WLが、例えばダミーワード線WLDSBに隣接するワード線WL15である場合、ゾーン信号ZONE<3:0>は“011”、モード信号MODE

<1 : 0>は“1 1”、CGDDTSW信号は“1”、CGDDBSW信号は“0”、CGDSTSW信号は“1”、CGDSBSW信号は“1”となる。

[0220] 選択ワード線WL 1 5には、電圧VCGRVがCGND<3>ドライバによって印加され、非選択ワード線WL 1 4には、電圧VREADK (VREADK>VCGRV)がCGND<2>ドライバによって印加される。そして、ダミー選択ワード線WLDSBには、電圧VREADK (VREADK>VCGRV)がCGDSTドライバによって印加される。

[0221] (第6の実施形態)

次に、第6の実施形態について説明する。第6の実施形態では、第1の実施形態で説明したCGドライバ及びパワーサプライとは異なるCGドライバ及びパワーサプライについて説明する。尚、第6の実施形態において、上述した各実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0222] 図30に示すように、第6の実施形態に係るパワーサプライ161及びCGドライバ162は、プレーンA用及びプレーンB用に電源が別れている。図30に示すように、第6の実施形態に係るCGドライバ162は、VCGSEL回路162aと、CGNDドライバ162b、162d (計16台)と、CGDドライバ162c (計4台)と、CGBGドライバ162cと、CGUDドライバ162eと、VCGSEL2回路162fと、CGDドライバ162g (計4台)と、CGBGドライバ162gと、CGUDドライバ162hと、を備えている。

[0223] VCGSEL回路162aは、制御回路15からの制御信号によって、電圧VPGMまたはVCGRVAを、電圧VCGSEL__ABとして出力する。

[0224] CGNDドライバ162b、CGDドライバ162c、及びCGBGドライバ162cは、制御回路15からの制御信号によって、電圧VCGSEL__AB、VUSEL1A、VUSEL2A、及びVSSのいずれかの電圧をプ

レーンAに出力する。

[0225] CGUドライバ162eは、制御回路15からの制御信号によって、電圧VUSEL1A、VUSEL2A、及びVSSのいずれかの電圧をプレーンAに出力する。

[0226] VCGSEL2回路162fは、制御回路15からの制御信号によって、電圧VPGM、VCGRVA、及びVCGRVBを電圧VCGSEL__CDとして出力する。またVCGSEL2回路162fは、制御回路15からの制御信号によって、電圧VUSEL1A、及びVUSEL1Bを電圧VUSEL1__CDとして出力する。またVCGSEL2回路162fは、制御回路15からの制御信号によって、電圧VUSEL2A、及びVUSEL2Bを、電圧VUSEL2__CDとして出力する。

[0227] CGNドライバ162d、CGDドライバ162g、及びCGBGドライバ162gは、制御回路15からの制御信号によって、電圧VCGSEL__CD、VUSEL1__CD、VUSEL2__CD、及びVSSのいずれかの電圧をプレーンBに出力する。

[0228] CGUドライバ162hは、制御回路15からの制御信号によって、電圧VUSEL1__CD、VUSEL2__CD、及びVSSのいずれかの電圧をプレーンBに出力する。電圧VCELSRCA及びVCPWELLAは、プレーンAのメモリセルアレイ11に接続される。電圧VCELSRCB及びVCPWELLBは、プレーンBのメモリセルアレイ11に接続される。尚、プレーンA及びプレーンBは、任意のプレーンで良い。

[0229] <第6の実施形態の作用効果>

上述した第6の実施形態によれば、第1の実施形態に係るパワーサプライ161と比較し、第6の実施形態に係るパワーサプライ161は二つのプレーン用に二つの電圧系統を有し、更に、二つのプレーンに同時に電圧を印加できるようなCGドライバ構成となっている。そのため、例えば上述したようなMLCデータ、及びhSLCデータまたは、SLC及びhSLCデータを同時にリードすることが可能となる。

[0230] (第7の実施形態)

次に、第7の実施形態について説明する。第7の実施形態では、第1の実施形態で説明したメモリセルアレイ11とは異なるメモリセルアレイについて説明する。尚、第7の実施形態において、上述した各実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0231] <ストリングユニットSTUの構成>

B i C Sフラッシュメモリにおいて、チャンネルを構成する柱状の半導体は、アスペクト比が大きな開口部内に形成されている。B i C Sフラッシュメモリの微細化が進むに従い、開口部間のピッチ（距離）の短縮が要求され、開口部を千鳥状に配置する構成が検討されている。

[0232] 図31～図34は、第7の実施形態の構成を示している。第7の実施形態は、第1乃至第5の実施形態とストリングユニットの構成が相違する。

[0233] 図31は、メモリセルアレイを構成する複数のブロック B_{k-1} 、 B_k 、 B_{k+1} を示している。複数のブロック B_{k-1} 、 B_k 、 B_{k+1} は、複数のビット線BLに沿って配置されている。複数のブロック B_{k-1} 、 B_k 、 B_{k+1} のそれぞれは、ビット線方向に配置された複数のストリングユニットSTUを有している。各ストリングユニットSTUは、例えば3つの選択ゲート線と、3つのワード線群により構成されている。

[0234] また、各ブロックの相互間には、ダミーストリングDが配置されている。複数のブロック B_{k-1} 、 B_k 、 B_{k+1} のそれぞれは、同一構成であるため、ブロック B_k を用いてストリングユニットSTUの構成について説明する。

[0235] 図31、及び図32に示すように、本実施形態において、ストリングユニットSTUは、2つのNANDストリングがワード線方向に複数個配置されることにより構成される。2つのNANDストリングは、ドレイン側選択ゲート線SGDとしての第1、第3の選択ゲート線D1、D2と、これら第1、第3の選択ゲート線D1、D2の間に位置するソース側選択ゲート線SG

Sとしての第2の選択ゲート線S2と、第1、第3の選択ゲート線D1、D2に対応して配置された複数のワード線WLからなるワード線群WLG1、WLG3と、第2の選択ゲート線S2に対応して配置された複数のワード線WLからなるワード線群WLG2を共有することにより構成されている。

[0236] すなわち、第1、第3の選択ゲート線D1、D2と、第2の選択ゲート線S2と、第1、第3の選択ゲート線D1、D2に対応して配置されたワード線群WLG1、WLG3と、第2の選択ゲート線S2に対応して配置されたワード線群WLG2には、それぞれ2つのU字型半導体SCにより共有されている。2つのU字型半導体SCは、第1乃至第4の半導体CL1～CL4と連結部JPにより構成されている。

[0237] 次に、ストリングユニットSTUの構成について具体的に説明する。ワード線群WLG1、WLG2、WLG3は、それぞれ半導体基板Baの上方に複数のワード線WLが積層して構成されている。第1、第2、第3のワード線群WLG1、WLG2、WLG3、及び第1、第2、第3の選択ゲート線D1、S2、D2は、ビット線BLと直交方向に配置されている。

[0238] 第1の選択ゲート線D1とワード線群WLG1には、柱状の第1の半導体CL1が貫通されている。第1の半導体CL1の一端は、ビット線BL1に接続されている。

[0239] 第2の選択ゲート線S2とワード線群WLG2には、柱状の第2の半導体CL2が貫通されている。この第2の半導体CL2は、図33に示すように、ワード線方向において、第1の半導体CL1と同一位置に配置されている。第2の半導体CL2の一端は、ソース線SLに接続されている。第2の半導体CL2の他端は、半導体基板Ba内に形成された連結部JPを介して第1の半導体CL1の他端に電氣的に接続されている。

[0240] 第2の選択ゲート線S2とワード線群WLG2には、柱状の第3の半導体CL3が貫通されている。この第3の半導体CL3は、図33に示すように、第2の半導体CL2に対してワード線方向にずれた位置に配置されている。第3の半導体CL3の一端は、ソース線SLに接続されている。

[0241] 第3の選択ゲート線D2とワード線群WLG3には、柱状の第4の半導体CL4が貫通されている。この第4の半導体CL4は、図33に示すように、ワード線方向において、第3の半導体CL3と同一位置に配置されている。第4の半導体CL4の一端は、ビット線B2に接続されている。第4の半導体CL4の他端は、半導体基板Ba内に形成された連結部JPを介して第3の半導体CL3の他端に電氣的に接続されている。

[0242] 上記第1、第2、第3、第4の半導体CL1～CL4と、第1、第2、第3の選択ゲート線D1、S2、D2の交点の位置に選択トランジスタが形成され、第1、第2、第3、第4の半導体CL1～CL4と、ワード線群WLG1、WLG2、WLG3の交点の位置にメモリセルが形成される。

[0243] 各ストリングユニットは、ロジカルブロックを構成し、第1ロジカルブロックアドレスにより管理される。尚、1つのソース線を含む半分のストリングユニットをハーフロジカルブロックで構成し、ハーフロジカルブロックを第2ロジカルブロックアドレスと定義することも可能である。

[0244] 尚、ロジカルブロックの構成は、上記各実施形態の構成に限定されるものではない。ロジカルブロックは、図34に示すように設定することも可能である。図34は、図示せぬ1つのビット線に接続された複数のストリングユニットを示している。このため、実際には紙面に垂直な方向に、各ワード線を共有する図示せぬ複数のメモリセルが配置されている。

[0245] 図34において、各ストリングユニットの直列接続された複数のメモリセルのうち、隣接する例えば6個のメモリセルがワード線グループWLG1～WLGp、WLGp+1～WLG2pを構成している。各ストリングユニットの共通のワード線グループWLG1～WLGp、WLGp+1～WLG2pが、それぞれロジカルブロックを構成する。このため、この例の場合、2p個のロジカルブロックが存在する。図34は、ワード線グループWLG1により構成されるロジカルブロックを代表的に示している。

[0246] <第7の実施形態の作用効果>

上述した第7の実施形態によれば、第7の実施形態に係るBiCSフラッ

シュメモリを用いたメモリデバイスにおいても、上述した各実施形態と同様の効果を得る事ができる。

[0247] (第8の実施形態)

次に、第8の実施形態に係る不揮発性半導体記憶装置について説明する。第8の実施形態では、平面型のいわゆるフローティングゲート型のNANDフラッシュメモリの電荷蓄積層に、炭素を主成分とする膜を適用した例について説明する。尚、第8の実施形態において、上述した各実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0248] <NAND型フラッシュメモリの全体構成>

図35を用いて、第8の実施形態に係るNAND型フラッシュメモリ300の構成を概略的に説明する。図35は、第8の実施形態に係るNAND型フラッシュメモリ300の基本的な構成を模式的に示すブロック図である。

[0249] 図35に示すように、NAND型フラッシュメモリ300は、メモリセルアレイ71と、カラムデコーダ72と、データ入出力バッファ73と、データ入出力端子74と、ロウデコーダ75と、制御回路76と、制御信号入力端子77と、ソース線制御回路78と、ウェル制御回路79と、プレーンスイッチ80とを備えている。

[0250] メモリセルアレイ71は、複数のビット線BLと、複数のワード線WLと、ソース線SLとを含む。このメモリセルアレイ71は、電氣的に書き換えが可能なメモリセルトランジスタ（単にメモリセル等とも称す）MTがマトリクス状に配置された複数のブロックBLKで構成されている。メモリセルトランジスタMTは、例えば、制御ゲート電極及び電荷蓄積層（例えば浮遊ゲート電極）を含む積層ゲートを有し、浮遊ゲート電極に注入された電荷量により定まるトランジスタの閾値の変化によって二値、あるいは多値データを記憶する。また、メモリセルトランジスタMTは、窒化膜に電子をトラップするMONOS（Metal - Oxide - Nitride - Oxide - Silicon）構造を有するものであっても良い。

- [0251] カラムデコーダ72は、メモリセルアレイ71内のビット線BLの電圧をセンス増幅するセンスアンプ（図示せず）と、書き込みを行うためのデータをラッチするためのデータ記憶回路（図示せず）等を有している。カラムデコーダ72は、ビット線BLを介してメモリセルアレイ71中のメモリセルトランジスタMTのデータを読み出したり、ビット線BLを介して該メモリセルトランジスタMTの状態を検出したり、ビット線BLを介して該メモリセルトランジスタMTに書き込み制御電圧を印加して該メモリセルトランジスタMTに書き込みを行う。
- [0252] また、カラムデコーダ72は、カラムデコーダ72内のデータ記憶回路を選択し、このデータ記憶回路に読み出されたメモリセルトランジスタMTのデータを、データ入出力バッファ73を介してデータ入出力端子74から外部（ホスト）へ出力する。
- [0253] データ入出力バッファ73は、データ入出力端子74からデータを受信し、カラムデコーダ72によって選択された該データ記憶回路に記憶される。また、データ入出力バッファ73は、データ入出力端子74を介して外部にデータを出力する。
- [0254] データ入出力端子74は、書き込みデータの他に、書き込み、読み出し、消去、およびステータスリード等の各種コマンド、アドレスを受信する。
- [0255] ロウデコーダ75は、データの読み出し動作、書き込み動作、或いは消去動作時に、何れかのブロックBLKを選択し、残りのブロックBLKを非選択とする。つまり、ロウデコーダ75は、メモリセルアレイ71のワード線WL及び選択ゲート線VSGS、VSGDに、読み出し動作、書き込み動作、或いは消去動作において必要な電圧を印加する。
- [0256] ソース線制御回路78は、メモリセルアレイ71に接続されている。ソース線制御回路78は、ソース線SLの電圧を制御する。
- [0257] ウェル制御回路79は、メモリセルアレイ71に接続されている。このウェル制御回路79は、メモリセルトランジスタMTが形成される半導体基板（ウェル）の電圧を制御するようになっている。

[0258] 制御回路 76 は、メモリセルアレイ 71、カラムデコーダ 72、データ入出力バッファ 73、ロウデコーダ 75、ソース線制御回路 78、及びウェル制御回路 79 を制御する。制御回路 76 には、例えば電源電圧の昇圧を行う電圧生成回路 76-1 が含まれているものとする。制御回路 76 は、電圧生成回路 76-1 により電源電圧を必要に応じて昇圧し、昇圧した電圧をカラムデコーダ 72、データ入出力バッファ 73、ロウデコーダ 75、及びソース線制御回路 78 に印加する。

[0259] 制御回路 76 は、外部から制御信号入力端子 77 を介して入力される制御信号（コマンドラッチイネーブル信号 CLE、アドレスラッチイネーブル信号 ALE、レディ／ビジー信号 RY／BY 等）及びデータ入出力端子 74 からデータ入出力バッファ 73 を介して入力されるコマンドに応じて制御動作する。すなわち、制御回路 76 は、該制御信号およびコマンドに応じて、データのプログラム、ベリファイ、読み出し、消去時に、所望の電圧を発生し、メモリセルアレイ 71 の各部に供給する。

[0260] プレーンスイッチ 80 は、制御回路 76、電圧生成回路 76-1 に接続される。プレーンスイッチ 80 は、制御回路 76 等からの信号に基づいて、電圧生成回路 76-1 からの電圧の出力先を切り替える。

[0261] The configuration of the memory cell array 71 is disclosed in U.S. Patent Application No. 12/397711 filed March 3, 2009 and entitled “SEMICONDUCTOR MEMORY DEVICE HAVING PLURALITY OF TYPES OF MEMORIES INTEGRATED ON ONE CHIP”. In addition, the configuration thereof is disclosed in U.S. Patent Application No. 13/451185 filed April 19, 2012 and entitled “SEMICONDUCTOR MEMORY DEVICE INCLUDING STACKD GATE HAVING CHARGE ACCUMULATION LAYER AND CONTROL GATE AND METHOD OF WRITING DATA TO SEMICONDUCTOR MEMORY DEVICE”, in U.S. Patent Application No. 12/405626 filed March 17, 2009 and entitled “NONVOLATILE SEMICONDUCTOR MEMORY ELEMENT, NONVOLATILE SEMICONDUCTOR MEMORY, AND METHOD FOR OPERATING NONVOLATILE SEMICONDUCTOR MEMORY ELEMENT”, and in U.S.

Patent Application No. 09/956986 filed September 21, 2001 and entitled “NONVOLATILE SEMICONDUCTOR MEMORY DEVICE HAVING ELEMENT ISOLATING REGION OF TRENCH TYPE AND METHOD OF MANUFACTURING THE SAME”. The entire descriptions of these patent applications are incorporated by reference herein.

＜第 8 の実施形態に係るドライバの構成＞

図 36 は、第 8 の実施形態に係る CG ドライバと、プレーンスイッチとの関係を概略的に示すためのブロック図である。

[0262] 図 36 では、簡単のため、メモリセルアレイ 71 が、二つのプレーンを有する場合について説明する。そして、本実施形態では、一つのプレーンが 4 ブロック有している場合について説明する。

[0263] 図 36 に示すように、電圧生成回路 76-1 は、パワーサプライ 761 と、CG ドライバ 762 と、SG ドライバ 763 とを備えている。パワーサプライ 761 は、CG ドライバ 762、SG ドライバ 763、及びその他の回路に電力を供給する。

[0264] 図 37 に示すように、第 6 の実施形態に係る CG ドライバ 762 は、VCGSEL 回路 762a と、CGN ドライバ 762b、762d（計 16 台）と、CGD ドライバ 762c（計 2 台）と、CGU ドライバ 762e と、を備えている。

[0265] VCGSEL 回路 762a は、制御回路 76 からの制御信号によって、電圧 VPGM または VCGRV を、電圧 VCGSEL として出力する。

[0266] CGN ドライバ 762b、762d、及び CGD ドライバ 762c は、制御回路 76 からの制御信号によって、電圧 VCGSEL、VUSEL1、VUSEL2、及び VSS のいずれかの電圧を出力する。

[0267] CGU ドライバ 762e は、制御回路 76 からの制御信号によって、電圧 VUSEL1、VUSEL2、及び VSS のいずれかの電圧を出力する。電圧 VCELSRC 及び VCPWELL は、メモリセルアレイ 71 に接続される。

[0268] CGNドライバは、データを格納するワード線WL（DataWLとも称す）を1本単位で駆動する。また、CGNドライバは、それぞれが4つのドライバを備えるCGNAドライバ、CGNBドライバ、CGNCドライバ、CGNDドライバを備えている。CGDドライバは、データを格納しないワード線WL（DummyWLとも称す）を1本単位で駆動する。DummyWLはリソマージンとDataWLのセル特性確保のために各世代で必要に応じて0本以上用意される。CGDドライバは、CGDDドライバ、CGDSドライバを備えている。CGDDは、例えば電圧VREADKを選択出力する。また、CGDSは、VREADを選択出力する。CGUドライバは、選べる電圧は少ないが駆動力があるドライバである。メモリに関するProgram/Read動作時において、選択ワード線WLから遠いワード線WLは一律同電位で駆動すれば良い。このような場合において、CGUドライバが用いられる。

[0269] また、SGドライバ763は、メモリセルアレイ71の選択ゲート等に電力を供給するドライバである。

[0270] プレーンスイッチ80は、メモリセルアレイ71のプレーン毎に、プレーンスイッチCGSWと、プレーンスイッチSGSWとが設けられている。より具体的には、プレーンスイッチ80は、プレーン<0>に対応して、プレーンスイッチCGSW801aと、プレーンスイッチSGSW801bとを備え、プレーン<1>に対応して、プレーンスイッチCGSW802aと、プレーンスイッチSGSW802bとを備えている。

[0271] プレーンスイッチCGSW801aは、制御回路76からゾーン信号ZONE__P0<3:0>と、モード信号MODE__P0<1:0>と、CGD*SW__P0とを受信する。また、プレーンスイッチCGSW801aは、CGドライバ762から、CGNA<3:0>、CGNB<3:0>、CGNC<3:0>、CGND<3:0>、CGDD、CGDS及びCGUを受信する。そして、プレーンスイッチCGSW801aは、制御回路76からの信号に基づいて、CGドライバ762からの信号を、ロウデコーダ75に供給する。また、プレーンスイッチSGSW801bは、制御回路76から

の信号に基づいて、SGドライバ763から受信したSGS信号及びSGD信号を、ロウデコーダ75に供給する。

[0272] ロウデコーダ75は、プレーン毎にロウデコーダが設けられている。より具体的には、ロウデコーダ75は、プレーン<0>に対応するロウデコーダ751と、プレーン<1>に対応するロウデコーダ752とを備えている。

[0273] ロウデコーダ751は、制御回路76から信号BLKADD__P0<1:0>、及び信号RDEC__P0を受信する。また、ロウデコーダ751は、プレーンスイッチCGSW801aから、CGI<31:0>、CGDDI、CGDSIを受信する。更に、ロウデコーダ751は、プレーンスイッチSGSW801bから、SGSI、SGDI、USGSI、及びUSGDIを受信する。ロウデコーダ751は、受信信号に基づいて、信号をプレーン<0>に供給する。また、ロウデコーダ752は、ロウデコーダ751と同様に動作する。

[0274] <プレーンスイッチCGSWのCGDに係るスイッチの構成>

次に、図38を用いて第8の実施形態に係るプレーンスイッチCGSWのCGDに係るスイッチの構成について概略的に説明する。

[0275] 例えば、第8の実施形態ではプレーンスイッチCGSW801aは、スイッチ80a、80b、80c、及び80dを備えている。

[0276] スイッチ80aの電圧経路の一端にCGDDが入力され、電圧経路の他端は、信号線CGDDIに接続され、ゲートには、制御回路76からの信号が入力される。

[0277] スイッチ80bの電圧経路の一端にCGDSが入力され、電圧経路の他端は、信号線CGDDIに接続され、ゲートには、制御回路76からの信号が入力される。

[0278] スイッチ80cの電圧経路の一端にCGDDが入力され、電圧経路の他端は、信号線CGDSIに接続され、ゲートには、制御回路76からの信号が入力される。

[0279] スイッチ80dの電圧経路の一端にCGDSが入力され、電圧経路の他端

は、信号線CGDS1に接続され、ゲートには、制御回路76からの信号が入力される。

[0280] 尚、本実施形態のプレーンスイッチCGSWのCGNに係るスイッチの構成は、第1の実施形態で説明したプレーンスイッチCGSWのCGNに係るスイッチの構成と同様なので、説明を省略する。

[0281] <CGマッピングの例>

図39～図41を用いて、第8の実施形態に係るCGマッピングについて概略的に説明する。図39は、第8の実施形態に係る半導体記憶装置のプログラム動作時のCGマッピングを示す図である。図40は、第8の実施形態に係る半導体記憶装置のリード動作時のCGマッピングを示す図である。図41は、第8の実施形態に係る半導体記憶装置のイレース動作時のCGマッピングを示す図である。図39～図41において、縦軸がワード線WLに対するCGドライバの割り当てを示しており、横軸は選択ワード線WLを示している。

[0282] 尚、第8の実施形態では、リード動作以外において、CGDDドライバは常にワード線WLDDに専用の電圧を印加しており、CGDSドライバは常にワード線WLDSに専用の電圧を印加している。

[0283] <プログラム動作時のCGマッピングの例>

まず、プログラム動作時のCGマッピングについて説明する。図39に示すように、選択されたワード線WLによって、ワード線WLに電圧を印加するCGドライバは適宜切り替えられる。

[0284] 図39の横軸に示すゾーンとは、各DataWLに、CGNドライバのいずれかまたはCGUドライバを接続するかを、制御回路から指示する情報である。例えば、ホスト2から、メモリコントローラ20にアクセスするプレーンおよびページアドレスを入力する。これにより、メモリコントローラ20からNAND型フラッシュメモリ300にアクセスするプレーンおよびページアドレスを入力されることで、メモリデバイス内制御回路76は、該当プレーンのプレーンスイッチ回路80に対し、ZONE<3:0>を送信すること

により決定している。具体的には、ワード線WLD S、WL 0～WL 9に対してプログラムを行う際はワード線WL 0～3にはCGNAドライバから所望の電圧を加え、同様にワード線WL 4～7にはCNBドライバ、ワード線WL 8～11にはCNCドライバ、ワード線WL 12～15にはCGNDドライバ、ワード線WL 16～31にはCGUドライバから所望の電圧を加える。

[0285] これに対し、ワード線WL 10～WL 13に対してプログラムを行うときには、ワード線WL 16～19にCGNAドライバを接続し、ワード線WL 0～3にCGUを接続するよう切り替える。プログラムを行うワード線WLであらかじめ決められた接続が行われ、この接続の組み合わせはゾーンPZ 0～PZ 4の5種類となっている。

[0286] このゾーンPZ 0～PZ 4のそれぞれを、第1の実施形態で説明したように、プログラム時のゾーンと呼ぶ。

[0287] 本実施形態では、CGNDドライバを合計16台使用することで、プログラム時の選択ワード線WL ! (! : 0～31) 対して非選択ワード線WL (! + 1) ～非選択ワード線WL (! + 6) (図中のD 6参照) または非選択ワード線WL (! - 1) ～非選択ワード線WL (! - 6) (図中のS 6参照) の電圧をCGNDドライバによって精度良く制御できる。

[0288] <ワード動作時のCGスッピングの例>

次に、ワード動作時のCGスッピングについて説明する。

[0289] NAND型半導体記憶装置のワード時は選択ワード線WL ! に読み出し電圧、非選択ワード線WL (! ± 1) のワード線WLに電圧VREADK、その他ワード線WLは電圧VREADと呼ばれる電圧を入れるだけでよく、プログラム時より制御必要なワード線WL範囲が狭く、必要なCGNDドライバの台数を少なくすることができる。

[0290] 図40に示すように、選択されたワード線WLによって、各ワード線WLに電圧を印加するCGドライバは適宜切り替えられる。

[0291] 図40の横軸に示すように、ワード時のゾーンPZ 0～PZ 6を設定して

いる。

[0292] 具体的には、ワード線WLD S、WL 0～WL 5に対してリードを行う際はワード線WL 0～3にはCGNAドライバまたはCGNCドライバにて所望の電圧を加え、同様にワード線WL 4～7にはCGNBドライバまたはCGNDドライバ、ワード線WL 8～31にはCGUドライバにて所望の電圧を加える。これに対し、ワード線WL 6～WL 9に対してリードを行うときには、ワード線WL 8～11にCGNAドライバまたはCGNCドライバを接続し、ワード線WL 0～3にCGUドライバを接続するよう切り替えが発生する。リードを行うワード線WLであらかじめ決められた接続が行われ、この接続の組み合わせはゾーンRZ 0～RZ 6の7種類となっている。このゾーンRZ 0～RZ 6のそれぞれをリード時のゾーンと呼ぶ。

[0293] ゾーンRZ 0を選択する場合は、ゾーン信号は“000”となり、ゾーンRZ 1を選択する場合は、ゾーン信号は“001”となる。ゾーンRZ 2を選択する場合は、ゾーン信号は“010”となり、ゾーンRZ 3を選択する場合は、ゾーン信号は“011”となる。ゾーンRZ 4を選択する場合は、ゾーン信号は“100”となり、ゾーンRZ 5を選択する場合は、ゾーン信号は“101”となる。そして、ゾーンRZ 6を選択する場合は、ゾーン信号は“110”となる。

[0294] このように、本実施形態では、少なくとも選択ワード線WL i (i : 0～31) に対して非選択ワード線WL ($i+1$) (図中のD1参照) または非選択ワード線WL ($i-1$) (図中のS1参照) の電圧をCGNDドライバによって切り替えることができ、CGNA及びCGNBと、CGNC及びCGNDとで別プレーンのワード線WL印加用に割り当てることでマルチプレーンリード時に2種類のワード線WLを自由に指定することができるようにしている。例えば16台のCGNDドライバを持つ、NAND型半導体記憶装置にて2種類のワード線WLをマルチプレーンリードで選べるようにするためには、4グループに分け、2グループを1つのワード線WLの選択用、残り2グループをもう1つのワード線WLの選択用に割り当てる。

[0295] <イレース動作時のCGスツピングの例>

次に、イレース動作時のCGスツピングについて説明する。

[0296] 図41に示すように、イレース動作時に、CGNAフライバはワード線WL0～WL3、WL16～WL19に電圧を印加しており、CGNBフライバはワード線WL4～WL7、WL20～WL23に電圧を印加している。また、CGNCフライバはワード線WL8～WL11、WL24～WL27に電圧を印加しており、CGNDフライバはワード線WL12～WL15、WL28～WL31に電圧を印加している。尚、本実施形態はイレース動作には関係しないため、詳細な説明は省略する。

[0297] <CGのコネクショントラール>

次に、図42A及び図42Bを用いて、CGのコネクショントラールについて説明する。図42Aは、イレース動作、プログラム動作、リード動作時におけるゾーン信号に対し、CGN/CGUフライバからCG1への接続関係を示している。図42Bは、CGDフライバからCGD*1への接続関係を示している。

[0298] 図42Aに示すように、イレース時には、モード信号MODE<1:0>は“00”となり、プログラム時には、モード信号MODE<1:0>は“0”となる。リード時(Read-A)には、モード信号MODE<1:0>は“10”となり、リード時(Read-B)には、モード信号MODE<1:0>は“11”となる。図中のリード時(Read-A)と、リード時(Read-B)とは、リード動作自体は実質的に変わらないが、用いるCGフライバがそれぞれ異なっている。

[0299] 図42Bに示すように、CGDSSWが“0”の場合、CGDD1出力はCGDDフライバの出力となり、CGDSSWが“1”の場合、CGDD1出力はCGDSフライバの出力となる。また、CGDSSWが“0”の場合、CGDS1出力はCGDSフライバの出力となり、CGDSSWが“1”の場合、CGDS1出力はCGDDフライバの出力となる。

[0300] <第8の実施形態の作用効果>

上述した第8の実施形態によれば、平面のNANDフラッシュメモリを用いたメモリデバイスにおいても、上述した各実施形態と同様の効果を得る事ができる。

[0301] (第9の実施形態)

次に、第9の実施形態について説明する。第9の実施形態では、第8の実施形態で説明したNAND型フラッシュメモリ300における、ダミーワード線近傍のリード動作について説明する。尚、第9の実施形態において、上述した第8の実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0302] 図43A及び図43Bを用いて、選択ワード線WLがダミーワード線WLD近傍におけるリード動作と、選択ワード線WLがダミーワード線WLD近傍ではない場合のリード動作について説明する。図43Aは、リード動作時において、選択ワード線WLが、ダミーワード線WLD近傍である場合の、ゾーン信号ZONE<3:0>、モード信号MODE<1:0>、CGDDSW信号、CGDDSSW信号を示した図である。図43Bは、各ワード線WLに用いられるCGドライバの種類と、ワード線WLに印加される電圧を示した図である。尚、ここでは、簡単のため、プレーン0と、プレーン1とに焦点を当て、プレーン1からhSLCデータを読み出す場合について説明する。

[0303] 図43A及び図43Bに示すように、プレーン0において、選択ワード線WLが、例えばダミーワード線WLDDに隣接するワード線WL31である場合、ゾーン信号ZONE<3:0>は“110”、モード信号MODE<1:0>は“10”、CGDDSW信号は“0”、CGDSSW信号は“0”となる。

[0304] 選択ワード線WL31には、電圧VCGRVがCGNB<3>ドライバによって印加され、非選択ワード線WL30には、電圧VREADK (VREADK>VCGRV)がCGNB<2>ドライバによって印加される。そして、ダミー選択ワード線WLDDには、電圧VREADK (VREADK>

VCGRV) がCGDDドライバによって印加される。

[0305] 図43A及び図43Bに示すように、プレーン1において、選択ワード線WLが、例えばダミーワード線WLDに隣接しないワード線WL15である場合、ゾーン信号ZONE<3:0>は“011”、モード信号MODE<1:0>は“11”、CGDDSW信号は“1”、CGDSSW信号は“0”となる。

[0306] 選択ワード線WL15には、電圧VCGRVがCGND<3>ドライバによって印加され、非選択ワード線WL14、WL16には、電圧VREADK (VREADK>VCGRV) がCGNDドライバによって印加される。

[0307] (第10の実施形態)

次に、第10の実施形態について説明する。第10の実施形態では、第9の実施形態で説明したCGドライバ及びパワーサプライとは異なるCGドライバ及びパワーサプライについて説明する。尚、第10の実施形態において、上述した各実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

[0308] 図44に示すように、第10の実施形態に係るパワーサプライ761及びCGドライバ762は、プレーンA用及びプレーンB用に電源が別れている。図44に示すように、第10の実施形態に係るCGドライバ762は、VCGSEL回路762aと、CGNDドライバ762b、762d (計16台) と、CGDドライバ762c (計2台) と、CGUドライバ762eと、VCGSEL2回路762fと、CGDドライバ762g (計2台) と、CGUドライバ762hと、を備えている。

[0309] VCGSEL回路762aは、制御回路15からの制御信号によって、電圧VPGMまたはVCGRVAを、電圧VCGSEL__ABとして出力する。

[0310] CGNDドライバ762b、及びCGDドライバ762cは、制御回路76からの制御信号によって、電圧VCGSEL__AB、VUSEL1A、VUSEL2A、及びVSSのいずれかの電圧をプレーンAに出力する。

[0311] CGUドライバ762eは、制御回路76からの制御信号によって、電圧VUSEL1A、VUSEL2A、及びVSSのいずれかの電圧をプレーンAに出力する。

[0312] VCGSEL2回路762fは、制御回路76からの制御信号によって、電圧VPGM、VCGRVA、及びVCGRVBを電圧VCGSEL__CDとして出力する。またVCGSEL2回路762fは、制御回路76からの制御信号によって、電圧VUSEL1A、及びVUSEL1Bを電圧VUSEL1__CDとして出力する。またVCGSEL2回路762fは、制御回路76からの制御信号によって、電圧VUSEL2A、及びVUSEL2Bを、電圧VUSEL2__CDとして出力する。

[0313] CGNドライバ762d、及びCGDドライバ762gは、制御回路76からの制御信号によって、電圧VCGSEL__CD、VUSEL1__CD、VUSEL2__CD、及びVSSのいずれかの電圧をプレーンBに出力する。

[0314] CGUドライバ762hは、制御回路76からの制御信号によって、電圧VUSEL1__CD、VUSEL2__CD、及びVSSのいずれかの電圧をプレーンBに出力する。電圧VCELSRCA及びVCPWELLAは、プレーンAのメモリセルアレイ71に接続される。電圧VCELSRCB及びVCPWELLBは、プレーンBのメモリセルアレイ71に接続される。尚、プレーンA及びプレーンBは、任意のプレーンで良い。

[0315] <第10の実施形態の作用効果>

上述した第10の実施形態によれば、第9の実施形態に係るパワーサプライ761と比較し、第10の実施形態に係るパワーサプライ761は二つのプレーン用に二つの電圧系統を有し、更に、二つのプレーンに同時に電圧を印加できるようなCGドライバ構成となっている。そのため、例えば上述したようなMLCデータ、及びhSLCデータまたは、SLC及びhSLCデータを同時にリードすることが可能となる。

[0316] (変形例等)

なお、第1～8の実施形態は種々組み合わせることが可能である。

[0317] また、上述した各実施形態では、CGNドライバがCGNA<3:0>、CGNB<3:0>、CGNC<3:0>、及びCGNC<3:0>の16個設けられているが、必ずしもこれに限らない。上述した各実施形態で説明したように、選択ワード線WLの近傍の非選択ワード線WLに印加される電圧を調整できるだけのCGNドライバがあればよい。また、上述した各実施形態では、CGマッピングを示したが、あくまで一例であり、上述した各実施形態の趣旨に沿っていれば、CGNドライバの個数の増減等によって、CGマッピングを適宜変更してもよい。

[0318] また、上述した第2、第3の実施形態では、BiCSフラッシュメモリを用いて説明したが、平面NANDフラッシュメモリを持ちいう場合でも、同様の効果を得る事ができる。

[0319] また、上述した各実施形態では、2値または4値のメモリセルについて説明したが、これに限らず、適宜変更可能である。

[0320] また、上述した各実施形態で説明したゾーンの範囲はあくまで一例であり、ゾーンの範囲は適宜変更可能である。

[0321] また、上述した各実施形態では、hSLCモードを用いたプログラム方法等を説明したが、必ずしもこれに限らず、hSLCモードの代わりにSLCモードを用いても良い。

[0322] また、上述した各実施形態ではメモリセルアレイ11がプレーン<0>と、プレーン<1>とを有している場合について説明したが、これに限らず、メモリセルアレイ11は所定の数のプレーンを保持して良い。

[0323] 以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出される。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば、発明として抽出され得る。

請求の範囲

- [請求項1] それぞれがデータを保持する複数のメモリセルと、
前記複数のメモリセルに接続されている複数のワード線と、
同一のワード線に接続された前記複数のメモリセルを備えるページと、
前記複数のページを備えるプレーンと、
前記プレーンを複数備えるメモリセルアレイと、
前記複数のワード線に電圧を印加する複数のワード線ドライバと、
を具備するメモリデバイス、
及び前記メモリデバイスを制御するコントローラ
を備え、
前記コントローラは、前記メモリデバイスに対して、
所定の前記プレーンに対する第1のデータ読み出しと、前記所定の
プレーンとは異なるプレーンに対する第2のデータ読み出しとを同時
に実行するコマンドを発行する
メモリシステム。
- [請求項2] 前記メモリデバイスは、
前記コントローラから、前記第1のデータ読み出しコマンドと、前
記第2のデータ読み出しコマンドとを受信すると、前記所定のプレー
ンと、前記所定のプレーンとは異なるプレーンとから同時にデータを
読み出す請求項1に記載のメモリシステム。
- [請求項3] 前記メモリデバイスは、前記プレーン毎に設けられ、前記ワード線
毎に前記ワード線ドライバを割り当てる複数のスイッチを更に備える
請求項1または2に記載のメモリシステム。
- [請求項4] 前記コントローラは、
前記メモリセルアレイに対して複数のアクセス要求があった場合、
互いに異なる前記プレーンに対する複数のアクセスを統合し、
前記ワード線ドライバ及び前記スイッチを用いて、前記プレーン毎

に、前記複数のワード線ドライバを前記複数のワード線に割り当てる請求項 3 に記載のメモリシステム。

[請求項5]

前記コントローラは、
前記メモリセルアレイに対して複数のアクセス要求があった場合、
互いに異なる前記プレーンに属し、且つ互いに異なる前記ワード線に属するページに対する複数のアクセスを統合し、
前記ワード線ドライバ及び前記スイッチを用いて、前記プレーン毎に、前記複数のワード線ドライバを前記複数のワード線に割り当てる請求項 3 に記載のメモリシステム。

[請求項6]

前記コントローラは、
前記メモリセルアレイに対して複数のアクセス要求があった場合、
異なるプレーン、且つ互いに関連するデータに対する複数のアクセスを統合し、
前記ワード線ドライバ及び前記スイッチを用いて、前記プレーン毎に、前記複数のワード線ドライバを前記複数のワード線に割り当てる請求項 3 に記載のメモリシステム。

[請求項7]

前記コントローラは、データのリードに係る前記複数のアクセスを統合する請求項 4 乃至 6 の何れか一項に記載のメモリシステム。

[請求項8]

前記コントローラは、データのプログラムに係る前記複数のアクセスを統合する請求項 4 乃至 7 の何れか一項に記載のメモリシステム。

[請求項9]

二つの前記プレーンに電圧を供給するパワーサプライを更に備え、
前記複数のワード線ドライバは、前記パワーサプライから供給された電圧を、二つの前記プレーンに同時に供給する請求項 1 乃至 8 の何れか一項に記載のメモリシステム。

[請求項10]

前記コントローラは、
外部から供給された第 1 のデータと、第 2 のデータとが関連していると判定する場合、前記第 1 のデータと、前記第 2 のデータとを、互いに異なるプレーンに格納する請求項 1 乃至 9 の何れか一項に記載の

メモリシステム。

[請求項11] 前記複数のプレーンのうち、第1のプレーンにMLCデータが格納され、第2のプレーンに、SLCデータよりもしきい値が高いhSLCデータが格納されている場合において、

前記コントローラは、

前記第1のプレーンに格納されたMLCデータと、前記第2のプレーンに格納されたhSLCデータとを同時にリードする請求項1乃至10の何れか一項に記載のメモリシステム。

[請求項12] 前記複数のプレーンのうち、第1のプレーンにSLCデータが格納され、第2のプレーンに、SLCデータよりもしきい値が高いhSLCデータが格納されている場合において、

前記コントローラは、

前記第1のプレーンに格納されたSLCデータと、前記第2のプレーンに格納されたhSLCデータとを同時にリードする請求項1乃至10の何れか一項に記載のメモリシステム。

[請求項13] 前記複数のプレーンのうち、第1のプレーンにMLCデータが格納され、第2のプレーンにSLCデータが格納されている場合において、

前記コントローラは、

前記第1のプレーンに格納されたMLCデータと、前記第2のプレーンに格納されたSLCデータとを同時にリードする請求項1乃至10の何れか一項に記載のメモリシステム。

[請求項14] 前記コントローラは、

前記アクセス要求を複数受け取るキュー領域をさらに備える請求項1乃至13に記載のメモリシステム。

[請求項15] 前記コントローラは、

1回のデータリードシーケンスで、前記複数のプレーンに属する複数のワード線から複数のデータを読み出す請求項1乃至14の何れか

一項に記載のメモリシステム。

- [請求項16] 前記コントローラは、
前記ワード線の範囲情報を保持する記憶部をさらに備え、
前記範囲情報に基づいて、前記スイッチを制御する請求項3乃至15の何れか一項に記載のメモリシステム。
- [請求項17] 前記メモリセルアレイは、3次元積層型不揮発性半導体である請求項1乃至16の何れか一項に記載の半導体記憶装置。
- [請求項18] 前記メモリセルアレイは、NANDフラッシュメモリである請求項1乃至16の何れか一項に記載の半導体記憶装置。
- [請求項19] それぞれがデータを保持する複数のメモリセルと、
前記複数のメモリセルに接続されている複数のワード線と、
同一のワード線に接続された前記複数のメモリセルを備えるページと、
前記複数のページを備えるプレーンと、
前記プレーンを複数備えるメモリセルアレイと、
前記複数のワード線に電圧を印加する複数のワード線ドライバと、
を具備するメモリデバイス、
及び前記メモリデバイスを制御するコントローラ
を備え、
前記コントローラは、
前記互いに異なるプレーンに対して同時にアクセスを行う
メモリシステム。