

## 明 細 書

アドレス発生装置及び画像表示装置並びにアドレス発生方法及び画像表示方法

## 技 術 分 野

本発明は、コンピュータを用いた映像機器であるグラフィックコンピュータ、特殊効果装置、ビデオゲーム機等に用いられるアドレス発生装置及び画像表示装置並びにアドレス発生方法及び画像表示方法に関する。

## 背 景 技 術

パーソナルコンピュータやテレビゲーム機等の画像メモリを有する画像表示装置は、画像メモリに書き込まれたデータを例えばNTSC (National Television System Committee) 方式の同期信号に従って読み出している。

このような画像表示装置は、例えば図1に示すように、同期信号発生回路301で発生した同期信号に基づいて所定のアドレスを発生するCRTC (Cathode Ray Tube Contoroller) 302と、CRTC 302で指定されたアドレスに基づいて1フレーム分の画像データが読み出されるVRAM 303と、ラインバッファ304を介

して供給されたフレームデータをアナログ変換するD/Aコンバータ305とを備える。

また、CRTC302は、水平同期信号をカウントする水平同期カウンタ311と、必要に応じて所定の水平解像度に下げのための水平解像度低減回路312と、水平走査ラインの切り出しを開始させる水平切出回路313と、水平解像度低減回路312と水平切出回路313からのデータを加算する加算回路314とを備える。

さらに、CRTC302は、垂直同期信号をカウントする垂直同期カウンタ316と、必要に応じて所定の垂直解像度に下げのための垂直解像度低減回路317と、垂直走査線の切り出しを開始させる垂直切出回路318と、垂直解像度低減回路317と垂直切出回路318からのデータを加算する加算回路319と、供給された水平同期信号と垂直同期信号に基づいてアドレスを発生するアドレス発生回路320を備える。

以上のように構成された画像表示装置では、同期信号発生回路301は、水平同期信号及び垂直同期信号を発生し、これら水平同期信号および垂直同期信号をCRTC302に供給する。

CRTC302では、水平同期カウンタ311は、同期信号発生回路301から供給された水平同期信号をカウントする。

水平解像度低減回路312は、VRAM303から読み出す画像データの水平解像度を低減させるべく、必要に応じて水平同期信号の数を低減する。

水平切出回路313は、水平同期カウンタ311による水平同期信号のカウントによって所定のタイミングになったとき、水平走査ラインの所定の位置において切出をするための水平切出データを発

生し、この水平切出データを加算回路 3 1 4 に供給する。

加算回路 3 1 4 は、供給された水平同期信号に水平切出データを畳重し、その畳重データをアドレス発生回路 3 2 0 に供給する。

一方、垂直同期カウンタ 3 1 6 は、同期信号発生回路 3 0 1 からの垂直同期信号をカウントする。

垂直解像度低減回路 3 1 7 は、V R A M 3 0 3 から読み出す画像データの垂直解像度を低減させるべく、必要に応じて垂直同期信号の数を低減する。

垂直切出回路 3 1 8 は、垂直同期カウンタ 3 1 1 による垂直同期信号のカウントによって所定のタイミングになったとき、垂直走査ラインの所定の位置において切出をするための垂直切出データを発生し、この垂直切出データを加算回路 3 1 4 に供給する。

加算回路 3 1 9 は、供給された垂直同期信号に垂直切出データを畳重し、この畳重データをアドレス発生回路 3 2 0 に供給する。

アドレス発生回路 3 2 0 は、供給された畳重データに対応するアドレスを発生し、このアドレスを V R A M 3 0 3 に供給する。

V R A M 3 0 3 は、供給されたアドレスに基づく画像データを、ラインバッファ 3 0 4 を介して D / A コンバータ 3 0 5 に供給する。

D / A コンバータ 3 0 5 は、供給された画像データをアナログ変換して、ビデオ信号を出力する。

このように、V R A M 3 0 3 に書き込まれている画像データは、図 2 に示すように、C R T C 3 0 2 を介して、そのままディスプレイの一画面を表示するようになっている。

ところが、上記画像表示装置に適用されている C R T C 3 0 2 は、例えば V R A M 3 0 3 に複数の画像を含むフレームデータが書き込

まれている場合には、それら複数の画像をそれぞれ切り取って、一画面の所望の位置に表示させることができなかった。

また、上記C R T C 3 0 2は、外部から供給された複数の画像データを取り込んで画面に表示させることができなかった。

本発明は、このように実情を鑑みてなされたものであり、一画面の所定の位置に複数の画像を表示させ、さらに、外部から供給された画像も取り込んで表示させることができるアドレス発生装置及び画像表示装置並びにアドレス発生方法及び画像表示方法を提供することを目的とする。

#### 発 明 の 開 示

本発明に係るアドレス発生装置は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成するアドレス生成手段と、上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段とを備えることを特徴とする。

本発明に係るアドレス発生装置において、上記複数のバッファのうち少なくとも1つは、外部から供給された画像信号を取り込んで、この画像信号を上記画像メモリに供給するものとしてすることができる。

本発明に係る画像表示装置は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成する

アドレス生成手段と、上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、上記複数のバッファにそれぞれ供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段とを有するアドレス発生手段と、上記複数のバッファから出力される画像信号を合成する合成手段とを備えることを特徴とする。

本発明に係る画像表示装置において、上記複数のバッファのうち少なくとも1つは、外部から供給された画像信号を取り込んで、この画像信号を上記画像メモリに供給するものとすることができる。

また、本発明に係る画像表示装置において、上記合成手段は、上記制御手段の所定の演算に基づいてプログラム制御されるものとすることができる。

また、本発明に係る画像表示装置は、例えば、上記画像メモリから読み出された画像信号が供給される1以上のキャッシュメモリを備え、上記キャッシュメモリは、供給された画像信号を書き込み、上記制御手段は、上記キャッシュメモリに書き込まれた画像信号を逐次読み出し制御することにより、一画面に同一の画像を複数表示させるものとすることができる。

また、本発明に係る画像表示装置において、上記バッファはラインメモリからなるものとすることができる。

本発明に係るアドレス発生方法は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、上記アドレスに基づいて上記画像メモリから読み出された画像信号を複数のバッファをそれぞれ供給し、上記複数のバッファに供

給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をすることを特徴とする。

本発明に係る画像表示方法は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、上記アドレスに基づいて上記画像メモリから読み出された画像信号をが複数のバッファにそれぞれ供給し、上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をして、上記複数のバッファから出力される画像信号を合成して表示することを特徴とする。

#### 図面の簡単な説明

図1は、従来のCRTCを説明するためのブロック図である。

図2は、上記CRTCを介して出力されたビデオ信号によるディスプレイの表示の一例である。

図3は、本発明を適用したビデオゲーム装置の概略的な構成を示す図である。

図4は、本発明に係る画像表示方法におけるテクスチャ画像及び目標色の具体的な例を示す図である。

図5は、本発明に係るアドレス発生装置を適用したPCRTCを説明するための図である。

図6は、上記CRTCの構成概念を示す図である。

図 7 は、上記 P C R T C を介して出力されたビデオ信号によるディスプレイの表示の一例である。

図 8 は、上記 P C R T C の具体的な構成を示す図である。

図 9 は、本発明を適用したビデオゲーム装置の平面図である。

図 10 は、上記ビデオゲーム装置の背面図である。

図 11 は、上記ビデオゲーム装置の側面図である。

図 12 は、上記ビデオゲーム装置に装着される C D - R O M の平面図である。

#### 発明を実施するための最良の形態

以下、本発明の好ましい実施の形態について、図面を参照しながら説明する。

本発明は、例えば図 3 に示すような構成のビデオゲーム装置に適用される。

このビデオゲーム装置は、例えば光学ディスクに記憶されているゲームプログラムを読み出して実行することにより、使用者からの指示に応じてゲームを行うものであって、図 3 に示すような構成を有している。

すなわち、このビデオゲーム装置は、2 種類のバスすなわち、メインバス 1 とサブバス 2 を備える。

上記メインバス 1 とサブバス 2 は、バスコントローラ 16 を介して接続されている。

そして、上記メインバス 1 には、マイクロプロセッサなどからな

る主中央演算処理装置（メインCPU: Central Processing Unit） 1 1、ランダムアクセスメモリ（RAM: Random Access Memory） 1 2、主ダイレクトメモリアクセスコントローラ（メインDMAC: Direct Memory Access Controller） 1 3、MPEGデコーダ（MDEC: MPEG Decoder） 1 4 及び画像処理装置（GPU: Graphic Processing Unit） 1 5 が接続されている。また、上記サブバス 2 には、マイクロプロセッサなどからなる副中央演算処理装置（サブCPU: Central Processing Unit） 2 1、ランダムアクセスメモリ（RAM: Random Access Memory）からなる副記憶装置（サブメモリ） 2 2、副ダイレクトメモリアクセスコントローラ（サブDMAC: Dinamic Memory Access Controller） 2 3、オペレーティングシステム等のプログラムが格納されたリードオンリーメモリ（ROM: Read Only Memory） 2 4、音声処理装置（SPU: Sound Processing Unit） 2 5、通信制御部（ATM: Asynchronous Transmission Mode） 2 6、補助記憶装置 2 7、入力デバイス 2 8 及び CD-ROM ドライバ 3 0 が接続されている。

上記バスコントローラ 1 6 は、メインバス 1 とサブバス 2 との間でのスイッチングを行う上記メインバス 1 上のデバイスであって、初期状態ではオープンになっている。

また、上記メインCPU 1 1 は、上記メインメモリ 1 2 上のプログラムで動作する上記メインバス 1 上のデバイスである。このメインCPU 1 1 は、起動時には上記バスコントローラ 1 6 がオープンになっていることにより、上記サブバス 2 上のROM 2 4 からブートプログラムを読み込んで実行し、CD-ROM ドライバ 3 0 により CD-ROM からアプリケーションプログラム及び必要なデータ

を再生して上記メインメモリ 12 や上記サブバス 2 上のデバイスにロードする。このメイン CPU 11 には、座標変換等の処理を行うジオメトリトランスファエンジン (GTE: Geometry Transfer Engine) 17 が搭載されている。上記 GTE 17 は、例えば複数の演算を並列に実行する並列演算機構を備え、上記メイン CPU 11 からの演算要求に応じて座標変換、光源計算、行列あるいはベクトルなどの演算を高速に行う。そして、上記メイン CPU 11 は、上記 GTE 17 による演算結果に基づいて 3 角形や 4 角形などの基本的な単位図形 (ポリゴン) の組み合わせとして 3 次元モデルを定義して 3 次元画像を描画するための各ポリゴンに対応する描画命令を作成し、この描画命令をバケット化してコマンドバケットとして上記 GPU 15 に送る。

また、上記メイン DMAC 13 は、メインバス 1 上のデバイスを対象とする DMA 転送の制御等を行う上記メインバス 1 上のデバイスである。このメイン DMAC 13 は、上記バスコントローラ 16 がオープンになっているときにはサブバス 2 上のデバイスも対象とする。

また、上記 GPU 15 は、レンダリングプロセッサとして機能する上記メインバス 1 上のデバイスである。この GPU 15 は、メイン CPU 11 又はメイン DMAC 13 からコマンドバケットとして送られてきた描画命令を解釈して、頂点の色データと奥行きを示す Z 値から、ポリゴンを構成する全ての画素の色と Z 値を演算する。そして、画素データを Z 値に応じて画像メモリであるフレームバッファ 18 に書き込むレンダリング処理を行う。

また、上記 MDEC 14 は、CPU と並列に動作可能な I/O 接

続デバイスであって、画像伸張エンジンとして機能する上記メインバス1上のデバイスである。このMDEC14は、離散コサイン変換などの直交変換により圧縮されて符号化された画像データを復号化する。

また、上記サブCPU21は、上記サブメモリ22上のプログラムで動作する上記サブバス2上のデバイスである。

また、上記サブDMAC23は、サブバス2上のデバイスを対象とするDMA転送の制御等を行う上記サブバス2上のデバイスである。このサブDMAC23は、上記バスコントローラ16がクローズなっているときにのみバス権利を獲得することができる。

また、上記SPU25は、サウンドプロセッサとして機能する上記サブバス2上のデバイスである。このSPU25は、上記サブCPU21又はサブDMAC23からコマンドバケットとして送られてくるサウンドコマンドに応じて、サウンドメモリ29から音源データ読み出して出力する。

また、上記ATM26は、サブバス2上の通信用デバイスである。

また、上記補助記憶装置27は、サブバス2上のデータ入出力デバイスであってフラッシュメモリ等の不揮発性メモリなどからなる。この補助記憶装置27は、ゲームの進行経過やスコア等のデータを一時記憶する。

さらに、上記入力デバイス28は、サブバス2上のコントロールパッド、マウスなどのマンマシンインターフェースや、画像入力、音声入力などの他の機器からの入力用デバイスである。

さらに、上記CD-ROMドライバ30は、サブバス2上のデータ入力デバイスであってCD-ROMからアプリケーションプログ

ラム及び必要なデータを再生する。

すなわち、このビデオゲーム装置では、座標変換やクリッピング、光源計算等のジオメトリ処理を行い、3角形や4角形などの基本的な単位図形（ポリゴン）の組み合わせとして3次元モデルを定義して3次元画像を描画するための描画命令を作成し、各ポリゴンに対応する描画命令をコマンドパケットとしてメインバス1に送出するジオメトリ処理系が上記メインバス1上のメインCPU11及びGTE17などにより構成され、上記ジオメトリ処理系からの描画命令に基づいて各ポリゴンの画素データを生成してフレームバッファ18に書き込むレンダリング処理を行い、フレームバッファ18に図形を描画するレンダリング処理系が上記GPU15により構成されている。

上記GPU15は、その具体的な構成を図4に示してあるように、上記メインバス1に接続されたパケットエンジン31を備え、上記メインCPU11又はメインDMAC13から上記メインバス1を介して上記パケットエンジン31にコマンドパケットとして送られてくる描画命令に従って、プリプロセッサ32と描画エンジン33により各ポリゴンの画素データを上記フレームバッファ18に書き込むレンダリング処理を行い、上記フレームバッファ18に描画された画像の画素データを読み出して表示制御部（CRTC: CRT Controller）34を介してビデオ信号として図示しないテレビジョン受像機やモニタ受像機に供給するようになっている。

上記パケットエンジン31は、上記メインCPU11又はメインDMAC13から上記メインバス1を介して送られてくるコマンドパケットを上記パケットエンジン31により図示しないレジスタ上

に展開する。

また、上記プリプロセッサ 32 は、上記バケットエンジン 31 にコマンドバケットとして送られてきた描画命令に従ってポリゴンデータを生成して後述するポリゴンの分割処理などの所定の前処理をポリゴンデータに施し、上記描画エンジン 33 が必要とする各ポリゴンの頂点座標情報、テクスチャやミップマップテクスチャのアドレス情報、ピクセルインターリーブの制御情報などの各種データを生成する。

さらに、上記描画エンジン 33 は、上記プリプロセッサ 32 に接続された N 個のポリゴンエンジン 33A1, 33A2...33AN と、各ポリゴンエンジン 33A1, 33A2...33AN に接続された N 個のテクスチャエンジン 33B1, 33B2...33BN と、各テクスチャエンジン 33B1, 33B2...33BN に接続された第 1 のバススイッチャ 33C と、この第 1 のバススイッチャ 33C に接続された M 個のピクセルエンジン 33D1, 33D2...33DM と、各ピクセルエンジン 33D1, 33D2...33DM に接続された第 2 のバススイッチャ 33E と、この第 2 のバススイッチャ 33E に接続されたテクスチャキャッシュ 33F と、このテクスチャキャッシュ 33F に接続された CLUT キャッシュ 33G を備える。

この描画エンジン 33 において、上記 N 個のポリゴンエンジン 33A1, 33A2...33AN は、上記プリプロセッサ 32 により前処理が施されたポリゴンデータに基づいて、画命令に応じたポリゴンを順次生成してポリゴン毎にシェーディング処理などを並列処理により行う。

また、上記N個のテクスチャエンジン33B1, 33B2... 33BNは、上記ポリゴンエンジン33A1, 33A2... 33ANにより生成されたポリゴン毎に、上記テクスチャキャッシュ33Fからカラールックアップテーブル (CLUT: Color Look Up Table) キャッシュ33Gを介して与えられるテクスチャデータに基づいて、テクスチャマッピング処理やミップマップ処理を並列処理により行う。

ここで、上記テクスチャキャッシュ33Fには、上記N個のテクスチャエンジン33B1, 33B2... 33BNが処理するポリゴンに張り付けるテクスチャやミップマップテクスチャのアドレス情報が上記プロセッサ32から事前に与えられ、上記アドレス情報に基づいて上記フレームバッファ18上のテクスチャ領域から必要なテクスチャデータが転送される。また、上記CLUTキャッシュ33Gには、上記テクスチャの描画を行う際に参照すべきCLUTデータが上記フレームバッファ18上のCLUT領域から転送される。

上記N個のテクスチャエンジン33B1, 33B2... 33BNによりテクスチャマッピング処理やミップマップ処理が施されたポリゴンデータは、上記第1のバススイッチ33Cを介してM個のピクセルエンジン33D1, 33D2... 33DMに転送される。

上記M個のピクセルエンジン33D1, 33D2... 33DMは、Zバッファ処理やアンチエイリアシング処理等の各種画像処理を並列処理により行い、M個の画素データを生成する。

そして、上記M個のピクセルエンジン33D1, 33D2...

33DMで生成されたM個の画素データは、この第2のバススイッチ33Eを介して上記フレームバッファ18に書き込まれる。

ここで、上記第2のバススイッチ33Eは、上記プリプロセッサ32からピクセルインターリーブの制御情報が供給されており、上記M個のピクセルエンジン33D1, 33D2・・・33DMで生成されたM個の画素データのうちのL個の画素データを上記制御情報に基づいて選択することにより、上記フレームバッファ18上に描画するポリゴンの形状に応じたM個の記憶場所をアクセス単位として画素データをM個ずつ書き込むピクセルインターリーブ処理を行う機能を有している。

上記描画エンジン33は、上記プリプロセッサ32により前処理が施されたポリゴンデータに基づいて、各ポリゴンの全ての画素データを生成して上記フレームバッファ18に書き込むことにより、上記描画命令によりポリゴンの組合せとして定義された画像を上記フレームバッファ18上に描画する。そして、上記フレームバッファ18に描画された画像の画素データを読み出してP C R T C (Programmable Cathode Ray Tube Controller) 34を介してビデオ信号として図示しないテレビジョン受像機やモニタ受像機に供給する。

ここで、P C R T C 34は、1つの画面に複数の画像を表示するのみならず、外部から取り込まれた画像データも上記画面に表示することができるように、同期信号に従ってフレームバッファ18に書き込まれている画像データを読み出している。

すなわち、P C R T C 34は、例えば図5に示すように、同期信号発生回路51からの水平同期信号、垂直同期信号をHカウンタ52, Vカウンタ53のカウントに基づいて所定のアドレスを発生す

る。そして、P C R T C 3 4は、上記アドレスに基づいてV R A M 1 8から画像データを読み出し、この画像データが供給される。そして、P C R T C 3 4は、画像データの出力制御を行い、D/Aコンバータ54を介して、ビデオ信号を出力する。

具体的には、同期信号発生回路51は、水平同期信号及び垂直同期信号を発生し、水平同期信号をHカウンタ52に、垂直同期信号をVカウンタ53等に供給する。

Hカウンタ52は、供給された水平同期信号をカウントする。Vカウンタ53は、Hカウンタ52のカウント動作に基づいて駆動され、供給された垂直同期信号をカウントする。

P C R T C 3 4は、1フレーム毎に、例えばHカウンタ52及びVカウンタ53が所定数カウントして切出位置を決定した後、ある画像に対応するアドレスを発生し、その後所定数カウントして切出位置を決定した後、他の画像に対応するアドレスを発生する。すなわち、P C R T C 3 4は、V R A M 1 8には複数の画像からなる1フレームの画像データが書き込まれているため、フレーム周期内で、それぞれの画像データに対応するアドレスを発生している。

V R A M 1 8は、逐次フレーム周期で画像データが書き込まれるようになっていて、P C R T C 3 4からアドレスが供給される毎に、そのアドレスに対応した画像データを読み出し、これら画像データをP C R T C 3 4に供給する。

P C R T C 3 4は、画面の所定の位置に所定の画像が表示されるように、供給された画像データの出力制御をした後、画像データをD/Aコンバータ54に供給する。D/Aコンバータ54は、供給された画像データをアナログ変換し、ビデオ信号を出力する。

すなわち、P C R T C 3 4 は、一画面中に表示される複数の画像に対応する画像データをそれぞれV R A M 1 8 から読み出し、読み出された画像データの出力制御をすることにより、一画面中に例えば解像度の異なる複数の画像を表示させることができる。

なお、P C R T C 3 4 は、詳しくは後述するが、例えば外部からの画像データを取り込んでV R A M 1 8 にその画像データを書き込むことができ、アドレスの発生によりその画像データを他の画像データと同様に読み出すこともできる。

以下、第1の実施の形態に係るC R T Cの構成について説明する。

第1の実施の形態に係るP C R T C 3 4 a は、上述のように、一画面中に例えば解像度の異なる複数の画像を表示させるべく、例えばC R T C バッファを複数備え、かつ、それぞれのC R T C バッファを独立制御することができる。

具体的には、P C R T C 3 4 a は、例えば図6に示すように、制御部61と、複数のC R T C バッファ62a～62gと、選択合成部63とを備える。なお、V R A M 1 8 には、例えば図7に示すように、それぞれ解像度等の異なる画像データが書き込まれているものとする。

制御部61は、同期信号を所定数カウントして所望の切出位置を定めると、例えばV R A M 1 8 には高解像度の画像データが取り込まれているものの低解像度のディスプレイに表示する場合には、必要に応じて解像度を下げるようになっている。そして、P C R T C 3 4 a は、例えばV R A M 1 8 内に記憶された低解像度のある画像を切り出すためアドレスを発生し、このアドレスをV R A M 1 8 に供給する。また、P C R T C 3 4 は、例えば次の切出位置が決定さ

れると、例えばVRAM18内に記憶された高解像度の他の画像データを切り出すためのアドレスを発生するようになっている。

VRAM18は、上述の図7に示すように、1フレーム中に表示される例えば低解像度、高解像度の画像データ等がそれぞれ書き込まれていて、制御部61からアドレスが供給される毎に、そのアドレスに応じた画像データを読み出し、画像データをCRTCバッファ62に供給するようになっている。なお、後述するが、VRAM18は、CRTCバッファ62gを介して外部から供給された画像データについても、他の直接VRAM18に書き込まれた画像データと同様に、制御部61からのアドレスによって読み出されるようになっている。

CRTCバッファ62は、上述のように複数のCRTCバッファ62a～62gから構成され、各CRTCバッファ62a～62g毎に例えば解像度や画像の異なる画像データがそれぞれ供給され、供給された画像データを一時保持するようになっている。そして、CRTCバッファ62a～62gは、制御部61によりそれぞれ独立に制御され、1水平走査ライン毎に、画像データを順次選択合成部63に供給する。これにより、PCRTC34aは、例えば図7のディスプレイ表示のように、水平走査ライン毎に異なる解像度等の画像を表示させることができる。

また、CRTCバッファ62のうち、例えば1つのCRTCバッファ62gは双方向性機能を有する。すなわち、CRTCバッファ62gは、例えば外部から供給される画像データを取り込むことができ、取り込んだ画像データをVRAM18に供給するようになっている。このとき、VRAM18は、制御部61からアドレスが供

給されると、他の画像データと同様に取り込んだ画像データを読み出すことができる。そして、この読み出された画像データは、C R T Cバッファ6 2 gを介して、選択合成部6 3に供給される。

選択合成部6 3は、上述の図6に示すように、供給された画像データの選択をするセレクタ6 4と、係数制御回路6 5と、フィルタ6 6とを備え、C R T Cバッファ6 2 a～6 2 gを介して、セレクタ6 4にそれぞれの画像データが供給される。

セレクタ6 4は、制御部6 1の制御に基づいて、供給された画像データを選択し所定の画像データのみをフィルタ6 6に供給する。一方、係数制御回路6 5は、セレクタ6 4から所定の画像データが供給されると、制御部6 1の演算結果に基づき、例えば画像データの一部のパラメータを変更したり、画像データの一部又は全部のパラメータに物体の不透明度を表すアルファ値の掛け合わせ等を、フィルタ6 6に供給される画像データに行う。

フィルタ6 6は、供給された画像データを合成して、画像合成データを出力する。出力された画像合成データは、D/Aコンバータによりアナログ変換され、アナログ変換されたビデオ信号は、図7に示すように、ディスプレイの一画面に複数の画像を表示させることができる。

以下、第2の実施の形態に係るC R T Cの構成について説明する。なお、上記第1の実施の形態と同じものには同じ符号を付し、詳細な説明は省略する。

第2の実施の形態に係るP C R T C 3 4 bは、例えば図8に示すように、C R T Cバッファの代わりにラインバッファを備え、これらラインバッファを独立制御することによっても同様に表示するこ

とができる。なお、上記P C R T C 3 4 bは、例えば制御部7 1と、制御プログラム部7 2と、制御レジスタ7 3と、キャッシュメモリ7 4 a, 7 4 bと、ラインバッファ7 5 a~7 5 dと、選択合成部6 3とを備える。

制御部7 1は、制御プログラム7 2に組み込まれているプログラムに基づいて、例えば後述する画像データの一部のパラメータを変更したり、アルファ値の演算等を行う。また、制御部7 1は、制御レジスタ7 3を介して、例えばV R A M 1 8に供給すべきアドレスを発生し、また、キャッシュメモリ7 4、ラインバッファ7 5、選択合成部6 3を制御するようになっている。

V R A M 1 8は、供給されたアドレスに応じて画像データを読み出す。読み出された画像データは、ラインバッファ7 5 a~7 5 dを介して、選択合成部6 3に供給される。なお、ラインバッファ7 5 dは、双方向性のラインバッファであり、例えば外部から供給された画像データを取り込み、この画像データをV R A M 1 8に供給することができる。V R A M 1 8は、ラインバッファ7 5 dを介して供給された外部からの画像データを書き込み、他の画像データと同様に、制御部からのアドレスに基づき、この画像データを読み出すことができる。また、V R A M 1 8は、画像データをキャッシュメモリ7 4 a, 7 4 bにも供給している。

キャッシュメモリ7 4 a, 7 4 bは、複数のメモリで構成され、供給された画像データを書き込むことができる。そして、キャッシュメモリ7 4 a, 7 4 bは、制御部7 1の制御に基づいて、画像データを読み出し、この画像データを選択合成部6 3に供給する。

選択合成部6 3は、例えば供給された画像データの一部のパラメ

ータを変更したり、画像データの一部又は全部のパラメータに物体の不透明度を表すアルファ値の掛け合わせ等を行った後、供給されたそれぞれの画像データを選択し、選択された画像データを合成する。合成された画像データは、D/Aコンバータによりアナログ変換される。アナログ変換されたビデオ信号は、例えば図7に示すように、ディスプレイの画面中にタイル状の画像を複数表示させることができる。すなわち、P C R T C 3 4 bは、C R T Cバッファの代わりにラインバッファ7 5 a～7 5 dを用いたため、生産コストの削減に寄与することができる。

また、P C R T C 3 4 bは、V R A M 1 8から読み出した画像データが供給され、ラインバッファ7 5 a～7 5 dを介して複数の画像データの出力制御をそれぞれ独立に行うことができるため、例えばディスプレイに表示される一画面に複数の画像を表示させることができる。

さらに、P C R T C 3 4 bは、外部からの画像データを双方向性のラインバッファ7 5 dによって取り込み、この画像データをV R A Mに書き込むことができるため、制御部から所定のアドレスが発生すると、取り込まれた画像データは他の画像データと同様にV R A M 1 8から読み出されるようになっている。これにより、P C R T C 3 4 bは、ディスプレイの一画面に複数の画像を表示させるのみでなく、外部からの画像を取り込んで表示させることもできる。

このような本発明を適用したビデオゲーム装置は、例えば、図9の平面図、図10の正面図及び図11の側面図に示すような構成となっている。

すなわち、このビデオゲーム装置2 0 1は、図9に示すように、

基本的に、装置本体 202 と、この装置本体 202 に対してケーブル 227 を介して接続される操作装置 217 により構成されている。装置本体 202 の上面の中央部には、ディスク装着部 203 が設けられ、その内部に図 12 に示すような CD-ROM 251 が装着されるようになされている。ディスク装着部 203 の左側には、装置の電源をオンまたはオフするときに操作される電源スイッチ 205 と、ゲームを一旦リセットするときに操作されるリセットスイッチ 204 が設けられている。また、ディスク装着部 203 の右側には、ディスク装着部 203 に対して CD-ROM 251 を着脱するときに操作されるディスク操作スイッチ 206 が設けられている。

また、装置本体 202 の正面には、図 10 に示すように、接続部 207A、207B が設けられている。これらの接続部 207A、207B には、操作装置 217 から導出されたケーブル 227 の先端に設けられている接続端子部 226 と、メモリーカードなどよりなる記録装置 228 を接続するため接続端子挿入部 212 と記録挿入部 208 がそれぞれ設けられている。すなわち、この装置本体 202 には、操作装置 217 と記録装置 228 がそれぞれ 2 個接続できるようになされている。

ここで、図 10 の正面図には、右側の接続部 207B に接続端子部 226 と記録装置 228 が装着され、左側の接続部 207A には接続端子部 226 と記録装置 228 のいずれも装着されていない状態が示されている。この図 10 に示すように、記録装置 228 を装着する記録挿入部 208 にはシャッタ 209 が設けられており、記録装置 228 を装置本体 202 に対して装着するときに、記録装置 228 の先端で、このシャッタ 209 を押し込むようにして、装着

が行われるようになっている。

また、接続端子部 226 の把持部 231A と記録装置 228 には把持部 242A には、それぞれ例えばローレット加工などによる滑り止め加工が施されている。なお、図 11 の側面図に示すように、接続端子部 226 と記録装置 228 の長さ L は、ほぼ同一の長さとなっている。

操作装置 27 には、左右の手で把持される支持部 220, 221 が設けられ、支持部 220, 221 の先端には、操作部 218, 219 が設けられている。操作部 224, 225 は、左右の手の人差し指で操作され、操作部 218, 219 は、左右の親指で操作されるようになっている。

操作部 218, 219 の間には、ゲーム中においてセレクト操作を行うときに操作されるセレクトスイッチ 222 と、ゲームを開始するときに操作されるスタートスイッチ 223 が設けられている。

このビデオゲーム装置 201 では、上記ディスク装着部 203 に装着された CD-ROM 251 が上述の CD-ROM ドライバ 30 により再生される。また、上記操作装置 217 は、上述の入力デバイス 28 に相当するものであり、また、上記記録装置 228 は、上述の補助記憶装置 27 に相当するものである。

以上詳細に説明したように、本発明に係るアドレス発生装置によれば、同期信号に基づいて所定のアドレスが発生して、フィールドメモリに書き込まれている各画像データは順次読み出され、この読み出した各画像データがアドレス発生装置内の複数のラインバッファにそれぞれ供給されている。従って、アドレス発生装置は、各ラインバッファを介して、各画像データの出力をそれぞれ独立に制御

することにより、一画面中に複数の画像を表示させることができる。

また、上記アドレス発生装置によれば、上記複数のラインバッファのうち少なくとも1つは外部からの画像データを取り込んでフィールドメモリに書き込むことができるため、所定のアドレスが発生すると、外部から取り込まれた画像データは他の画像データと同様にフィールドメモリから読み出される。従って、上記アドレス発生装置は、外部から取り込んだ画像を、画像メモリに書き込まれている画像データと同様に読み出すことができ、一画面中に複数の画像を表示させることができる。

本発明に係る画像表示装置によれば、同期信号に基づいて所定のアドレスが発生して、フィールドメモリに書き込まれている各画像データは順次読み出され、この読み出した各画像データがアドレス発生手段内の複数のラインバッファにそれぞれ供給されている。従って、画像表示装置は、各ラインバッファを介して、各画像データの出力をそれぞれ独立に制御してビデオ信号を出力することにより、一画面中に複数の画像を表示させることができる。

また、上記画像表示装置によれば、上記複数のラインバッファのうち少なくとも1つは外部からの画像データを取り込んでフィールドメモリに書き込むことができるため、所定のアドレスが発生すると、外部から取り込まれた画像データは他の画像データと同様にフィールドメモリから読み出される。従って、上記画像表示装置は、外部から取り込んだ画像を、画像メモリに書き込まれている画像データと同様に読み出してビデオ信号を出力することができ、一画面中に複数の画像を表示させることができる。

上記画像表示装置によれば、制御手段はプログラム制御されてい

ることにより、例えば画像データの一部のパラメータを変更したり、アルファ値の演算等を行うことにより、鮮明な画像を表示させることができる。

また、上記画像表示装置によれば、上記キャッシュメモリは画像信号を書き込み、上記制御手段はキャッシュメモリに書き込まれた画像信号を逐次読み出し制御することにより、一画面に同一の画像を複数表示させることができる。

## 請 求 の 範 囲

1. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成するアドレス生成手段と、

上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、

上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段と

を備えることを特徴とするアドレス発生装置。

2. 上記複数のバッファのうち少なくとも1つは、外部から供給された画像信号を取り込んで、この画像信号を上記画像メモリに供給することを特徴とする請求項1記載のアドレス発生装置。

3. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成するアドレス生成手段と、上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、上記複数のバッファにそれぞれ供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段とを有するアドレス発生手段と、

上記複数のバッファから出力される画像信号を合成する合成手段と

を備えることを特徴とする画像表示装置。

4. 上記複数のバッファのうち少なくとも1つは、外部から供給



された画像信号を取り込んで、この画像信号を上記画像メモリに供給することを特徴とする請求項3記載の画像表示装置。

5. 上記合成手段は、上記制御手段の所定の演算に基づいてプログラム制御されていることを特徴とする請求項3記載の画像表示装置。

6. 上記画像メモリから読み出された画像信号が供給される1以上のキャッシュメモリを備え、

上記キャッシュメモリは、供給された画像信号を書き込み、

上記制御手段は、上記キャッシュメモリに書き込まれた画像信号を逐次読み出し制御することにより、一画面に同一の画像を複数表示させる

ことを特徴とする請求項3記載の画像表示装置。

7. 上記バッファはラインメモリからなることを特徴とする請求項3記載の画像表示装置。

8. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、

上記アドレスに基づいて上記画像メモリから読み出された画像信号を複数のバッファをそれぞれ供給し、

上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする

ことを特徴とするアドレス発生方法。

9. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、

上記アドレスに基づいて上記画像メモリから読み出された画像信



号を複数のバッファにそれぞれ供給し、

上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をして、

上記複数のバッファから出力される画像信号を合成して表示することを特徴とする画像表示方法。



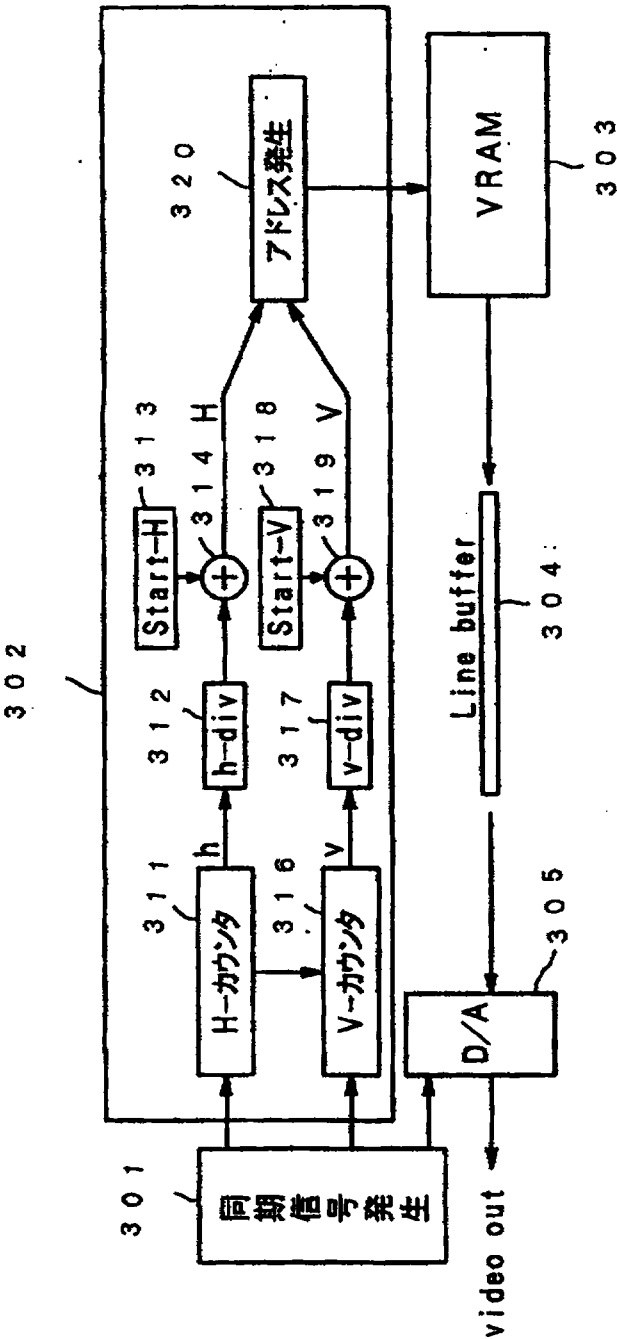


FIG. 1

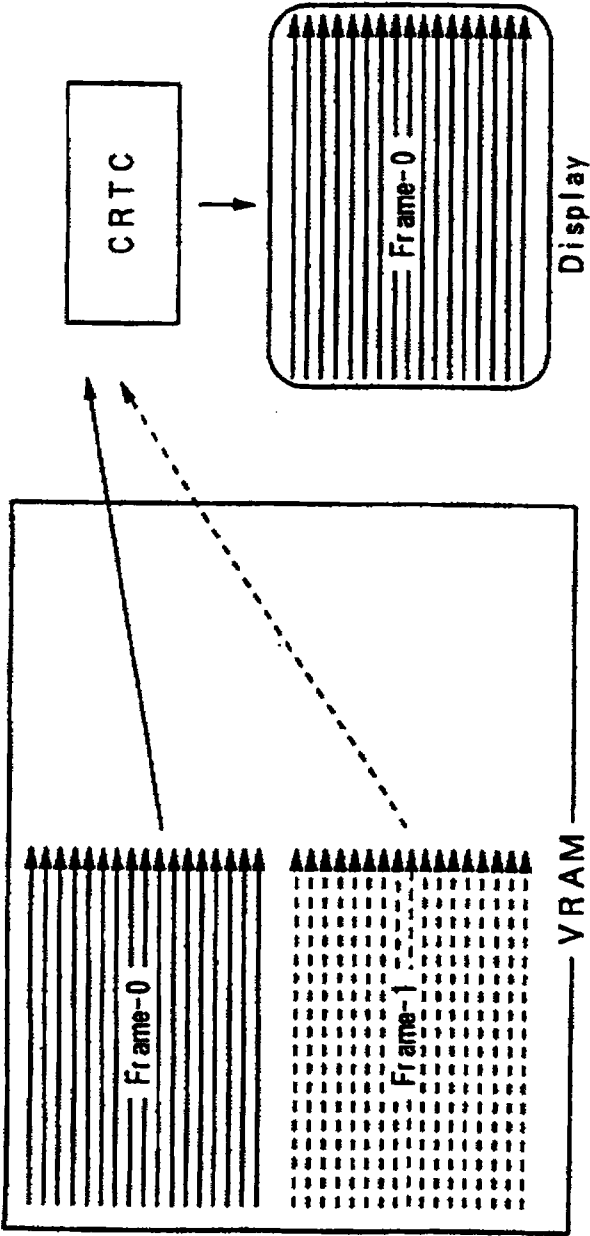


FIG. 2

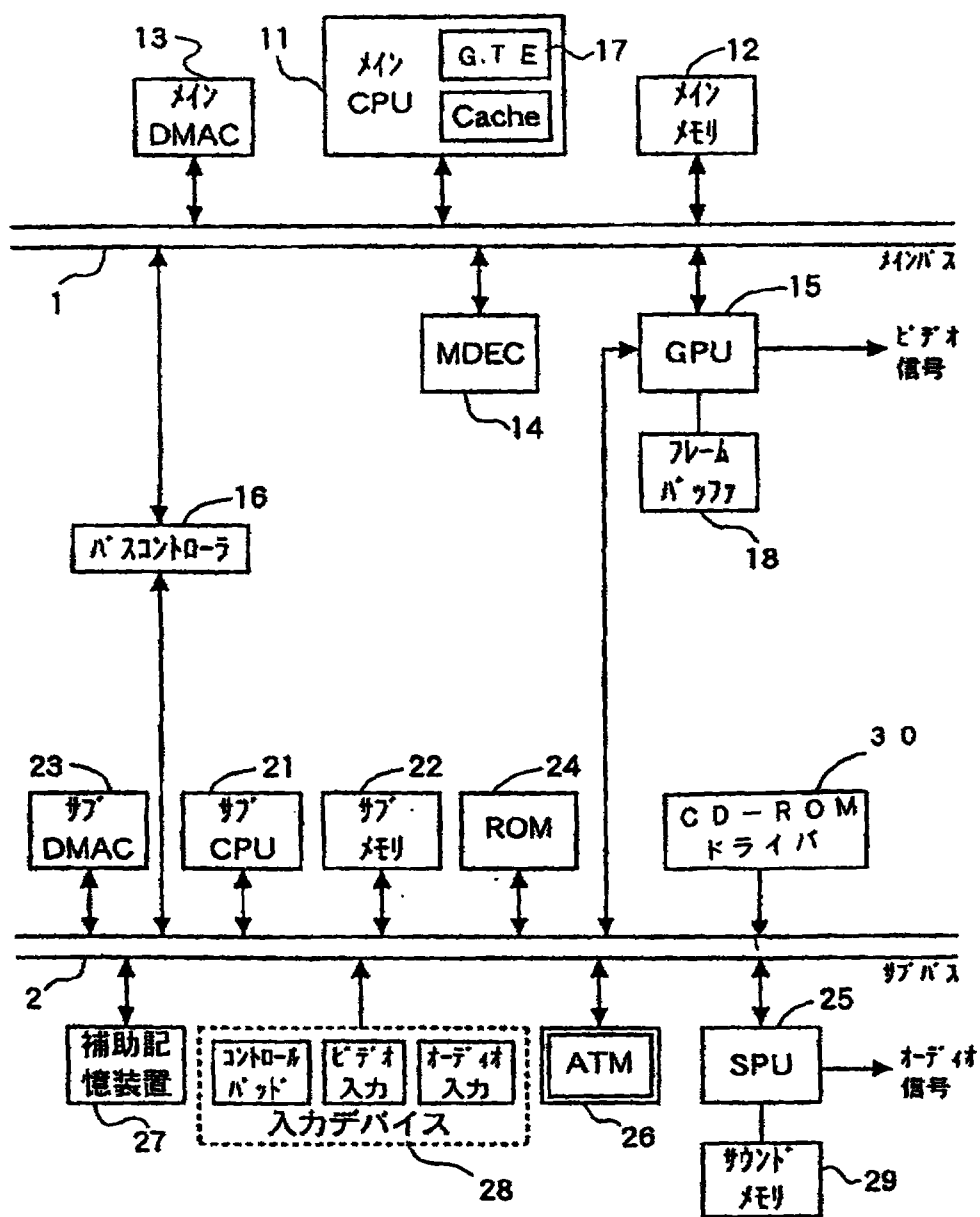


FIG. 3

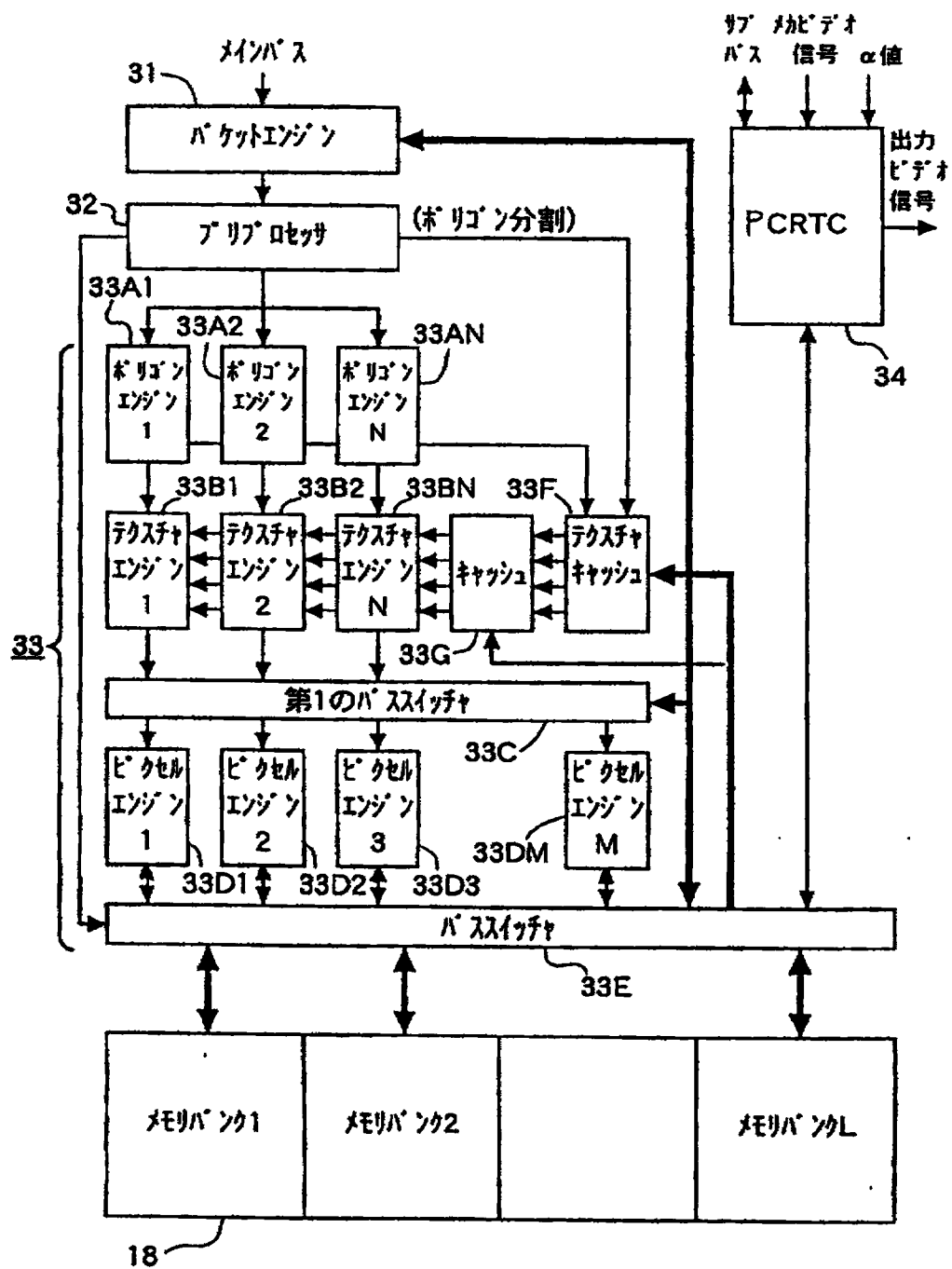


FIG. 4

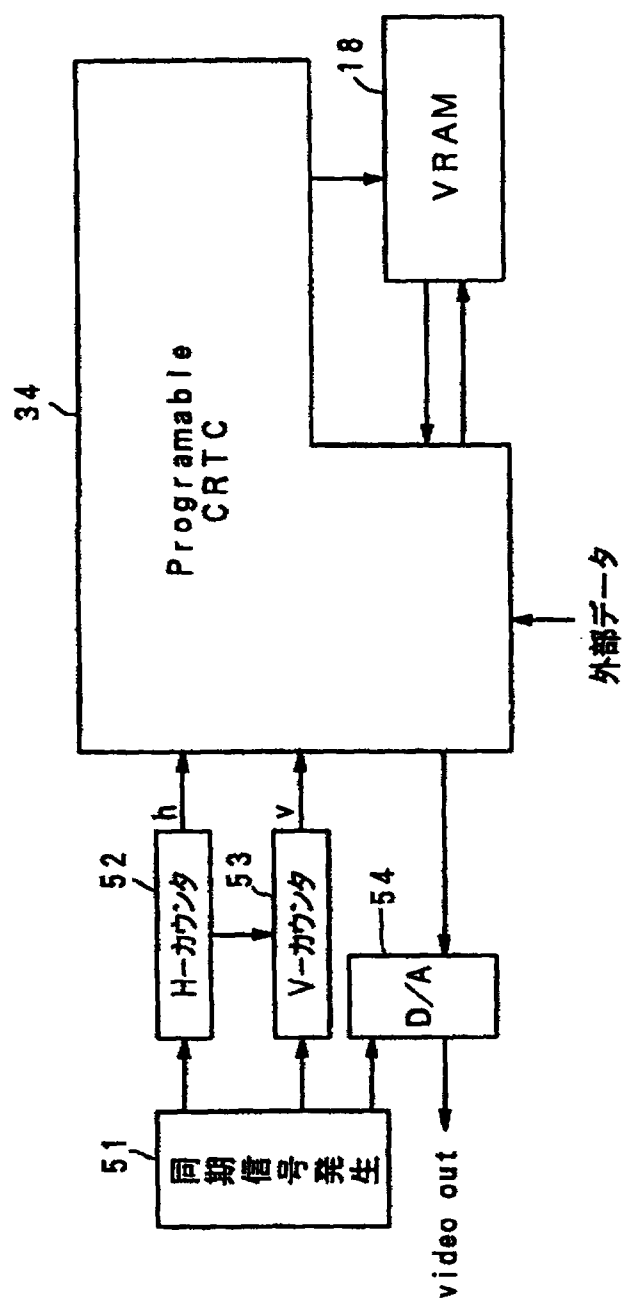


FIG. 5

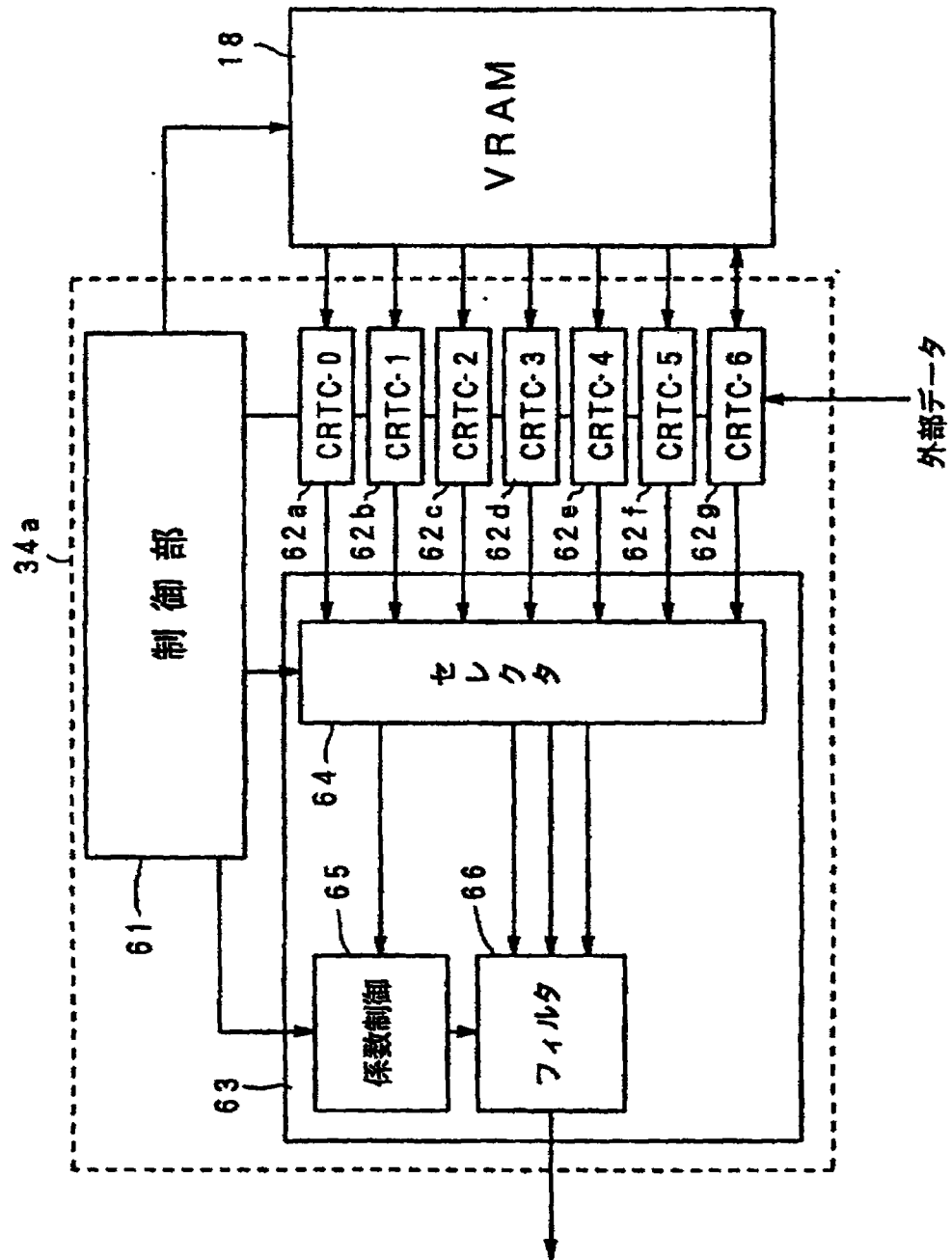


FIG. 6

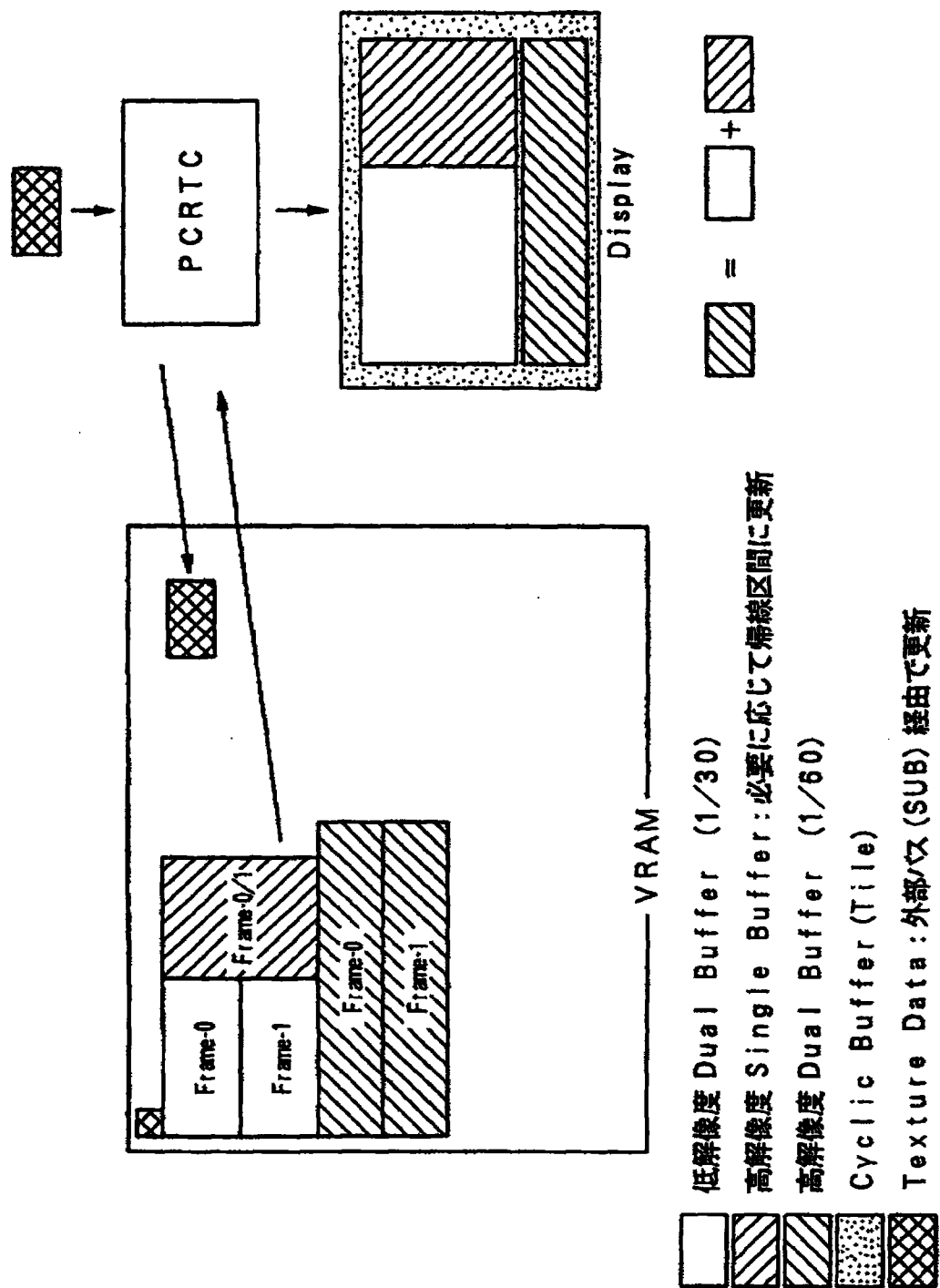


FIG. 7

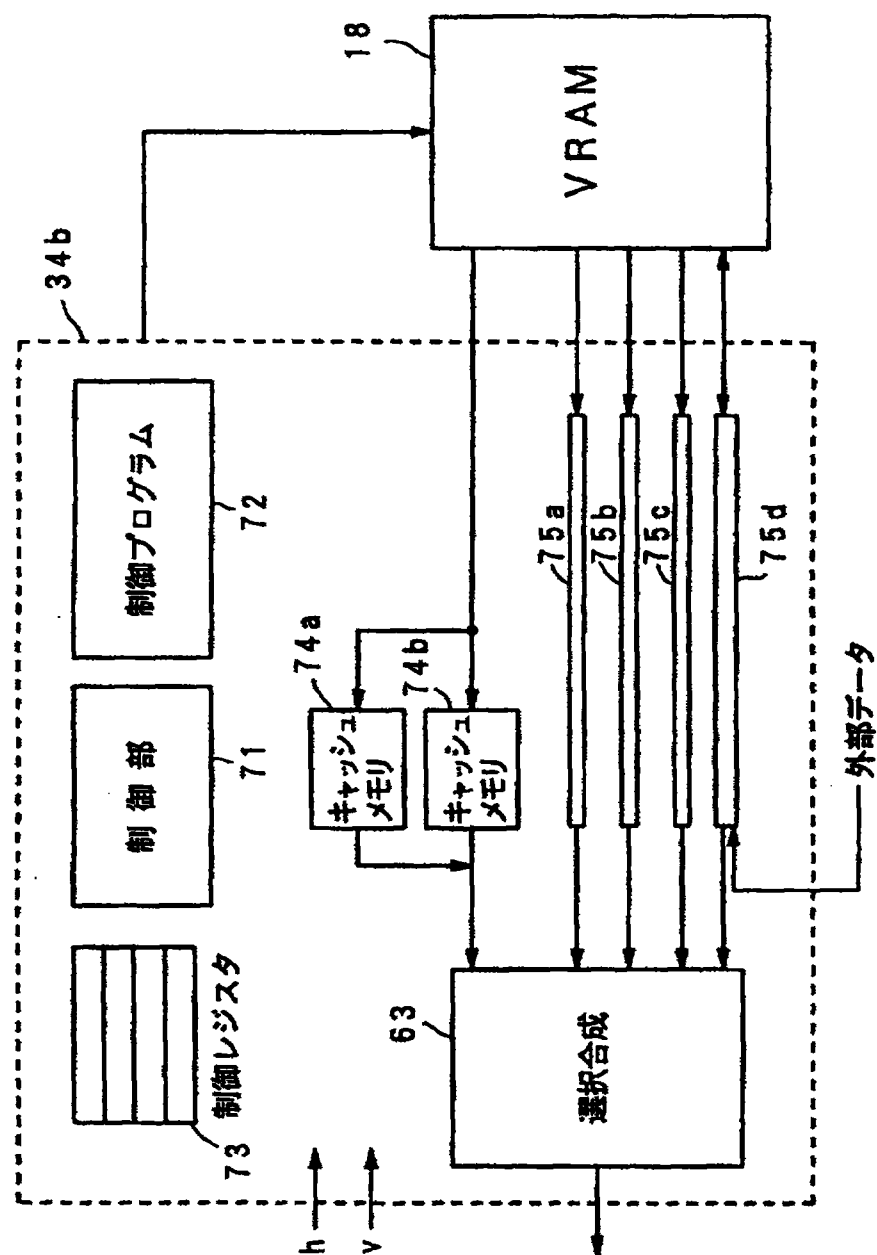


FIG. 8

9/11

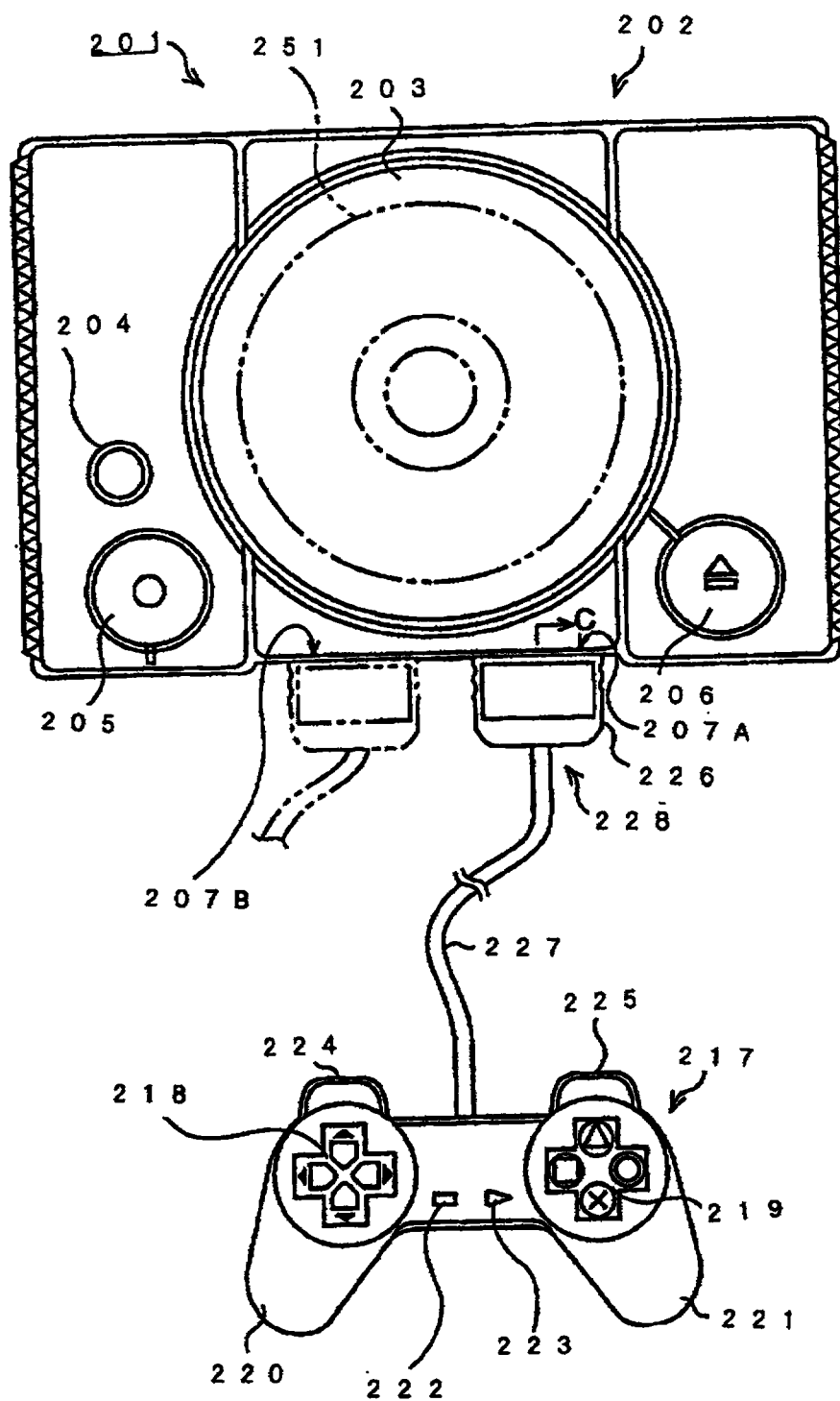
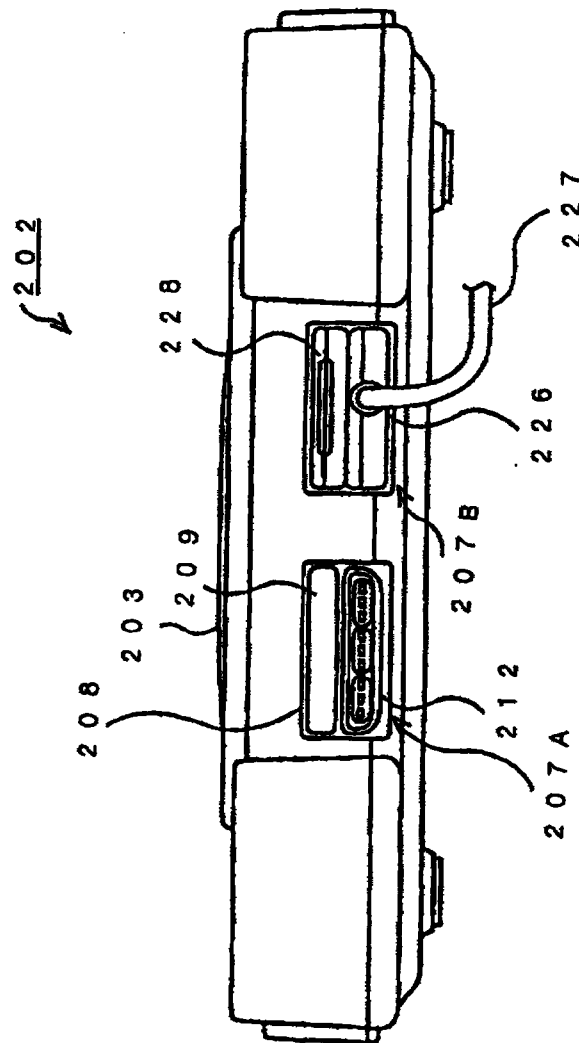


FIG. 9



**FIG. 10**

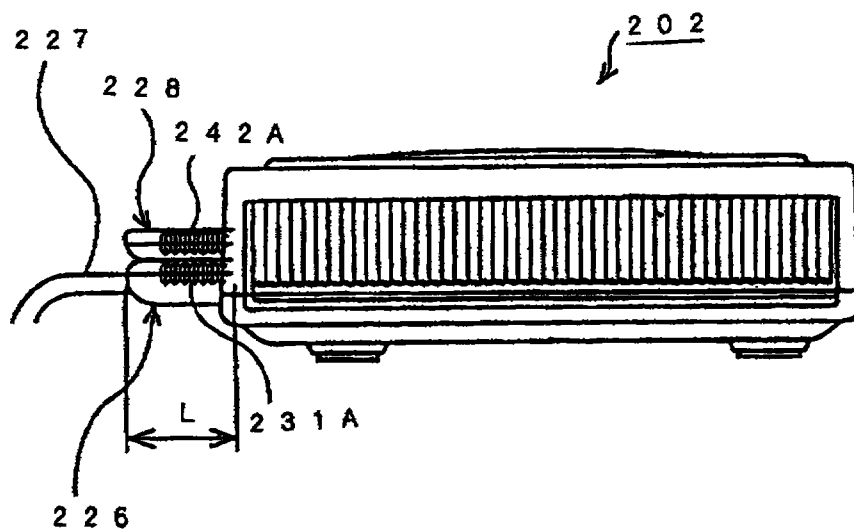


FIG. 11

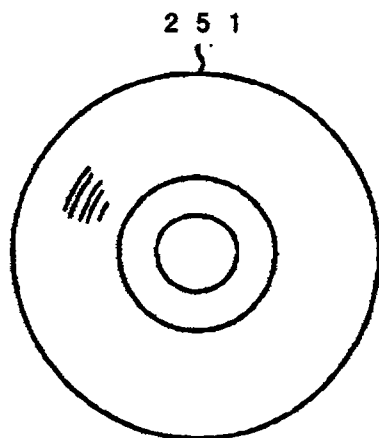


FIG. 12

## SPECIFICATION

Address Generating Apparatus, Picture Display Apparatus,  
Address Generating Method and Picture Displaying method

## Technical Field

This invention relates to an address generating apparatus, a picture display apparatus, an address generating method and a picture displaying method used in a graphics computer, a special effect device or a video game machine which are picture equipments employing a computer.

## Background Art

A picture display apparatus having a picture memory, such as a personal computer or a television game machine, data written in the picture memory is read out in accordance with synchronization signals of, for example, the NTSC (National Television System Committee) system.

Such picture display apparatus includes a cathode ray tube controller (CRTC) 302 for generating pre-set addresses based on synchronization signals generated by a synchronization signal generating circuit 301, a VRAM 303 for reading out one-frame picture data based on addresses designated by the CRTC 302 and a D/A converter 305 for converting frame data supplied via a line buffer 304 into analog data, as shown for example in Fig.1.

The CRTC 302 includes a horizontal synchronization counter 311 for counting horizontal synchronization signals, a horizontal resolution reducing circuit 312 for lowering the horizontal

resolution to a pre-set value in case of necessity, a horizontal slicing circuit 313 for starting slicing horizontal scanning lines, and a summation circuit 314 for summing data from the horizontal resolution reducing circuit 312 and the horizontal slicing circuit 313.

In addition, the CRTC 302 includes a vertical synchronization counter 316 for counting the vertical synchronization signals, a vertical resolution reducing circuit 317 for lowering the vertical resolution to a pre-set value in case of necessity, a vertical slicing circuit 318 for starting slicing vertical scanning lines, a summation circuit 319 for summing data from the vertical resolution reducing circuit 317 and the vertical slicing circuit 318 and an address generating circuit 320 for generating addresses based on the horizontal synchronization signals and the vertical horizontal synchronization signals supplied thereto.

In the above-described picture display apparatus, the synchronization signal generating circuit 301 generates the horizontal synchronization signals and the vertical horizontal synchronization signals which are sent to the CRTC 302.

In the CRTC 302, the horizontal synchronization counter 311 counts the horizontal synchronization signals supplied from the synchronization signal generating circuit 301.

The horizontal resolution reducing circuit 312 reduces the number of the horizontal synchronization signals, if necessary,

for lowering the horizontal resolution of picture data read out from the VRAM 303.

When a pre-set timing is reached by the counting of the horizontal synchronization signals by the horizontal synchronization counter 311, the horizontal slicing circuit 313 generates horizontal slicing data for slicing at a pre-set position of the horizontal scanning line and transmits the horizontal slicing data to the summation circuit 314.

The summation circuit 314 superimposes the horizontal slicing data on the supplied horizontal synchronization signals and transmits the superimposed data to the address generating circuit 320.

On the other hand, the vertical resolution reducing circuit 316 counts the vertical synchronization signals from the synchronization signal generating circuit 301.

The vertical resolution reducing circuit 317 reduces the number of the vertical synchronization signals, if need be, for lowering the vertical resolution of picture data read out from the VRAM 303.

When a pre-set timing is reached by the counting of the vertical synchronization signals by the vertical synchronization counter 318, the vertical slicing circuit 318 generates vertical slicing data for slicing at a pre-set position of the vertical scanning line and transmits the vertical slicing data to the summation circuit 314.

The summation circuit 319 superimposes the vertical slicing data on the supplied horizontal synchronization signals and transmits the superimposed data to the address generating circuit 320.

The address generating circuit 320 generates addresses associated with the superimposed data supplied thereto and transmits the resulting addresses to the VRAM 303.

The VRAM 303 sends the picture data associated with the supplied addresses via line buffer 304 to the D/A converter 305.

The D/A converter 305 converts the supplied picture data into analog data for outputting video signals.

Thus, the picture data written in the VRAM 303 is directly displayed via CRTC 302 on a display screen.

However, if frame data including plural pictures are written in the VRAM 303, it has not been possible with the CRTC 302 employed in the above-described picture display apparatus to slice the plural pictures to display the sliced pictures at a desired location on a sole screen.

Moreover, it has not been possible with the CRTC 302 to seize plural picture data supplied from outside to display the seized picture data on the screen.

In view of the above-depicted status of the art, it is an object of the present invention to provide an address generating apparatus, a picture display apparatus, an address generating method and a picture display method, whereby plural pictures can

be displayed at plural locations on a sole screen and whereby a picture supplied from outside can also be seized and displayed thereon.

#### DISCLOSURE OF THE INVENTION

An address generating apparatus according to the present invention includes address generating means for generating addresses for reading out picture signals written in a picture memory based on synchronization signals, a plurality of buffers respectively supplied with picture signals read out from the picture memory based on the addresses and controlling means for independently controlling the picture signals outputted by the buffers so that the picture signals supplied to the buffers will be displayed on a sole screen.

In the address generating apparatus according to the present invention, at least one of the buffers preferably seizes picture signals supplied from outside to route the seized picture signals to the picture memory.

A picture displaying apparatus according to the present invention includes address producing means having address generating means for generating addresses for reading out picture signals written in a picture memory based on synchronization signals, a plurality of buffers respectively supplied with picture signals read out from the picture memory based on the addresses, and controlling means for independently controlling the picture signals outputted by the buffers so that the picture

signals supplied to the buffers will be displayed on a sole screen, and synthesizing means for synthesizing picture signals outputted by the buffers.

In the picture displaying apparatus according to the present invention, preferably at least one of the buffers seizes picture signals supplied from outside to route the seized picture signals to the picture memory.

In the picture displaying apparatus according to the present invention, preferably the synthesizing means is program-controlled based on pre-set calculations by the control means.

The picture displaying apparatus according to the present invention preferably includes one or more cache memories fed with picture signals read out from the picture memory for writing supplied picture signals. The control means sequentially read-out controls the picture signals written in the cache memory for causing a plurality of pictures of the same sort to be displayed on a sole screen.

In the picture displaying apparatus according to the present invention, the buffer preferably is made up of a line memory.

An address generating method according to the present invention includes generating addresses for reading out picture signals written in a picture memory based on synchronization signals, supplying picture signals read out from the picture memory based on the addresses to the buffers, and independently

controlling the picture signals outputted by the buffers so that the picture signals supplied to the buffers will be displayed on a sole screen.

A picture displaying method according to the present invention includes generating addresses for reading out picture signals written in a picture memory based on synchronization signals, supplying picture signals read out from the picture memory based on the addresses to the buffers, independently controlling the picture signals outputted by the buffers so that the picture signals supplied to the buffers will be displayed on a sole screen, and synthesizing the picture signals outputted by the buffers for display.

#### BRIEF DESCRIPTION OF THE DRAWINGS

Fig.1 is a block diagram for illustrating a conventional CRTC.

Fig.2 illustrates typical representation on a display of video signals outputted via the CRTC.

Fig.3 illustrates a schematic structure of a video game machine employing the present invention.

Fig.4 illustrates typical examples of a texture picture and a target color in the picture displaying method according to the present invention.

Fig.5 illustrates a PCRTC employing an address generating apparatus according to the present invention.

Fig.6 illustrates the conceptual structure of the CRTC.

Fig.7 illustrates typical representation of a display of video signals outputted via PCRTC.

Fig.8 illustrates a specified structure of the PCRTC.

Fig.9 s a plan view of a video game machine employing the present invention.

Fig.10 is a back side view of the video game machine.

Fig.11 is a side view of the video game machine.

Fig.12 is a plan view showing a CD-ROM loaded on the video game machine.

#### BEST MODE FOR CARRYING OUT THE INVENTION

Referring to the drawings, preferred embodiments of the present invention will be explained in detail.

The present invention is applied to a video game machine configured as shown in Fig.3.

This video game machine is designed for reading out and executing a video program stored in, for example, an optical disc, for playing the game responsive to instructions from a user, and is configured as shown in Fig.3.

That is, the video game machine has two sorts of buses, namely a main bus 1 and a sub-bus 2.

The main bus 1 and the sub-bus 2 are interconnected via a bus controller 16.

To the main bus 1 are connected a main central processing unit (main CPU) 11, comprised of a micro-processor, a main memory 12, comprised of an access memory (RAM), a main direct memory

access controller (main DMAC) 13, an MPEG decoder 14 and a picture processing unit or graphic processing unit GPU 15. To the sub-bus 2 are connected a subsidiary central processing unit (sub-CPU) 21, comprised of a random access memory (RAM), a subsidiary direct memory access controller (sub-DMAC) 23, a read-only memory (ROM) 24, having stored therein programs, such as operating systems, a sound processing unit (SPU) 25, a communication controller or asynchronous transmission mode (ATM) 26, a subsidiary memory 27, an input device 28 and a CD-ROM driver 30.

The bus controller 16 is a device on the main bus 1 for executing the switching between the main bus 1 and the sub-bus 2 and is initially in an opened state.

The main CPU 11 is a device operated by a program on the main memory 12. Since the bus controller 16 is initially in the opened state during startup, the main CPU 11 reads out the boot program from the ROM 214 on the sub-bus 2 and executes it to reproduce the application program and necessary data from the CD-ROM by the CD-ROM driver 30 for loading on the main memory 12 and on devices on the sub-bus 2. On the main CPU 11 is loaded a geometry transfer engine (GTE) 17 configured for performing processing, such as coordinate transformation. The GTE 17 has a parallel computing mechanism for parallel execution of plural calculations and executes calculations such as coordinate transformation, light source calculations, matrix or vector

calculations at a high speed responsive to requests for calculations from the main CPU 11. The main CPU 11 defines a three-dimensional model as a combination of basic unitary figures (polygons) such as triangles or quadrangles based on the results of calculations by the GTE 17 to prepare instructions for delineation corresponding to respective polygons for delineating a three-dimensional picture. The main CPU 11 also packetizes the instructions for delineation to send the instructions for delineation as a command packet to the GPU 15.

The main DMAC 13 is a device on the main bus 1 for managing DMA transfer of a device on the main bus 1. The main DMAC 15 has a device on the sub-bus 2 as an object when the bus controller 16 is in an opened state.

The GPU 15 is a device on the main bus 1 functioning as a rendering processor. This GPU 15 interprets the instructions for delineation transmitted thereto as a command packet from the DMAC 13 to calculate the Z-value and the colors of all pixels making up the polygon from color data of the apex points and the Z-values specifying the depth. In addition, the GPU 15 performs rendering processing for writing the pixel data on a frame buffer 18 as a picture memory responsive to the Z-values.

The MDEC 14 is an I/O connection device capable of operating parallel to the CPU, and is a device on the main bus 1 functioning as the picture expanding engine. This MDEC 14 decodes picture data encoded after orthogonal transform such as discrete

cosine transform.

The sub-CPU 21 is a device on the sub-bus 2 operating by a program on the sub-memory 22.

The sub-DMAC 23 is a device on the sub-bus 2 for managing DMA transfer for the device on the sub-memory 22. This sub-DMAC 23 acquires rights for the bus only when the bus controller 16 is closed.

The SPU 25 is a device on the sub-bus 2 functioning as a sound processor. This SPU 25 reads out and outputs sound source data from the sound memory 29 responsive to the sound command sent as a command packet from the sub-CPU 21 or the sub-DMAC 23.

The ATM 26 is a device for communications on the sub-bus 2.

The subsidiary memory 27 is a data input/output device on the sub-bus 2 and is made up of a non-volatile memory, such as a flash memory. This subsidiary memory 27 transiently stores data such as a game process or scores.

The input/output device 28 is an input device on the sub-bus 2 from other equipments, such as a control pad, man/machine interface, such as a mouse, picture input or speech input.

In addition, the CD-ROM driver 30 is a data input device on the sub-bus 2, and reproduces necessary data or application programs from the CD-ROM.

That is, with the present video game machine, the geometric processing system, performing geometric processing, such as coordinate transformation, clipping or light source calculations,

defining three-dimensional models as a combination of the unitary figures (polygons), such as triangles or quadrangles, for preparing instructions for delineation for delineating a three-dimensional picture for transmitting the instructions for delineation for respective polygons as a command packet on the main bus 1, is made up of the main CPU 11 on the main bus 1 and the GTE 17, while the rendering processing system for generating pixel data for respective polygons based on the instructions for delineation from the geometric processing system for writing in the frame buffer 18 by way of rendering processing for writing a figure on the frame buffer 18 is made up of the GPU 15.

The GPU 15 has a packet engine 31 which is connected to the main bus 31 as shown in Fig.4 showing its basic structure, and performs rendering processing of writing pixel data of the respective pixels in the frame buffer 18 in accordance with the instructions for delineation sent from the main CPU 11 or the main DMAC 13 to the packet engine 31 as a command packet, while reading out the pixel data of a picture delineated on the frame buffer 18 for supplying the pixel data as video signals via a display controller or CRT controller 34 on a television receiver or a monitor receiver, not shown.

The packet engine 31 develops the command packet, sent from the main CPU 11 or main DMAC 13 over the main bus 1 via the packet engine 31 on a register, not shown.

The pre-processor 32 also generates polygon data in

accordance with the instructions for delineation sent to the packet engine as a command packet and processes the polygon data with pre-set pre-processing such as division of polygons as later explained, while generating various data, such as the information on the coordinates of apex points of each polygon, the address information on the texture or mip map texture or the control information for the pixel interleaving, as required by the delineation engine 33.

In addition, the delineation engine 33 includes N polygon engines 33A1, 33A2, ...33AN, connected to the pre-processor 32, N texture engines 33B1, 33B2, ...33BN, connected to the polygon engines 33A1, 33A2, ...33AN, a sole bus switcher 33C, connected to the texture engines 33B1, 33B2, ...33BN, M pixel engines 33D1, 33D2, ...33DM, connected to the first bus switcher 33C, a second bus switcher 33E, connected to the pixel engines 33D1, 33D2, ...33DM, a texture cache 33F connected to the second bus switcher 33E, and a CLUT cache 33G connected to the texture cache 33F.

In the delineating engine 33, the N polygon engines 33A1, 33A2, ...33AN perform polygon-based shading processing, by parallel processing, on polygons sequentially produced responsive to the delineating instructions based on polygon data pre-processed by the pre-processor 32.

The N texture engines 33B1, 33B2, ...33BN perform texture mapping or mip mapping by parallel processing on texture data

supplied thereto from the texture cache 33F via color lookup table (CLUT) cache 33G for each polygon generated by the polygon engines 33A1, 33A2, ...33AN.

It is noted that the address information of the texture or mip map texture bonded to the polygon processed by the N texture engines 33B1, 33B2, ...33BN is supplied in advance from the pre-processor 32 to the texture cache 33F, and the texture data as required is transferred from the texture area on the frame buffer 18 based on the above-mentioned address information. To the CLUT cache 33G are supplied CLUT data to be referred to at the time of texture delineation is transmitted from the CLUT area on the frame buffer 18.

The polygon data, processed with texture mapping or mip mapping by the above-mentioned texture engines 33B1, 33B2, ...33BN, is transferred via the first bus switcher 33C to the M pixel engines 33D1, 33D2, ...33DM.

The M pixel engines 33D1, 33D2, ...33DM perform various picture processing operations, such as Z-buffer processing or anti-aliasing, by parallel processing, to generate M pixel data.

The M pixel data, generated by the M pixel engines 33D1, 33D2, ...33DM, are written in the frame buffer 18 via second bus switcher 33E.

The second bus switcher 33E is fed with the control information on pixel interleaving from the pre-processor 32. The second bus switcher 33E has the function of selecting L of M

pixel data generated by the M pixel engines 33D1, 33D2, ...33DM based on the above-mentioned control information for writing M pixel data at a time with the M storage locations in meeting with the shape of the polygon delineated on the frame buffer 18 as accessing units by way of performing the pixel interleaving.

The delineating engine 33 generates all pixel data of each polygon to write the generated pixel data on the frame buffer 18 based on the polygon data pre-processed by the pre-processor 32 in order to write on the frame buffer 18 the picture defined as the combination of polygons by the above-mentioned delineation instructions. The delineating engine 33 also reads out the pixel data of the picture delineated on the frame buffer 18 in order to send the read-out pixel data via a programmable cathode ray tube controller (PCRTC) 34 as video signals to a television receiver or a monitor receiver, not shown.

The PCRTC 34 reads out picture data written on the frame buffer 18 in accordance with synchronization signals for displaying not only plural pictures on a sole screen but also picture data seized from outside.

That is, the PCRTC 34 generates pre-set addresses from the horizontal synchronization signals and the vertical synchronization signals from the synchronization signal generating circuit 51 based on count values from an H-counter 52 and a V-counter 53 as shown in Fig.5. The PCRTC 34 reads out picture data from the VRAM 18, based on the above addresses. The

picture data are supplied. The PCRTC 34 controls the outputting of the picture data to output video signals via D/A converter 54.

Specifically, the synchronization signal generating circuit 51 generates the horizontal synchronization signals and the vertical synchronization signals and sends the signals to the H-counter 52 and the V-counter 53, respectively.

The H-counter 52 counts the horizontal synchronization signals supplied thereto, while the V-counter 53 is driven based on the count operation of the H-counter 52 to count the vertical synchronization signals supplied thereto.

After the H-counter 52 and the V-counter 53 have counted pre-set numbers to set slicing positions, the PCRTC 34 generates an address associated with a given pixel, frame to frame. Then, after counting a pre-set number for setting the slicing position, the PCRTC 34 generates an address associated with another picture. That is, since one-frame picture data made up of plural pictures have been written in the VRAM 18, an address associated with the respective picture data is generated within one frame period.

The VRAM 18 is configured so that picture data will be sequentially written therein in the frame period. Each time the address is read out from the PCRTC 34, the picture data associated with the supplied address is read out and furnished to the PCRTC 34.

After output-controlling the supplied picture data for

causing pre-set pictures to be displayed at pre-set positions on the screen, the PCRTC 34 sends the picture data to the D/A converter 54, which then converts the supplied picture data into analog signals to output video signals.

That is, the PCRTC 34 reads out picture data, corresponding to plural pictures displayed on a sole viewing screen, from the VRAM 18, and output-controls the read-out picture data in order to permit plural pictures with different resolutions to be displayed on a screen.

Meanwhile, the PCRTC 34 can seize picture data from outside to write picture data in the VRAM 18. In addition, the PCRTC 34 can generate addresses for reading out the picture data as other picture data, as will be explained later in detail.

The configuration of the CRTC according to a first embodiment will be explained.

A PCRTC 34a according to a first embodiment has plural CRTC buffers, for displaying plural pictures with different resolutions on one screen, and also can independently control the CRTC buffers.

Specifically, the PCRTC 34a has a controller 61, plural CRTC buffers 62a to 62g and a selective synthesis unit 63, as shown for example in Fig.6. In the VRAM 18 are written picture data with different resolutions, as shown in Fig.7.

Once a pre-set number of the synchronization signals has been counted and the desired slicing position has thereby been

set, the controller 61 can lower the resolution if the high-resolution picture data has been seized in the VRAM 18 but the picture data should be displayed on a low-resolution screen. The PCRTC 34a generates addresses for slicing a picture of low resolution stored in the VRAM 18 in order to send the address to the VRAM 18. When the next slicing position has been set, the PCRTC 34a generates addresses for slicing another picture data of high resolution stored in the VRAM 18.

In the VRAM 18 are written picture data of low resolution and picture data of high resolution displayed in one frame, as shown in Fig.7. Each time an address is furnished from a control unit 61, the picture data corresponding to the address is read out and sent to a CRTC buffer 62. Similarly to the picture data directly written in the VRAM 18, the picture data supplied from outside via a CRTC buffer 62g is read out from the VRAM 18 by the address from the controller 61.

The CRTC buffer 62 is constituted by plural CRTC buffers 62a to 62g, as described above, and is fed with and transiently stores picture data of different resolutions of different pictures in each of the CRTC buffers 62a to 62g. The CRTC buffers 62a to 62g are controlled independently by the controller 61 for sequentially selecting and synthesizing the picture data from one horizontal scanning line to another. This permits the PCRTC 34a to display pictures of different resolutions from one scanning line to another, as in the case of the display representation

shown in Fig.7.

On the other hand, the CRTC buffer 62g of the CRTC buffer 62 has bidirectional functions. That is, the CRTC buffer 62g can seize picture data supplied from outside and transmit the seized picture data to the VRAM 18. When fed with an address from the controller 61, the VRAM 18 can read out picture data seized similarly to other picture data. The picture data, thus read out, is supplied via a CRTC 62g to the selection synthesis unit 63.

The selection synthesis unit 63 has a selector 64 for selecting supplied picture data, a coefficient control circuit 65, and a filter 66, and respective picture data are supplied via CRTC buffers 62a to 62g to the selector 64.

The selector 64 selects the supplied picture data, under control by the controller 61, and sends only pre-set picture data to the filter 66.

When fed with pre-set picture data from the selector 64, the coefficient control circuit 65 modifies part of parameters of the picture data, based on the results of calculations by the control unit 61, or multiplies part or all of parameters of the picture data sent to the filter 66 with alpha-values representing opacity of the object.

The filter 66 synthesizes the supplied picture data to output synthesized picture data. The output synthesized picture data are converted by the D/A converter into analog video signals. With the analog video signals, plural pictures can be

displayed on a display screen, as shown in Fig.7.

The configuration of the CRTC of a second embodiment is now explained. In the following description, the same reference numerals as those used in the first embodiment are used to depict similar components.

With a PCRTC 34b of the second embodiment, having a line buffer in place of the CRTC buffer as shown in Fig.8, representation may be made in a similar manner by independently controlling these line buffers. The PCRTC 34b includes a controller 71, a control program unit 72, a control register 73, cache memories 74a, 74b, line buffers 75a to 75b and a selection synthesis unit 63.

The controller 71 modifies parameters of part of picture data as later explained or executes calculations for alpha-values based on a program stored in the control program 72. The controller 71 generates an address to be supplied to the VRAM 18 via control register 73, while controlling the cache memory 74, line buffer 75 and the selection synthesis unit 63.

The VRAM 18 is responsive to the supplied address to read out-picture data. The read-out picture data is supplied via line buffers 75a to 75d to the selection synthesis unit 63. The line buffer 75d is a bi-directional line buffer and can seize picture data supplied from outside to send the picture data to the VRAM 18. The VRAM 18 can write picture data from outside, supplied via line buffer 75d, and read out the picture data, based on the

address from the controller, as other picture data. The VRAM 18 also sends the picture data to the cache memories 74a, 74b.

The cache memories 74a, 74b are each made up of plural memories and can write supplied picture data. The cache memories 74a, 74b read out picture data, under control by the controller 71, and transmits the picture data to the selection synthesis unit 63.

The selection synthesis unit 63 modifies parameters of part of the supplied picture data or multiplies part or all of the parameters of the picture data with alpha-values representing the opacity of the object. The selection synthesis unit 63 then selects the supplied picture data to synthesize the selected picture data. The synthesized are converted by a D/A converter into analog signals. A plurality of the analog picture data can be displayed in a tiled fashion on the display screen. The PCRTC 34b can contribute to reduction in production costs by use of line buffers 75a to 75d in place of the CRTC buffer.

In addition, since picture data read out from the VRAM 18 is supplied to the PCRTC 34b and plural picture data can be independently output-controlled via line buffers 75a to 75d, plural pictures can be displayed on a sole display screen.

Moreover, with the PCRTC 34b, since the external picture data can be seized by the bidirectional line buffer 75d and written in the VRAM, if a pre-set address is generated by the controller, the seized picture data is read out from the VRAM 18

as other picture data. This enables the PCRTC 34b not only to display plural pictures on a display screen, but also to seize and display a picture from outside.

The video game machine embodying the present invention is configured as shown for example in a plan view of Fig.9, a front view of Fig.10 and a side view of Fig.11.

That is, a video game machine 201, shown in Fig.9, is basically made up of a main body portion 202, and an operating unit 217 connected to the main body portion 202 via a cable 227. A disc loading unit 203 is provided at a mid portion of the upper surface of the main body portion 202 and a CD-ROM 251 shown in Fig.12 is loaded in the inside of the unit 203. On the left side of the disc loading unit 203 are provided a power source switch 205 actuated for turning the power source of the apparatus on or off, and a reset switch 204 for temporarily resetting the game. On the right side of the disc loading unit 203 is provided a disc actuating switch 206 actuated when loading or unloading the CD-ROM 251 to the disc loading unit 203.

On the front side of the main body portion 202 are provided connecting portions 207A, 207B, as shown in Fig.10. These connecting portions 207A, 207B are provided with a connecting terminal 226 at a foremost part of a cable 227 led out from the terminal inserting portion 217, a connection terminal inserting portion 212 for connection to a recording unit 228 such as a memory card, and a recording inserting unit 208. That is, two

actuating units 217 and two recording units 228 can be connected to the main body portion 202.

The front view of Fig.10 shows the state in which the connection terminal 226 and the recording unit 228 are connected to the right side connection portion 207B, while none of the connection terminal 226 or the recording unit 228 is loaded on the left side connection portion 207A. Referring to Fig.10, a shutter 209 is provided on the recording inserting unit 208, so that, when the recording unit 228 is loaded on the main body portion 202, the shutter 209 is pushed inwards by the distal end of the recording unit 228 for loading the recording unit 228.

A grip part 231A of the connection terminal 226 and a grip part 242A of the recording unit 228 are processed for anti-slipping, such as by knurling. The length of the connection terminal 226 and that of the recording unit 228 are selected to be substantially of the same value, as shown in a side view of Fig.11.

The operating unit 27 has supporting portions 220, 221 gripped by left and right hands. The distal ends of the supporting portions 220, 221 are provided with actuating portions 218, 219. The operating portions 224, 225 can be operated by an index finger of left or right hand, while the operating portions 218, 219 can be operated with a thumb of the left or right hand.

A selection switch 222 actuated when performing a selecting operation during the game and a start switch 223 actuated when

starting the game are provided between the actuating portions 218, 219.

With the present video game machine 201, the CD-ROM 251 loaded on the disc loading unit 203 is reproduced by the above-mentioned CD-ROM driver 30. The actuating unit 217 is equivalent to the input device 28, while the recording device 228 is equivalent to the subsidiary memory 27.

With the above-described address generating apparatus, pre-set addresses are generated based on the synchronization signals so that picture data written in the field memory are sequentially read out. The picture data thus read out are sent to plural line buffers in the address generating apparatus. Therefore, the address generating apparatus independently controls the outputs of the respective picture data via each line buffer so that plural pictures can be displayed on one and the same screen.

Also, with the above-described address generating apparatus, at least one of the plural line buffers can seize picture data from outside for writing on the field memory, so that, when a pre-set address is produced, picture data seized from outside is read out from the field memory, as other picture data. Therefore, the address generating apparatus can read out a picture seized from outside in the same way as the picture data written in the picture memory, thus enabling plural pictures to be displayed on the same screen.

With the above-described picture displaying apparatus, pre-

set addresses are generated based on the synchronization signals so that picture data written in the field memory are sequentially read out. The picture data thus read out are sent to plural line buffers in the address generating apparatus. Therefore, the picture displaying apparatus independently controls the outputs of the respective picture data via each line buffer to produce video signals so that plural pictures can be displayed on one and the same screen.

Also, with the picture displaying apparatus, at least one of the plural line buffers can seize picture data from outside for writing on the field memory, so that, when a pre-set address is produced, picture data seized from outside is read out from the field memory, as other picture data. Therefore, the picture displaying apparatus can read out a picture seized from outside in the same way as the picture data written in the picture memory to output video signals, thus enabling plural pictures to be displayed on the same screen.

With the above-described picture displaying apparatus, since the control means is program-controlled, it becomes possible to display a clear picture by partially modifying parameters of picture data or by making calculations of alpha-values.

Moreover, with the above-described picture displaying apparatus, plural pictures of the same sort can be displayed on the same screen by writing picture signals by the cache memory and by sequentially read-out controlling picture signals written

in the cache memory by the controlling means.

## CLAIMS

1. An address generating apparatus comprising:

address generating means for generating addresses for reading out picture signals written in a picture memory based on synchronization signals;

a plurality of buffers respectively supplied with picture signals read out from said picture memory based on said addresses; and

controlling means for independently controlling the picture signals outputted by said buffers so that the picture signals supplied to said buffers will be displayed on a sole screen.

2. The address generating apparatus as claimed in claim 1 wherein at least one of said buffers seizes picture signals supplied from outside to route the seized picture signals to said picture memory.

3. A picture displaying apparatus comprising:

address producing means having address generating means for generating addresses for reading out picture signals written in a picture memory based on synchronization signals, a plurality of buffers respectively supplied with picture signals read out from said picture memory based on said addresses, and controlling means for independently controlling the picture signals outputted by said buffers so that the picture signals supplied to said buffers will be displayed on a sole screen; and

synthesizing means for synthesizing picture signals



outputted by said buffers.

4. The picture displaying apparatus as claimed in claim 3 wherein at least one of said buffers seizes picture signals supplied from outside to route the seized picture signals to said picture memory.

5. The picture displaying apparatus as claimed in claim 3 wherein said synthesizing means is program-controlled based on pre-set calculations by said control means.

6. The picture displaying apparatus as claimed in claim 3 further comprising one or more cache memories fed with picture signals read out from said picture memory;

said cache memory writing supplied picture signals;

said control means sequentially read-out controlling the picture signals written in said cache memory for causing a plurality of pictures of the same sort to be displayed on a sole screen.

7. The picture displaying apparatus as claimed in claim 3 wherein said buffer is made up of a line memory.

8. An address generating method comprising:

generating addresses for reading out picture signals written in a picture memory based on synchronization signals;

supplying picture signals read out from said picture memory based on said addresses to said buffers; and

independently controlling the picture signals outputted by said buffers so that the picture signals supplied to said buffers



will be displayed on a sole screen.

9. A picture displaying method comprising:

generating addresses for reading out picture signals written in a picture memory based on synchronization signals;

supplying picture signals read out from said picture memory based on said addresses to said buffers;

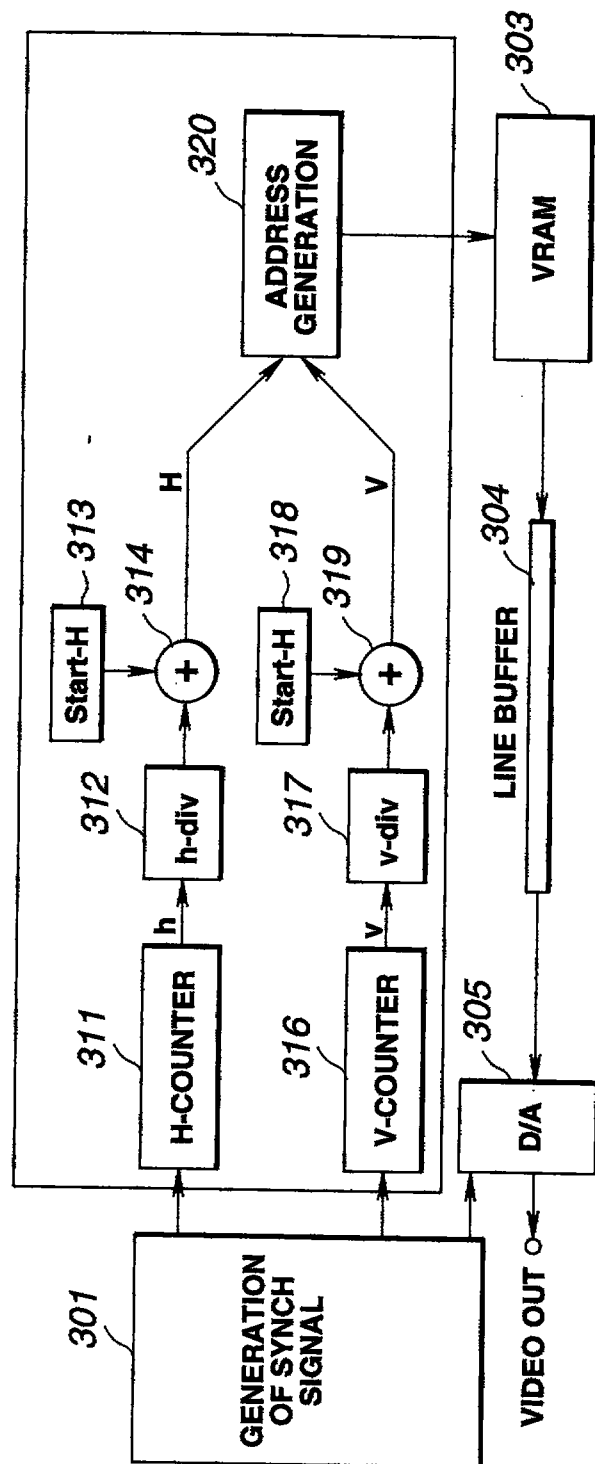
independently controlling the picture signals outputted by said buffers so that the picture signals supplied to said buffers will be displayed on a sole screen; and

synthesizing the picture signals outputted by said buffers for display.

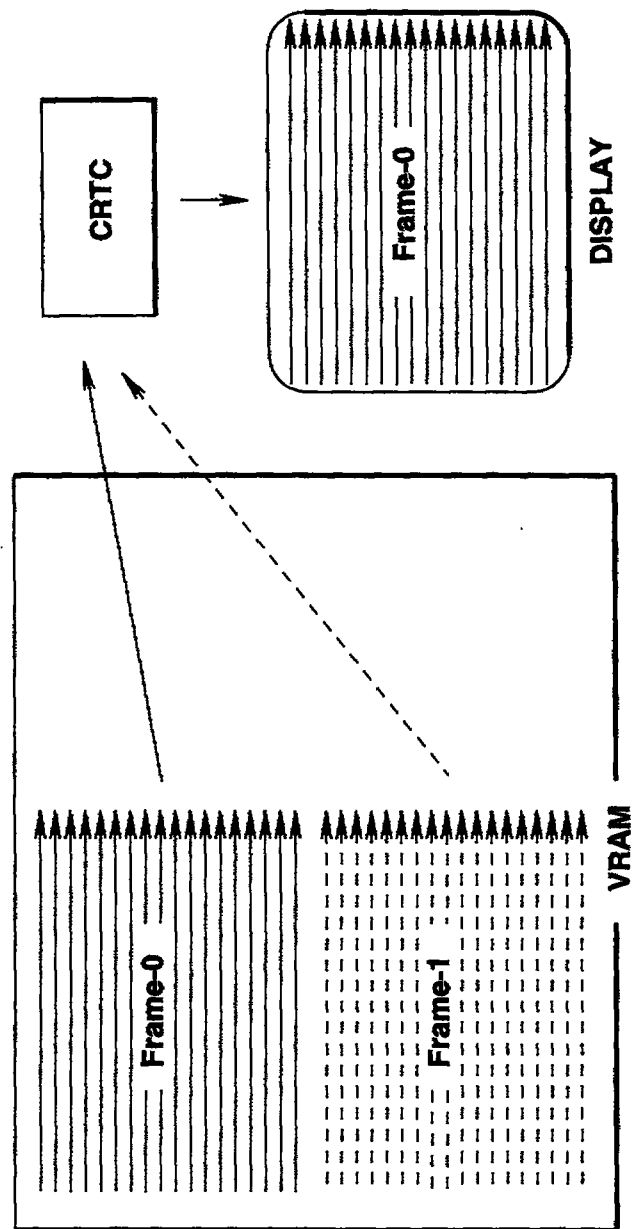


## ABSTRACT

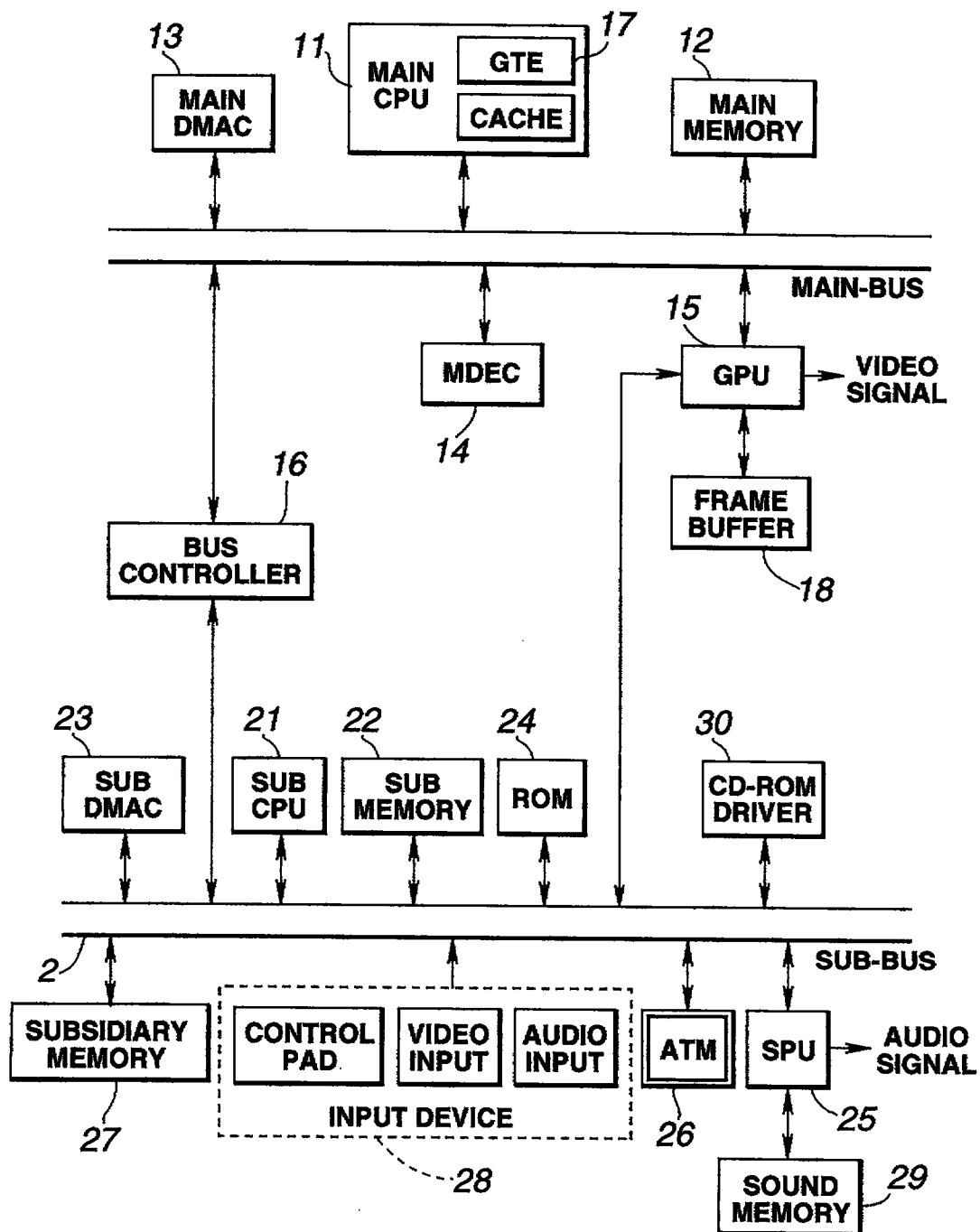
Picture data read out from a VRAM 18 are sent via line buffers 75a to 75d to a selection synthesis unit 63. The line buffer 75d seizes picture data supplied from outside for sending the seized picture data to the VRAM 18. The VRAM 18 can write the picture data from outside supplied via the line buffer 75d and read out the picture data based on addresses from a controller in the same way as other picture data. On the other hand, cache memories 74a and 74b can read out picture data under control by the controller 71 to display plural pictures in a tiled pattern on a display screen.



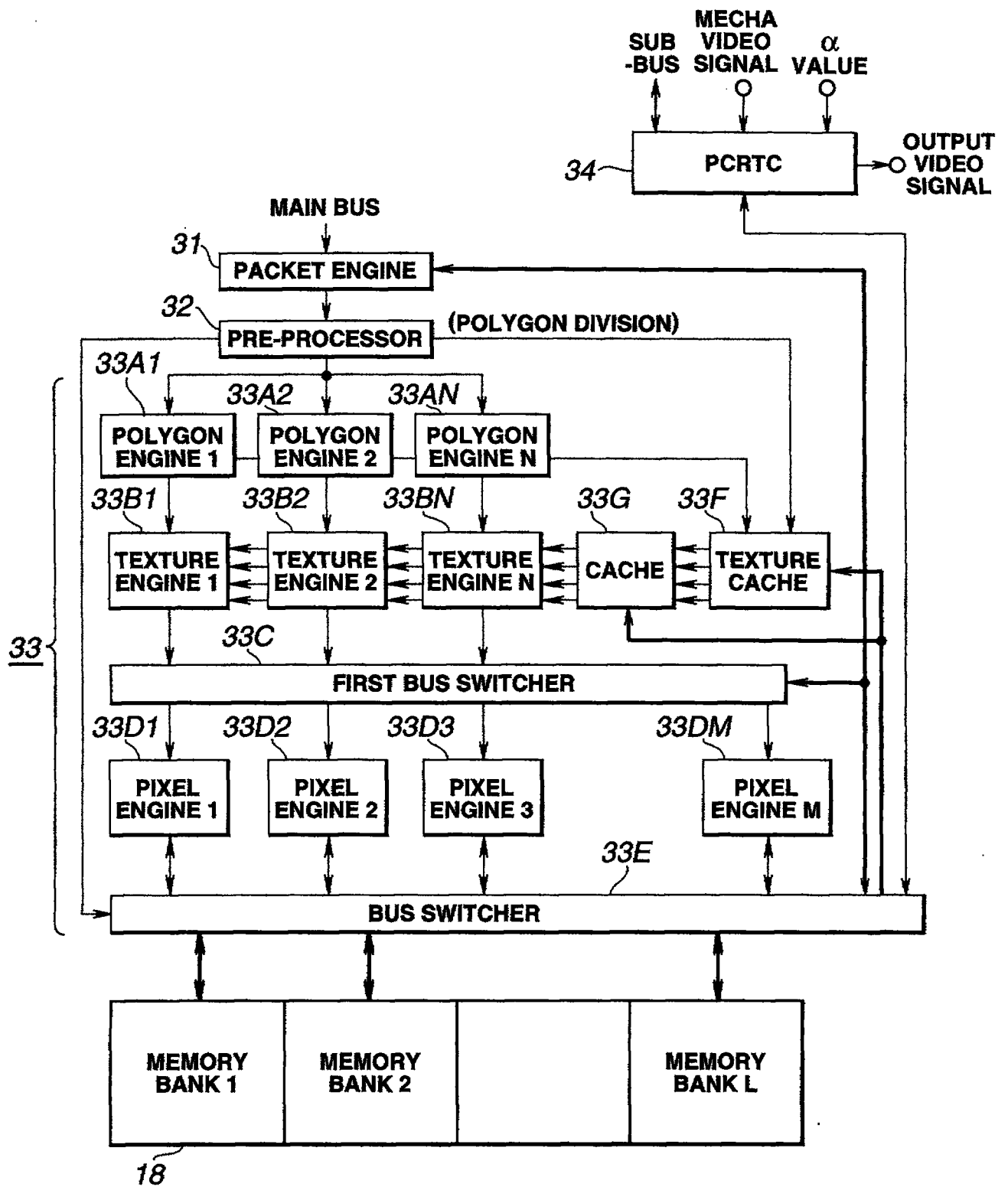
**FIG.1**



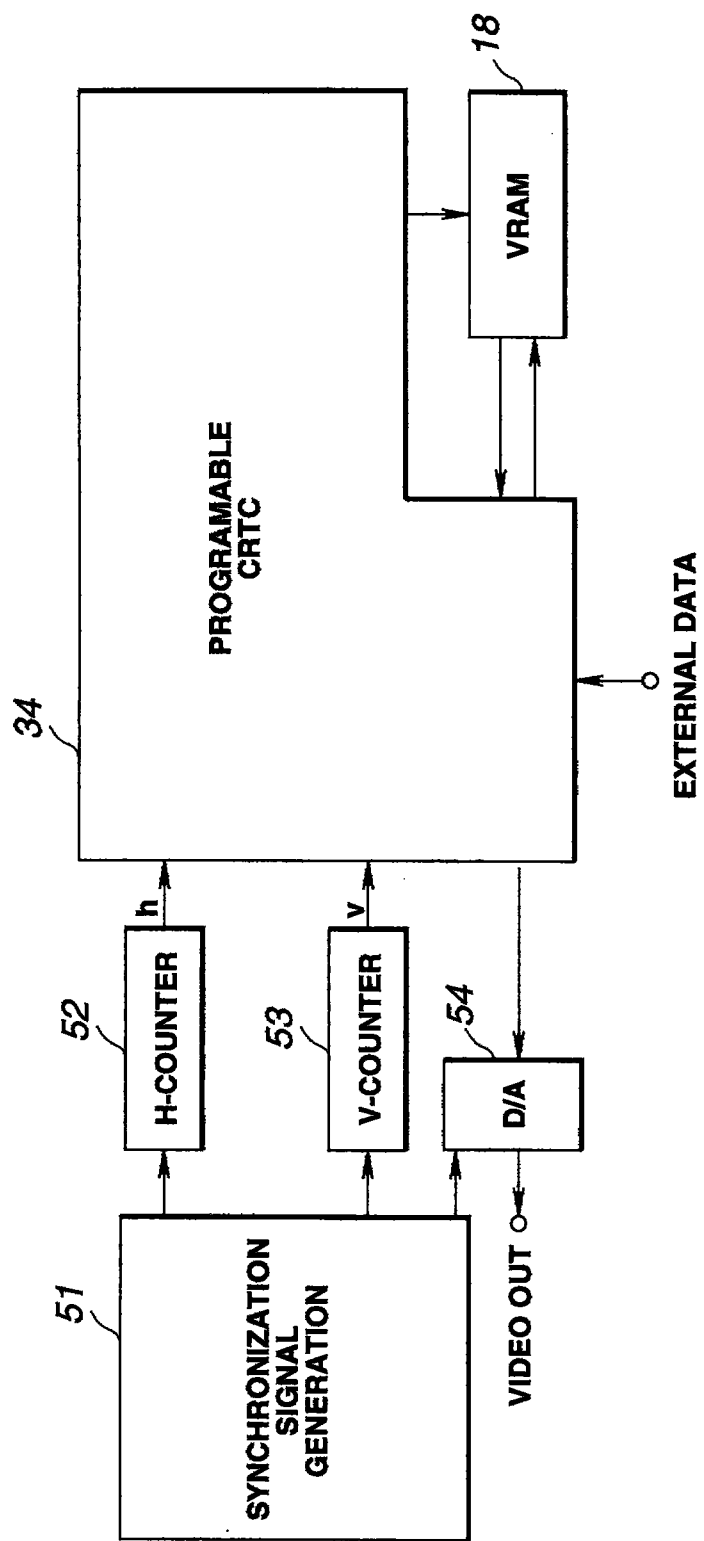
**FIG.2**



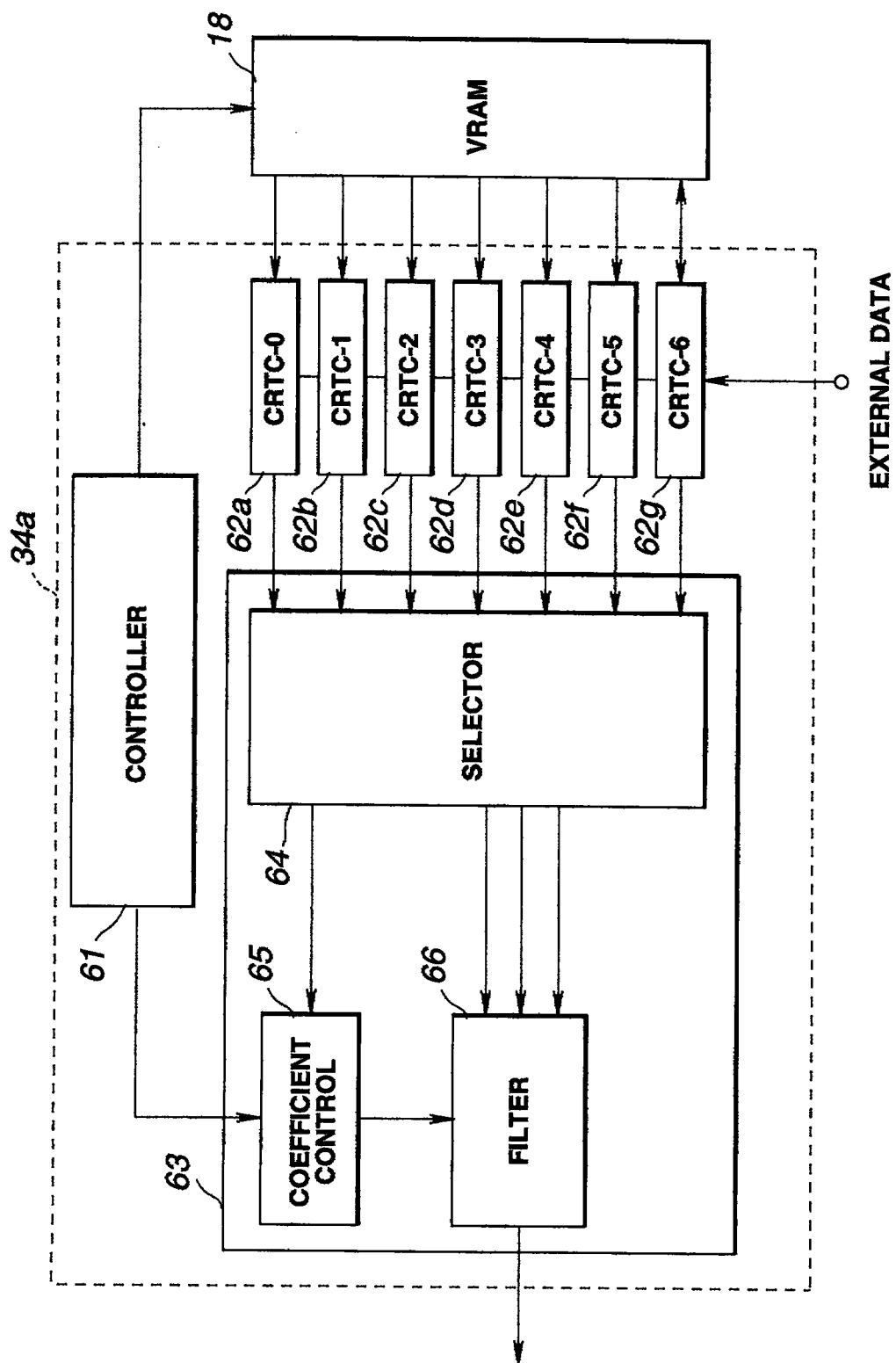
**FIG.3**



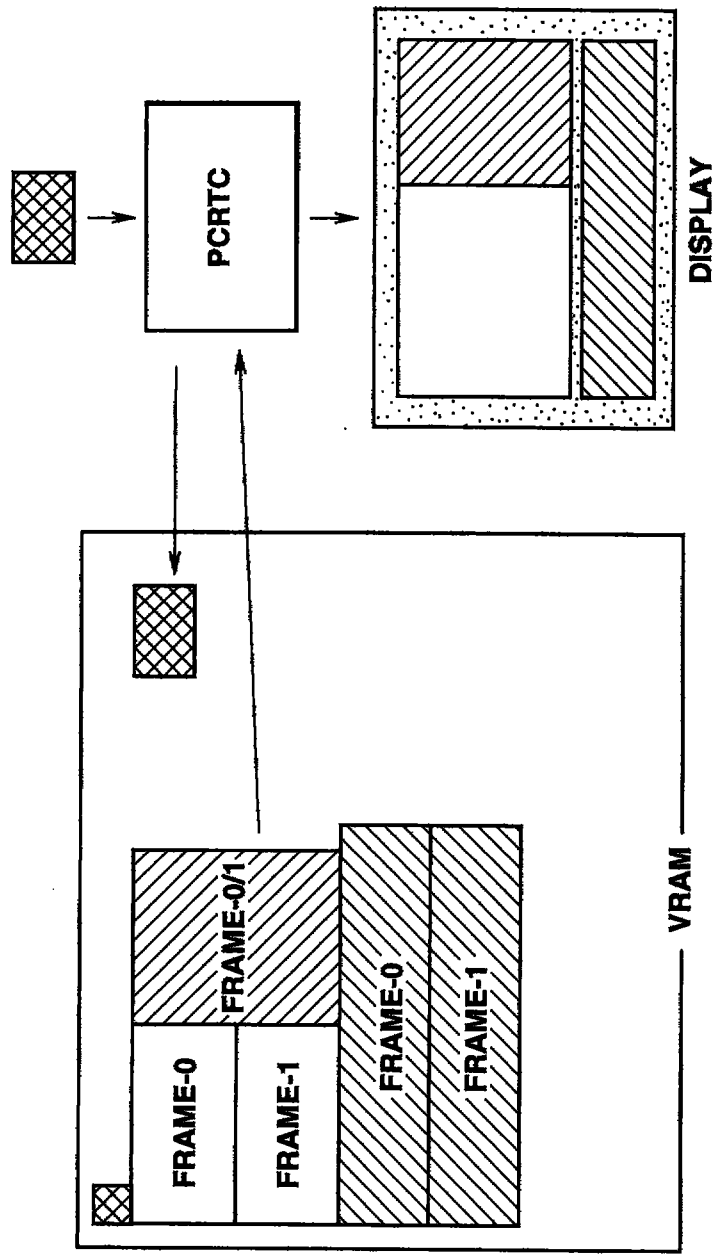
**FIG.4**



**FIG.5**

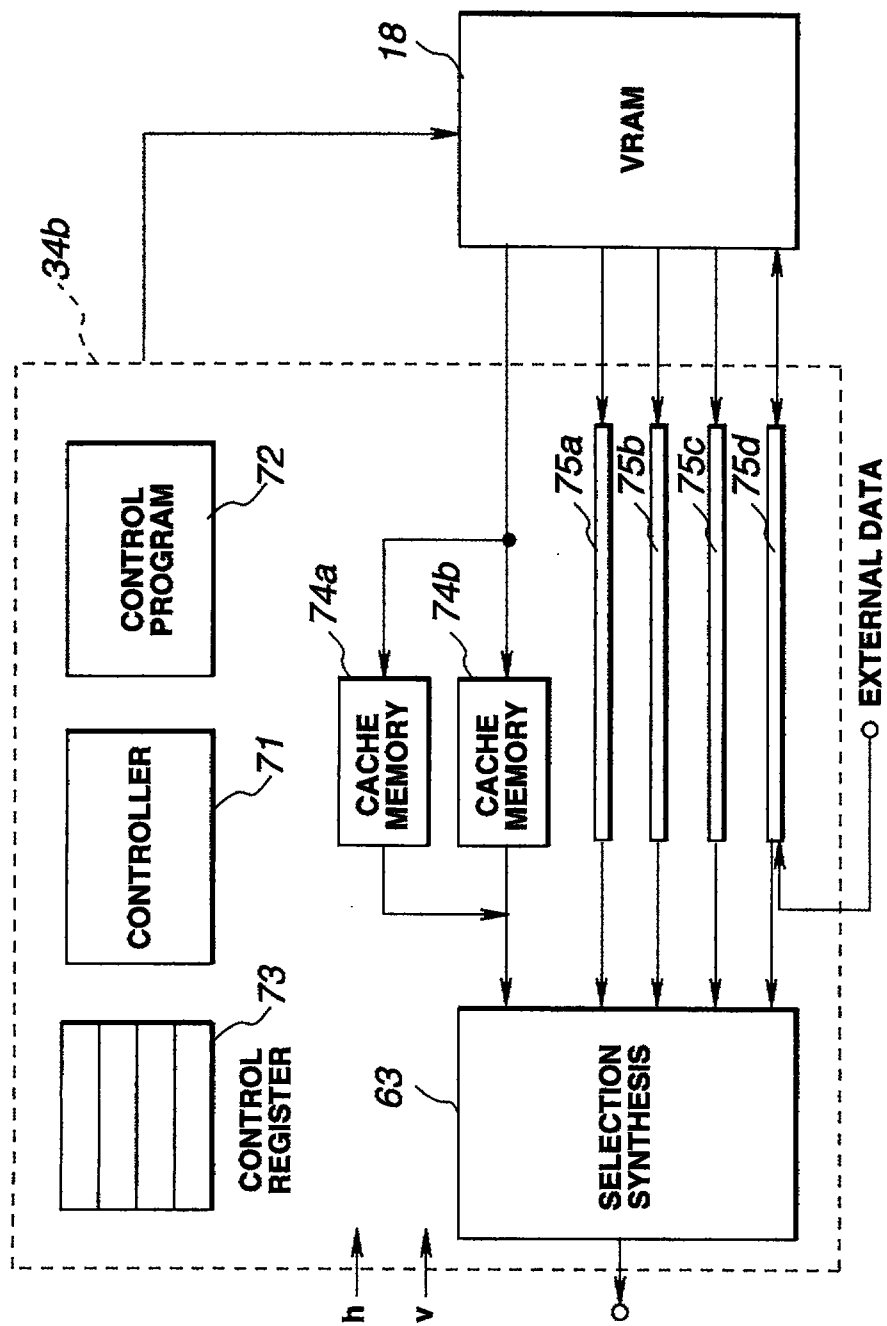


**FIG. 6**

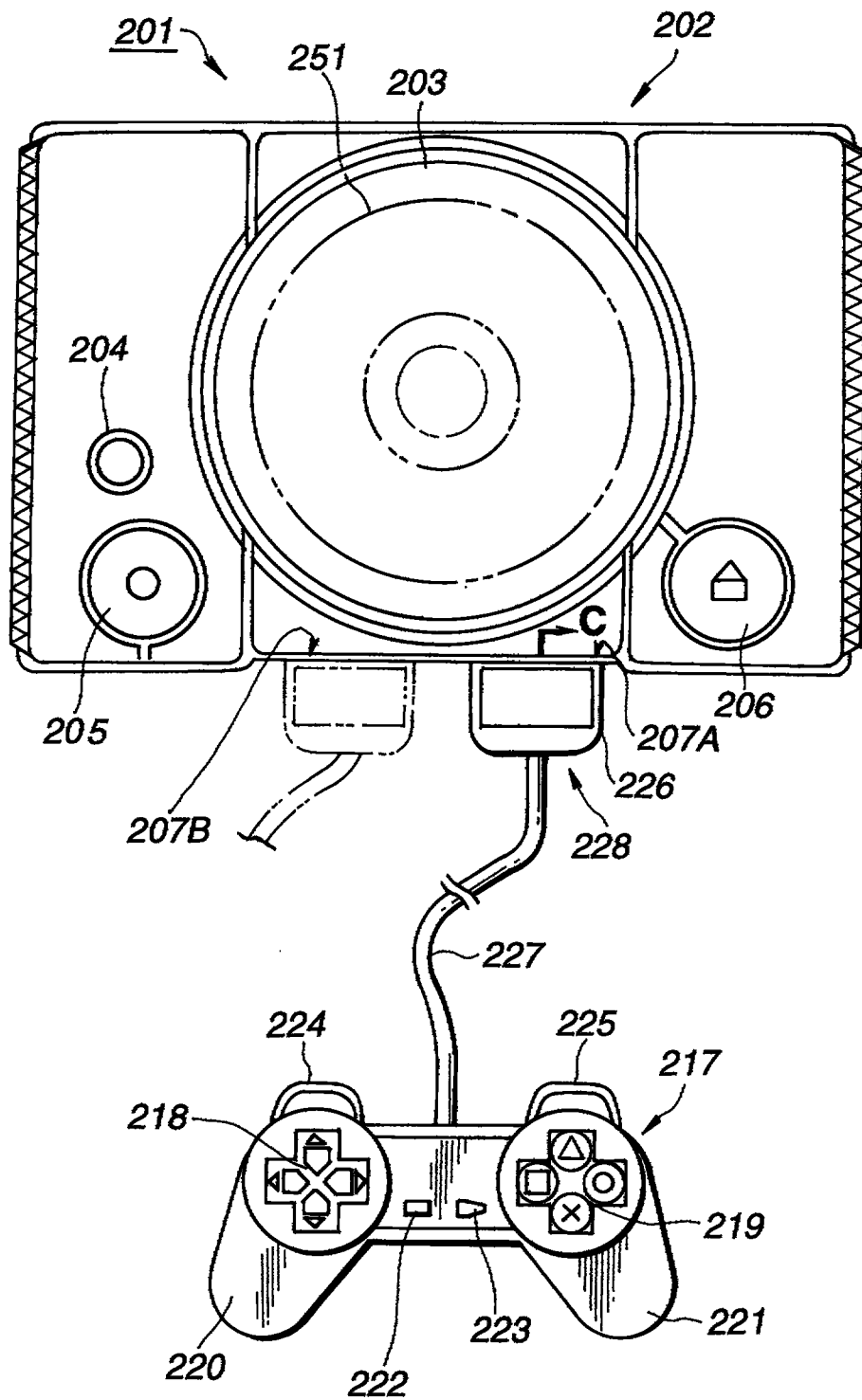


-  LOW RESOLUTION DUAL BUFFER (1/30)
  -  HIGH RESOLUTION SINGLE BUFFER : UPDATE DURING BLANKING PERIOD IF NECESSARY
  -  HIGH RESOLUTION DUAL BUFFER (1/60)
  -  CYCLIC BUFFER (TILE)
  -  TEXTURE DATA : UPDATE VIA EXTERNAL BUS (SUB)
-  =  + 

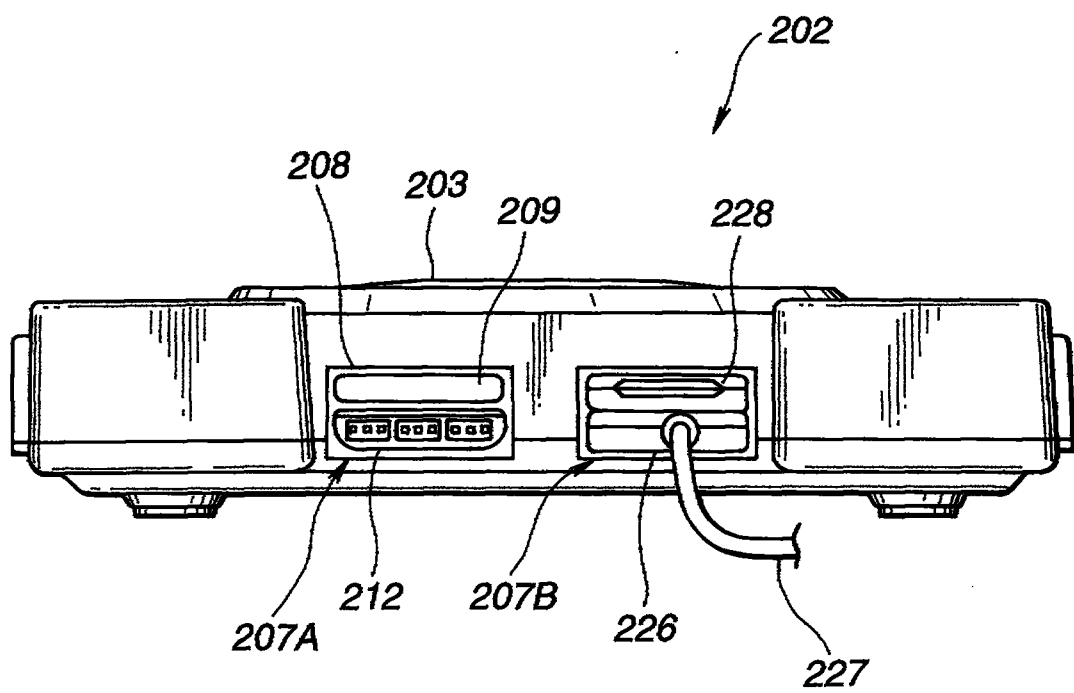
**FIG.7**



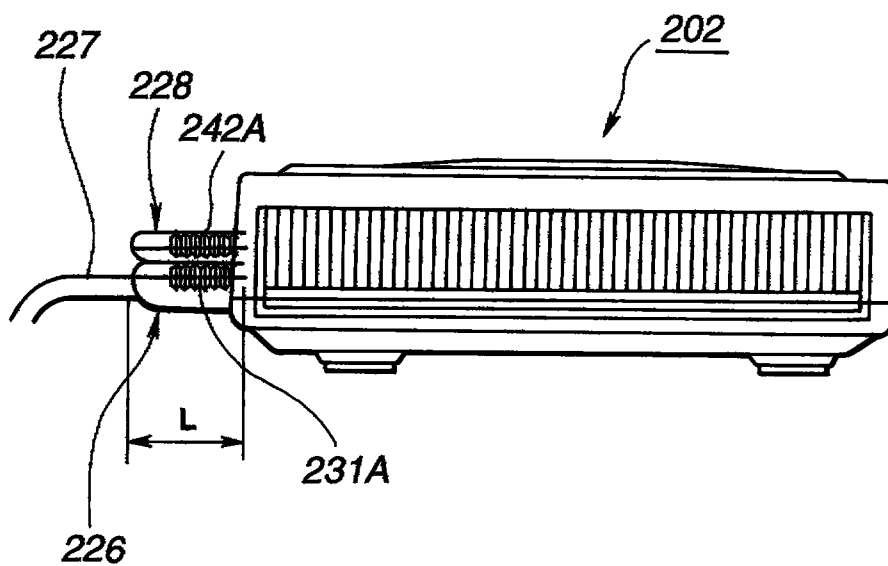
**FIG. 8**



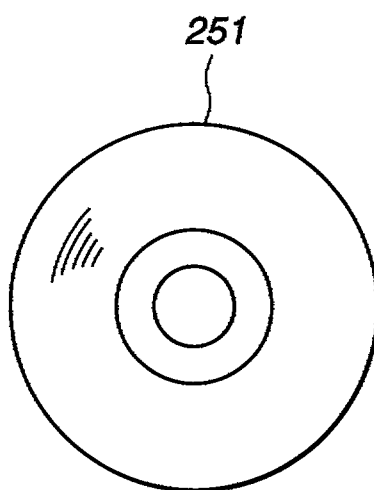
**FIG.9**



**FIG.10**



**FIG.11**



**FIG.12**

PCT

014005-2

世界知的所有権機関  
国際事務局

特許協力条約に基づいて公開された国際出願



|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |           |                                                                                                          |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|----------------------------------------------------------------------------------------------------------|
| <p>(51) 国際特許分類6<br/>G09G 5/00, 5/14</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | <p>A1</p> | <p>(11) 国際公開番号<br/>✓ WO97/29476</p> <p>(43) 国際公開日<br/>1997年8月14日(14.08.97)</p>                           |
| <p>(21) 国際出願番号 PCT/JP97/00298 ✓</p> <p>(22) 国際出願日 1997年2月6日(06.02.97) ✓</p> <p>(30) 優先権データ<br/>特願平8/20333 1996年2月6日(06.02.96) ✓ JP</p> <p>(71) 出願人 (米国を除くすべての指定国について)<br/>株式会社 ソニー・コンピュータエンタテインメント<br/>(SONY COMPUTER ENTERTAINMENT INC.)(JP/JP)<br/>〒107 東京都港区赤坂8丁目1番22号 Tokyo, (JP)</p> <p>(72) 発明者: および</p> <p>(75) 発明者/出願人 (米国についてのみ)<br/>大場章男(OHBA, Akio)(JP/JP)<br/>〒107 東京都港区赤坂8丁目1番22号<br/>株式会社 ソニー・コンピュータエンタテインメント内<br/>Tokyo, (JP)</p> <p>(74) 代理人<br/>弁理士 小池 晃, 外(KOIKE, Akira et al.)<br/>〒105 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo, (JP)</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |           | <p>(81) 指定国 AU, CA, CN, KR, MX, SG, US, 欧州特許 (AT, DE, ES, FR, GB, IT, NL).</p> <p>添付公開書類<br/>国際調査報告書</p> |
| <p>(54) Title: ADDRESS GENERATOR, IMAGE DISPLAY, ADDRESS GENERATION METHOD AND IMAGE DISPLAY METHOD</p> <p>(54) 発明の名称 アドレス発生装置及び画像表示装置並びにアドレス発生方法及び画像表示方法</p> <p>(57) Abstract<br/>The image data read out from a VRAM (18) are supplied to a selection synthesis section (63) through line buffers (75a to 75d). The line buffer (75d) stores the image data supplied from outside and supplies this image data to the VRAM (18). The VRAM (18) writes the image data supplied from outside through the line buffer (75d) and reads out this image data on the basis of the addresses from a control section in the same way as other image data. Cache memories (74a and 74b) read out the image data under the control of the control section (71) and display a plurality of tile-like images on the screen of a display.</p> <div data-bbox="858 1344 1500 1780"> </div> <p>63 ... selection synthesis<br/>71 ... control section<br/>72 ... control program<br/>73 ... control register<br/>74a, 74b ... cache memory<br/>ED ... external data</p> |           |                                                                                                          |

(57) 要約

VRAM18から読み出された画像データは、ラインバッファ75a~75dを介して、選択合成部63に供給される。ラインバッファ75dは、外部から供給された画像データを取り込み、この画像データをVRAM18に供給する。VRAM18は、ラインバッファ75dを介して供給された外部からの画像データを書き込み、他の画像データと同様に、制御部からのアドレスに基づき、この画像データを読み出すことができる。キャッシュメモリ74a, 74bは、制御部71の制御に基づいて、画像データを読み出し、ディスプレイの画面中にタイル状の画像を複数表示させることができる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

|    |           |    |             |    |          |    |            |
|----|-----------|----|-------------|----|----------|----|------------|
| AL | アルバニア     | EE | エストニア       | LR | リベリア     | RU | ロシア連邦      |
| AM | アルメニア     | ES | スペイン        | LS | レソト      | RD | スーダン       |
| AT | オーストリア    | FI | フィンランド      | LT | リトアニア    | SE | スウェーデン     |
| AU | オーストラリア   | FR | フランス        | LU | ルクセンブルグ  | SG | シンガポール     |
| AZ | アゼルバイジャン  | GB | ガボン         | LV | ラトヴィア    | SI | スロベニア      |
| BB | バルバドス     | GE | イギリス        | MC | モナコ      | SK | スロバキア共和国   |
| BE | ベルギー      | GR | ギリシャ        | MD | モルドバ     | SN | セネガル       |
| BG | ブルガリア     | GH | ガーナ         | MG | マダガスカル   | SZ | スワジランド     |
| BR | ブラジル      | GN | ギニア         | MK | マケドニア    | TD | チャド        |
| BY | ベラルーシ     | HU | ハンガリー       | VI | ヴァティカン   | TG | トーゴ        |
| CA | カナダ       | IE | アイルランド      | ML | マリ       | TM | トルクメニスタン   |
| CC | 中東        | IS | イスラエル       | MN | モンゴル     | TR | トルコ        |
| CF | 中央アフリカ共和国 | IT | イタリア        | MR | モーリタニア   | TT | トリニダード・トバゴ |
| CG | コンゴ       | JP | 日本          | MW | マラウイ     | UA | ウクライナ      |
| CH | スイス       | KE | ケニア         | MX | メキシコ     | UG | ウガンダ       |
| CI | コート・ジボワール | KG | キルギスタン      | NE | ニジェール    | US | 米国         |
| CM | カメルーン     | KZ | 朝鮮民主主義人民共和国 | NL | オランダ     | UZ | ウズベキスタン共和国 |
| CN | 中国        | LA | ラオス         | NO | ノルウェー    | VN | ベトナム       |
| CO | コロンビア     | LC | セント・ルシア     | NZ | ニュージーランド | YU | ユーゴスラビア    |
| DE | ドイツ       |    |             | PT | ポルトガル    |    |            |
| DK | デンマーク     |    |             | RO | ルーマニア    |    |            |