

静电保护电路及半导体器件

相关申请引用说明

本申请要求于 2021 年 03 月 10 日递交的中国专利申请号 202110260635.5, 申请名为“静电保护电路及半导体器件”的优先权, 其全部内容以引用的形式附录于此。

技术领域

本申请涉及但不限于一种静电保护电路及半导体器件。

背景技术

近年来随着集成电路工艺的快速发展, MOS 管的线宽越来越窄, 结深 (junction depth) 越来越浅, 栅氧层的厚度也越来越薄, 这些都加速了电路设计对静电保护 (ESD, Electro - Static Discharge) 的需求。当线宽为 $1\mu\text{m}$ 时, ESD 事件对电路的影响很小, 当进入 $0.18\mu\text{m}$ 、 $0.13\mu\text{m}$ 时代, 尤其是 90 纳米以下时代, ESD 成为了刻不容缓的问题。

图 1A 是现有的电路结构示意图, 请参阅图 1A, 内部电路 10 分别与第一焊垫 VDD 及第二焊垫 VSS 电连接, 当在其中一个焊垫 (例如第一焊垫 VDD) 上产生静电时, 静电会流经内部电路 10, 从而导致内部电路 10 被静电损伤。

为了避免内部电路被静电损伤, 通常采用包含有钳位晶体管 (Clamp Transistor) 的钳位电路 (Clamp Circuit) 作为 ESD 保护电路的保护方案。图 1B 是现有的设置有静电保护电路的电路结构示意图, 请参阅图 1B, 内部电路 10 分别与第一焊垫 VDD 及第二焊垫 VSS 电连接, 静电保护电路 11 也分别与第一焊垫 VDD 及第二焊垫 VSS 电连接, 即所述静电保护电路 11 与所述内部电路 10 并联。当在其中一个焊垫 (例如第一焊垫 VDD) 上产生静电时, 静电会经静电保护电路 11 泻放, 而不会流经内部电路 10, 从而起到对内部电路 10 的保护作用, 避免内部电路 10 受到静电损伤。

但是, 现有的静电保护电路在识别正常上电与静电上电时存在较大误差, 可能会造成误启动, 且现有的静电保护电路无法充分泻放静电电荷。

发明内容

本申请实施例提供一种静电保护电路, 与第一焊垫及第二焊垫电连接, 静电保护电路包括: 静电泻放晶体管, 具有控制端、第一端、第二端、衬底端,

所述第一端电连接至所述第一焊垫，所述第二端电连接至所述第二焊垫；静电脉冲检测电路，具有上端、下端、输出端，所述上端电连接至所述第一焊垫，所述下端电连接至所述第二焊垫，所述输出端电连接至所述控制端和所述衬底端。

本申请实施例还提供一种半导体器件，其包括静电保护电路，所述静电保护电路与第一焊垫及第二焊垫电连接，所述静电保护电路包括：

静电泻放晶体管，具有控制端、第一端、第二端、衬底端，所述第一端电连接至所述第一焊垫，所述第二端电连接至所述第二焊垫；

静电脉冲检测电路，具有上端、下端、输出端，所述上端电连接至所述第一焊垫，所述下端电连接至所述第二焊垫，所述输出端电连接至所述控制端和所述衬底端。

附图说明

为了更清楚地说明本申请实施例的技术方案，下面将对本申请实施例中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1A 是现有的电路结构示意图；

图 1B 是现有的设置有静电保护电路的电路结构示意图；

图 2 是本申请第一实施例静电保护电路应用示意图；

图 3 是本申请第二实施例静电保护电路应用示意图；

图 4 是本申请第三实施例静电保护电路应用示意图；

图 5 是本申请第四实施例静电保护电路应用示意图；

图 6 是本申请第五实施例静电保护电路应用示意图；

图 7 是本申请第六实施例静电保护电路应用示意图；

图 8 是本申请第七实施例半导体器件的形成所述静电泻放晶体管的半导体结构的俯视示意图；

图 9 是本申请第八实施例半导体器件的形成所述静电泻放晶体管的半导体结构的俯视示意图；

图 10 是本申请第九实施例半导体器件的形成所述静电泻放晶体管的半导

体结构的俯视示意图；

图 11 是图 9 所示结构的截面原理示意图。

具体实施方式

为了使本申请的目的、技术手段及其效果更加清楚明确，以下将结合附图对本申请作进一步地阐述。应当理解，此处所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例，并不用于限定本申请。基于本申请中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

图 2 是本申请第一实施例静电保护电路应用示意图。请参阅图 2，内部电路 20 分别与第一焊垫 VDD 及第二焊垫 VSS 电连接，静电保护电路 21 也分别与第一焊垫 VDD 及第二焊垫 VSS 电连接，即所述静电保护电路 21 与所述内部电路 20 并联。当在其中一个焊垫（例如第一焊垫 VDD）上产生静电时，静电会经静电保护电路 21 泻放，而不会流经内部电路 20，从而起到对内部电路 20 的保护作用，避免内部电路 20 受到静电损伤。

其中，在本实施例中，第一焊垫 VDD 为电源焊垫，所述第二焊垫 VSS 为接地焊垫，在本申请其他实施例中，第一焊垫为接地焊垫，所述第二焊垫为电源焊垫，或者两者均为电源焊垫或均为接地焊垫。

本申请静电保护电路 20 包括静电泻放晶体管 Mesd 及静电脉冲检测电路 201。所述静电泻放晶体管 Mesd 具有控制端、第一端、第二端、衬底端，所述第一端电连接至所述第一焊垫 VDD，所述第二端电连接至所述第二焊垫 VSS。所述静电脉冲检测电路 201 具有上端、下端、输出端，所述上端电连接至所述第一焊垫 VDD，所述下端电连接至所述第二焊垫 VSS，所述输出端电连接至所述静电泻放晶体管 Mesd 的控制端和衬底端。

本申请静电保护电路利用静电脉冲检测电路 201 检测脉冲，以区分电源正常上电脉冲及静电上电脉冲，从而避免静电保护电路的误启动，且利用静电脉冲检测电路 201 增加延时时间，以使静电泻放晶体管 Mesd 充分泻放静电电荷。另外，所述静电脉冲检测电路 201 的输出端电连接至所述静电泻放晶体管 Mesd 的控制端和所述衬底端，即将静电泻放晶体管 Mesd 的控制端与衬底端短接，提高了衬底端的电位，使得静电泻放晶体管 Mesd 的阈值电压降低，沟道导通

能力增强，则在产生静电时，静电电荷能够快速经静电泻放晶体管 Mesd 泻放，增强了静电保护电路的静电电荷泻放的性能。

在本实施例中，所述静电泻放晶体管 Mesd 为 NMOS 晶体管。所述 NMOS 晶体管的第一端电连接至所述第一焊垫 VDD，所述 NMOS 晶体管的第二端电连接至所述第二焊垫 VSS。其中，所述 NMOS 晶体管的第一端为 NMOS 晶体管的源极端，所述 NMOS 晶体管的第二端为 NMOS 晶体管的漏极端；或者，所述 NMOS 晶体管的第一端为 NMOS 晶体管的漏极端，所述 NMOS 晶体管的第二端为 NMOS 晶体管的源极端，本申请对此不限定。

在本实施例中，所述静电脉冲检测电路 201 包括电容 C1 及电阻 R1。所述电容 C1 具有第一端及第二端，所述电容 C1 的第一端作为所述静电脉冲检测电路 201 的上端，即所述电容 C1 的第一端与所述第一焊垫 VDD 电连接。所述电阻 R1 具有第一端及第二端，所述电阻 R1 的第一端作为所述静电脉冲检测电路 201 的下端，即所述电阻 R1 的第一端与所述第二焊垫 VSS 电连接。所述电阻 R1 的第二端及所述电容 C1 的第二端共同作为所述静电脉冲检测电路 201 的输出端，即所述电阻 R1 的第二端及所述电容 C1 的第二端共同与所述静电泻放晶体管 Mesd 的控制端和衬底端电连接。

在第一实施例中，当第一焊垫 VDD 及第二焊垫 VSS 正常启动和正常工作时，静电泻放晶体管 Mesd 的控制端处于低电平，则静电泻放晶体管 Mesd 关闭，电流流经内部电路 20，保证内部电路 20 的正常运行。当第一焊垫 VDD 产生静电时，第一焊垫 VDD 的电压开始攀升，此时，静电泻放晶体管 Mesd 的控制端处于高电平，则静电泻放晶体管 Mesd 导通，静电电荷流经静电泻放晶体管 Mesd，进行静电泻放，避免内部电路 20 受到静电损伤。

本申请还提供一第二实施例，所述第二实施例与第一实施例的区别在于，所述静电脉冲检测电路 201 的电容与电阻的连接方法不同。具体地说，请参阅图 3，其为本申请第二实施例静电保护电路应用示意图，在该实施例中，所述静电脉冲检测电路 201 包括电阻 R1、电容 C1 及反相器 P1。

所述电阻 R1 具有第一端及第二端，所述电阻 R1 的第一端作为所述静电脉冲检测电路 201 的上端，即所述电阻 R1 的第一端与所述第一焊垫 VDD 电连接。所述电容 C1 具有第一端及第二端，所述电容 C1 的第一端作为所述静

电脉冲检测电路 201 的下端，即所述电容 C1 的第一端与所述第二焊垫 VSS 电连接。所述反相器 P1 具有输入端及输出端，所述电阻 R1 的第二端及所述电容 C1 的第二端与所述反相器 P1 的输入端电连接，所述反相器 P1 的输出端作为所述静电脉冲检测电路 201 的输出端，即所述反相器 P1 的输出端与所述静电泻放晶体管 Mesd 的控制端和衬底端电连接。

在第二实施例中，当第一焊垫 VDD 及第二焊垫 VSS 正常启动和正常工作时，静电泻放晶体管 Mesd 的控制端处于低电平，则静电泻放晶体管 Mesd 关闭，电流流经内部电路 20，保证内部电路 20 的正常运行。当第一焊垫 VDD 产生静电时，第一焊垫 VDD 的电压开始攀升，当电压升高到反相器 P1 能够工作时，静电泻放晶体管 Mesd 的控制端处于高电平，则静电泻放晶体管 Mesd 导通，静电电荷流经静电泻放晶体管 Mesd，进行静电泻放，避免内部电路 20 受到静电损伤。

在第一实施例及第二实施例中，为区分出是静电还是电源启动的瞬态状态，且保证在静电发生的时间内 Mesd 能充分泄放静电电荷，RC 时间常数通常为 0.1-1 微秒。例如，R1 为 50K 欧姆的 N+ 扩散电阻，C1 为 20PF 的 NMOS 电容。但是，申请人发现，这样的 RC 时间常数设计会占用比较大的版图空间，同时也会导致较大的漏电电流。

为了解决上述问题，本申请还提供一第三实施例，其能够在保持原有 RC 时间常数不变的情况下，减小占用的版图空间，并大大降低漏电流。

图 4 是本申请第三实施例静电保护电路应用示意图。请参阅图 4，在第三实施例中，所述静电脉冲检测电路 201 包括电容 C1 及二极管组 D1。所述电容 C1 具有第一端及第二端，所述电容 C1 的第一端作为所述静电脉冲检测电路 201 的上端，即所述电容 C1 的第一端与所述第一焊垫 VDD 电连接。所述二极管组 D1 具有第一端及第二端，所述二极管组 D1 的第一端作为所述静电脉冲检测电路 201 的下端，即所述二极管组 D1 的第一端与所述第二焊垫 VSS 电连接。所述二极管组 D1 的第二端及所述电容 C1 的第二端共同作为所述静电脉冲检测电路 201 的输出端，即所述二极管组 D1 的第二端及所述电容 C1 的第二端共同与所述静电泻放晶体管 Mesd 的控制端和衬底端电连接。

在第三实施例中，所述二极管组 D1 相当于第一实施例中的电阻 R1，但是，

与第一实施例的电阻 R1 相比,所述二极管组 D1 占用版图空间非常小,且其等效电阻值大大提高,从而可以使用非常小的电容 C1 就能够形成等效 RC 电路。即本申请第三实施例能够在保持 RC 时间常数不变的情况下,大大减小占用的版图空间,且大大降低电容值,在静电发生的时间内静电泻放晶体管 Mesd 能够充分泄放静电电荷,同时,也减小了漏电电流,提高半导体器件的可靠性。

其中,所述二极管组 D1 由若干个二极管串联而成,例如,在本实施例中,所述二极管组 D1 由二极管 D11 及二极管 D22 串联而成。在本申请其他实施例中,也可根据所述静电泻放晶体管 Mesd 的控制端对电压的要求而采用其他数量的二极管串联形成所述二极管组 D1,本申请对此不进行限制。

在第三实施例中,当第一焊垫 VDD 产生静电,即在 PS 模式 (PS mode) 静电发生的时,静电泻放晶体管 Mesd 控制端为高电平,静电泻放晶体管 Mesd 导通,静电电荷流经静电泻放晶体管 Mesd,从而泄放静电电荷,实现内部电路 20 的 PS mode 的静电保护,避免内部电路 20 受到静电损伤。当第二焊垫 VSS 产生静电,即 NS 模式 (NS mode) 静电发生时,静电泻放晶体管 Mesd 关闭,经静电泻放晶体管 Mesd 所形成的寄生二极管泄放静电电荷,实现内部电路 20 的 NS mode 的静电保护,避免内部电路 20 受到静电损伤。

本申请还提供一第四实施例,所述第四实施例与第三实施例的区别在于,所述静电脉冲检测电路 201 的电容与二极管器件的连接方法不同。具体地说,请参阅图 5,其为本申请第四实施例静电保护电路应用示意图,在该实施例中,所述静电脉冲检测电路 201 包括二极管组 D1、电容 C1 及反相器 P1。

所述二极管组 D1 具有第一端及第二端,所述二极管组 D1 的第二端作为所述静电脉冲检测电路 201 的上端,即所述二极管组 D1 的第二端与所述第一焊垫 VDD 电连接。所述电容 C1 具有第一端及第二端,所述电容 C1 的第一端作为所述静电脉冲检测电路 201 的下端,即所述电容 C1 的第一端与所述第二焊垫 VSS 电连接。所述反相器 P1 具有输入端及输出端,所述二极管组 D1 的第一端及所述电容 C1 的第二端与所述反相器 P1 的输入端电连接,所述反相器 P1 的输出端作为所述静电脉冲检测电路 201 的输出端,即所述反相器 P1 的输出端与所述静电泻放晶体管 Mesd 的控制端和衬底端电连接。

在第四实施例中,所述二极管组 D1 相当于第二实施例中的电阻 R1,但是,

与第二实施例的电阻 R1 相比, 所述二极管组 D1 占用版图空间非常小, 且其等效电阻值大大提高, 从而可以使用非常小的电容 C1 就能够形成等效 RC 电路。即本申请第四实施例能够在保持 RC 时间常数不变的情况下, 大大减小占用的版图空间, 且大大降低电容值, 在静电发生的时间内静电泻放晶体管 Mesd 能够充分泄放静电电荷, 同时, 也减小了漏电电流, 提高半导体器件的可靠性。

其中, 所述二极管组 D1 由若干个二极管串联而成, 例如, 在本实施例中, 所述二极管组 D1 由二极管 D11 及二极管 D22 串联而成。在本申请其他实施例中, 也可根据所述静电泻放晶体管 Mesd 的控制端对电压的要求而采用其他数量的二极管串联形成所述二极管组 D1, 本申请对此不进行限制。

在第四实施例中, 当第一焊垫 VDD 产生静电, 即在 PS 模式 (PS mode) 静电发生的时, 静电泻放晶体管 Mesd 控制端为高电平, 静电泻放晶体管 Mesd 导通, 静电电荷流经静电泻放晶体管 Mesd, 从而泄放静电电荷, 实现内部电路 20 的 PS mode 的静电保护, 避免内部电路 20 受到静电损伤。当第二焊垫 VSS 产生静电, 即 NS 模式 (NS mode) 静电发生时, 静电泻放晶体管 Mesd 关闭, 经静电泻放晶体管 Mesd 所形成的寄生二极管泄放静电电荷, 实现内部电路 20 的 NS mode 的静电保护, 避免内部电路 20 受到静电损伤。

在第三实施例及第四实施例中, 所述二极管组 D1 可由至少一个二极管串联而成, 而在本申请其他实施例中, 所述二极管组的二极管由栅极与漏极短接的晶体管构成。请参阅图 6, 其为本申请第五实施例静电保护电路应用示意图, 第五实施例与第三实施例的区别在于, 所述二极管组 D1 的二极管由栅极与漏极短接的晶体管构成。具体地说, 在第五实施例中, 栅极与漏极短接的晶体管 M1 及栅极与漏极短接的晶体管 M2 串联构成二极管组 D1。栅极与漏极短接的晶体管能够工作在饱和区, 因此, 其相当于一个二极管。

而在本申请其他实施例中, 也可根据所述静电泻放晶体管 Mesd 的控制端对电压的要求而采用其他数量的栅极与漏极短接的晶体管串联形成所述二极管组 D1, 本申请对此不进行限制。

在第五实施例中, 工作于饱和区域的晶体管 M1 及晶体管 M2 串联, 等效于一个阻值较大的电阻, 从而可用小的电容就能够形成等效 RC 电路, 即本实施例能够在保持 RC 时间常数不变 (即在静电发生的时间内静电泻放晶体管

Mesd 能够充分泄放静电电荷)的情况下,相较于第一实施例,占用版图空间大大减小,使得总体布局面积可大大缩小,同时,形成大电阻小电容的模式,大大降低了漏电流。

在第五实施例中,形成所述二极管组 D1 的晶体管的导电类型相同,例如所述晶体管 M1 及晶体管 M2 均为 NMOS 晶体管,或者所述晶体管 M1 及晶体管 M2 均为 PMOS 晶体管。在本申请其他实施例中,形成所述二极管组 D1 的晶体管导电类型不同。例如,所述二极管组 D1 由一个或多个栅极与漏极短接的 NMOS 晶体管及一个或多个栅极与漏极短接的 PMOS 晶体管串联而成。

本申请还提供一第六实施例,所述第六实施例与第五实施例的区别在于,所述静电脉冲检测电路 201 的电容与二极管组的连接方法不同。具体地说,请参阅图 7,其为本申请第六实施例静电保护电路应用示意图,在该实施例中,所述静电脉冲检测电路 201 包括二极管组 D1、电容 C1 及反相器 P1。所述二极管组 D1 由栅极与漏极短接的晶体管串联构成。具体地说,在第六实施例中,栅极与漏极短接的晶体管 M1 及栅极与漏极短接的晶体管 M2 串联构成二极管组 D1。

所述二极管组 D1 具有第一端及第二端,所述二极管组 D1 的第二端作为所述静电脉冲检测电路 201 的上端,即所述二极管组 D1 的第二端与所述第一焊垫 VDD 电连接。所述电容 C1 具有第一端及第二端,所述电容 C1 的第一端作为所述静电脉冲检测电路 201 的下端,即所述电容 C1 的第一端与所述第二焊垫 VSS 电连接。所述反相器 P1 具有输入端及输出端,所述二极管组 D1 的第一端及所述电容 C1 的第二端与所述反相器 P1 的输入端电连接,所述反相器 P1 的输出端作为所述静电脉冲检测电路 201 的输出端,即所述反相器 P1 的输出端与所述静电泻放晶体管 Mesd 的控制端和衬底端电连接。本申请静电保护电路能够避免静电保护电路的误启动,且能够增加延时时间,以使静电泻放晶体管 Mesd 充分泻放静电电荷;另外,本申请静电保护电路还能够大大减小占用的版图空间,降低漏电流,提高半导体器件的可靠性。

本申请还提供一种半导体器件,其采用上述的静电保护电路。本申请半导体器件能够避免静电保护电路误启动,且利用静电脉冲检测电路增加延时时间,以使静电泻放晶体管充分泻放静电电荷,提高半导体器件的可靠性。

图8是本申请第七实施例半导体器件的形成所述静电泻放晶体管的半导体结构的俯视示意图。请参阅图8，形成所述静电泻放晶体管的半导体结构包括：半导体衬底700、阱区710、源极区720、漏极区730、栅极740。

所述半导体衬底700可以为单晶硅衬底、Ge衬底、SiGe衬底、SOI或GOI等。可根据器件的实际需求，可以选择合适的半导体材料作为所述半导体衬底700，在此不作限定。其中，在所述半导体衬底700中设置有若干个连接垫709。

所述阱区710设置于所述半导体衬底700内。在本实施例中，所述静电泻放晶体管为NMOS晶体管，则所述阱区为P型区，在本申请其他实施例中，所述静电泻放晶体管为PMOS晶体管，则所述阱区710也可作为N型区。

源极区720与漏极区730交替间隔排布设置在所述阱区710内。在本实施例中，由于所述阱区710为P型区，则所述源极区720与漏极区730为N型区，而在本申请其他实施例中，所述阱区710为N型区，则所述源极区720与漏极区730为P型区。

所述栅极740设置在所述半导体衬底700上，且位于所述源极区720与漏极区730之间，所述栅极740与所述半导体衬底700电连接。具体地说，所述栅极740通过连接垫749与所述半导体衬底700的连接垫709电连接，以实现所述栅极740与所述半导体衬底700的电连接，即所述静电泻放晶体管的控制端与衬底端电连接。

在本实施例中，所述半导体结构包括一个源极区720、一个漏极区730及一个栅极740，而在本申请其他实施例中，所述半导体结构包括多个源极区720、多个漏极区730及多个栅极740。

图9是本申请第八实施例半导体器件的形成所述静电泻放晶体管的半导体结构的俯视示意图，请参阅图9，在本实施例中，所述半导体结构包括第一源极区721、第二源极区722、第一漏极区731、第一栅极741及第二栅极742。所述第一漏极区731区位于所述第一源极区721与第二源极区722之间，所述第一栅极741位于所述第一源极区721与第一漏极区731之间，所述第二栅极742位于第一漏极区731与第二源极区722之间。在该实施例中，所述第一漏极区731作为共用漏极区使用。所述第一栅极741及所述第二栅极742的连接垫749与半导体衬底700的连接垫709电连接，以使得所述第一栅极741及所述第二

栅极 742 与半导体衬底 700 电连接,即所述静电泻放晶体管的控制端与衬底端电连接。图 10 是本申请第九实施例半导体器件的形成所述静电泻放晶体管的半导体结构的俯视示意图,请参阅图 10,在本实施例中,所述半导体结构包括多个源极区、多个漏极区及多个栅极,所述多个源极区与多个漏极区交替间隔排布,相邻的两个源极区及漏极区之间设置有一所述栅极。

具体地说,在本实施例中,所述半导体结构包括第一源极区 721、第二源极区 722、第一漏极区 731、第二漏极区 732、第一栅极 741 及第二栅极 742、第三栅极 743。第一源极区 721、第一漏极区 731、第二源极区 722、第二漏极区 732 交替间隔排布。第一栅极设置在第一源极区 721 与第一漏极区 731 之间,第二栅极 742 设置在第一漏极区 731 与第二源极区 722 之间,第三栅极 743 设置在第二源极区 722 与第二漏极区 732 之间。以理解的是,在本申请其他实施例中,也可依据上述排布规则设置多个源极区、多个漏极区及多个栅极,此处不再赘述。下面以图 9 所示结构为例,说明本申请静电保护电路能够增强静电电荷泻放能力的原理。请参阅图 11,其为图 9 所示结构的截面原理示意图,静电泻放晶体管的第一栅极 741、第二栅极 742 及阱区 710 三者短接,即图 2 所示的静电泻放晶体管 Mesd 的控制端与衬底端短接,并均连接至静电脉冲检测电路 201 的输出端,则静电泻放晶体管 Mesd 的控制端与衬底端等电位。与常规的控制端及衬底端未短接的静电泻放晶体管相比,本申请静电泻放晶体管 Mesd 抬高了衬底端的电位,使得静电泻放晶体管 Mesd 的阈值电压减小,沟道导通能力增强。当有静电电荷产生时,静电电荷能够快速经静电泻放晶体管 Mesd 泻放,大大增强了静电保护电路的静电电荷泻放能力。

以上所述仅是本申请的部分实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本申请原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本申请的保护范围。

权利要求

1. 一种静电保护电路，与第一焊垫及第二焊垫电连接，包括：
静电泻放晶体管，具有控制端、第一端、第二端、衬底端，所述第一端电连接至所述第一焊垫，所述第二端电连接至所述第二焊垫；
静电脉冲检测电路，具有上端、下端、输出端，所述上端电连接至所述第一焊垫，所述下端电连接至所述第二焊垫，所述输出端电连接至所述控制端和所述衬底端。
2. 根据权利要求1所述的静电保护电路，其中，所述静电泻放晶体管为NMOS晶体管。
3. 根据权利要求1所述的静电保护电路，其中，所述静电脉冲检测电路包括：
电容，具有第一端及第二端，所述电容的第一端作为所述静电脉冲检测电路的上端；
电阻，具有第一端及第二端，所述电阻的第一端作为所述静电脉冲检测电路的下端，所述电阻的第二端及所述电容的第二端共同作为所述静电脉冲检测电路的输出端。
4. 根据权利要求1所述的静电保护电路，其中，所述静电脉冲检测电路包括：
电阻，具有第一端及第二端，所述电阻的第一端作为所述静电脉冲检测电路的上端；
电容，具有第一端及第二端，所述电容的第一端作为所述静电脉冲检测电路的下端；
反相器，具有输入端及输出端，所述电阻的第二端及所述电容的第二端与所述反相器的输入端电连接，所述反相器的输出端作为所述静电脉冲检测电路的输出端。
5. 根据权利要求1所述的静电保护电路，其中，所述静电脉冲检测电路包括：
电容，具有第一端及第二端，所述电容的第一端作为所述静电脉冲检测电路的上端；
二极管组，具有第一端及第二端，所述二极管组的第一端作为所述静电脉冲检测电路的下端，所述二极管组的第二端及所述电容的第二端共同作为所述静电脉冲检测电路的输出端。

6. 根据权利要求 1 所述的静电保护电路, 其中, 所述静电脉冲检测电路包括:
二极管组, 具有第一端及第二端, 所述二极管组的第一端作为所述静电脉冲检测电路的上端;
电容, 具有第一端及第二端, 所述电容的第一端作为所述静电脉冲检测电路的下端;
反相器, 具有输入端及输出端, 所述二极管组的第一端及所述电容的第二端与所述反相器的输入端电连接, 所述反相器的输出端作为所述静电脉冲检测电路的输出端。
7. 根据权利要求 5 所述的静电保护电路, 其中, 所述二极管组由若干个二极管串联而成。
8. 根据权利要求 7 所述的静电保护电路, 其中, 所述二极管由栅极与漏极短接的晶体管构成。
9. 根据权利要求 8 所述的静电保护电路, 其中, 所述晶体管为 NMOS 晶体管或 PMOS 晶体管。
10. 根据权利要求 9 所述的静电保护电路, 其中, 所述二极管组由至少一栅极与漏极短接的 NMOS 晶体管及至少一栅极与漏极短接的 PMOS 晶体管串联而成。
11. 根据权利要求 1 所述的静电保护电路, 其中, 所述第一焊垫连接电源, 所述第二焊垫接地。
12. 一种半导体器件, 包括静电保护电路, 所述静电保护电路与第一焊垫及第二焊垫电连接, 所述静电保护电路包括:
静电泻放晶体管, 具有控制端、第一端、第二端、衬底端, 所述第一端电连接至所述第一焊垫, 所述第二端电连接至所述第二焊垫;
静电脉冲检测电路, 具有上端、下端、输出端, 所述上端电连接至所述第一焊垫, 所述下端电连接至所述第二焊垫, 所述输出端电连接至所述控制端和所述衬底端。
13. 根据权利要求 12 所述的半导体器件, 其中, 形成所述静电泻放晶体管的半导体结构包括:

半导体衬底；

阱区，设置于所述半导体衬底内；

交替间隔排布的源极区与漏极区，设置在所述阱区内；

栅极，设置在所述半导体衬底上，且位于所述源极区与漏极区之间，所述栅极与所述半导体衬底电连接。

14. 根据权利要求 13 所述的半导体器件，其中，所述阱区为 P 型区，所述源极区及所述漏极区为 N 型区。
15. 根据权利要求 13 所述的半导体器件，所述半导体结构还包括第一源极区、第二源极区、第一漏极区、第一栅极及第二栅极，所述第一漏极区位于所述第一源极区与第二源极区之间，所述第一栅极位于所述第一源极区与第一漏极区之间，所述第二栅极位于第一漏极区与第二源极区之间。
16. 根据权利要求 13 所述的半导体器件，所述半导体结构还包括多个源极区、多个漏极区及多个栅极，所述多个源极区与多个漏极区交替间隔排布，相邻的两个源极区及漏极区之间设置有一所述栅极。