

说明书

发明名称: 半导体器件及其制备方法

[0001] 本公开基于申请号为202411622327.2、申请日为2024年11月13日、申请名称为“半导体器件及其制备方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

[0002] 本公开实施例涉及半导体技术领域，尤其涉及一种半导体器件及制备方法。

背景技术

[0003] 动态存储器(DRAM)的发展追求高速度、高集成密度、低功耗等性能指标，随着半导体器件结构尺寸的微缩，现有结构所遇到的技术壁垒越来越明显。因此，在现有结构的基础上，开发出更多新颖的结构，是打破现有技术壁垒的有利手段。

[0004] 三维动态随机存储器(3D DRAM)的出现，尤其是包括多层水平存储单元(Multilayer Horizontal Cell, MHC)的3D DRAM，通常包括在衬底上堆叠设置的多个晶体管，满足了上述需求。

[0005] 在目前的3D DRAM结构中，降低字线或者位线引出线之间的寄生电容是亟待解决的问题。

发明内容

[0006] 根据本公开实施例的第一方面，提供一种半导体器件，包括：

[0007] 衬底；共用电极结构，共用电极结构沿第一方向叠层设置于衬底上，第一方向与衬底相交；

[0008] 叠层阵列结构，叠层阵列结构包括第一电极结构，第一电极结构沿第一方向叠层设置于衬底上，并与同层设置的共用电极结构电连接；

[0009] 第一引出结构，第一引出结构沿第一方向叠层设置并与同层设置的共用电极结构连接，第一引出结构包括相对设置的第一引出线和第一伪线；在第一方向上，不同第一引出结构的第一引出线与第一伪线交替设置；

[0010] 第二引出结构，第二引出结构包括第二接触垫和第二接触塞，第二接触垫与对应的第一引出线同层设置并通过对应的第一引出线与对应的共用电极结构电连接；第二接触塞设置于第二接触垫上，在第一方向上，第二接触塞相互错开。

[0011] 在一些实施例中，第一引出结构沿第三方向延伸，第二引出结构沿第三方向交错设置，第三方向平行于衬底。

[0012] 在一些实施例中，第一引出结构沿第三方向延伸，第三方向平行于衬底；在第二方向上设置有第二引出结构，第二引出结构沿第一方向在衬底的投影部分重叠，第二方向平行于衬底并与第三方向相交。

[0013] 在一些实施例中，沿第一方向在衬底的投影部分重叠的第二引出结构连接的第一引出线至少间隔一层。

[0014] 在一些实施例中，第一电极结构包括位线结构或字线结构。

[0015] 在一些实施例中，第一引出结构两端均连接共用电极结构。

[0016] 在一些实施例中，第二接触垫与第一引出线一体成型。

[0017] 在一些实施例中，第二接触垫与第二接触塞一体成型。

- [0018] 在一些实施例中，第一伪线包括多晶硅和氮化硅叠层。
- [0019] 根据本公开实施例的第二方面，提供一种半导体器件的制备方法，包括：
- [0020] 提供衬底，衬底上形成有叠层结构；
- [0021] 在叠层结构中形成共用电极结构；
- [0022] 在叠层结构中形成叠层阵列结构，叠层阵列结构包括第一电极结构；
- [0023] 在叠层结构中形成第一引出结构，第一引出结构包括相对设置的第一引出线和第一伪线；在第一方向上，不同第一引出结构的第一引出线与第一伪线交替设置，第一方向与衬底相交；
- [0024] 在叠层结构中形成第二引出结构，第二引出结构包括第二接触垫和第二接触塞；
- [0025] 其中，共用电极结构与同层形成的第一电极结构电连接，第二引出结构通过第一引出线与共用电极结构电连接；第二接触塞形成于第二接触垫上，在第一方向上，第二接触塞相互错开。
- [0026] 在一些实施例中，第一引出线、第二接触垫和第二接触塞在同一步骤中形成。
- [0027] 在一些实施例中，形成第一引出结构步骤包括，先形成填料层，填料层占据第一引出结构位置；
- [0028] 形成第二引出结构对应的沟槽结构，并暴露对应的填料层；
- [0029] 去除暴露的填料层；
- [0030] 形成第一引出线、第二接触垫和第二接触塞；剩余的填料层形成第一伪线。
- [0031] 在一些实施例中，填料层通过多晶硅和氮化硅叠层沉积形成。
- [0032] 在一些实施例中，形成叠层结构包括交替形成硅层和硅锗层。
- [0033] 通过交替排布的第一引出线和第一伪线，可以将层与层之间的第一引出线间隔拉大，从而减小寄生电容。

附图说明

- [0034] 图1是根据一示例性实施例示出的一种半导体器件的示意图；
- [0035] 图2是根据一示例性实施例示出的一种半导体器件的示意图；
- [0036] 图3a、图4a、图5a、图13a是根据一示例性实施例示出制备过程中的半导体器件沿第一引出线位置的D1-D3剖面示意图；
- [0037] 图3b、图4b、图5b、图6b、图7-图12、图13b、图14、图15是根据一示例性实施例示出制备过程中的半导体器件沿某一第二引出结构位置的D1-D2剖面示意图；
- [0038] 图6a是根据一示例性实施例示出制备过程中的半导体器件沿第一引出线第一伪线之间位置的D1-D3剖面示意图。

具体实施方式

[0039] 下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

[0040] 在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

[0041] 可以理解的是，本公开的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层(即直接在某物上)的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

[0042] 在本公开实施例中，术语“第一”、“第二”、“第三”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

[0043] 在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。

[0044] 需要说明的是，本公开实施例所记载的技术方案之间，在不冲突的情况下，可以任意组合。

[0045] 根据本公开实施例的第一方面，如图1-图2所示，

[0046] 一种半导体器件，包括：衬底100；共用电极结构200，共用电极结构沿第一方向D1叠层设置于衬底上，第一方向与衬底相交；

[0047] 叠层阵列结构20，叠层阵列结构包括第一电极结构300，第一电极结构沿第一方向叠层设置于衬底上，并与同层设置的共用电极结构电连接；

[0048] 第一引出结构400，第一引出结构沿第一方向叠层设置并与同层设置的共用电极结构连接，第一引出结构包括相对设置的第一引出线401和第一伪线402；在第一方向上，不同第一引出结构的第一引出线与第一伪线交替设置；

[0049] 第二引出结构500，第二引出结构包括第二接触垫501和第二接触塞502，第二接触垫与对应的第一引出线同层设置并通过对应的第一引出线与对应的共用电极结构电连接；第二接触塞设置于第二接触垫上，在第一方向上，第二接触塞相互错开。

[0050] 在一些实施例中，第一引出结构沿第三方向D3延伸，第二引出结构沿第三方向交错设置，第三方向平行于衬底。可选的，第二引出结构沿第三方向分布于第一引出结构两侧。

[0051] 在一些实施例中，在第二方向D2上设置有第二引出结构，第二引出结构沿第一方向在衬底的投影部分重叠，第二方向平行于衬底并与第三方向相交。可选的，沿第二方向设置的第二引出结构中，离第一引出结构近的第二引出结构沿第一方向在衬底的投影落入离第一引出结构远的第二引出结构沿第一方向在衬底的投影中。可选的，离第一引出结构近的第二引出结构对应连接的第一引出结构比远的位于更上层，离第一引出结构远的第二引出结构的第二接触垫在下层穿过连接对应的第一引出结构。

[0052] 在一些实施例中，沿第一方向在衬底的投影部分重叠的第二引出结构连接的第一引出线至少间隔一层。可选的，沿第一方向在衬底的投影部分重叠的第二引出结构间隔多层连接对应的第一引出线，例如三层，五层。

[0053] 在一些实施例中，第一引出结构的两侧均设置有沿第三方向分布的第二引出结构，且包括沿第二方向设置的第二引出结构。

[0054] 在一些实施例中，在第一方向上，不同第一引出结构的第一引出线与第一伪线交替设置，即如图1所示，在第一方向上，第一层设置第一引出线的位置对应第二层设置第一伪线的位置，第二层设置第一伪线的位置对应第三层设置第一引出线的位置，第三层设置第一引出线的位置对应第四层设置第一伪线的位置。

置，以此类推。第一伪线仅填充位置，对于半导体器件的工作不起作用。可选的，第一伪线包括多晶硅和氮化硅叠层。

[0055] 在一些实施例中，如图2所示，第一引出结构两端均连接共用电极结构，共用电极结构均可以连接多个叠层阵列结构。

[0056] 在一些实施例中，第二接触垫与第一引出线一体成型，可选的，第二接触垫与第二接触塞一体成型，可选的，第二接触垫、第二接触塞和第一引出线一体成型。

[0057] 在一些实施例中，第一电极结构是位线结构或第一电极结构是字线结构。

[0058] 在一些实施例中，叠层阵列结构包括多个存储单元，存储单元包括晶体管和存储节点，可选的，存储节点选自存储电容器，相变存储器，磁阻存储器或铁电存储器等中的一种或几种。叠层阵列结构包括多个层，每层设置多个间隔设置的存储单元，不同层的存储单元对应设置。晶体管包括第一源漏极、第二源漏极和栅极，第一源漏极与位线结构连接，第二源漏极与存储节点连接。可选的，第一电极结构是位线结构时，叠层阵列结构中的同层存储单元的第一源漏极连接同一位线结构，不同层对应的存储单元栅极连接同一条字线结构，或组成字线结构。可选的，第一电极结构是字线结构时，叠层阵列结构中的不同层对应的存储单元的第一源漏极连接同一位线结构或组成同一位线结构，同层的存储单元栅极连接同一字线结构或组成同一字线结构。

[0059] 在一些实施例中，共用电极结构连接多个叠层阵列结构，可选的，叠层阵列结构沿共用电极结构延伸方向间隔设置。可选的，共用电极结构两侧均设置有多个叠层阵列结构。

[0060] 在一些实施例中，存储节点是存储电容器。可选的，存储电容器的底电极分立设置并与晶体管的第二源漏极连接，同一叠层阵列结构中的存储电容器共用顶电极，介电材料设置于底电极和顶电极之间。存储电容器的介电材料可以选自氧化铪、氧化铪硅、氧化铪锆、氧化铪钽、氧化镧、氧化锆、氧化锆硅、氧化钽、氧化钛、氧化钽锆、氧化钽钛、氧化锆、氧化铪、氧化铪钽和铌酸铅中的至少一种形成，或者包括例如氧化铪、氧化铪硅、氧化铪锆、氧化铪钽、氧化镧、氧化锆、氧化锆硅、氧化钽、氧化钛、氧化钽锆、氧化钽钛、氧化锆、氧化铪、氧化铪钽和铌酸铅中的至少一种。

[0061] 根据本公开实施例的第二方面，提供一种半导体器件的制备方法，如图2，图3a和图3b所示，包括：提供衬底，衬底上形成有叠层结构，在叠层结构中形成共用电极结构200。

[0062] 可选的，在衬底形成叠层结构，叠层结构由材料层M1和材料层M2交替组成，材料层M1和材料层M2分别代表选择的两种不同材料。叠层结构可选自交替沉积的氮化硅和氧化硅，或者通过外延生长制作的单晶硅和单晶硅锆，或者蚀刻选择比高的两种不同薄膜材料交替制备形成。可选的，叠层结构由两种材料交替组成，通过蚀刻工艺和沉积工艺替换成材料层M1和材料层M2组成的叠层结构。

[0063] 可选的，制作叠层结构蚀刻工艺包括各向异性刻蚀或各向同性刻蚀，如干法刻蚀或湿法刻蚀。

[0064] 可选的，制作叠层结构的沉积工艺包括物理气相沉积(PVD)方法、原子层沉积(ALD)方法，脉冲激光沉积(PLD)方法，化学气相沉积(CVD)，真空蒸镀，炉管沉积，外延生长(EPI)等。

[0065] 进一步的，如图4a-图4b所示，在叠层结构中第一引出结构相应位置形成第一引出沟槽，并沿第一引出沟槽向侧方蚀刻材料层M2，形成第一引出凹槽，第一引出凹槽两端暴露共用电极结构。

[0066] 在一些实施例中，形成第一引出沟槽的方法可以通过构图工艺制备形成，具体的，构图工艺包括，在衬底上形成光刻胶，对光刻胶进行曝光显影，形成预设图案的光刻胶，通过图案化的光刻胶对叠层结构进行蚀刻形成第一引出沟槽。可选的，蚀刻工艺包括各向异性刻蚀或各向同性刻蚀，如干法刻蚀或湿法刻蚀。

[0067] 在一些实施例中，构图工艺还包括，在衬底上形成硬掩膜，在硬掩膜上形成光刻胶对光刻胶进行曝光显影，形成预设图案，通过图案化的光刻胶对硬掩膜进行蚀刻，将预设图案转移到硬掩膜上，剥离光刻胶，通过图案化的硬掩膜对叠层结构进行蚀刻形成第一引出沟槽。

[0068] 在一些实施例中，随着半导体制备工艺的发展，集成度提高，尺寸微缩。一次构图工艺无法形成需要有源区和隔离沟槽的预设宽度，需要通过多次构图工艺形成。例如，两次曝光和蚀刻工艺(LELE)，或者自对准双图形工艺(SADP)，或者自对准四图形工艺(SAQP)等。

[0069] 在一些实施例中，侧向蚀刻材料层M2的方法可以是液相刻蚀工艺，可选的，液相刻蚀工艺的蚀刻液对材料层M2的蚀刻速率大于蚀刻液对材料层M1的蚀刻速率。

[0070] 进一步的，如图5a-图5b所示，在第一引出沟槽中形成材料层M3，材料层M3填充第一引出凹槽并覆盖第一引出沟槽侧壁。

[0071] 在一些实施例中，材料层M3的材料可以包括氧化硅、氮化硅、氮氧化硅、氮碳化硅、或者金属氧化物如氧化钽、氧化钪、氧化铝或者多晶硅及其组合物等。优选的，材料层M3的材料包括多晶硅。

[0072] 在一些实施例中，材料层M3的形成方法选自，物理气相沉积(PVD)方法、原子层沉积(ALD)方法，脉冲激光沉积(PLD)方法，化学气相沉积(CVD)，真空蒸镀，炉管沉积等工艺。

[0073] 进一步的，如图6a-图6b所示，去除第一引出沟槽侧壁的材料层M3，剩余第一引出凹槽中的材料层M3形成填料层，在第一引出沟槽中填充第一引出绝缘层P1。

[0074] 在一些实施例中，去除第一引出沟槽侧壁的材料层M3的工艺是各向异性刻蚀工艺包括干刻工艺，等离子刻蚀工艺等。

[0075] 在一些实施例中，第一引出绝缘层P1的材料选自氧化硅、氮化硅、氮氧化硅、氮碳化硅、或者金属氧化物如氧化钽、氧化钪、氧化铝及其组合物等，优选的，第一引出绝缘层P1是氧化硅和氮化硅的叠层。可选的，第一引出绝缘层P1的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法，脉冲激光沉积(PLD)方法，化学气相沉积(CVD)，真空蒸镀，炉管沉积，快速热氧化等，优选的，第一引出绝缘层P1的沉积方法为化学气相沉积(CVD)。

[0076] 在一些实施例中，形成第一引出绝缘层P1的方法还包括：形成第一引出绝缘层P1时超出第一引出沟槽，去除超出叠层结构上表面的第一引出绝缘层P1，使得第一引出绝缘层P1上表面与第一引出沟槽齐平。去除衬底表面栅绝缘层材料的方法选自蚀刻工艺和化学机械研磨(CMP)。

[0077] 在一些实施例中，如图7所示，在形成材料层M3之前，先在第一引出沟槽中形成阻挡层M3-1，阻挡层M3-1覆盖第一引出凹槽的表面和第一引出沟槽的侧壁；在形成有阻挡层M3-1的第一引出沟槽中形成材料层M3，材料层M3填充形成有阻挡层M3-1的第一引出凹槽并覆盖形成有阻挡层M3-1的第一引出沟槽侧壁；去除第一引出沟槽侧壁的材料层M3，剩余第一引出凹槽中的材料层M3和与材料层M3接触的阻挡层M3-1共同形成填料层；在第一引出沟槽中填充第一引出绝缘层P1。

[0078] 在一些实施例中，材料层M3-1的材料可以包括氧化硅、氮化硅、氮氧化硅、氮碳化硅、或者金属氧化物如氧化钽、氧化钪、氧化铝及其组合物等。优选的，材料层M3-1的材料是氮化硅。

[0079] 在一些实施例中，材料层M3-1的形成方法选自，物理气相沉积(PVD)方法、原子层沉积(ALD)方法，脉冲激光沉积(PLD)方法，化学气相沉积(CVD)，真空蒸镀，炉管沉积等工艺。优选的，材料层M3-1的形成方法是原子层沉积(ALD)方法。

[0080] 在一些实施例中，在去除第一引出沟槽侧壁的材料层M3时一并去除第一引出沟槽侧壁的阻挡层M3-1，剩余第一引出凹槽中的材料层M3和阻挡层M3-1共同形成填料层。

[0081] 进一步的，如图8-图11所示，通过构图工艺在叠层结构相应位置中形成相应深度的接触孔。可选的，在第一引出沟槽的一侧或两侧形成接触孔。在接触孔内沉积材料层M4，采用各向异性刻蚀工艺，去

除接触孔底部的材料层M4暴露相对应层的材料层M3。采用各向同性的刻蚀工艺蚀刻去除部分暴露出来的材料层M3形成第二接触垫凹槽，并暴露出相应的填料层。

[0082] 在一些实施例中，接触孔的形成方法包括各向异性刻蚀或各向同性刻蚀，如干法刻蚀或湿法刻蚀。

[0083] 在一些实施例中，材料层M4的材料选自氧化硅、氮化硅、氮氧化硅、氮碳化硅、或者金属氧化物如氧化钽、氧化钪、氧化铝及其组合物等，优选的，材料层M4的材料选自氧化硅和氮化硅叠层。可选的，材料层M4的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法，脉冲激光沉积(PLD)方法，化学气相沉积(CVD)，真空蒸镀，炉管沉积，快速热氧化等，优选的，材料层M4形成方法为原子层沉积(ALD)方法。

[0084] 在一些实施例中，形成材料层M4的方法还包括：形成材料层M4时在叠层结构上表面也形成有材料层M4，去除叠层结构上表面的材料层M4，使得材料层M4仅形成在接触孔中。去除叠层结构上表面材料层M4的方法选自蚀刻工艺和化学机械研磨(CMP)。

[0085] 在一些实施例中，除孔槽底部的材料层M4的各向异性刻蚀工艺包括干刻工艺，等离子刻蚀工艺等。

[0086] 在一些实施例中，蚀刻去除部分暴露出来的材料层M3形成第二接触垫凹槽中采用各向同性的刻蚀工艺包括湿法刻蚀。

[0087] 进一步的，如图12所示，通过接触孔，第二接触垫凹槽刻蚀去除对应的填料层，形成第一引出线凹槽并暴露对应的共用电极结构。

[0088] 在一些实施例中，去除部分填料层中采用各向同性的刻蚀工艺，包括湿法刻蚀。

[0089] 进一步的，如图13a-图13b所示，在接触孔，第二接触垫凹槽和第一引出线凹槽内形成材料层M5，在相应位置同步形成第一引出线，第二接触垫和第二接触塞一体结构。第一引出线与对应的共用电极结构电连接。与第一引出线相对位置保留的填料层形成第一伪线。

[0090] 在一些实施例中，材料层M5的材料选自金属、金属氮化物、金属氧化物、金属硅化物、导电碳、掺杂或者未掺杂的多晶硅、掺杂或者未掺杂的单晶硅及其组合；如铜(Cu)，铝(Al)、钨(W)、钛(Ti)、氮化钛(TiN)、氮化钛铝(TiAlN)、碳氮化钛(TiCN)、钽(Ta)、氮化钽(TaN)、氮化钽铝(TaAlN)、碳氮化钽(TaCN)、钌(Ru)、铂(Pt)或其组合。优选的，材料层M5是氮化钛(TiN)与钨(W)的叠层。材料层M5的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法，脉冲激光沉积(PLD)方法，化学气相沉积(CVD)，真空蒸镀，炉管沉积等，优选的，材料层M5形成方法为原子层沉积(ALD)方法。

[0091] 在一些实施例中，形成材料层M5的方法还包括：形成材料层M5时在叠层结构上表面也形成有材料层M5，去除叠层结构上表面的材料层M5，使得材料层M5仅形成在接触孔，第二接触垫凹槽和第一引出线凹槽中。去除叠层结构上表面材料层M5的方法选自蚀刻工艺和化学机械研磨(CMP)。

[0092] 在一些实施例中，当填料层，如图7所示，由材料层M3和阻挡层M3-1共同形成，形成暴露填料层的第二接触垫凹槽后，先通过接触孔，第二接触垫凹槽刻蚀去除填料层中的阻挡层M3-1，再去除填料层中的材料层M3，并暴露对应的共用电极结构。

[0093] 在一些实施例中，当填料层由剩余第一引出凹槽中的材料层M3和阻挡层M3-1共同形成，可以分两步去除全部的填料层，包括，先通过第一各向同性的刻蚀工艺去除阻挡层M3-1，再通过第二各向同性的刻蚀工艺去除材料层M3。

[0094] 在一些实施例中，形成接触孔，第二接触垫凹槽和第一引出线凹槽后，可以分步形成第一引出线，第二接触垫和第二接触塞。可选的，先形成第一引出线，再形成第二接触垫，最后形成第二接触塞；可选的，在同一步骤中形成第一引出线和第二接触垫一体结构，然后形成第二接触塞；可选的，先形成第一引出线，然后再同一步骤中形成第二接触垫和第二接触塞一体结构。

[0095] 在一些实施例中，分步形成第一引出线，第二接触垫和第二接触塞时。单独形成第一引出线的步骤可以是，先形成第一引出线材料层，通过接触孔，第二接触垫凹槽填充第一引出线凹槽，再通过湿法刻蚀去除多余的第一引出线材料层，第一引出线凹槽中剩余的第一引出线材料层形成第一引出线。单独形成第二接触垫的步骤可以是，先形成第二接触垫材料层，通过接触孔填充第二接触垫凹槽，再通过湿法刻蚀去除多余的第二接触垫材料层，第二接触垫凹槽中剩余的第二接触垫材料层形成第二接触垫。单独形成第二接触塞的步骤可以是，先形成第二接触塞材料层，填充接触孔，再通过蚀刻工艺或者化学机械研磨(CMP)去除多余的第二接触塞材料层，接触孔中剩余的第二接触塞材料层形成第二接触塞。类似的，在同一步骤中形成第一引出线和第二接触垫一体结构，然后形成第二接触塞；先形成第一引出线，然后再同一步骤中形成第二接触垫和第二接触塞一体结构；与前述形成方法类似。

[0096] 在一些实施例中，第一引出线材料层，第二接触垫材料层和第二接触塞材料层材料可以相同也可以不同，各自单独选自金属、金属氮化物、金属氧化物、金属硅化物、导电碳、掺杂或者未掺杂的多晶硅、掺杂或者未掺杂的单晶硅及其组合；如铜(Cu)，铝(Al)、钨(W)、钛(Ti)、氮化钛(TiN)、氮化钛铝(TiAlN)、碳氮化钛(TiCN)、钽(Ta)、氮化钽(TaN)、氮化钽铝(TaAlN)、碳氮化钽(TaCN)、钌(Ru)、铂(Pt)或其组合。第一引出线材料层，第二接触垫材料层和第二接触塞材料层的形成方法可以相同，也可以不同，各自单独选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法，脉冲激光沉积(PLD)方法，化学气相沉积(CVD)，真空蒸镀，炉管沉积等，优选的，第一引出线材料层，第二接触垫材料层或第二接触塞材料层的形成方法为原子层沉积(ALD)方法。

[0097] 在一些实施例中，当第一引出结构的一侧沿第二方向上设置多个第二引出结构时，如图14-图15所示，通过构图工艺在叠层结构相应位置中形成相应深度的接触孔，在接触孔内沉积材料层M4，采用各向异性刻蚀工艺，去除孔槽底部的材料层M4暴露相对应层的材料层M3。采用各向同性的刻蚀工艺蚀刻去除部分暴露出来的材料层M3形成第二接触垫凹槽，并暴露出相应的填料层。通过接触孔，第二接触垫凹槽刻蚀去除对应的填料层，形成第一引出线凹槽并暴露对应的共用电极结构。在接触孔，第二接触垫凹槽和第一引出线凹槽内形成材料层M5，在相应位置同步形成第一引出线，第二接触垫和第二接触塞一体结构。第一引出线与对应的共用电极结构电连接。在第一引出结构同侧沿第二方向设置的第二引出结构，离第一引出结构远的第二引出结构的第二接触垫在离第一引出结构近的第二接触垫下层，并且至少间隔一层材料层M3，由此可以形成沿第一方向交错设置的第一引出线和第一伪线。可选的，可以间隔三层材料层M3或间隔五层材料层M3。

[0098] 在一些实施例中，在叠层结构中形成叠层阵列结构，叠层阵列结构可以在第一引出结构之前制作，也可以在第一引出结构制作完成之后制作，叠层阵列结构可以在第二引出结构之前制作，也可以在第二引出结构制作完成之后制作。叠层阵列结构形成有多个存储单元，存储单元形成有晶体管和存储节点，可选的，存储节点选自存储电容器，相变存储器，磁阻存储器或铁电存储器等中的一种或几种。叠层阵列结构中每层形成有多个间隔设置的存储单元，不同层的存储单元对应设置。晶体管形成有第一源漏极、第二源漏极和栅极，第一源漏极与位线结构连接，第二源漏极与存储节点连接。可选的，第一电极结构是位线结构时，叠层阵列结构中的同层存储单元的第一源漏极连接同一位线结构，不同层对应的存储单元栅极连接同一条字线结构，或组成字线结构。可选的，第一电极结构是字线结构时，叠层阵列结构中的不同层对应的存储单元的第一源漏极连接同一位线结构或组成同一位线结构，同层的存储单元栅极连接同一字线结构或组成同一字线结构。

[0099] 在一些实施例中，晶体管的有源区材料选自单晶硅，单晶硅锗，多晶硅或氧化物半导体材料中的一种或多种或掺杂其他元素。其中，氧化物半导体材料可包括氧化铟镓锌(InxGayZnzO, IGZO)、氧化铟镓硅(InxGaySizO, IGSO)、氧化铟锡锌(InxSnyZnzO, ITZO)、氧化铟镓锡(InxGaySnzO, IGTO)、氧化铟锌(InxZnyO, IZO)、氧化锌(ZnxO, ZnO)、氧化锌锡(ZnxSnyO, ZTO)、氮氧化锌(ZnxOyN, ZnON)、氧化锆锌锡(ZrxZnySnzO, ZZTO)、氧化锡(SnxO, SnO)、氧化铪铟锌(HfxInyZnzO, HIZO)、氧化镓锌锡(GaxZnySnzO, GZTO)、氧化铝锌锡(AlxZnySnzO, AZTO)、氧化铪镓锌(YbxGayZnzO, YGZO)、氧化铟镓(InxGayO, IGO)或者它们的组合。

[0100] 在一些实施例中,栅极材料选自金属、金属氮化物、金属氧化物、金属硅化物、导电碳、掺杂或者未掺杂的多晶硅、掺杂或者未掺杂的单晶硅及其组合;如铜(Cu)、铝(Al)、钨(W)、钛(Ti)、氮化钛(TiN)、氮化钛铝(TiAlN)、碳氮化钛(TiCN)、钽(Ta)、氮化钽(TaN)、氮化钽铝(TaAlN)、碳氮化钽(TaCN)、钌(Ru)、铂(Pt)或其组合。栅极材料的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法,脉冲激光沉积(PLD)方法,化学气相沉积(CVD),真空蒸镀,炉管沉积等,优选的,栅极材料的形成方法为原子层沉积(ALD)方法。

[0101] 在一些实施例中,栅极表面包覆有栅绝缘层,栅绝缘层材料选自氧化硅、氮化硅、氮氧化硅、氮碳化硅、或者金属氧化物如氧化钽、氧化钨、氧化铝及其组合等。栅绝缘层的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法,脉冲激光沉积(PLD)方法,化学气相沉积(CVD),真空蒸镀,炉管沉积等,优选的,栅极材料的形成方法为原子层沉积(ALD)方法。

[0102] 在一些实施例中,位线结构材料包括选自金属、金属氮化物、金属氧化物、金属硅化物、导电碳、掺杂或者未掺杂的多晶硅、掺杂或者未掺杂的单晶硅及其组合;如铜(Cu)、铝(Al)、钨(W)、钛(Ti)、氮化钛(TiN)、氮化钛铝(TiAlN)、碳氮化钛(TiCN)、钽(Ta)、氮化钽(TaN)、氮化钽铝(TaAlN)、碳氮化钽(TaCN)、钌(Ru)、铂(Pt)或其组合。位线结构材料的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法,脉冲激光沉积(PLD)方法,化学气相沉积(CVD),真空蒸镀,炉管沉积等,优选的,位线结构材料的形成方法为原子层沉积(ALD)方法。

[0103] 在一些实施例中,存储节点选自存储电容器,存储电容器的下电极选自选自金属、金属氮化物、金属氧化物、金属硅化物、导电碳、掺杂或者未掺杂的多晶硅、掺杂或者未掺杂的单晶硅及其组合;如铜(Cu)、铝(Al)、钨(W)、钛(Ti)、氮化钛(TiN)、氮化钛铝(TiAlN)、碳氮化钛(TiCN)、钽(Ta)、氮化钽(TaN)、氮化钽铝(TaAlN)、碳氮化钽(TaCN)、钌(Ru)、铂(Pt)或其组合。优选的,下电极是氮化钛(TiN)。下电极的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法,脉冲激光沉积(PLD)方法,化学气相沉积(CVD),真空蒸镀,炉管沉积等,优选的,位线结构材料的形成方法为原子层沉积(ALD)方法。

[0104] 在一些实施例中,存储节点选自存储电容器,存储电容器的上电极选自选自金属、金属氮化物、金属氧化物、金属硅化物、导电碳、掺杂或者未掺杂的多晶硅、掺杂或者未掺杂的单晶硅及其组合;如铜(Cu)、铝(Al)、钨(W)、钛(Ti)、氮化钛(TiN)、氮化钛铝(TiAlN)、碳氮化钛(TiCN)、钽(Ta)、氮化钽(TaN)、氮化钽铝(TaAlN)、碳氮化钽(TaCN)、钌(Ru)、铂(Pt)或其组合。优选的,上电极是氮化钛(TiN)与多晶硅叠层。上电极的形成方法选自物理气相沉积(PVD)方法、原子层沉积(ALD)方法,脉冲激光沉积(PLD)方法,化学气相沉积(CVD),真空蒸镀,炉管沉积等。

[0105] 在一些实施例中,共用电极结构连接多个叠层阵列结构,可选的,叠层阵列结构沿共用电极结构延伸方向间隔设置。可选的,共用电极结构两侧均形成有多个叠层阵列结构。

[0106] 可以理解的,本公开相对不同层交替设置的第一引出线和第一伪线,可以使的不同层的第一引出线之间距离增加,从而减小寄生电容。

[0107] 另一方面,由于不同层之间的第一引出线距离变大,从而可以将第一引出线做的更宽,从而降低第一引出线的电阻,进而降低半导体器件的损耗。

[0108] 又一方面,由于第一引出线,第二接触垫和第二接触塞一体成型;或第一引出线和第二接触垫一体成型;或第二接触垫和第二接触塞一体成型可以降低接触电阻,使得半导体器件的损耗降低。

[0109] 再一方面,在,离第一引出结构近的第二引出结构对应连接的第一引出结构比远的位于更上层,离第一引出结构远的第二引出结构的第二接触垫在下层穿过连接对应的第一引出结构,中将两层接触垫间隔设置的更多层时,如三层或五层时可以降低沿第一方向在衬底的投影部分重叠的不同层第二接触垫之间的寄生电容。

[0110] 本具体实施方式中示出的各种半导体器件可用于具有存储功能的电子设备。电子设备可以是终端设备，例如手机，平板电脑，智能手环，也可以是个人电脑(personal computer, PC)、服务器、工作站等。电子设备中的存储功能可通过如下存储器实现：动态随机存储器(DRAM)、铁电随机存储器(FRAM)、相变存储器(PCM)、磁随机存储器(MRAM)或电阻式存取存储器(RRAM)。

[0111] 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

权利要求书

- [1] 一种半导体器件(10)，其特征在于，包括：衬底(100)；共用电极结构(200)，所述共用电极结构沿第一方向(D1)叠层设置于所述衬底上，所述第一方向与所述衬底相交；叠层阵列结构(20)，所述叠层阵列结构包括第一电极结构(300)，所述第一电极结构沿所述第一方向叠层设置于所述衬底上，并与同层设置的所述共用电极结构电连接；第一引出结构(400)，所述第一引出结构沿所述第一方向叠层设置并与同层设置的所述共用电极结构连接，所述第一引出结构包括相对设置的第一引出线(401)和第一伪线(402)；在所述第一方向上，不同所述第一引出结构的所述第一引出线与所述第一伪线交替设置；第二引出结构(500)，所述第二引出结构包括第二接触垫(501)和第二接触塞(502)，所述第二接触垫与对应的所述第一引出线同层设置并通过对应的所述第一引出线与对应的所述共用电极结构电连接；所述第二接触塞设置于所述第二接触垫上，在所述第一方向上，所述第二接触塞相互错开。
- [2] 根据权利要求1所述半导体器件，其特征在于，所述第一引出结构沿第三方向(D3)延伸，所述第二引出结构沿所述第三方向交错设置，所述第三方向平行于所述衬底。
- [3] 根据权利要求1所述半导体器件，其特征在于，所述第一引出结构沿第三方向延伸，所述第三方向平行于所述衬底；在第二方向(D2)上设置有所所述第二引出结构，所述第二引出结构沿所述第一方向在所述衬底的投影部分重叠，所述第二方向平行于所述衬底并与所述第三方向相交。
- [4] 根据权利要求3所述半导体器件，其特征在于，沿所述第一方向在所述衬底的投影部分重叠的所述第二引出结构连接的所述第一引出线至少间隔一层。
- [5] 根据权利要求1所述半导体器件，其特征在于，所述第一电极结构包括位线结构或字线结构。
- [6] 根据权利要求1所述半导体器件，其特征在于，所述第一引出结构两端均连接所述共用电极结构。
- [7] 根据权利要求1所述半导体器件，其特征在于，所述第二接触垫与所述第一引出线一体成型。
- [8] 根据权利要求1所述半导体器件，其特征在于，所述第二接触垫与所述第二接触塞一体成型。
- [9] 根据权利要求1所述半导体器件，其特征在于，所述第一伪线包括多晶硅和氮化硅叠层。
- [10] 一种半导体器件的制备方法，其特征在于，包括：提供衬底，所述衬底上形成有叠层结构；在所述叠层结构中形成共用电极结构；在所述叠层结构中形成叠层阵列结构，所述叠层阵列结构包括第一电极结构；在所述叠层结构中形成第一引出结构，所述第一引出结构包括相对设置的第一引出线和第一伪线；在第一方向上，不同所述第一引出结构的所述第一引出线与所述第一伪线交替设置，所述第一方向与所述衬底相交；在所述叠层结构中形成第二引出结构，所述第二引出结构包括第二接触垫和第二接触塞；其中，所述共用电极结构与同层形成的所述第一电极结构电连接，所述第二引出结构通过所述第一引出线与所述共用电极结构电连接；所述第二接触塞形成于所述第二接触垫上，在所述第一方向上，所述第二接触塞相互错开。
- [11] 根据权利要求10所述半导体器件的制备方法，其特征在于，所述第一引出线、所述第二接触垫和所述第二接触塞在同一步骤中形成。
- [12] 根据权利要求10所述半导体器件的制备方法，其特征在于，形成所述第一引出结构步骤包括，先形成填料层，所述填料层占据所述第一引出结构位置；形成所述第二引出结构对应的沟槽结构，并暴露对应的所述填料层；去除暴露的所述填料层；形成所述第一引出线、所述第二接触垫和所述第二接触塞；剩余的所述填料层形成所述第一伪线。
- [13] 根据权利要求12所述半导体器件的制备方法，其特征在于，所述填料层通过多晶硅和氮化硅叠层沉积形成。

[14] 根据权利要求10所述半导体器件的制备方法，其特征在于， 形成所述叠层结构包括交替形成硅层和硅锗层。