

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月18日(18.03.2021)



(10) 国際公開番号

WO 2021/049034 A1

(51) 国際特許分類:
H01L 27/11582 (2017.01)

6 番 6 号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(21) 国際出願番号: PCT/JP2019/036213

(22) 国際出願日: 2019年9月13日(13.09.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).

(72) 発明者: 押木 祐介 (OSHIKI Yusuke); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP).

(74) 代理人: 永井 浩之, 外 (NAGAI Hiroshi et al.); 〒1000005 東京都千代田区丸の内1丁目

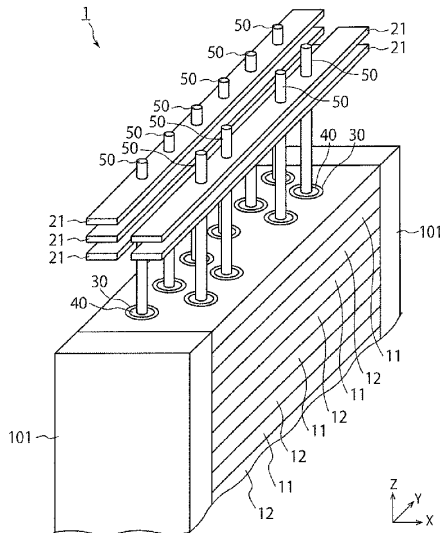
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体記憶装置およびその製造方法

[図1]



(57) Abstract: A semiconductor storage device according to one embodiment is provided with a first laminate in which a plurality of first electrode layers and a plurality of first insulating layers are alternately laminated on a substrate in a first direction perpendicular to the substrate, a plurality of semiconductor films passing through the first laminate in the first direction, a second laminate in which a plurality of second electrode layers and a plurality of second insulating layers are alternately laminated on the first laminate in the first direction, and a plurality of contact plugs that pass through the second laminate in the first direction and are individually connected to each of the plurality of semiconductor films and each of the plurality of second electrode layers.

(57) 要約: 一実施形態に係る半導体記憶装置は、複数の第1電極層と複数の第1絶縁層とが基板上で基板に垂直な第1方向に交互に積層された第1積層体と、第1積層体を第1方向に貫通する複数の半導体膜と、複数の第2電極層と複数の第2絶縁層とが第1積層体上で第1方向に交互に積層された第2積層体と、第2積層体を第1方向に貫通し、複数の半導体膜の各々と複数の第2電極層の各々に個別に接続される複数のコンタクトプラグと、を備える。

[続葉有]

WO 2021/049034 A1

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）