

一种天线阵列、装置及无线通信设备

5 技术领域

本申请涉及天线技术领域，尤其涉及一种天线阵列、装置及无线通信设备。

背景技术

由多个辐射单元且多个辐射单元呈阵列式排布，以形成天线阵列，也称为天线阵。其中，每一个辐射单元也可以称为阵元（Array Element）。

- 10 一般采用移相器对辐射单元的相位进行控制，当天线阵列中的辐射单元数量较多时，就需要多个移相器。为了减少移相器的数量和简化控制电路，通常几个辐射单元会共用一个移相器，共用一个移相器的多个辐射单元就组成一个子阵。

- 15 图 1 所示的为一种天线阵列，每一个黑色圆点代表一个辐射单元，该天线阵列包括 24（沿 X 轴）× 32（沿 Y 轴）个辐射单元，该天线阵列在 Y 轴方向上每一列具有 8 个子阵，包括 1 驱 2 的子阵、1 驱 4 的子阵、1 驱 6 的子阵和 1 驱 8 的子阵。其中，1 驱 2 的子阵表示一个移相器控制两个辐射单元，1 驱 4 的子阵表示一个移相器控制四个辐射单元，1 驱 6 的子阵表示一个移相器控制六个辐射单元，1 驱 8 的子阵表示一个移相器控制八个辐射单元。

- 20 图 2 所示的为图 1 的天线阵列的子阵与射频集成电路（Radio Frequency Integrated Circuit, RFIC）芯片连接的示意图。示例性的，图 2 示出了第一 RFIC 芯片 01、第二 RFIC 芯片 02、第三 RFIC 芯片 03 和第四 RFIC 芯片 04，上述各个 RFIC 芯片分别与相对应的子阵连接。其中，每一个子阵具有与 RFIC 芯片连接的馈电位置 M。需要说明的是，图 1 所示的天线阵列还可以连接更多的射频集成电路芯片，图 2 中的芯片个数以及位置仅为示例。

- 25 以第一 RFIC 芯片为例，图 3 中，第一 RFIC 芯片 01 具有八个射频收发通道，八个射频收发通道分别通过馈电线与八个子阵一对一连接。例如，如图 3 所示，第一 RFIC 芯片中的一个射频收发通道通过馈电线 05 与天线阵列中的一个子阵的馈电位置 M 连接。第二 RFIC 芯片 02、第三 RFIC 芯片 03 和第四 RFIC 芯片 04 与相对应的子阵的馈电位置之间的连接关系与图 3 所示类似。

- 30 由图 3 可以看出，RFIC 芯片与多个子阵的馈电位置连接的馈电线的长度不一致，有些馈电线长，有些馈电线短。由于与同一个 RFIC 芯片连接的馈电线长度不一致，因此信号传输的时延也是有差异的，导致多个子阵的信号相位不一样，无法实现天线阵列波束合成的效果，恶化天线阵列的宽带性能。现有的相位校准补偿只能保证窄带校准效果，在宽带的情况下波束合成效果较差。另外，如图 2 所示，各个 RFIC 芯片的排布位置也不规则，导致功分合路器与各个 RFIC 芯片连接的功分线的长度不一样，这样给功分线的设计造成难度，而且也会进一步恶化天线阵列的宽带性能。进一步的，由于图 2 所示的多个 RFIC 芯片呈不规则布设，会导致设置该天线阵列的天线模块中 RFIC 芯片散发的热量分布不均，这样的话，天线模块不同位置的温度出现差异，不同位置的馈电线热膨胀量也出现差异，馈电线的热膨胀量的不同，也会影响子阵的信号

的相位。

发明内容

本申请的实施例提供一种天线阵列、装置及无线通信设备，旨在通过使 RFIC 芯片与天线阵列的子阵的馈电位置之间的馈电线基本等长来提升天线阵列的宽带性能。

5 为达到上述目的，本申请的实施例采用如下技术方案：

第一方面，本申请提供了一种天线阵列，该天线阵列包括：

多个子阵，每个子阵上设置有馈电位置和至少一个辐射单元，多个子阵沿第一方向和第二方向排布，第一方向与第二方向相垂直，沿第一方向，多个子阵的馈电位置位于同一条直线上，沿第二方向，多个子阵的馈电位置位于同一条直线上；沿第一方向，位于同一直线上的馈电位置所属的子阵处于同一行，沿第二方向，位于同一直线上的馈电位置所属的子阵处于同一列；

10 每个子阵具有相位中心，天线阵列中至少有一行子阵中的子阵的相位中心不在同一条直线上，和/或，天线阵列中至少有一列子阵中的子阵的相位中心不在同一条直线上。

15 本申请实施例提供的天线阵列，由于任一行子阵的馈电位置位于同一直线上，任一系列子阵的馈电位置位于同一直线上。这样一来，天线阵列的馈电位置呈规则布设，当将具有至少两个射频收发通道的射频集成电路芯片通过至少两个馈电线与至少两个子阵的馈电位置一对一连接时，每两个馈电线的长度基本相等，避免与同一个射频集成电路芯片连接的多个馈电线长度不一，以使多个子阵的相位不一样的现象。

20 另外，由于至少一行的多个相位中心不位于同一直线上，和/或，至少一系列的多个相位中心不位于同一直线上。也就是说，天线阵列的相位中心呈非规则排布，这样，相位中心的非规则排布可能会造成天线阵列的栅瓣的能量分散到多个角度，可以有效的提升栅瓣的抑制，进而提高天线阵列的增益。

25 所以，本申请实施例提供的天线阵列在有效的提升栅瓣的抑制，提高天线阵列的增益的前提下，还可实现 RFIC 芯片与子阵的等长互连。

在第一方面可能的实现方式中，天线阵列中包括 N 个子阵，N 个子阵中的每个子阵均设置数量相等的辐射单元，N 个子阵中的至少一个子阵的馈电位置与 N 个子阵中的其他子阵的馈电位置不同，其中 N 为大于或等于 2 的整数。通过使数量相等的子阵的馈电位置设置的不同，就可以实现馈电位置的规则排布。

30 在第一方面可能的实现方式中，天线阵列包括至少两种同类子阵，一种同类子阵中的子阵设置数量相等的辐射单元。也就是说，该天线阵列中可以包括具有两个辐射单元的子阵，或者，也可以包括具有三个辐射单元的子阵，或者包括更多个辐射单元的子阵。

35 在第一方面可能的实现方式中，天线阵列包括至少一个第一子阵，第一子阵上排布至少两个辐射单元，至少两个辐射单元呈直线排布；第一子阵的馈电位置位于相邻两个辐射单元之间；或者，第一子阵的馈电位置位于处于第一子阵端部的辐射单元的远离其余辐射单元的一侧。也就是说，当子阵的辐射单元至少为两个时，馈电位置也具有多种情况，在具体实施时，可根据整个天线阵列的馈电位置的布局进行选择。

在第一方面可能的实现方式中，天线阵列包括至少一个第二子阵，第二子阵上排

布有一个辐射单元，第二子阵的馈电位置位于辐射单元的旁侧。

在第一方面可能的实现方式中，沿第一方向，每相邻两个子阵的馈电位置之间的间距相等，和/或，沿第二方向，每相邻两个子阵的馈电位置之间的间距相等。这样便于对馈电单元进行布局。

- 5 在第一方面可能的实现方式中，天线阵列中包含哑元，哑元为不馈电的辐射单元。为了使天线阵列的馈电位置呈规则布设，在有些情况下，需要在相邻两个子阵之间形成不需要设置辐射单元的栅格，通过在该栅格内设置哑元，能够使各个子阵的方向图保持一致，提高无线通信设备的通信容量。

- 10 在第一方面可能的实现方式中，辐射单元为微带贴片天线、对称振子、开口波导天线或者螺旋天线等。

在第一方面可能的实现方式中，辐射单元可以为双极化，也可以为单极化。

在第一方面可能的实现方式中，极化方式可以为 $\pm 45^\circ$ 极化、垂直或水平极化、右旋或左旋圆极化。

- 15 在第一方面可能的实现方式中，子阵的馈电线为T型功分、威尔金森功分或者串联馈电功分。

第二方面，本申请提供了一种装置，该装置包括：

上述第一方面或第一方面的任一实现方式中的天线阵列；

馈电线；

- 20 电路承载板，馈电线用于为天线阵列中的子阵馈电，天线阵列和馈电线设置在电路承载板上。

- 25 本申请实施例提供的装置中，包括第一方面任一实现方式中的天线阵列，由于该天线阵列的馈电位置呈规则布设，所以，当将多通道的射频集成电路芯片通过多根馈电线与多个子阵的馈电位置一对一连接时，每两个馈电线的长度基本相等，避免与同一个射频集成电路芯片连接的多个馈电线长度不一，以使多个子阵的相位不一样的现象。

另外，由于该天线阵列的子阵的相位中心呈非规则排布，这样，相位中心的非规则排布就会造成天线阵列的栅瓣的能量分散到多个角度，可以有效的提升栅瓣的抑制，减少对外部系统的干扰，同时也能够一定程度的提升天线增益。

- 30 在第二方面可能的实现方式中，该装置还包括至少一个射频集成电路芯片，射频集成电路芯片设置在电路承载板上，射频集成电路芯片包括至少两个射频收发通道，至少两个射频收发通道用于分别通过馈电线向天线阵列中的至少两个子阵馈电，射频收发通道与子阵一对一连接。

- 35 在第二方面可能的实现方式中，该天线模块包括功分合路器和至少两个射频集成电路芯片，功分合路器通过至少两个功分线分别与至少两个射频集成电路芯片连接，且至少两个功分线的长度相等，功分线与射频集成电路芯片一对一连接。功分合路器与RFIC芯片之间的功分线等长设计，会使功分合路器到不同子阵的时延差进一步缩小，进一步提高宽带性能。

在第二方面可能的实现方式中，电路承载板为封装基板；该天线模块还包括印制电路板，封装基板设置在印制电路板上，且与印制电路板连接，功分合路器设置在印

制电路板上。通常，印制电路板上还设置有数模变换模块和数字信号处理模块，数字信号处理模块与数模变换模块连接，数模变换模块与功分合路器连接，通过将天线阵列设置在封装基板上，并将射频集成电路芯片也设置在封装基板上，再将他们作为一个整体封装，并与印制电路板连接，以形成封装天线（Antenna-In-Package, AIP）。

5 在第二方面可能的实现方式中，电路承载板为印制电路板；功分合路器设置在所述印制电路板上。一般，印制电路板上还设置有数模变换模块和数字信号处理模块，数字信号处理模块与数模变换模块连接，数模变换模块与功分合路器连接。将天线阵列、射频集成电路芯片、数模变换模块和数字信号处理模块均设置在印制电路板上，以形成板上天线（Antenna-on-Board, AOB）。

10 在第二方面可能的实现方式中，该装置还包括散热器，散热器能够对射频集成电路芯片进行散热。通过散热器对射频集成电路芯片进行散热，以提高该射频集成电路芯片的性能。

第三方面，本申请提供了一种装置，该装置包括：

上述第一方面的天线阵列；

15 馈电线；

至少一个射频集成电路芯片，天线阵列和馈电线设置在射频集成电路芯片的封装层上，射频集成电路芯片包括至少两个射频收发通道，至少两个射频收发通道用于分别通过馈电线向天线阵列中的至少两个子阵馈电，射频收发通道与子阵一对一连接。

本申请实施例提供的装置中，是将馈电线和天线阵列设置在射频集成电路芯片上，且所述天线阵列为第一方面任一实现方式中的天线阵列，因此本申请实施例提供的天线模块与上述技术方案的天线阵列能够解决相同的技术问题，并达到相同的预期效果。

在第三方面可能的实现方式中，该装置包括功分合路器和至少两个射频集成电路芯片，功分合路器通过至少两个功分线分别与至少两个射频集成电路芯片连接，且至少两个功分线的长度相等，功分线与射频集成电路芯片一对一连接。功分合路器与射频集成电路芯片之间的功分线等长设计，会使功分合路器到不同子阵的时延差进一步缩小，进一步提高宽带性能。

在第三方面可能的实现方式中，该装置还包括印制电路板，射频集成电路芯片和功分合路器均设置在印制电路板上。通常，印制电路板上还设置有数模变换模块和数字信号处理模块，数字信号处理模块与数模变换模块连接，数模变换模块与功分合路器连接，也就是说，直接将天线阵列设置于射频集成电路芯片上，并与印制电路板连接，以形成片上天线（Antenna-On-Chip, AOC）。

第四方面，本申请还提供了一种无线通信设备，包括上述第一方面任一实现方式中的天线阵列，或者第二方面或第三方面任一实现方式中的装置。

本申请实施例提供的无线通信设备包括上述实施例提供的天线阵列，因此本申请实施例提供的无线通信设备与上述技术方案的天线阵列能够解决相同的技术问题，并达到相同的预期效果。

附图说明

图 1 为现有技术中天线阵列的结构示意图；

图 2 为图 1 的天线阵列的子阵与 RFIC 芯片连接的示意图；

- 图 3 为图 2 中的第一 RFIC 芯片与馈电位置的连接关系示意图；
- 图 4 为本申请实施例天线模块的结构示意图；
- 图 5 为本申请实施例天线模块的结构示意图；
- 图 6 为本申请实施例天线模块的结构示意图；
- 5 图 7 为本申请实施例天线阵列的结构示意图；
- 图 8 为图 7 的天线阵列的馈电位置的排布图；
- 图 9 为图 8 的天线阵列的部分馈电位置与 RFIC 芯片的连接关系示意图；
- 图 10 为一个 RFIC 芯片与馈电位置的连接关系示意图；
- 图 11 为多个 RFIC 芯片与功分合路器的连接关系示意图；
- 10 图 12 为图 7 的天线阵列的相位中心的排布图；
- 图 13 为本申请实施例天线阵列的结构示意图；
- 图 14 为图 13 的天线阵列的馈电位置的排布图；
- 图 15 为图 14 的天线阵列的部分馈电位置与 RFIC 芯片的连接关系示意图；
- 图 16 为一个 RFIC 芯片与馈电位置的连接关系示意图；
- 15 图 17 为多个 RFIC 芯片与功分合路器的连接关系示意图；
- 图 18 为图 13 的天线阵列的相位中心的排布图；
- 图 19 为本申请实施例天线阵列与现有的天线阵列的栅瓣抑制曲线对比图；
- 图 20 为本申请实施例天线阵列与现有的天线阵列的垂直扫描包络增益曲线对比图；
- 20 图 21 为本申请实施例天线阵列的部分子阵的布设示意图；
- 图 22 为本申请实施例天线阵列中的包括一个辐射单元的子阵的馈电位置的布设示意图；
- 图 23a 为本申请实施例天线阵列中的包括两个辐射单元的子阵的馈电位置的布设示意图；
- 25 图 23b 为本申请实施例天线阵列中的包括两个辐射单元的子阵的馈电位置的布设示意图；
- 图 23c 为本申请实施例天线阵列中的包括两个辐射单元的子阵的馈电位置的布设示意图；
- 图 24a 为本申请实施例天线阵列中的包括三个辐射单元的子阵的馈电位置的布设示意图；
- 30 图 24b 为本申请实施例天线阵列中的包括三个辐射单元的子阵的馈电位置的布设示意图；
- 图 24c 为本申请实施例天线阵列中的包括三个辐射单元的子阵的馈电位置的布设示意图；
- 35 图 24d 为本申请实施例天线阵列中的包括三个辐射单元的子阵的馈电位置的布设示意图；
- 图 25 为本申请实施例天线阵列的结构示意图；
- 图 26 为本申请实施例天线阵列的结构示意图。
- 附图标记：

01-第一 RFIC 芯片; 02-第二 RFIC 芯片; 03-第三 RFIC 芯片; 04-第四 RFIC 芯片;
05-馈电线; 1-天线阵列; 1A、1B-子阵; 11-辐射单元; 111-第一辐射单元; 112-第二
辐射单元; 113-第三辐射单元; M-馈电位置; N-相位中心; 2-哑元; 3-RFIC 芯片; 31-
第一 RFIC 芯片; 32-第二 RFIC 芯片; 33-第三 RFIC 芯片; 34-第四 RFIC 芯片; 35-第
5 五 RFIC 芯片; 36-第六 RFIC 芯片; 37-第七射 RFIC 芯片; 38-第八 RFIC 芯片; 4-电
路承载板; 5-功分合路器; 6-印制电路板; 7-通道; 8-散热器; 9-功分线; 10-连接结构。

具体实施方式

在无线通信设备, 例如无线基站中, 随着更高的数据通信速率, 已经将毫米波频
段列入第五代移动通信 (5th Generation Mobile Networks, 5G)。这样的话, 在满足
10 5G 高频基站与卫星共存的协议要求的基础上, 对天线阵列性能提出了更高的要求, 比
如, 天线阵列的栅瓣 (Grating lobes) 抑制需要进一步提升, 天线阵列的扫描方向图
增益包络需要更优等。

在上述的无线通信设备中, 天线阵列具有多种不同的承载方式存在。例如, 图 4、
图 5 和图 6 是三种不同的承载方式。

15 结合图 4, 天线阵列 1 设置在电路承载板 4 上, 且馈电线 05 也设置在电路承载板
4 上, 馈电线 05 可以是布设在电路承载板上的金属走线, 此结构中的电路承载板 4 为
封装基板 (substrate), 比如, 该封装基板可以采用重新布线层 (redistribution layer,
RDL), 或者采用无核心层的无芯基板 (Coreless 基板) 等。

RFIC 芯片 3 通过连接结构 10 与设置有天线阵列 1 和馈电线 05 的封装基板连接。
20 再将设置有 RFIC 芯片 3 的封装基板通过连接结构 10 与印制电路板 (printed circuit
board, PCB) 6 连接。这样形成的结构可以称为封装天线 (Antenna-In-Package, AIP)。

结合图 5, 天线阵列 1 和馈电线 05 均设置在 RFIC 芯片 3 上, 设置有天线阵列 1
和馈电线 05 的 RFIC 芯片 3 通过连接结构设置在 PCB6 上, 并与 PCB6 连接。这样形
成的结构可以称为片上天线 (Antenna-On-Chip, AOC)。

25 结合图 6, 天线阵列 1 设置在电路承载板上, 且馈电线 05 也设置在电路承载板上,
此结构中的电路承载板为 PCB6。RFIC 芯片 3 通过连接结构与 PCB6 连接。这样形成
的结构可以称为板上天线 (Antenna-on-Board, AOB)。

上述的连接结构 10 可以是焊球阵列 (ball grid array, BGA), 当然, 也可以选用
其他连接结构。

30 在上述的 AIP 中、AOC 中、或者 AOB 中, 还包括散热器 8, 在 AIP 中, 散热器 8
靠近 PCB6 和 RFIC 芯片 3 设置, 以驱散 PCB6 和 RFIC 芯片 3 所散发的热量。在 AOC
中, 散热器 8 靠近 PCB6 设置, 且 PCB6 贯通有通道 7, 这样也可以对 RFIC 芯片 3 进
行散热。在 AOB 中, 散热器 8 靠近 RFIC 芯片 3 设置。本申请对散热器的结构、布设
方式不做特殊限定。

35 在上述的 AIP 中、AOC 中、或者 AOB 中, PCB6 上设置有数模变换模块、数字信
号处理模块和功分合路器, 数字信号处理模块与数模变换模块连接, 数模变换模块与
功分合路器连接, 功分合路器通过功分线与 RFIC 芯片连接, 功分线也可以是金属走
线。在可选择的实施方式中, 可以采用 PCB6 上的金属走线连接数字信号处理模块与
数模变换模块, 以及连接数模变换模块与功分合路器。

上述的天线阵列可以应用在模拟有源相控阵列,也可以应用在数字有源相控阵列。

上述仅给出三种用于承载天线阵列的装置,除此之外,也可以将天线阵列设置在其他装置中。本申请对该装置不做特殊限定。

本申请涉及的天线阵列中包括多个子阵(Subarray),每个子阵包括至少一个辐射单元,且多个子阵沿第一方向和第二方向排布,第一方向与第二方向相垂直。也就是多个子阵沿横、纵排布,以构成天线阵列。

上述的三种结构中,一个功分合路器通过至少两个功分线与至少两个 RFIC 芯片 3 连接。又因为一个 RFIC 芯片 3 包括至少两个射频收发通道,也就是一个 RFIC 芯片 3 具有至少两个射频收发端口,即具有至少两个射频收发通道的 RFIC 芯片 3 通过至少两个馈电线向至少两个子阵一对一的馈电,以使子阵收发信号。

也可以这样理解,功分合路器到子阵的传输路径不仅包括功分路径,还包括馈电路径,若一个功分合路器到多个子阵的传输路径不一样,时延就会不一样,进而会导致多个子阵的相位不一样,这样的话,会恶化天线阵列的宽带性能。

为了使不同子阵的时延差进一步缩小,进一步提高宽带性能,本申请实施例提供了一种天线阵列,该天线阵列可应用在上述的 AIP 中、AOC 中、或者 AOB 中,当然,也可以应用在其他包含天线阵列的装置中。

下述对天线阵列 1 进行详细解释。

图 7 所示的为一种天线阵列 1 的结构图,天线阵列 1 中的辐射单元 11 形成多个子阵(如图 7 中 1A 代表一个子阵),多个子阵形成天线阵列。

如图 7,子阵 1A 包括两个辐射单元,包括数量相等的辐射单元的子阵可以是同类子阵。其实,子阵中的辐射单元可以为其他数量,例如,图 13 所示的子阵 1B 包括三个辐射单元。包括任何数量辐射单元的子阵均在本申请的保护范围之内。

每个子阵具有馈电位置 M,例如,当该天线阵列包括至少三个子阵,那么,馈电位置 M 也包括至少三个。如图 8 所示,

需要说明的是:本申请对辐射单元的极化方式不做限定,如图 7 所示的为 $\pm 45^\circ$ 极化的双极化天线。也可以是单极化天线,极化方式也可以是水平或垂直极化,左旋或右旋圆极化。

本申请实施例提供的天线阵列中的馈电位置 M 的排布满足下述条件:

沿第一方向 X,多个子阵的馈电位置 M 位于至少一条直线上,沿第二方向 Y,多个子阵的馈电位置 M 也位于至少一条直线上。

沿第一方向 X,位于同一条直线上的多个馈电位置 M 所属的多个子阵处于同一行,沿第二方向 Y,位于同一条直线上的多个馈电位置 M 所属的多个子阵处于同一列。

这样的话,结合图 8,每一行子阵的多个馈电位置均沿直线布设,每一列子阵的多个馈电位置也沿直线布设。从而使得该天线阵列的馈电位置为规则排布。

另外,进一步的为了便于对馈电位置进行布局,每一行的相邻两个馈电位置之间的间距是相等的,由图 8 可以看出,第一行子阵的每相邻的两个馈电位置之间的间距均为 d,第三行子阵的每相邻的两个馈电位置之间的间距也均为 d。或者,每一列的每相邻两个馈电位置之间的间距相等。或者,任一列的每相邻两个馈电位置之间的间距相等,以及任一行的每相邻两个馈电位置之间的间距相等。

当该天线阵列的馈电位置呈规则排布时, 具有至少两个射频收发通道的 RFIC 芯片通过至少两个馈电线与至少两个馈电位置一对一连接时, 可使与同一个 RFIC 芯片连接的多个馈电线基本等长, 也就是馈电路径一样, 从而, 会缩小与同一个 RFIC 芯片连接的多个子阵的时延差, 以使多个子阵的相位基本一致。

5 例如, 如图 9 和图 10 所示, 第一 RFIC 芯片 31 为具有八个射频收发通道的 RFIC 芯片。第一 RFIC 芯片 31 与子阵 1A1、子阵 1A2、子阵 1A3、子阵 1A4、子阵 1A5、子阵 1A6、子阵 1A7 和子阵 1A8 相互连。即第一 RFIC 芯片 31 的第一射频收发通道通过馈电线 051 与子阵 1A1 互连, 第一 RFIC 芯片 31 的第二射频收发通道通过馈电线 052 与子阵 1A2 互连, 第一 RFIC 芯片 31 的第三射频收发通道通过馈电线 053 与子阵 1A3 互连, 第一 RFIC 芯片 31 的第四射频收发通道通过馈电线 054 与子阵 1A4 互连, 第一 RFIC 芯片 31 的第五射频收发通道通过馈电线 055 与子阵 1A5 互连, 第一 RFIC 芯片 31 的第六射频收发通道通过馈电线 056 与子阵 1A6 互连, 第一 RFIC 芯片 31 的第七射频收发通道通过馈电线 057 与子阵 1A7 互连, 第一 RFIC 芯片 31 的第八射频收发通道通过馈电线 058 与子阵 1A8 互连。

15 需要说明的是: 本申请仅采用具有八个射频收发通道的 RFIC 芯片作为其中的一个实施例。也可以是具有其他数量射频收发通道的 RFIC 芯片。

由图 10 可以看出, 馈电线 051、馈电线 052、馈电线 053、馈电线 054、馈电线 055、馈电线 056、馈电线 057 和馈电线 058 的长度基本相等。当馈电线的长度相等时, 可使子阵 1A1、子阵 1A2、子阵 1A3、子阵 1A4、子阵 1A5、子阵 1A6、子阵 1A7 和子阵 1A8 的相位一致, 以提高该天线阵列的宽带性能。

当该天线阵列的馈电位置呈规则排布时, 装置中的多个 RFIC 芯片的排布也规律, 一个功分合路器到至少两个 RFIC 芯片之间的至少两个功分线的长度也基本等长, 简化了功分线的设计难度。尤其是, 一个功分合路器到至少两个 RFIC 芯片的功分路径也基本一样, 这样的话, 会进一步缩小各子阵之间的时延差, 进一步提高宽带性能。

25 例如, 如图 11 所示, 第一 RFIC 芯片 31、第二 RFIC 芯片 32、第三 RFIC 芯片 33 和第四 RFIC 芯片 34 均为具有八个射频收发通道的 RFIC 芯片。功分合路器 5 通过功分线 9 分别与第一 RFIC 芯片 31、第二 RFIC 芯片 32、第三 RFIC 芯片 33 和第四 RFIC 芯片 34 相连接。

由图 11 可以看出, 第一 RFIC 芯片 31、第二 RFIC 芯片 32、第三 RFIC 芯片 33 和第四 RFIC 芯片 34 排布规律, 功分线 9 基本等长。

当该天线阵列的馈电位置呈规则排布时, 由图 9 可以看出, 第一 RFIC 芯片 31、第二 RFIC 芯片 32、第三 RFIC 芯片 33 和第四 RFIC 芯片 34 呈规律排布, 这些 RFIC 芯片的散热也会均布, 避免局部温度高、局部温度低的现象, 避免对整个无线通信设备的性能造成影响。

35 需要说明的是, 上述仅通过部分 RFIC 芯片, 部分子阵进行技术效果分析, 其余 RFIC 芯片和其余子阵所产生的技术效果是一样的。

基于上述, 一个功分合路器 5 到至少两个 RFIC 芯片 3 之间的至少两个功分线基本等长, 一个 RFIC 芯片 3 到至少两个子阵之间的馈电线基本等长, 这样的话, 从一个功分合路器 5 到至少两个子阵的传输路径基本等长, 进而, 不同子阵之间的时延差

相比现有技术会明显的减小，促使不同子阵的相位基本一致，最终提高天线阵列的宽带性能。

如图 12 所示，每个子阵具有相位中心（Phase Center）N，例如，当天线阵列中包括至少三个子阵，那么，相位中心 N 也包括至少三个。

5 需要说明的是：子阵所辐射出的电磁波在离开子阵一定的距离后，其等相位面会近似为一个球面，该球面的球心即为该子阵的相位中心，或者认为该球面球心周围的一个区域为该子阵的相位中心。在实际中，对于平面子阵，通常可以认为其相位中心与其几何中心重合，该几何中心是子阵辐射出的电磁波的接近球面的相位面的几何中心。

10 本申请实施例提供的天线阵列中的相位中心 M 的排布满足下述条件：

第一种：至少一行的多个相位中心不位于同一条直线上。

如图 12 所示的天线阵列中，第一行的多个相位中心呈直线排布，但是，第二的多个相位中心呈折弯线排布，即第二行的相位中心具有错位现象。

第二种：至少一列的多个相位中心不位于同一条直线上。

15 第三种：至少一行的多个相位中心不位于同一条直线上，以及，至少一列的多个相位中心不位于同一条直线上。

当天线阵列的相位中心满足上述任一种时，均认为该天线阵列的相位中心为不规则排布。

20 相位中心不规则排布可以造成天线阵列在扫描时栅瓣（Grating lobes）的能量不再叠加在少量角度上，而是分散到多个角度，因此该天线阵列的栅瓣抑制能力能大幅提升。

图 13 给出了另一种天线阵列的结构图，该天线阵列包括具有两个辐射单元 11 的子阵 1A，还包括具有三个辐射单元 11 的子阵 1B。

25 结合图 14，该天线阵列中的馈电位置 M 也满足：每一行子阵的多个子阵的馈电位置均沿直线布设，每一列子阵的多个子阵的馈电位置也沿直线布设。从而，该天线阵列的馈电位置为规则排布。例如，第一行的多个子阵的馈电位置，以及与第一行相邻的第二行的多个子阵的馈电位置均呈直线排布。第一列的多个子阵的馈电位置，以及与第一列相邻的第二列的多个子阵的馈电位置也呈直线排布。

图 15 和图 16 所示，第五 RFIC 芯片 35 为具有六个射频收发通道的 RFIC 芯片。
30 第五 RFIC 芯片 35 与子阵 1B1、子阵 1B2、子阵 1B3、子阵 1B4、子阵 1B5、和子阵 1B6 相互连。即第五 RFIC 芯片 35 的第一射频收发通道通过馈电线 059 与子阵 1B1 互连，第五 RFIC 芯片 35 的第二射频收发通道通过馈电线 0510 与子阵 1B2 互连，第五 RFIC 芯片 35 的第三射频收发通道通过馈电线 0511 与子阵 1B3 互连，第五 RFIC 芯片 35 的第四射频收发通道通过馈电线 0512 与子阵 1B4 互连，第五 RFIC 芯片 35 的第五
35 射频收发通道通过馈电线 0513 与子阵 1B5 互连，第五 RFIC 芯片 35 的第六射频收发通道通过馈电线 0514 与子阵 1B6 互连。

由图 16 可以看出，馈电线 059 至馈电线 0514 的长度基本相等。当馈电线的长度相等时，可使子阵 1B1、子阵 1B2、子阵 1B3、子阵 1B4、子阵 1B5、和子阵 1B6 的相位基本一致，以提高该天线阵列的宽带性能。

图 17 中体现了四个 RFIC 芯片与功分合路器 5 的连接关系,且四个 RFIC 芯片分别为第五 RFIC 芯片 35、第六 RFIC 芯片 36、第七 RFIC 芯片 37 和第八 RFIC 芯片 38。

由图 17 可以看出,第五 RFIC 芯片 35、第六 RFIC 芯片 36、第七 RFIC 芯片 37 和第八 RFIC 芯片 38 排布规律,功分合路器至该四个 RFIC 芯片的功分线基本等长。

5 如图 18 所示,该天线阵列中的相位中心 N 呈不规则排布,比如,第一行的多个子阵的相位中心形成折弯线,第二行的多个子阵的相位中心也形成折弯线。这样的话,相位中心不规则可能会导致天线阵列在扫描时栅瓣的能量不再叠加在少量角度上,而是分散到多个角度,因此该天线阵列的栅瓣抑制能力能大幅提升。

10 图 19 是本申请提供的一种天线阵列与现有天线阵列的栅瓣抑制曲线对比图,其中,曲线(1)是本申请实施例提供的天线阵列沿 Y 轴方向(垂直维)扫描时的栅瓣抑制曲线,曲线(2)是现有技术中的天线阵列沿 Y 轴方向(垂直维)扫描时的栅瓣抑制曲线。由曲线(1)和曲线(2)明显的看出,在垂直扫描角为 -20° 至 20° 区间内,本申请的栅瓣抑制明显的高于现有的栅瓣抑制。

15 图 20 是本申请提供的一种天线阵列与现有天线阵列的垂直扫描包络增益曲线对比图,在该图中,曲线(1)是本申请提供的天线阵列沿 Y 轴方向(垂直维)波束扫描方向图包络增益曲线,曲线(2)是现有的天线阵列沿 Y 轴方向(垂直维)波束扫描方向图包络增益曲线,可以看出本申请的天线阵列在 -30° ~ -10° 区间以及 10° ~ 30° 区间增益均优于现有天线阵列,在 -10° 至 10° 区间内增益基本相当。另外,以 10dB 栅瓣抑制定义波束扫描能力,参考图 21,现有天线阵列扫描能力为 -10° 至 10° 区间,本申请扫描能力大于 $\pm 20^{\circ}$,实际能力可达到 $\pm 30^{\circ}$ 左右。图 20 是以在 Y 方向波束扫描为例,X 方向上也有类似的技术效果。

20 在可选择的实施方式中,各个辐射单元不限于等间距的分布在各个栅格内,即如图 21 所示,辐射单元 11a、辐射单元 11b 和辐射单元 11c 沿同一列依次排布,相邻的辐射单元 11a 和辐射单元 11b 之间的间距为 d_1 ,相邻的辐射单元 11b 和辐射单元 11c 之间的间距为 d_2 , d_1 与 d_2 可以相等,也可以是 d_1 与 d_2 的差值的绝对值小于或等于该天线阵列的频段所对应的波长的 $1/4$ 。

25 在可选择的实施方式中,沿第一方向的多个子阵的馈电位置可以允许一定程度的错位,不限于完全处于同一直线上,同样的,沿第二方向的多个子阵的馈电位置可以允许一定程度的错位,不限于完全处于同一直线上。如图 21 所示,沿第一方向布设的馈电位置 M1、馈电位置 M2 和馈电位置 M3,馈电位置 M2 和馈电位置 M3 错位,且错位距离 d_3 小于或等于该天线阵列的频段所对应的波长的 $1/4$ 。在两个相邻的馈电位置出现错位,且错位距离小于或等于该天线阵列的频段所对应的波长的 $1/4$ 的情况下,对馈电线和均分线的等长设计影响是很小的,依然可以提升天线阵列的宽带性能。

30 上述介绍了在天线阵列中,馈电位置是呈不规则排布,也就是说,在同类子阵中,馈电位置会出现多种情况。下面通过实施例说明为了实现不规则排布,馈电位置的具体设置方式。

图 22 给出的是仅包括一个辐射单元 11 的子阵,在该子阵中,馈电位置 M 处于该辐射单元 11 的旁侧。

图 23a、图 23b 和图 23c 给出了包括两个辐射单元的子阵中的馈电位置的布设方式,

令这两个辐射单元分别为第一辐射单元 111 和第二辐射单元 112。

第一种布设方式：参照图 23a，馈电位置 M 位于第一辐射单元 111 和第二辐射单元 112 之间。

5 第二种布设位置：参照图 23b，馈电位置 M 在第一辐射单元 111 的远离第二辐射单元 112 的一侧。

第三种布设位置：参照图 23c，馈电位置 M 在第二辐射单元 112 的远离第一辐射单元 111 的一侧。

另外，馈电位置 M 也可以在第一辐射单元 111 的下方或者在第二辐射单元 112 的下方。

10 当然，当天线阵列包括具有两个辐射单元的子阵时，馈电位置包括上述布设位置，但不限于这些布设位置。

图 24a、图 24b、图 24c 和图 24d 给出了包括三个辐射单元的子阵中的馈电位置的布设方式，令这三个辐射单元分别为第一辐射单元 111 和第二辐射单元 112，以及第三辐射单元。

15 第一种布设位置：参照图 24a，馈电位置 M 在第一辐射单元 111 的远离第二辐射单元 112 的一侧。

第二种布设位置：参照图 24b，馈电位置 M 在第一辐射单元 111 和第二辐射单元 112 之间。

20 第三种布设位置：参照图 24c，馈电位置 M 在第二辐射单元 112 和第三辐射单元 113 之间。

第四种布设位置：参照图 24d，馈电位置 M 在第三辐射单元 113 的远离第二辐射单元 112 的一侧。

除此之外，馈电位置 M 也可以在第一辐射单元 111 的下方、第二辐射单元 112 的下方或者第三辐射单元 113 的下方。

25 同样的，当天线阵列包括具有三个辐射单元的子阵时，馈电位置包括上述布设位置，但不限于这些布设位置。

当天线阵列包括更多个辐射单元的子阵，馈电位置 M 的具体布设方式和上面布设示例是类似的。

30 也可以这样理解，当天线阵列包括具有至少两个辐射单元的子阵，馈电位置位于相邻两个辐射单元之间，或者馈电位置位于处于端部的辐射单元的远离其余辐射单元的一侧，或者馈电位置位于该子阵中所有辐射单元的下方。

为了实现相位中心呈不规则排布，馈电位置呈规则排布，在部分行中，部分列中，会存在相邻两个子阵之间具有空置的栅格，如图 14 所示，在空置的栅格内设置哑元 2 (Dummy Element)，哑元指的是没有馈电的辐射单元。

35 设置哑元可使天线阵列的各个子阵的周边环境一致，以使每一个子阵的方向图基本保持一致，最终会提高天线阵列的通信容量。

对于本申请提供的天线阵列所形成的二维形状，可以是图 7 和图 13 提供的矩形阵列，也可以是图 25 所示的接近圆形的形状，也可以是多边形形状（如图 26 所示的六边形）。

在本说明书的描述中，具体特征、结构、材料或者特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

- 在本说明书的描述中，所述“多个”是指两个或者两个以上，例如，“多个子阵”可以包括三个或三个以上的子阵，“多个射频收发通道”可以包括两个或两个以上的
- 5 射频收发通道，“多个 RFIC 芯片”可以包括两个或两个以上的 RFIC 芯片，等等。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种天线阵列，其特征在于，包括：

5 多个子阵，每个所述子阵上设置有馈电位置和至少一个辐射单元，所述多个子阵沿第一方向和第二方向排布，所述第一方向与所述第二方向相垂直，沿所述第一方向，所述多个子阵的所述馈电位置位于同一条直线上，沿所述第二方向，所述多个子阵的所述馈电位置位于同一条直线上；沿所述第一方向，位于同一直线上的馈电位置所属的子阵处于同一行，沿所述第二方向，位于同一直线上的馈电位置所属的子阵处于同一列；

10 每个所述子阵具有相位中心，所述天线阵列中至少有一行子阵中的子阵的相位中心不在同一条直线上，和/或，所述天线阵列中至少有一列子阵中的子阵的相位中心不在同一条直线上。

2、根据权利要求1所述的天线阵列，其特征在于，所述天线阵列中包括N个子阵，所述N个子阵中的每个子阵均设置数量相等的辐射单元，所述N个子阵中的至少一个子阵的馈电位置与所述N个子阵中的其他子阵的馈电位置不同，其中N为大于或等于
15 2的整数。

3、根据权利要求1或2所述的天线阵列，其特征在于，所述天线阵列包括至少两种同类子阵，一种所述同类子阵中的子阵设置数量相等的辐射单元。

4、根据权利要求1-3中任一项所述的天线阵列，其特征在于，

20 所述天线阵列包括至少一个第一子阵，所述第一子阵上设置至少两个辐射单元，所述至少两个辐射单元呈直线排布；

所述第一子阵的馈电位置位于两个辐射单元之间；或者，

所述第一子阵的馈电位置位于处于第一子阵端部的辐射单元的远离其余辐射单元的一侧。

25 5、根据权利要求1-4中任一项所述的天线阵列，其特征在于，所述天线阵列包括至少一个第二子阵，所述第二子阵上设置一个辐射单元，所述第二子阵的馈电位置位于所述辐射单元的旁侧。

6、根据权利要求1-5中任一项所述的天线阵列，其特征在于，沿所述第一方向，每两个相邻子阵的馈电位置之间的间距相等，和/或，沿所述第二方向，每两个相邻子阵的馈电位置之间的间距相等。

30 7、根据权利要求1-6中任一项所述的天线阵列，其特征在于，所述天线阵列中包含哑元，所述哑元为不馈电的辐射单元。

8、一种装置，其特征在于，包括：

如权利要求1~7中任一项所述的天线阵列，

馈电线，和

35 电路承载板，其中，所述馈电线用于为所述天线阵列中的子阵馈电，所述天线阵列和所述馈电线设置在所述电路承载板上。

9、如权利要求8所述的装置，其特征在于，还包括：

至少一个射频集成电路芯片，所述射频集成电路芯片设置在所述电路承载板上，所述射频集成电路芯片包括至少两个射频收发通道，所述至少两个射频收发通道用于

分别通过所述馈电线向所述天线阵列中的至少两个所述子阵馈电，所述射频收发通道与所述子阵一对一连接。

10、根据权利要求 9 所述的装置，其特征在于，

- 5 所述装置包括功分合路器和至少两个所述射频集成电路芯片；所述功分合路器通过至少两个功分线分别与所述至少两个射频集成电路芯片连接，且所述至少两个功分线的长度相等，所述功分线与所述射频集成电路芯片一对一连接。

11、根据权利要求 10 所述的装置，其特征在于，所述电路承载板为封装基板；

所述装置还包括：

- 10 印制电路板，所述封装基板设置在所述印制电路板上，并与所述印制电路板连接，所述功分合路器设置在所述印制电路板上。

12、根据权利要求 10 所述的装置，其特征在于，所述电路承载板为印制电路板；所述功分合路器设置在所述印制电路板上。

13、一种装置，其特征在于，包括：

如权利要求 1~7 中任一项所述的天线阵列；

- 15 馈电线；和

至少一个射频集成电路芯片，所述天线阵列和所述馈电线设置在所述射频集成电路芯片的封装层上，所述射频集成电路芯片包括至少两个射频收发通道，所述至少两个射频收发通道用于分别通过所述馈电线向天线阵列中的至少两个所述子阵馈电，所述射频收发通道与所述子阵一对一连接。

- 20 14、根据权利要求 13 所述的装置，其特征在于，所述装置包括功分合路器和至少两个射频集成电路芯片；

所述功分合路器通过至少两个功分线分别与所述至少两个射频集成电路芯片连接，且所述至少两个功分线的长度相等，所述功分线与所述射频集成电路芯片一对一连接。

15、根据权利要求 13 或 14 所述的装置，其特征在于，所述装置还包括：

- 25 印制电路板，所述射频集成电路芯片和所述功分合路器均设置在所述印制电路板上。

16、一种无线通信设备，其特征在于，包括

如权利要求 1~7 中任一项所述的天线阵列，或者如权利要求 8-15 任一项所述的装置。