

电压调节电路和方法、运算系统、集成模块和电路

技术领域

本申请涉及集成电路技术领域，尤其涉及一种电压调节电路和方法、运算系统、集成模块和电路。

背景技术

随着半导体工艺朝着深亚微米发展，半导体器件的逻辑运算速度也随之逐渐提升。根据工艺角（process corner）类型的不同，可以将半导体器件分为快快角（fast fast corner，FF corner）器件、慢慢角（slow slow corner，SS corner）器件和典型典型角（typical typical corner，TT corner）器件。其中，TT corner 器件为标准的半导体器件。相较于 TT corner 器件，FF corner 器件的时延较小，逻辑运算速度较快，而 SS corner 器件的时延较大，逻辑运算速度较慢。

在多个半导体器件的基础上，可以进一步形成逻辑电路。其中，逻辑电路的工艺角类型也可以分为 TT corner、FF corner 和 SS corner，可以认为，逻辑电路中的多个半导体器件的工艺角类型与该逻辑电路的工艺角类型相同。

一般来说，在标准温度且逻辑电路的工作时序固定的情况下，TT corner 的逻辑电路可以具有足够的时序裕度，但 SS corner 的逻辑电路和 FF corner 的逻辑电路却可能出现时序裕度不足的问题。

发明内容

本申请提供一种电压调节电路和方法、运算系统、集成模块和电路，用于优化 SS corner 的逻辑电路和 FF corner 的逻辑电路的时序裕度。

第一方面，本申请实施例提供一种电压调节电路，其主要包括振荡器和调控电路。其中，振荡器连接电源电路，该电源电路的输出电压用于为逻辑电路供电，该振荡器的工艺角类型与逻辑电路的工艺角类型相同。振荡器可以根据电源电路的输出电压生成第一时钟信号。调控电路可以根据上述第一时钟信号控制电源电路调节输出电压。

本申请实施例中，振荡器可以根据电源电路的输出电压生成第一时钟信号，且，振荡器具有与逻辑电路相同的工艺角类型。可以理解，振荡器的工艺角类型也会对第一时钟信号产生影响，使得不同工艺角类型的振荡器所输出的第一时钟信号也会存在些许不同。例如，在电源电路的输出电压相同的情况下，对于 TT corner 的振荡器，其可以输出标准频率的第一时钟信号。对于 SS corner 的振荡器，其输出的第一时钟信号的频率较低。对于 FF corner 的振荡器，其输出的第一时钟信号的频率较高。

因此，调控电路可以根据第一时钟信号区分出不同工艺角类型的逻辑电路，进而可以控制电源电路适应性调节输出电压。例如，当第一时钟信号的频率较低时，意味着逻辑电路为 SS corner，因此调控电路可以控制电源电路增大输出电压，从而加快逻辑电路的逻辑运算速度，优化逻辑电路的时序裕度。又例如，当第一时钟信号的频率较高时，意味着逻辑电路为 FF corner，调控电路可以控制电源电路降低输出电压，从而降低逻辑电路的逻辑运算速度，优化逻辑电路的时序裕度。

此外, 目前设计逻辑电路的工作时序时, 为了增大 SS corner 的逻辑电路和 FF corner 的逻辑电路的时序裕度, 往往需要降低逻辑电路的工作频率, 以延长 setup 时间或 hold 时间, 也就是说, 目前逻辑电路的工作频率往往达不到其最佳的工作频率。而采用本申请实施例所提供的电压调节电路, 可以使逻辑电路表现出 TT corner 的时序特性, 无需降低逻辑电路的工作频率, 从而有利于提高逻辑电路的逻辑运算速度。

而且, 目前设计逻辑电路的工作时序时, 电源电路的输出电压不变, 不同工艺角类型、不同工作频率的逻辑电路均工作在同一电压下, 因此需要电源电路保留一定的电压裕度。特别是在 FF corner 的情况下, 电源电路的输出电压会存在很大程度的浪费。而在本申请实施例中, 通过电压调节电路为逻辑电路匹配电源电路的输出电压, 无需保留电压裕度, 因此还有利于进一步降低逻辑电路的功耗。

本申请实施例并不限制振荡器的具体结构。示例性的, 振荡器可以包括第一路径, 该第一路径的时延与逻辑电路的第二路径的时延正相关。在此情况下, 振荡器可以根据电源电路的输出电压, 通过上述第一路径生成第一时钟信号。

在一种可能的实现方式中, 第二路径可以是逻辑电路中的任一逻辑路径。

在另一种可能的实现方式中, 第二路径可以是逻辑电路中时序裕度最小的逻辑路径, 也可以称为关键时序路径, 或时序关键路径。在此情况下, 振荡器中的第一路径的时延与第二路径的时延可以为线性正相关, 第一路径可以追随第二路径的时延变化程度。采用该实现方式, 可以使 SS corner 的逻辑电路和 FF corner 的逻辑电路中, 第二路径(关键时序路径)能够表现出 TT corner 的时序特性。由于第二路径的时序裕度决定了逻辑电路整体上能否正常工作, 因此第一路径与第二路径线性正相关, 有利于在最大程度上优化逻辑电路的时序裕度, 提高逻辑电路的稳定性。

示例性的, 本申请实施例所提供的振荡器中, 第一路径可以包括串联的多个第一门电路, 该多个串联的第一门电路可以使第一路径的时延与第二路径的时延线性正相关。具体来说, 每个第一门电路会产生一定的时延, 串联的多个第一门电路的时延累积, 便可以使第一路径的时延与第二路径的时延线性正相关。

更进一步的, 第一路径中的每一个第一门电路都对应第二路径中的至少一个第二门电路, 对应的第一门电路和至少一个第二门电路之间的功能类型相同, 且阈值电压类型相同。其中, 门电路的功能类型是根据标准单元划分的, 一般来说, 可以分为与门、或门、非门等等。在本申请实施例中, 功能类型相同的第一门电路和第二门电路具有相同的阈值电压类型。具体来说, 门电路的阈值电压类型至少可以分为以下几种: 超高阈值电压、标准阈值电压、低阈值电压或超低阈值电压。采用该实现方式, 可以使第一路径的时延与第二路径的时延保持更加精确的线性正相关关系, 有利于进一步提高对逻辑电路的时序裕度的优化效果。

为了进一步扩大振荡器的适用范围, 在本申请实施例中, 振荡器还可以根据接收到的配置信息, 将振荡器中的多个门电路中的部分或全部配置为第一路径中的上述多个第一门电路。振荡器根据配置信息, 灵活配置第一路径中的多个第一门电路, 进而可以灵活调节第一路径的时延, 因此, 即使不同场景下逻辑电路中第二路径的结构出现变化, 振荡器可以保持第一路径与第二路径之间的匹配(线性正相关), 使电压调节电路能够适配多种场景下的逻辑电路。

示例性的, 本申请实施例中振荡器至少存在以下两种可能的结构:

结构一：振荡器中的多个门电路构成第一串联结构，振荡器还包括第一选择器和补充反相器；其中，第一串联结构可以包括多个时延电路，每个时延电路包括一个或多个门电路，每个时延电路的输入信号和输出信号相位相同，且每个时延电路的输出端皆与第一选择器的数据输入端连接，第一串联结构的输入端与补充反相器的输出端连接，第一选择器的输出端与补充反相器的输入端连接。第一选择器可以根据接收到的第一配置信息输出第一中间信号，其中，第一配置信息可以指示上述多个时延电路中的目标时延电路，该第一中间信号可以是该目标时延电路的输出信号，其中，从第一串联结构的输入端至目标时延电路的输出端之间的门电路为上述多个第一门电路；补充反相器，可以接收第一中间信号，根据第一中间信号输出第一时钟信号。

可以理解，第一路径所构成的振荡回路中需要包括奇数个门电路才能实现振荡器功能。因此，本申请实施例中，每个时延电路的输入信号和输出信号相位相同，因此从相位变化的角度可以将每个时延电路皆等效为偶数个门电路，在此情况下，无论第一配置信息指示任一时延电路为目标时延电路，第一路径中第一门电路的数量皆等效为偶数个反相器。又由于补充反相器的存在，因此可以使第一路径所构成的振荡回路中始终保持奇数个反相器，以确保振荡器功能的实现。

结构二：所述多个门电路中的一部分门电路构成第二串联结构，所述多个门电路中的另一部分门电路构成第三串联结构，振荡器还可以包括第二选择器、第三选择器和补充反相器；其中，第二串联结构可以包括多个低负载时延电路，每个低负载时延电路包括一个或多个门电路，每个低负载时延电路的输入信号和输出信号相位相同，且每个低负载时延电路的输出端皆与第二选择器的数据输入端连接，第二串联结构的输入端与补充反相器的输出端连接；第三串联结构可以包括多个高负载时延电路，每个高负载时延电路包括一个或多个门电路，每个高负载时延电路的输入信号和输出信号相位相同，且每个高负载时延电路的输出端皆与第三选择器的数据输入端连接，第三串联结构的输入端与第二选择器连接。

第二选择器可以根据接收到的第二配置信息输出第二中间信号，该第二配置信息可以指示上述多个低负载时延电路中的目标低负载时延电路，该第二中间信号可以是上述目标低负载时延电路的输出信号，其中，从第二串联结构的输入端至目标低负载时延电路的输出端之间的门电路为上述多个第一时延电路中的一部分第一时延电路；第三选择器可以根据接收到的第三配置信息输出第三中间信号，该第三配置信息可以指示上述多个高负载时延电路中的目标高负载时延电路，该第三中间信号可以是上述目标高负载时延电路的输出信号，其中，从第三串联结构的输入端至目标高负载时延电路的输出端之间的门电路可以是上述多个第一时延电路中的另一部分第一时延电路；补充反相器可以接收第三中间信号，根据第三中间信号输出第一时钟信号。

示例性的，上述高负载时延电路还可以包括至少一个负载走线。该负载走线，可以理解为串联有负载的连线，也可以理解为走线长度达到一定阈值的连线。例如，逻辑电路中，出于线路布局等方面的考虑，部分逻辑路径中的走线长度过长，从而带来较大的负载，增加了逻辑路径的时延。有鉴于此，本申请实施例中可以根据逻辑电路中第二路径的负载情况灵活配置低负载时延电路的数量和高负载时延电路的数量，以保持第一路径与第二路径之间的时延匹配。

本申请实施例中，调控电路可以包括分频器、频率比较器和控制器，且分频器分别与

振荡器和频率比较器连接,频率比较器与控制器连接,控制器可以与电源电路连接。其中,分频器可以按照分频倍数对第一时钟信号进行分频,得到第二时钟信号;频率比较器可以接收参考时钟信号,根据上述第二时钟信号和该参考时钟信号输出频率差异信号,该频率差异信号可以指示第二时钟信号与参考时钟信号之间的相对频率大小关系;控制器可以根据上述频率差异信号,控制电源电路调节输出电压。

示例性的,对于 TT corner 类型的振荡器,其输出的第一时钟信号的频率,除以参考时钟信号的频率后的商值,为上述分频倍数。需要指出的是,温度也可能会对振荡器的时延产生些许影响,因此本申请实施例特指在标准温度下,第一时钟信号的频率,除以参考时钟信号的频率后的商值,为上述分频倍数。

控制器在根据上述频率差异信号,控制电源电路调节输出电压时,具体可以:在频率差异信号指示第二时钟信号的频率大于参考时钟信号的频率时,控制电源电路降低输出电压;或,在频率差异信号指示第二时钟信号的频率小于参考时钟信号的频率时,控制电源电路增大输出电压。

为了进一步提高控制器的准确性,本申请实施例中,调控电路还可以包括低通滤波器,该低通滤波器的输入端与频率比较器连接,低通滤波器的输出端与控制器连接;低通滤波器可以对所述频率差异信号进行滤波,并将滤波后的频率差异信号输出给控制器。经低通滤波器滤波后,可以提高频率差异信号的信号质量,从而有利于提高控制器的准确性。

第二方面,本申请实施例提供一种电压调节电路,该电压调节电路不仅可以调节电源电路的输出电压,还具有较大的适用范围,第二方面中相应方案的技术效果可以参照第一方面中对应方案可以得到的技术效果,重复之处不予详述。

示例性的,该电压调节电路主要包括振荡器和调控电路;其中,所述振荡器包括第一路径,振荡器可以根据接收到的配置信息,将第一路径中的多个门电路配置为多个第一门电路,该多个第一门电路用于使所述第一路径的时延与逻辑电路中第二路径的时延线性正相关;

振荡器,还可以连接电源电路,根据电源电路的输出电压通过第一路径生成第一时钟信号,该电源电路的输出电压用于为逻辑电路供电,该振荡器的工艺角类型与逻辑电路的工艺角类型相同;

调控电路,可以根据第一时钟信号控制电源电路调节输出电压。

在一种可能的实现方式中,第二路径可以是逻辑电路中的任一逻辑路径。

在另一种可能的实现方式中,第二路径可以是逻辑电路中时序裕度最小的逻辑路径,也可以称为关键时序路径,或时序关键路径。

示例性的,针对第一路径中的任一第一门电路,在第二路径中存在与该第一门电路功能类型相同的第二门电路,且该第一门电路具有与该第二门电路相同的阈值电压类型。示例性的,所述第一门电路的阈值电压类型为以下任一种阈值电压类型:超高阈值电压 uhvt、高阈值电压 hvt、标准阈值电压 svt、低阈值电压 lvt 或超低阈值电压 ulvt。

本申请实施例中,振荡器至少存在以下两种可能的结构:

结构一:振荡器中的多个门电路构成第一串联结构。振荡器还包括第一选择器和补充反相器;其中,第一串联结构可以包括的多个时延电路,每个时延电路包括一个或多个门电路,每个时延电路的输入信号和输出信号相位相同,且每个时延电路的输出端皆与第一选择器的数据输入端连接,第一串联结构的输入端与补充反相器的输出端连接,第一选择器的输出端与补充反相器的输入端连接。第一选择器可以根据接收到的第一配置信息输出

第一中间信号, 其中, 第一配置信息可以指示多个时延电路中的目标时延电路, 该第一中间信号可以是上述目标时延电路的输出信号, 其中, 从第一串联结构的输入端至目标时延电路的输出端之间的门电路为上述多个第一门电路; 补充反相器, 可以接收第一中间信号, 根据第一中间信号输出第一时钟信号。

结构二: 振荡器的多个门电路中的一部分门电路构成第二串联结构, 多个门电路中的另一部分门电路构成第三串联结构, 振荡器还可以包括第二选择器、第三选择器和补充反相器; 其中, 第二串联结构可以包括多个低负载时延电路, 每个低负载时延包括一个或多个门电路, 每个低负载的输入信号和输出信号相位相同, 且每个低负载时延电路的输出端皆与第二选择器的数据输入端连接, 第二串联结构的输入端与补充反相器的输出端连接; 第三串联结构可以包括多个高负载时延电路, 每个高负载时延包括一个或多个门电路, 每个高负载的输入信号和输出信号相位相同, 且每个高负载时延电路的输出端皆与第三选择器的数据输入端连接, 第三串联结构的输入端与第二选择器连接。第二选择器可以根据接收到的第二配置信息输出第二中间信号, 其中, 第二配置信息可以指示上述多个低负载时延电路中的目标低负载时延电路, 该第二中间信号可以是上述目标低负载时延电路的输出信号, 其中, 从第二串联结构的输入端至目标低负载时延电路的输出端之间的门电路为上述多个第一时延电路中的一部分第一时延电路; 第三选择器可以根据接收到的第三配置信息输出第三中间信号, 其中, 第三配置信息可以指示上述多个高负载时延电路中的目标高负载时延电路, 该第三中间信号可以是上述目标高负载时延电路的输出信号, 其中, 从第三串联结构的输入端至目标高负载时延电路的输出端之间的门电路可以是上述多个第一时延电路中的另一部分第一时延电路; 补充反相器可以接收第三中间信号, 根据第三中间信号输出第一时钟信号。

示例性的, 上述高负载时延电路还可以包括至少一个负载走线。

本申请实施例中, 调控电路可以包括分频器、频率比较器和控制器, 且分频器分别与振荡器和频率比较器连接, 频率比较器与控制器连接, 控制器可以与电源电路连接。其中, 分频器可以按照分频倍数对第一时钟信号进行分频, 得到第二时钟信号; 频率比较器可以接收参考时钟信号, 根据上述第二时钟信号和该参考时钟信号输出频率差异信号, 该频率差异信号可以指示第二时钟信号与参考时钟信号之间的相对频率大小关系; 控制器可以根据上述频率差异信号控制电源电路调节输出电压。

示例性的, 对于 TT corner 类型的振荡器, 其输出的第一时钟信号的频率, 除以参考时钟信号的频率后的商值, 为上述分频倍数。

控制器在根据上述频率差异信号, 控制电源电路调节输出电压时, 具体可以: 在频率差异信号指示第二时钟信号的频率大于参考时钟信号的频率时, 控制电源电路降低输出电压; 或, 在频率差异信号指示第二时钟信号的频率小于参考时钟信号的频率时, 控制电源电路增大输出电压。

为了进一步提高控制器的准确性, 本申请实施例中, 调控电路还可以包括低通滤波器, 该低通滤波器的输入端与频率比较器连接, 低通滤波器的输出端与控制器连接; 低通滤波器可以对所述频率差异信号进行滤波, 并将滤波后的频率差异信号输出给控制器。经低通滤波器滤波后, 可以提高频率差异信号的信号质量, 从而有利于提高控制器的准确性。

第三方面, 本申请实施例提供一种运算系统, 该运算系统可以包括电源电路、逻辑电路和如上述第一方面或第二方面中任一项所提供的电压调节电路。第三方面中相应方案的

技术效果可以参照第一方面中对应方案可以得到的技术效果，重复之处不予详述。

一般来说，运算系统还可以包括锁相环 PLL，该 PLL 与逻辑电路连接；PLL 可以接收参考时钟信号，并根据参考时钟信号向逻辑电路提供第三时钟信号。第三时钟信号的频率与逻辑电路的工作频率匹配，可以驱动逻辑电路工作。

在一种可能的实现方式中，电源电路可以包括第一电源和第二电源；其中，第一电源可以向电压调节电路提供第一输出电压；第二电源可以向逻辑电路提供第二输出电压；调控电路分别与第一电源和第二电源连接。在此情况下，调控电路可以根据第一时钟信号，分别控制第一电源调节第一输出电压，控制第二电源调节第二输出电压。其中，第一输出电压和第二输出电压保持一致。

第四方面，本申请实施例提供一种集成模块，该集成模块可以包括逻辑电路和如上述第一方面或第二方面中任一项所提供的电压调节电路。第四方面中相应方案的技术效果可以参照第一方面中对应方案可以得到的技术效果，重复之处不予详述。

在一种可能的实现方式中，集成模块还可以包括锁相环 PLL，该 PLL 与逻辑电路连接；PLL 可以接收参考时钟信号，并根据参考时钟信号向逻辑电路提供第三时钟信号。

第五方面，本申请实施例提供一种集成电路，该集成电路包括至少一个如上述第三方面中任一项所提供的运算系统，和系统总线，该系统总线分别与上述至少一个运算系统连接；在集成电路中，系统总线可以分别向至少一个运算系统提供对应的至少一个参考时钟信号。第五方面中相应方案的技术效果可以参照第一方面中对应方案可以得到的技术效果，重复之处不予详述。

第六方面，本申请实施例提供一种电压调节方法，该方法可以应用与上述电压调节电路。第六方面中相应方案的技术效果可以参照第一方面中对应方案可以得到的技术效果，重复之处不予详述。

示例性的，该方法主要包括：电压调节电路可以根据电源电路的输出电压，通过振荡器生成第一时钟信号，该振荡器的工艺角类型与逻辑电路的工艺角类型相同，该电源电路的输出电压可以为逻辑电路供电；电压调节电路进而根据第一时钟信号控制电源电路调节输出电压。

示例性的，电压调节电路在根据第一时钟信号，控制电源电路调节输出电压时，可以按照分频倍数对第一时钟信号进行分频，得到第二时钟信号；根据第二时钟信号与参考时钟信号之间的相对频率大小关系，控制电源电路调节输出电压。

其中，TT corner 类型的振荡器输出的第一时钟信号的频率，除以参考时钟信号的频率后的商值，为分频倍数。

电压调节电路在根据第二时钟信号与参考时钟信号之间的相对频率大小，控制电源电路调节输出电压时，可以在第二时钟信号的频率大于参考时钟信号的频率时，控制电源电路降低输出电压；或，在第二时钟信号的频率小于参考时钟信号的频率时，控制电源电路增大输出电压。

本申请的这些方面或其它方面在以下实施例的描述中会更加简明易懂。

附图说明

图 1 为一种逻辑电路结构示意图；

图 2 为不同工艺角类型的逻辑电路中数据信号示意图；

- 图 3 为本申请实施例提供的一种运算系统结构示意图；
图 4 为本申请实施例提供的一种第一路径结构示意图之一；
图 5 为本申请实施例提供的一种第一路径结构示意图之二；
图 6 为本申请实施例提供的一种具体的电压调节电路的结构示意图；
图 7 为本申请实施例提供的一种集成电路结构示意图；
图 8 为本申请实施例提供的一种电压调节方法流程示意图；
图 9 为本申请实施例提供的一种具体的电压调节方法流程示意图。

具体实施方式

随着半导体工艺朝着深亚微米发展，半导体器件的逻辑运算速度也随之提升，半导体工艺对逻辑运算速度的影响也随之越发明显。目前，半导体工艺对逻辑运算速度的影响多以工艺角（corner）表征，根据工艺角类型的不同，半导体器件可以分为 TT corner 器件、SS corner 器件和 FF corner 器件。其中，在标准温度下，TT corner 器件具有标准的时延和标准的逻辑运算速度，SS corner 器件具有较大的时延和较慢的逻辑运算速度，FF corner 器件具有较小的时延和较快的逻辑运算速度。标准温度指的是半导体器件的常规工作温度，一般为 30℃。

相应的，对于包括一个或多个半导体器件的逻辑电路、模块、逻辑路径等，其工艺角也可以整体上分为 TT corner、SS corner 和 FF corner 三种类型。以逻辑电路为例，逻辑电路的工艺角类型是逻辑电路整体上表现出的特征，由于逻辑电路中的半导体器件是经过相同的工艺条件得到的，因此可以认为，逻辑电路中的一个或多个半导体器件皆具有与该逻辑电路一致的工艺角类型。

具体来说，若逻辑电路的工艺角为 TT corner，则可以认为该逻辑电路中的半导体器件皆为 TT corner 器件；若逻辑电路的工艺角为 SS corner，则可以认为该逻辑电路中的半导体器件皆为 SS corner 器件；若逻辑电路的工艺角为 FF corner，则可以认为该逻辑电路中的半导体器件皆为 FF corner 器件。

目前，在标准温度且逻辑电路的工作时序固定的情况下，TT corner 的逻辑电路可以具有足够的时序裕度。其中，逻辑电路的工作时序包括了逻辑电路的工作频率、数据信号的频率、时钟信号的频率等。然而，在逻辑电路工作时序固定的情况下，虽然当该逻辑电路的工艺角为 TT corner 时，该逻辑电路可以具有足够的时序裕度，但当该逻辑电路的工艺角类型为 SS corner 或者 FF corner 时，该逻辑电路却可能出现时序裕度不足的问题。

接下来，以图 1 为例对不同工艺角的逻辑电路中的时序裕度进行说明。

如图 1 所示，为一种逻辑电路结构示意图，该逻辑电路 100 由电源管理单元（power management unit, PMU）为其供电。逻辑电路 100 中主要包括依次串联的路径 1、触发器 1、路径 2、触发器 2 和路径 3。其中， D_{in} 为输入逻辑电路 100 的数据信号，CLK 为逻辑电路 100 的时钟信号， D_{out} 为逻辑电路 100 输出的数据信号。

其中，路径 1、路径 2 和路径 3 等为组合逻辑，每个路径皆具有一定的时延。以路径 2 为例，路径 2 可以由一个或多个门电路构成，可以对触发器 1 输出的数据信号 $D2^0$ 进行逻辑运算，并将经过运算得到的数据信号 D2 输出给触发器 2。

触发器 2 包括 D 端口、Q 端口和 CK 端口。其中，D 端口用于接收路径 2 传输来的数据信号 D2，CK 端口用于接收时钟信号 CLK，触发器 2 可以根据时钟信号 CLK，接收数

据信号 D2, 并将数据信号 D2 继续输出给路径 3。

基于图 1 所示的逻辑电路 100, 图 2 示例性示出了不同工艺角类型下, 图 1 中触发器 2 收到的数据信号 D2 与时钟信号 CLK 之间的时序关系比较图。当逻辑电路 100 的工艺角类型为 TT corner 时, 触发器 2 接收到的数据信号 D2 可以表示为 DT, 当逻辑电路 100 的工艺角类型为 SS corner 时, 触发器 2 接收到的数据信号 D2 可以表示为 DS, 当逻辑电路 100 的工艺角类型为 FF corner 时, 触发器 2 接收到的数据信号 D2 可以表示为 DF。

由图 2 可见, 数据信号 D2 (至少包括 DT、DF 和 DS 三种情况) 为周期性信号, 其中一个周期也可以称为一拍。每个周期内, 数据信号 D2 既可能是高电平信号, 也可能是低电平信号。触发器 2 可以接收并保存路径 2 的运算结果, 且, 触发器 2 连续两次接收数据信号 D2 的时间间隔为 1 拍。

一般来说, 每一拍数据信号 D2 可以分为建立 (setup) 时间和保持 (hold) 时间。以触发器 2 为例, 图 2 中时间点 t1 为时钟信号 CLK 的上升沿, 即触发器 2 接收数据信号 DT 的时间点。在每一拍数据信号 D2 中, setup 时间可以理解为触发器 2 开始接收数据信号 D2 (时间点 t1) 之前, 数据信号 D2 的 hold 时间可以理解为触发器 2 开始接收数据信号 D2 (时间点 t1) 之后, 数据信号 D2 的持续时间。

当 setup 时间和 hold 时间都较长时, 触发器 2 可以从路径 2 正常接收数据信号 D2, 因此可以认为路径 2 具有足够的时序裕度, 当 setup 时间或 hold 时间较短时, 触发器 2 可能无法接收到路径 2 输出的数据信号 D2, 因此可以认为路径 2 的时序裕度不足。

在路径 2 为 TT corner 时, 路径 2 输出的数据信号 D2 为该数据信号 DT, 其中, 每一拍数据信号 DT 中 setup 时间和 hold 时间都较长, 因此路径 2 具有足够的时序裕度, 相应的, 由于逻辑电路 100 中各个半导体器件的工艺角类型一致, 因此可以认为 TT corner 的逻辑电路 100 也具有足够的时序裕度。

然而, SS corner 的路径 2 和 FF corner 的路径 2 却可能存在时序裕度不足的问题。具体来说, 当路径 2 的工艺角为 SS corner 时, 路径 2 输出的数据信号 D2 可以如图 2 中的数据信号 DS 所示。由数据信号 DS 可见, 由于路径 2 具有较大的时延和较慢的逻辑运算速度, 导致数据信号 DS 到达触发器 2 的时间被延迟, 进而使得传输给触发器 2 的数据信号 DS 具有较短的 setup 时间。当 setup 时间过短时, 便可能会使触发器 2 无法正常接收数据信号 DS, 即路径 2 的时序裕度不足。又由于逻辑电路 100 的时序裕度主要受各个路径的时序裕度的最小值影响, 因此路径 2 的时序裕度不足便会导致逻辑电路 100 的时序裕度不足。

又例如, 当路径 2 的工艺角为 FF corner 时, 路径 2 输出的数据信号 D2 可以如图 2 中的数据信号 DF 所示。由数据信号 DF 可见, 由于路径 2 具有较小的时延和较快的逻辑运算速度, 导致数据信号 DF 到达触发器 2 的时间被提前, 使得传输给触发器 2 的数据信号 DF 具有较大的 setup 时间, 进而导致数据信号 DF 的 hold 时间较短。当 hold 时间过短时, 便可能会使触发器 2 无法正常接收数据信号 DF, 即路径 2 的时序裕度不足, 也进而导致逻辑电路 100 的时序裕度不足。

综上所述, 受工艺角类型的影响, 使得逻辑电路有可能出现时序裕度不足的问题。当逻辑电路的时序裕度不足时, 逻辑电路便有可能出现运行错误, 稳定性降低。为了降低工艺角类型对时序裕度的影响, 目前需要对逻辑电路的工作时序进行静态时序分析 (static timing analysis, STA), 以确保工作时序可以使任意工艺角类型的逻辑电路皆可以正常工作。

具体来说，STA 分析是对逻辑电路进行设计时检测逻辑电路工作时序的常用手段。一般来说，针对任一结构的逻辑电路，如逻辑电路 100，STA 分析可以通过核签（sign-off）验证标准判断在逻辑电路 100 的工作时序下，该逻辑电路 100 的稳定性。

在 STA 分析时，sign-off 验证标准主要考虑工艺、电压、温度（process、voltage、temperature，PVT）对逻辑电路 100 逻辑运算速度的影响。示例性的，sign-off 验证标准可以如下表一所示：

表一

LT	FF, 105%VDD, -40℃
Typical	TT, 100%VDD, 30℃
WC	SS, 95%VDD, 125℃
WCL	SS, 95%VDD, -40℃

如表一所示，STA 分析设计了 4 种特殊的应用场景：低温（low temperature，LT）、典型（Typical）、最差情况（worst case，WC）和低温最差情况（worst case low temperature，WCL）。具体来说，LT 场景又可以称为最优情况（best case，BC）。

在 LT 场景下，PMU 输出 105%VDD 的电压，工作温度为-40℃，逻辑电路 100 的工艺角类型为 FF corner。其中，VDD 可以理解为 PMU 输出的恒定电压，也可以理解为逻辑电路 100 的额定工作电压。在 LT 场景中，考虑到 PMU 输出电压可能存在波动（波动范围为±5%），因此在 LT 场景中将 PMU 的输出电压设计为 105%。若逻辑电路 100 可以在其工作时序下稳定工作，则在 LT 场景下，虽然逻辑电路 100 的时延较小，但逻辑电路 100 仍能够正常工作。

在 Typical 场景下，PMU 输出 100%VDD 的电压，工作温度为 30℃（标准温度），逻辑电路 100 的工艺角类型为 TT corner。若逻辑电路 100 可以在其工作时序下稳定工作，则在 Typical 场景下，逻辑电路 100 具有标准时延，且逻辑电路 100 能够正常工作。

在 WC 场景下，PMU 输出 95%VDD 的电压，工作温度为 125℃，逻辑电路 100 的工艺角类型为 SS corner。若逻辑电路 100 可以在其工作时序下稳定工作，则在 WC 场景下，虽然逻辑电路 100 的时延较大，但逻辑电路 100 仍能够正常工作。

在 WCL 场景下，PMU 输出 95%VDD 的电压，工作温度为-40℃，逻辑电路 100 的工艺角类型为 SS corner。若逻辑电路 100 可以在其工作时序下稳定工作，则在 WCL 场景下，虽然逻辑电路 100 的时延较大，但逻辑电路 100 仍能够正常工作。

当逻辑电路 100 的工作时序可以满足表一所示的验证标准时，便可以认为该工作时序可以使逻辑电路 100 稳定工作。然而，采用 STA 分析以提高逻辑电路 100 的稳定性，使工作时序的设计难度提高。而且，往往需要在一定程度上牺牲逻辑电路 100 的性能才可以使工作时序满足 sign-off 验证标准。例如，一般需要降低逻辑电路 100 的工作频率或者在逻辑电路 100 中增设缓冲区（buffer，buf），才能满足上述 sign-off 验证标准。

有鉴于此，本申请实施例提供一种电压调节电路，该电压调节电路可以针对不同工艺角类型的逻辑电路，控制电源电路适应性调节提供给逻辑电路的输出电压，使电源电路的输出电压能够与逻辑电路的工艺角类型匹配，也就是，使 SS corner 的逻辑电路和 FF corner 的逻辑电路皆可以表现出 TT corner 的逻辑电路的时序特性，即标准时延，从而有利于优化 SS corner 的逻辑电路和 FF corner 的逻辑电路的时序裕度。

下面将结合附图，对本申请实施例进行详细描述。为了使本申请的目的、技术方案和

优点更加清楚，下面将结合附图对本申请作进一步地详细描述。方法实施例中的具体操作方法也可以应用于装置实施例或系统实施例中。需要说明的是，在本申请的描述中“至少一个”是指一个或多个，其中，多个是指两个或两个以上。鉴于此，本发明实施例中也可以将“多个”理解为“至少两个”。需要理解的是，在本申请的描述中，“第一”、“第二”等词汇，仅用于区分描述的目的，而不能理解为指示或暗示相对重要性，也不能理解为指示或暗示顺序。

图3示例性示出了本申请实施例所提供的一种运算系统，如图3所示，运算系统30主要包括电压调节电路31、电源电路32和逻辑电路33。其中，电源电路32分别与电压调节电路31和逻辑电路33连接。

本申请运算系统30存在多种可能的实现方式。例如，电压调节电路31、电源电路32和逻辑电路33可以通过金属导线互连的分立元件。又例如，运算系统30也可以作为芯片集成电压调节电路31、电源电路32和逻辑电路33。再例如，电压调节电路31和逻辑电路33可以集成在同一个集成模块（或芯片）中，电源电路32通过金属导线与该集成模块（或芯片）连接，等等，本申请实施例对此不再一一列举。

接下来，分别对电压调节电路31、电源电路32和逻辑电路33作进一步的示例性说明。

一、电源电路32

电源电路32可以为逻辑电路33供电。在本申请实施例中，电源电路32的输出电压是可以调节的。具体来说，电源电路32可以在电压调节电路31的控制下调节输出电压，例如，电源电路32可以接收电压调节电路31提供的电压调节信号，根据电压调节信号调节电源电路32的输出电压。

示例性的，电压调节电路31所提供的电压调节信号，至少可以指示增大电压或降低电压。本申请实施例中，电源电路32在调节输出电压时，至少存在以下两种可能的实现方式：

方式一：电压调节电路31不仅可以控制电源电路32增大或降低输出电压，还可以控制电源电路32的电压调节幅度。例如，电压调节电路31可以控制电源电路32增大50mV输出电压，也可以控制电源电路32降低30mV电压，等等。

方式二：电源电路32中设置有额定电压调节幅度，在电压调节电路31的控制下，电源电路32可以按照额定电压调节幅度调节输出电压。例如，额定电压调节幅度为50mV，则电压调节电路31控制电源电路32增大输出电压时，电源电路32可以按照额定电压调节幅度将输出电压增大50mV，电压调节电路31控制电源电路32降低输出电压时，电源电路32可以按照额定电压调节幅度将输出电压降低50mV。

本申请实施例中，电源电路32的输出电压，可以作为逻辑电路33的工作电压驱动逻辑电路33完成逻辑运算。在一种可能的实现方式中，电源电路32的初始的输出电压可以根据逻辑电路33的额定工作频率设置的。具体来说，电源电路32的输出电压会影响逻辑电路33的工作频率，在其它影响因素不变的情况下，电源电路32的输出电压越大，逻辑电路33的工作频率越高，逻辑电路33的逻辑运算速度越快；反之，电源电路32的输出电压越小，逻辑电路33的工作频率越低，逻辑电路33的逻辑运算速度越慢。

在本申请实施例中，可以根据逻辑电路33的额定工作频率为电源电路32配置初始的输出电压，使得对于TT corner的逻辑电路33，电源电路32的输出电压可以尽快与逻辑电路33匹配。而对于SS corner的逻辑电路33和FF corner的逻辑电路33，也可以在初始的

输出电压的基础上,通过较少次数的电压调节,便可以使电源电路 32 的输出电压与逻辑电路 33 匹配。

二、逻辑电路 33

逻辑电路 33 可以是具有逻辑运算功能的电路,其既可以是数字电路,又可以是模拟电路。本申请实施例对逻辑电路 33 的具体功能和电路结构并不多作限制。示例性的,逻辑电路 33 可以是中央处理单元(central processing unit, CPU)、图形处理单元(graphics processing unit, GPU)等数字芯片中具备逻辑运算功能的数字电路,逻辑电路 33 可以通过处理数据信号实现至少一种完整的逻辑运算功能。

逻辑电路 33 也可以是逐次逼近式模拟数字转换器(successive approximation register analog-to-digital converter, SAR ADC)、串行器-解串器(serializer-deserializer, SERDES)等模拟芯片中对模拟信号进行处理的模拟电路。本申请实施例对此不再一一列举。为了便于表述,本申请实施例接下来以数字电路为例,对逻辑电路 33 进行说明。

逻辑电路 33 中可以包括一个或多个逻辑路径,每个逻辑路径可以包括一个或多个门电路,而每个门电路又可以进一步包括一个或多个半导体器件。受半导体器件的制造工艺的影响,逻辑电路 33 整体上表现出的工艺角类型可以是 SS corner、TT corner 或 FF corner。

三、电压调节电路 31

本申请实施例中,电压调节电路 31 可以针对不同工艺角类型的逻辑电路 33,控制电源电路 32 调节输出电压。具体来说,在逻辑电路 33 为 SS corner 时,电压调节电路 31 可以控制电源电路 32 增大输出电压,逻辑电路 33 的逻辑运算速度将随电源电路 32 的输出电压的增大而提高,进而使逻辑电路 33 中数据信号的 setup 时间延长,逻辑电路 33 的时序裕度得以优化。

在逻辑电路 33 为 FF corner 时,电压调节电路 31 可以控制电源电路 32 降低输出电压,逻辑电路 33 的逻辑运算速度将随电源电路 32 的输出电压的降低而降低,进而使逻辑电路 33 中数据信号的 setup 时间缩短,hold 时间相应延长,逻辑电路 33 的时序裕度得以优化。

示例性的,如图 3 所示,本申请实施例所提供的电压调节电路 31 主要包括振荡器 311 和调控电路 312。其中,振荡器 311 的输入端与电源电路 32 连接,振荡器 311 的输出端与调控电路 312 的输入端连接,调控电路 312 的输出端与电源电路 32 连接。图 3 中的箭头可以表示信号的传输方向。

本申请实施例中,振荡器 311 可以是压控振荡器,也就是说,振荡器 311 所输出的时钟信号 CLK1 的频率主要受电源电路 32 的输出电压的控制。振荡器 311 可以根据电源电路 32 的输出电压生成时钟信号 CLK1,且,振荡器 311 具有与逻辑电路 33 相同的工艺角类型。在一种可能的实现方式中,振荡器 311 与逻辑电路 33 可以集成在同一个芯片中,二者可以通过同一批次生产工艺制作而成,因此可以认为振荡器 311 与逻辑电路 33 具有相同的工艺角类型。

可以理解,振荡器 311 的工艺角类型也会对时钟信号 CLK1 产生影响,在除工艺角类型之外的其它影响因素相同的情况下,不同工艺角类型的振荡器 311 所输出的时钟信号 CLK1 也会存在些许不同。其中,常见的其它影响因素主要包括电源电路 32 的输出电压、振荡器 311 的电路结构、温度等。

例如,在其它影响因素相同的情况下,对于 TT corner 的振荡器 311,其可以输出标准频率的时钟信号 CLK1。对于 SS corner 的振荡器 311,其输出的时钟信号 CLK1 的频率较低。对于 FF corner 的振荡器 311,其输出的时钟信号 CLK1 的频率较高。

因此,调控电路 312 可以根据时钟信号 CLK1 区分出不同工艺角类型的逻辑电路 33,进而可以控制电源电路 32 适应性调节输出电压。例如,当时钟信号 CLK1 的频率较低时,意味着逻辑电路 33 为 SS corner,因此调控电路 312 可以控制电源电路 32 增大输出电压,从而加快逻辑电路的逻辑运算速度,优化逻辑电路的时序裕度。

又例如,当时钟信号 CLK1 的频率较高时,意味着逻辑电路 33 为 FF corner,调控电路 312 可以控制电源电路 32 降低输出电压,从而降低逻辑电路的逻辑运算速度,优化逻辑电路的时序裕度。

此外,目前设计逻辑电路 33 的工作时序时,为了增大 SS corner 的逻辑电路和 FF corner 的逻辑电路的时序裕度,往往需要降低逻辑电路 33 的工作频率,以延长 setup 时间或 hold 时间,也就是说,目前逻辑电路 33 的工作频率往往达不到其额定工作频率。而采用本申请实施例所提供的电压调节电路 31,可以使逻辑电路 33 表现出 TT corner 的时序特性,无需降低逻辑电路 33 的工作频率,从而有利于提高逻辑电路 33 的逻辑运算速度。

而且,目前设计逻辑电路 33 的工作时序时,电源电路 32 的输出电压不变,不同工艺角类型、不同工作频率的逻辑电路 33 均工作在同一电压下,因此需要电源电路 32 保留一定的电压裕度。特别是在 FF corner 的情况下,电源电路 32 的输出电压会存在很大程度的浪费。而在本申请实施例中,通过电压调节电路 31 为逻辑电路 33 匹配电源电路 32 的输出电压,无需保留电压裕度,因此还有利于进一步降低逻辑电路 33 的功耗。

接下来,分别对振荡器 311 和调控电路 312 作进一步的示例性说明。

(1) 振荡器 311

本申请实施例中,振荡器 311 可以是任意结构的压控振荡器 (voltage-controlled oscillator, VCO),本申请实施例对此并不多作限制。

在一种可能的实现方式中,振荡器 311 可以包括第一路径,振荡器 311 可以根据电源电路 32 的输出电压,通过该第一路径生成时钟信号 CLK1。在电源电路 32 的输出电压相同的情况下,当第一路径的工艺角类型为 SS corner 时,第一路径具有较大的时延,从而使时钟信号 CLK1 具有较大的周期和较低的频率,当第一路径的工艺角类型为 FF corner 时,第一路径具有较小的时延,从而使时钟信号 CLK1 具有较小的周期和较高的频率。

本申请实施例中,振荡器 311 中的第一路径可以与逻辑电路 33 中的第二路径匹配,也可以理解为该第一路径的时延与逻辑电路 33 的第二路径的时延正相关。可以理解为,当第二路径的时延较大时,第一路径的时延也随之较大,当第二路径的时延较小时,第一路径的时延也随之较小。

在一种可能的实现方式中,第二路径可以是逻辑电路 33 中的任一条逻辑路径,本申请实施例对此并不多作限制。由于第一路径和第二路径之间具有相同的工艺角类型,因此二者的时延可以保持正相关。

在另一种可能的实现方式中,第二路径也可以是逻辑电路 33 中时序裕度最小的逻辑路径,第二路径也可以称为关键时序路径,或时序关键路径。

可以理解,当第二路径因时序裕度过小而无法正常工作时,便会使逻辑电路 33 整体

上因时序裕度不足而无法正常工作。当关键时序路径的时序裕度足够时,其它关键时序路径的时序裕度也足够,因此逻辑电路 33 整体上时序裕度足够,可以正常工作。也就是说,第二路径的时序裕度是否能够满足正常工作,决定了逻辑电路 33 整体上的时序裕度是否能够满足正常工作。

有鉴于此,在一种可能的实现方式中,第一路径的时延还可以与第二路径的时延保持线性正相关,也就是说,第一路径的时延与第二路径的时延可以保持等比例的关系,更进一步的,该比例关系可以是 1:1,即第一路径的时延也可以与第二路径的时延相等。在第一路径的时延与第二路径的时延可以保持等比例的关系的情况下,第一路径可以追随第二路径的时延变化程度。

例如,第二路径的工艺角类型为 SS corner,其当前的时延为 80ns。第一路径的时延与第二路径的时延相等,因此当前第一路径的时延为 80ns。调控电路 312 控制电源电路 32 增大输出电压后,使得第二路径的时延降低至 60ns,第一路径的时延也会同步降低至 60ns。

采用该实现方式,可以使 SS corner 的逻辑电路 33 和 FF corner 的逻辑电路 33 中,第二路径(关键时序路径)能够表现出 TT corner 的时序特性。由于第二路径的时序裕度决定了逻辑电路 33 整体上能否正常工作,因此第一路径与第二路径线性正相关,有利于在最大程度上优化逻辑电路 33 的时序裕度,提高逻辑电路 33 的稳定性。

示例性的,本申请实施例中第一路径可以包括串联的多个第一门电路,每个第一门电路会产生一定的时延,串联的多个第一门电路的时延累积,可以使第一路径的时延与第二路径的时延线性正相关。例如,若第二路径包括串联的 20 个第二门电路,则第一路径中也可以设置串联的 20 个第一门电路。

在一种可能的实现方式中,第一路径可以具有与第二路径相同或类似的电路结构,第一路径中的每一个第一门电路都对应第二路径中的至少一个第二门电路,对应的第一门电路和至少一个第二门电路之间的功能类型相同,且阈值电压类型相同,即第一路径中的第一门电路还可以与第二路径中的第二门电路类型匹配。具体来说,第一路径可以包括多个第一门电路,第二路径也可以包括多个第二门电路,该多个第二门电路之间可以具有相同或不同的功能类型和阈值电压类型。对于第一路径中的任一第一门电路,在第二路径中存在与该第一门电路对应的一个或多个第二门电路。该第一门电路与对应的第二门电路具有相同的功能类型和相同的阈值电压类型。

其中,门电路的功能类型是根据标准单元(stand cell)划分的,一般来说,可以分为与门、或门、非门等等。门电路的阈值电压类型至少可以分为以下几种:超高阈值电压(ultrahigh threshold voltage, uhvt)、高阈值电压(high threshold voltage, hvt)、标准阈值电压(standard threshold voltage, svt)、低阈值电压(low threshold voltage, lvt)或超低阈值电压(ultralow threshold voltage, ulvt)。

示例性的,假设第二路径中的与门电路为高阈值电压类型,则第一路径中的与门电路也为高阈值电压类型。采用该实现方式,可以使第一路径的时延与第二路径的时延保持更加精确的线性正相关关系,有利于进一步提高对逻辑电路 33 的时序裕度的优化效果。

需要指出的是,从门电路的输入信号和输出信号的相位变化的角度而言,不同功能类型的第一门电路可以等效为一个或多个反相器。例如,与门电路的一个输入端接 1 电平,则与门电路可以等效为两个反相器,又例如,与非门电路的一个输入端接 1 电平,则可以等效为一个反相器。

在振荡器 311 中, 第一路径需要包括奇数个反相器或等效为奇数个反相器才能够正常工作。有鉴于此, 若第一路径中的多个第一门电路共等效为偶数个反相器, 则还可以为第一路径额外增加一补充反相器, 使振荡器 311 能够正常工作。

为了使本申请实施例所提供的电压调节电路 31 能够适配多种场景下的逻辑电路 33, 在另一种可能的实现方式中, 本申请实施例中的振荡器 311 可以设置有多个门电路, 振荡器 311 还可以根据接收到的配置信息, 将其中的多个门电路配置为第一路径中的门电路。具体来说, 第一路径中的门电路也可以称为第一门电路, 第一路径中的多个第一门电路可以是振荡器 311 中的全部门电路, 也可以是振荡器 311 中的部分门电路。

振荡器 311 根据配置信息, 灵活调节第一路径中的多个第一门电路, 进而可以灵活调节第一路径的时延, 因此, 即使不同场景下逻辑电路 33 中第二路径的结构不同, 也可以通过配置信息调节第一路径中第一门电路的数量或类型, 使振荡器 311 可以保持第一路径与第二路径之间的匹配(线性正相关), 进而使电压调节电路 31 能够适配多种场景下的逻辑电路 33。

示例性的, 本申请实施例中第一路径至少存在以下两种可能的结构:

结构一

图 4 示例性示出了本申请实施例提供的一种第一路径结构示意图, 如图 4 所示, 该振荡器中包括串联结构 1、选择器 1 和补充反相器。其中, 振荡器 311 中的多个门电路构成了串联结构 1, 该串联结构 1 可以进一步包括多个时延电路(时延电路 1 至 N, N 为大于 1 的整数), 每个时延电路包括一个或多个门电路, 且时延电路 1 至 N 的输出端皆与选择器 1 的数据输入端连接。串联结构 1 的输入端与补充反相器的输出端连接, 从而可以构成时钟信号 CLK1 的反馈回路。选择器 1 的输出端与补充反相器的输入端连接, 补充反相器的输出端可以输出时钟信号 CLK1。

如图 4 所示, 选择器 1 的控制端还可以接收配置信息 1。选择器 1 可以根据配置信息 1 输出第一中间信号, 其中配置信息 1 可以指示时延电路 1 至 N 中的目标时延电路, 第一中间信号可以是该目标时延电路的输出信号。示例性的, 选择器 1 可以是数据选择器(multiplexer, MUX), 也可以称为多路选择器, 可以从选择器 1 的多个输入端中选择一个输入端, 并导通该输入端与输出端的通路。例如, 配置信息 1 指示时延电路 4 为目标时延电路, 则选择器 1 可以导通时延电路 4 的输出通路, 即向补充反相器输出时延电路 4 的输出信号。

可以理解, 从串联结构 1 的输入端至目标时延电路的输出端之间的门电路, 便可以作为第一路径的多个第一门电路。例如, 配置信息 1 指示时延电路 4 为目标时延电路, 则时钟信号 CLK1 的反馈信号经时延电路 1 至 4 依次传输后, 经选择器 1 输出。也就是说, 只有时延电路 1 至 4 中的门电路还会影响第一路径的时延, 因此时延电路 1 至 4 中的门电路可以作为第一路径的第一门电路。

第一路径中的补充反相器可以接收选择器 1 输出的第一中间信号, 根据该第一中间信号输出时钟信号 CLK1。

本申请实施例中, 串联结构 1 中每个时延电路的输入信号和输出信号的相位相同, 也就是说, 从相位变化的角度, 可以将每个时延电路等效为偶数个反相器。在此情况下, 时延电路 1 至 N 中的任一个时延电路为目标时延电路时, 第一路径中的全部第一门电路皆可

以等效为偶数个反相器。又由于补充反相器的存在，因此可以使振荡器 311 的振荡回路中始终保持奇数个反相器，以确保振荡器功能的实现。

需要指出的是，对于复杂的逻辑路径，其中门电路的数量众多。本申请实施例增设一个补充反相器，并不会对第一路径和第二路径的时延匹配产生明显影响。此外，在第二路径等效为奇数个门电路时，补充反相器也可以视为一个第一门电路。

在本申请实施例中，振荡器 311 中的多个门电路皆可以与电源电路 32 连接，由电源电路 32 为其供电。电源电路 32 的输出电压变化，会导致每个门电路的时延变化，进而导致第一路径整体的时延变化，使振荡器 311 输出的时钟信号 CLK1 的频率也随之变化。

需要指出的是，本申请实施例中的配置信息可以是根据第二路径的电路结构得到的。示例性的，研发人员在设计逻辑电路 33 时，可以对逻辑电路 33 进行关键时序分析，以确定逻辑电路 33 中的关键时序路径，作为第二路径。进而可以根据该第二路径的电路结构得到配置信息 1。

以图 4 所示的振荡器为例，假设图 4 所示的振荡器中多个门电路皆为反相器，则图 4 所示的振荡器可以适配包括多个串联的反相器串联的第二路径。例如，第二路径包括 10 个串联的反相器，串联结构 1 中每个时延电路包括两个反相器，则配置信息 1 可以指示目标时延电路为时延电路 5，选择器 1 可以接收并输出时延电路 5 的输出信号。在此情况下，时延电路 1 的输入端至时延电路 5 的输出端之间的 10 个反相器作为第一路径中的第一门电路，使第一路径的时延能够与第二路径的时延匹配。

示例性的，配置信息 1 可以存储于电子设备的存储器中，该存储器可以通过系统总线与振荡器 311 连接。电压调节电路 31 还可以在上电后，通过系统总线从存储器获取该配置信息 1，进而根据该配置信息 1 配置时延电路 1 的输入端至时延电路 5 的输出端之间的 10 个反相器作为第一路径中的第一门电路。

图 4 中每个反相器皆与电源电路 32 连接（图中简略标识），在电源电路 32 的输出电压相同的情况下，SS corner 的反相器（工艺角类型与振荡器 311 和逻辑电路 33 相同）的时延较大，进而导致第一路径的时延较大，时钟信号 CLK1 的频率较低。FF corner 的反相器的时延较小，进而导致第一路径的时延较小，时钟信号 CLK1 的频率较高。

因此，调控电路 312 可以根据时钟信号 CLK1 的频率，控制电源电路 32 调节输出电压。例如，对于 FF corner 的逻辑电路 33，振荡器 311 中的反相器也为 FF corner，使得时钟信号 CLK1 的频率较高。调控电路 312 可以控制电源电路 32 降低输出电压。由于电源电路 32 的输出电压还可以为振荡器 311 中的反相器供电，因此电源电路 32 的输出电压降低可以延长振荡器 311 中每个反相器的延时，进而增大第一路径的延时，从而降低时钟信号 CLK1 的频率，使时钟信号 CLK1 的频率逐渐趋近于 TT corner 的振荡器 311 所输出的时钟信号 CLK1。

结构二

在实现方式一的基础上，还可以增加第一路径中串联结构的数量和选择器的数量，其中，不同的串联结构可以包括不同类型的门电路、不同大小的负载等，以进一步扩大振荡器 311 能够适用的逻辑电路 33 的范围。

示例性的，如图 5 所示，振荡器 311 的多个门电路中，部分门电路构成了串联结构 2，另一部分门电路构成了串联结构 3，振荡器 311 还包括选择器 2、选择器 3 和补充反相器。

其中, 串联结构 2 可以包括多个低负载时延电路 (2-1 至 2-M, M 为大于 1 的整数), 每个低负载时延电路包括一个或多个门电路, 且每个低负载时延电路的输出端皆与选择器 2 的数据输入端连接, 串联结构 2 的输入端与补充反相器的输出端连接, 从而构成时钟信号 CLK1 的反馈回路。

串联结构 3 可以包括多个高负载时延电路 (3-1 至 3-K, K 为大于 1 的整数), 每个高负载时延电路包括一个或多个门电路, 且每个高负载时延电路的输出端皆与选择器 3 的数据输入端连接, 串联结构 3 的输入端与选择器 2 的输出端连接。其中, 相较于低负载时延电路, 高负载时延电路具有更高的负载, 因此也会产生更大的时延。

选择器 2 的控制端可以接收配置信息 2, 选择器 2 可以根据配置信息 2 输出第二中间信号, 该配置信号 2 可以指示低负载时延电路 2-1 至 2-M 中的目标低负载时延电路, 第二中间信号可以是该目标低负载时延电路的输出信号。例如, 配置信息 2 指示低负载时延电路 2-3 为目标低负载时延电路, 则选择器 2 可以输出低负载时延电路 2 的输出信号作为第二中间信号。在此情况下, 低负载时延电路 2-1 至 2-3 中的门电路皆可以作为第一路径的多个第一门电路中的一部分第一门电路。

选择器 3 的控制端可以接收配置信息 3, 选择器 3 可以根据配置信息 3 输出第三中间信号, 该配置信息 3 可以指示高负载时延电路 3-1 至 3-K 中的目标高负载时延电路, 第三中间信号可以是该目标高负载时延电路的输出信号。例如, 配置信息 3 指示高负载时延电路 3-4 为目标高负载时延电路, 则选择器 3 可以输出高负载时延电路 3-4 的输出信号作为第三中间信号。在此情况下, 高负载时延电路 3-1 至 3-4 中的门电路皆可以作为第一路径的多个第一门电路中的另一部分第一门电路。

补充反相器可以接收第三中间信号, 根据该第三中间信号输出第一时钟信号。本申请实施例中, 低负载时延电路的输入信号和输出信号相位相同, 因此从相位变化的角度, 该低负载时延电路可以等效为偶数个反相器, 高负载时延电路同理。

在此情况下, 与实现方式一相类似, 由于补充反相器的存在, 使得配置任一低负载时延电路作为目标低负载时延电路, 以及配置任一高负载时延电路作为目标高负载时延电路, 皆可以保持振荡器 311 的振荡回路可以等效为奇数个门电路。

示例性的, 本申请实施例中高负载时延电路还可以包括至少一个负载走线。该负载走线, 可以理解为串联有负载的连线, 也可以理解为走线长度达到一定阈值的连线。例如, 逻辑电路 33 中, 出于线路布局等方面的考虑, 部分逻辑路径中的走线长度过长, 从而带来较大的负载, 增加了逻辑路径的时延。有鉴于此, 本申请实施例中可以根据逻辑电路 33 中第二路径的负载情况灵活配置低负载时延电路的数量和高负载时延电路的数量, 以保持第一路径与第二路径之间的时延匹配。

例如, 第二路径包括串联的 10 个反相器, 和 4 个负载走线, 图 5 所示的振荡器 311 中, 低负载时延电路包括两个反相器, 高负载时延电路包括两个反相器和两个负载走线。在此情况下, 配置信息 2 可以指示目标低负载时延电路为低负载时延电路 2-3, 目标高负载时延电路为高负载时延电路 3-2。使得, 第一路径中的多个第一门电路包括低负载时延电路 2-1 至 2-3 中的 6 个反相器, 以及高负载时延电路 3-1 和 3-2 中的 4 个反相器, 除了上述 10 个第一门电路之外, 第一路径还可以包括高负载时延电路 3-1 和 3-2 中的 4 个负载走线, 从而使第一路径的时延与第二路径的时延匹配。

配置信息 2 和配置信息 3 的获取方式与配置信息 1 类似, 不再赘述。

(2) 调控电路 312

本申请实施例所提供的调控电路 312, 能够根据振荡器 311 提供的时钟信号 CLK1, 控制电源电路 32 调节输出电压。在一种可能的实现方式中, 调控电路 312 可以是处理器, 通过运行程序以实现上述功能。

在另一种可能的实现方式中, 示例性的, 如图 6 所示, 调控电路 312 可以包括分频器 3121、频率比较器 3122 和控制器 3123, 且分频器 3121 分别与振荡器 311 和频率比较器 3122 连接, 频率比较器 3122 与控制器 3123 连接, 控制器 3123 与电源电路 32 连接。

其中, 分频器 3121 可以按照分频倍数对时钟信号 CLK1 进行分频, 得到时钟信号 CLK2。示例性的, 假设时钟信号 CLK1 的频率为 1000Hz, 分频倍数为 25, 则经分频器 3121 分频后所得时钟信号 CLK2 的频率为 40Hz。

本申请实施例中, 分频器 3121 可以是反馈分频器 (feedback divider, FBDIV) 等支持设置分频倍数的分频器, 本申请实施例对此并不多作限制。

频率比较器 3122 可以接收时钟信号 CLK3, 将时钟信号 CLK3 作为参考时钟信号。频率比较器 3122 可以根据时钟信号 CLK3 和时钟信号 CLK2 输出频率差异信号, 该频率差异信号可以指示时钟信号 CLK2 与时钟信号 CLK3 之间的相对频率大小关系。进而, 控制器 3123 可以根据该频率差异信号, 控制电源电路 32 调节输出电压。

一般来说, 时钟信号 CLK3 可以是电子设备中的晶振产生的时钟信号, 时钟信号 CLK3 经系统总线传输给频率比较器 3122。示例性的, 频率比较器 3122 可以是时间数字转换器 (time to digital convert, TDC) 等具备频率比较功能的电子器件, 本申请实施例对此并不多作限制。

在一种可能的实现方式中, 频率差异信号可以仅指示时钟信号 CLK2 与时钟信号 CLK3 之间的相对频率大小关系, 例如, 在频率差异信号承载“1”时, 意味着时钟信号 CLK2 的频率大于时钟信号 CLK3 的频率, 在频率差异信号承载“0”时, 意味着时钟信号 CLK2 的频率小于时钟信号 CLK3 的频率。

有鉴于此, 控制器 3123 可以在频率差异信号指示时钟信号 CLK2 的频率大于时钟信号 CLK3 的频率时, 控制电源电路 32 降低输出电压。或, 在频率差异信号指示时钟信号 CLK2 的频率小于时钟信号 CLK3 的频率时, 控制电源电路 32 增大输出电压。

具体来说, 本申请实施例中, 在振荡器 311 的工艺角为 TT corner 时, 电源电路 32 的初始的输出电压 (初始的输出电压主要由逻辑电路 33 的工作频率决定) 提供给振荡器 311 之后, TT corner 的振荡器 311 可以根据初始的输出电压生成时钟信号 CLK1 的频率, 可以视为标准频率。此时, 具有标准频率的时钟信号 CLK1 经分频器 3121 分频后, 所得到的时钟信号 CLK2 为该标准频率的时钟信号 CLK1 的分频输出。时钟信号 CLK3 的频率则被配置为该分频输出的频率。需要指出的是, 上述配置是在考虑标准温度的情况下做出的, 其中, 标准温度一般可以是 30℃。

当时钟信号 CLK2 的频率大于时钟信号 CLK3 的频率时, 说明振荡器 311 的时延较小, 振荡器 311 和逻辑电路 33 的工艺角类型为 FF corner。在此情况下, 控制器 3123 可以向电源电路 32 发送电压降低信号, 使电源电路 32 降低输出电压。进而使振荡器 31 的时延和逻辑电路 33 的时延延长, 时钟信号 CLK1 和时钟信号 CLK2 的频率得以降低。控制器 3123 可以多次向电源电路 32 发送电压降低信号, 直至时钟信号 CLK2 的频率降至 CLK3 的频

率。

当时钟信号 CLK2 的频率小于时钟信号 CLK3 的频率时,说明振荡器 311 的时延较大,振荡器 311 和逻辑电路 33 的工艺角类型为 SS corner。在此情况下,控制器 3123 可以控制电源电路 32 增大输出电压。进而使得振荡器 311 的时延和逻辑电路 33 的时延缩短,时钟信号 CLK1 和时钟信号 CLK2 的频率得以升高。控制器 3123 可以多次控制电源电路 32 增大输出电压,直至时钟信号 CLK2 的频率升高 CLK3 的频率。

示例性的,经电压调节电路 31 调节后,可以达到如下表二所示的效果:

表二

工艺角	温度	setup 时间/hold 时间	输出电压
FF	125℃	0.5ns/0.5ns	0.96V
FF	-40℃	0.5ns/0.5ns	0.93V
TT	30℃	0.5ns/0.5ns	1V
SS	-40℃	0.5ns/0.5ns	1.06V
SS	125℃	0.5ns/0.5ns	1.04V

如表二所示,逻辑电路 33 的工作频率为 1GHz,其所接收的数据信号的一个周期时长为 1ns。对于 FF corner 的逻辑电路 33,在 125℃ 的温度下,本申请实施例所提供的电压调节电路 31 可以将电源电路 32 的输出电压调节至 0.96V,使逻辑电路 33 的 setup 时间和 hold 时间达到 0.5ns,时序裕度得到优化。在-40℃ 的温度下,本申请实施例所提供的电压调节电路 31 可以将电源电路 32 的输出电压调节至 0.93V,使逻辑电路 33 的 setup 时间和 hold 时间达到 0.5ns,时序裕度得到优化。

对于 SS corner 的逻辑电路 33,在 125℃ 的温度下,本申请实施例所提供的电压调节电路 31 可以将电源电路 32 的输出电压调节至 1.04V,使逻辑电路 33 的 setup 时间和 hold 时间达到 0.5ns,时序裕度得到优化。在-40℃ 的温度下,本申请实施例所提供的电压调节电路 31 可以将电源电路 32 的输出电压调节至 1.06V,使逻辑电路 33 的 setup 时间和 hold 时间达到 0.5ns,时序裕度得到优化。

通过表二可见,经电压调节电路 31 调节电源电路的输出电压之后,SS corner 的逻辑电路 33 和 FF corner 的逻辑电路 33 均可以实现与 TT corner 的逻辑电路相同的时序特性:setup 时间和 hold 时间达到 0.5ns。

在另一种可能的实现方式中,频率差异信号不仅可以指示时钟信号 CLK2 与时钟信号 CLK3 之间的相对频率大小关系,还可以指示时钟信号 CLK2 与时钟信号 CLK3 之间的频率差值。例如,在频率差异信号承载“10”时,意味着时钟信号 CLK2 的频率比时钟信号 CLK3 的频率高 10Hz,在频率差异信号承载“-10”时,意味着时钟信号 CLK2 的频率比时钟信号 CLK3 的频率低 10Hz。在此情况下,控制器 3123 还可以根据频率差值计算电源电路 32 的电压调节幅度,并控制电源电路 32 按照该电压调节幅度调节输出电压,使电源电路 32 通过较少次数的电压调节,便可以使输出电压与逻辑电路 33 适配,达到如表二所示的效果。

此外,如图 6 所示,调控电路 312 还可以包括低通滤波器 3124,该低通滤波器 3124 的输入端与频率比较器 3122 连接,低通滤波器 3124 的输出端与控制器 3123 连接。低通滤波器 3124 可以对频率比较器 3122 输出的频率差异信号进行滤波,并将滤波后的频率差

异信号输出给控制器 3123。经低通滤波器 3124 滤波后,可以降低频率差异信号中高频噪声的影响,有利于提高控制器 3123 的判断结果的准确性。

此外,为了保证逻辑电路 33 的正常工作,运算系统中还可以包括锁相环(phase locked loop, PLL) 34,锁相环 34 与逻辑电路 33 连接。锁相环 34 可以接收时钟信号 CLK4,并根据时钟信号 CLK4 向逻辑电路 33 提供时钟信号 CLK5。该时钟信号 CLK5 的频率便是逻辑电路 33 的工作频率,时钟信号 CLK5 可以作为驱动逻辑电路 33 工作的时钟信号。

需要指出的是,时钟信号 CLK4 和时钟信号 CLK3 可以是来自于同一个时钟源的不同时钟信号,也可以是同一个时钟信号。例如,时钟信号 CLK4 和时钟信号 CLK3 可以由系统总线提供的时钟信号,该时钟信号可以由电子设备中的晶振所生成的时钟信号。

在一种可能的实现方式中,逻辑电路 33 可以在电源电路 32 输出电压稳定之后,也就是电压调节电路 31 完成调节之后,再指示锁相环 34 输出时钟信号 CLK5。采用该实现方式,可以避免逻辑电路 33 因电源电路 32 的输出电压尚未匹配而出现运算错误,因此有利于进一步提高逻辑电路 33 的稳定性。

可以理解,电源电路 32 可以包括一个电源,也可以包括多个电源。示例性的,电源电路 32 可以包括电源 1 和电源 2。其中,电源 1 与电压调节电路 31 连接,可以向电压调节电路 31 提供第一输出电压。电源 2 与逻辑电路 33 连接,可以向逻辑电路 33 提供第二输出电压。调控电路 312 分别与电源 1 和电源 2 连接。

在此情况下,调控电路可以根据时钟信号 CLK1,分别控制电源 1 调节第一输出电压,控制电源 2 调节第二输出电压。需要指出的是,调控电路需要控制电源 1 和电源 2 的输出电压,使第一输出电压和第二输出电压保持一致。

基于相同的技术构思,本申请实施例还提供一种集成电路,集成电路(integrated circuit, IC)是一种微型电子器件或部件,可以理解为,把一定数量的常用电子元件,如电阻、电容、晶体管等,以及这些元件之间的连线,通过半导体工艺集成在一起的具有特定功能的电路。例如,片上系统(system on chip, SoC)、中央处理器(central processing unit, CPU)等芯片皆可以通过集成电路实现。

以 SoC 为例,SoC 又可以称为系统级芯片。SoC 是一种有专用目标,并有嵌入软件的集成电路。SoC 中可以集成电子设备的大部分核心元件,从而构成一个微小型系统。

示例性的,本申请实施例所提供的集成电路可以如图 7 所示。集成电路 700 包括至少一个运算系统,如图 7 中,集成电路 700 包括运算系统 30-1 至 30-4。运算系统 30-1 至 30-4 分别与系统总线 701 连接。

系统总线 701 可以向运算系统 30-1 至 30-4 提供对应的时钟信号 CLK3 和 CLK4。具体来说,系统总线 701 可以:向运算系统 30-1 中的 PLL34-1 提供时钟信号 CLK4-1,向电压调节电路 31-1 提供时钟信号 CLK3-1;向运算系统 30-2 中的 PLL34-2 提供时钟信号 CLK4-2,向电压调节电路 31-2 提供时钟信号 CLK3-2;向运算系统 30-3 中的 PLL34-3 提供时钟信号 CLK4-3,向电压调节电路 31-3 提供时钟信号 CLK3-3;向运算系统 30-4 中的 PLL34-4 提供时钟信号 CLK4-4,向电压调节电路 31-4 提供时钟信号 CLK3-4。

示例性的,系统总线 701 可以是外设部件互连标准(peripheral component interconnect, 简称 PCI)总线或扩展工业标准结构(extended industry standard architecture, 简称 EISA)

总线等。系统总线 704 可以分为地址总线、数据总线、控制总线等。为便于表示，图 7 中仅用一条粗线表示，但并不表示仅有一根总线或一种类型的总线。

本申请实施例中，系统总线 704 可以分别为运算系统 30-1 至 30-4 提供相同的时钟信号，也就是说，时钟信号 CLK4-1 至 CLK4-4，以及时钟信号 CLK3-1 至 CLK3-4，可以为同一时钟信号，也就是系统级的时钟信号。

示例性的，集成电路 700 中还可以包括晶振 702，也可以称为晶体振荡器 702。晶振 702 可以产生系统级的时钟信号，并通过系统总线 701，分别传输至各个运算系统。

在一种可能的实现方式中，系统总线 704 还可以分别传输提供电压调节电路 31-1 至 31-4 的配置信息。

本申请实施例中，位于同一个运算系统的逻辑电路和电压调节电路可以集成于同一个集成模块中，即可以通过同一道生产工艺制作逻辑电路和电压调节电路，使逻辑电路和电压调节电路具有相同的工艺角类型。在一种可能的实现方式中，该运算系统中的 PLL 也可以集成于集成模块中。该集成模块可以进一步通过键合、焊接等工艺集成于集成电路 700 中。

可以理解，集成电路 700 中不同的逻辑电路可以用于实现不同的逻辑运算功能。示例性的，逻辑电路 33-1、PLL34-1 和电压调节电路 31-1 集成在同一个集成模块中，作为集成电路 700 中的 CPU。逻辑电路 33-1、PLL34-1 和电压调节电路 31-1 集成在同一个集成模块中，作为集成电路 700 中的第一 CPU。逻辑电路 33-2、PLL34-2 和电压调节电路 31-2 集成在同一个集成模块中，作为集成电路 700 中的第二 CPU。逻辑电路 33-3、PLL34-3 和电压调节电路 31-3 集成在同一个集成模块中，作为集成电路 700 中的 GPU。逻辑电路 33-4、PLL34-4 和电压调节电路 31-4 集成在同一个集成模块中，作为集成电路 700 中的数字信号处理器（digital signal processor，DSP）。

需要指出的是，集成电路 700 中不同的逻辑电路可以具有相同或不同的工作频率。比如，逻辑电路 33-1 工作在 2.3GHz，而逻辑电路 33-2 工作在 1.8GHz，而逻辑电路 33-3 和逻辑电路 33-4 分别工作在 1.5GHz 和 1GHz。在集成电路 700 的每个运算系统的集成模块中，各自集成有一个电压调节电路。

在实际应用过程中，可以根据各个逻辑电路的工作频率，通过配置信息配置电压调节模块中振荡器的时延，从而在最大程度上优化各个逻辑电路的时序裕度，同时也可以最大化的节约逻辑电路 33 的功耗。

此外，集成电路 700 还可以根据各逻辑电路运算任务变化，适应性调节各逻辑电路的工作频率。例如，在运算任务较多时，可以将逻辑电路的工作频率调节至 2GHz，在运算任务较少时，可以将逻辑电路的工作频率调节至 1GHz。

以逻辑电路 33-1 为例，当逻辑电路 33-1 的运算任务增多时，集成电路 700 可以增大 PLL34-1 输出的时钟信号 CLK51（图中未示出）的频率。同时，增大电压调节电路 31-1 中分频器 3121 的分频倍数，使电压调节电路 31-1 可以同步增大电源电路 32-1 的输出电压，从而可以提高逻辑电路 33-1 的工作频率，提高逻辑电路 33-1 的逻辑运算速度。

基于相同的技术构思，本申请实施例还提供一种电压调节方法，该方法可以应用于上述任一实施例所提供的电压调节电路 31。示例性的，本申请实施例所提供的电压调节方法可以如图 8 所示，主要包括以下步骤：

S801: 根据电源电路的输出电压, 通过振荡器生成第一时钟信号, 振荡器的工艺角类型与逻辑电路的工艺角类型相同, 电源电路的输出电压用于为逻辑电路供电。

S802: 根据第一时钟信号, 控制电源电路调节输出电压。

示例性的, 电压调节电路 31 在控制电源电路 32 调节输出电压时, 主要包括: 按照分频倍数对第一时钟信号进行分频, 得到第二时钟信号; 根据第二时钟信号与参考时钟信号之间的相对频率大小关系, 控制电源电路 32 调节输出电压。

其中, TT corner 类型的振荡器 311 输出的第一时钟信号的频率, 除以参考时钟信号的频率后的商值, 为分频倍数。

示例性的, 电压调节电路 31 在根据第二时钟信号与参考时钟信号之间的相对频率大小, 控制电源电路 32 调节输出电压时, 至少可能出现以下任一种情况:

在第二时钟信号的频率大于参考时钟信号的频率时, 控制电源电路 32 降低输出电压; 或,

在第二时钟信号的频率小于参考时钟信号的频率时, 控制电源电路 32 增大输出电压。

接下来, 以图 9 为例, 对本申请实施例所提供的电压调节方法在运算系统 30 中的应用, 作进一步的示例性说明。如图 9 所示, 主要包括以下步骤:

S901: 上电。电源电路 32 输出电压, 为电压调节电路 31 和逻辑电路 33 供电。本申请实施例中, 电源电路 32 的初始的输出电压可以是根据逻辑电路 33 的工作频率设置的。

S902: 配置振荡器 311 的第一路径与逻辑电路 33 的第二路径对应。在一种可能的实现方式中, 第二路径可以是逻辑电路 33 中时序裕度最小的逻辑路径, 具体实现过程不再赘述。

S903: 电压调节电路 31 指示电源电路 32 调节输出电压。具体来说, 主要可能出现以下三种情况: (1) 第一路径的时延较小, 电压调节电路 31 指示电源电路 32 降低输出电压。(2) 第一路径具有标准时延, 电压调节电路 31 不指示电源电路 32 调节输出电压。(3) 第一路径时延较大, 电压调节电路 31 指示电源电路增大输出电压。

S904: 电压调节电路 31 指示电源电路 32 调节输出电压, 直至电源电路 32 的输出电压与逻辑电路 33 匹配。

S905: 根据逻辑电路 33 的工作频率配置 PLL34, 并开启 PLL34。使得 PLL34 可以输出与逻辑电路 33 的工作频率相匹配的时钟信号 CLK5。

S906: 电压调节电路 31 持续跟踪调节电源电路 32 的输出电压。具体来说, 在逻辑电路 33 的工作过程中, 其时延也有可能出现变化。例如, 芯片温度等因素皆有可能影响到逻辑电路 33 的时延。

芯片温度变化。本申请实施例中, 由于电压调节电路 31 和逻辑电路 33 集成于同一芯片中, 因此可以认为电压调节电路 31 和逻辑电路 33 的温度相同。当逻辑电路 33 的温度变化时, 电压调节电路 31 的温度也会变化, 使振荡器 311 的时延产生变化, 进而导致振荡器 311 产生的时钟信号 CLK1 的频率发生变化。调控电路 312 无需获知目前的温度情况, 只需在时钟信号 CLK1 的频率偏离标准频率后, 控制电源电路 32 调节输出电压, 使接下来的时钟信号 CLK1 的频率能够回归标准频率即可。

S907: 下电。电源电路 32 停止输出电压。

本领域内的技术人员应明白, 本申请的实施例可提供为方法、系统、或计算机程序产

品。因此，本申请可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本申请可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。

本申请是参照根据本申请的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的保护范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。