世界知的所有権機関
国際事務局
PCT
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6
H01L 25/00, 21/56, 23/50
A1
(11) 国際公開番号 WO95/29506
(43) 国際公開日 1995年11月2日(02.11.95)

(21) 国際出願番号 PCT/JP95/00662
(22) 国際出願日 1995年4月5日(05.04.95)

(30) 優先権データ
特願平6/88973 1994年4月26日(26.04.94) JP
特願平6/217814 1994年8月20日(20.08.94) JP

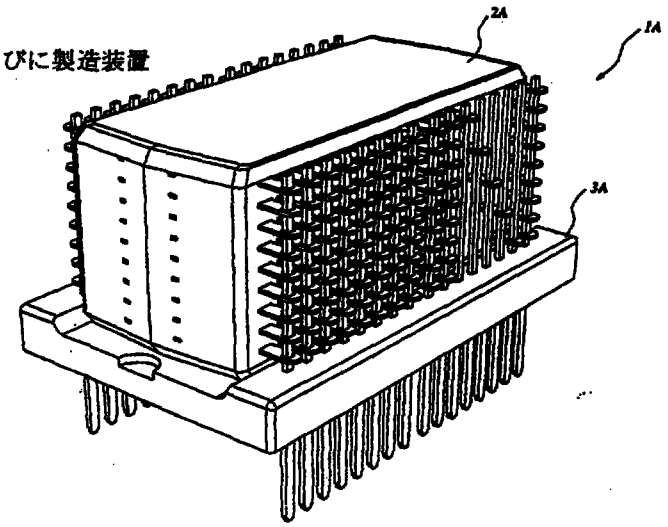
(71) 出願人（米国を除くすべての指定国について）
株式会社 日立製作所(HITACHI, LTD.)[JP/JP]
〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)
日立超エル・エス・アイ・エンジニアリング株式会社
(HITACHI ULSI ENGINEERING CORP.)[JP/JP]
〒187 東京都小平市上水本町5丁目20番1号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
西沢裕孝(NISHIZAWA, Hirotaka)[JP/JP]
〒185 東京都国分寺市北町1丁目15番3号 Tokyo, (JP)
三浦与佳(MIURA, Tomoyoshi)[JP/JP]
〒187 東京都小平市小川東町1832番地47 Tokyo, (JP)
安生一郎(ANJOU, Ichirou)[JP/JP]
〒184 東京都小金井市貫井南町3丁目13番15号 Tokyo, (JP)
石原政道(ISHIHARA, Masamichi)[JP/JP]
〒205 東京都羽村市緑ケ丘2丁目10番21号 Tokyo, (JP)
山村雅宏(YAMAMURA, Masahiro)[JP/JP]
〒189 東京都東村山市美住町2丁目3番11号306 Tokyo, (JP)
森田貞雄(MORITA, Sadao)[JP/JP]
〒198 東京都青梅市末広町1丁目1番53号 Tokyo, (JP)
荒木 隆(ARAKI, Takashi)[JP/JP]
〒176 東京都練馬区桜台1丁目20番11号 Tokyo, (JP)
井上 清(INOUE, Kiyoshi)[JP/JP]
〒166 東京都杉並区高円寺南5丁目35番1号 Tokyo, (JP)
管野利夫(SUGANO, Toshio)[JP/JP]
〒187 東京都小平市鈴木町1丁目166番3号
シンフォニー21 205号 Tokyo, (JP)
小原哲治(KOHARA, Tetsuji)[JP/JP]
〒190-12 東京都西多摩郡瑞穂町箱根ケ崎西松原47番地48 Tokyo, (JP)
山田利夫(YAMADA, Toshio)[JP/JP]
〒205 東京都羽村市川崎2丁目6番3号 コーポ石井102 Tokyo, (JP)
関根 康(SEKINE, Yasushi)[JP/JP]
岩井秀俊(IWAI, Hidetoshi)[JP/JP]
塩沢 昇(SHIOZAWA, Noboru)[JP/JP]
〒198 東京都青梅市新町769番地 Tokyo, (JP)
英 善明(ANATA, Yoshiaki)[JP/JP]
〒350-12 埼玉県日高市猿田139番地3 Saitama, (JP)
後藤正克(GOTO, Masakatsu)[JP/JP]
〒243-02 神奈川県厚木市飯山3062番地4 Kanagawa, (JP)
葛西紀彦(KASAI, Norihiko)[JP/JP]
〒228 神奈川県相模原市上鶴間8丁目6番21号 Kanagawa, (JP)
竹浦 忍(TAKEURA, Shinobu)[JP/JP]
〒242 神奈川県大和市福田375番地 Kanagawa, (JP)
附田睦雄(TSUKUDA, Mutsuo)[JP/JP]
〒228 神奈川県座間市相模が丘1丁目30番11号 Kanagawa, (JP)
山口泰紀(YAMAGUCHI, Yasunori)[JP/JP]
〒197 東京都福生市加美平1丁目25番14号 Tokyo, (JP)
沢田二郎(SAWADA, Jiro)[JP/JP]
〒185 東京都国分寺市光町3丁目26番41号 Tokyo, (JP)
津久井誠一郎(TSUKUI, Seiichiro)[JP/JP]
〒350-13 埼玉県狭山市富士見2丁目23番31号 Saitama, (JP)
加地忠雄(KAJI, Tadao)[JP/JP]
〒190-01 東京都西多摩郡日の出町平井2196番地311 Tokyo, (JP)
(74) 代理人
弁理士 筒井大和(TSUTSUI, Yamato)
〒160 東京都新宿区西新宿7丁目22番45号
N. S. Excel 301 筒井国際特許事務所 Tokyo, (JP)

(81) 指定国
CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類 国際調査報告書

(54) Title : SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND METHOD AND APPARATUS FOR MANUFACTURING IT

(54) 発明の名称 半導体集積回路装置およびその製造方法ならびに製造装置



SG 9611766-8
IPOS copy

(57) Abstract

A RAM module having a very small size and a large capacity. A predetermined number of lead frames each mounted with a semiconductor chip are stacked and encapsulated with resin, forming a resin package (2A). The package (2A) is plugged into a mother socket (3A). The leads (6) led out of the sides of the package (2A) are electrically connected to the module leads of the mother socket (3A), which extend in the direction perpendicular to the direction in which the leads (6) extend.

（５７）要約

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージ（２Ａ）をマザーソケット（３Ａ）に搭載し、樹脂パッケージ（２Ａ）の側面から引き出したリードフレームのリード（６）とこのリード（６）の延在方向と交差する方向に延在するマザーソケット（３Ａ）のモジュールリード（９）とを電気的に接続した、超小型で大容量のＤＲＡＭモジュールである。

情報としての用途のみ
ＰＣＴに基づいて公開される国際出願をパンフレット第一頁にＰＣＴ加盟国を同定するために使用されるコード

AM	アルメニア	ES	エストニア	LK	スリランカ	RU	ロシア連邦
AT	オーストリア	FI	フィンランド	LR	リベリア	SD	スーダン
AU	オーストラリア	FR	フランス	LS	レソト	SE	スウェーデン
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SG	シンガポール
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SI	スロヴェニア
BB	バルバドス	GE	グルジア	LV	ラトヴィア	SK	スロヴァキア共和国
BE	ベルギー	GH	ガーナ	MC	モナコ	SL	シエラレオネ
BF	ブルキナ・ファソ	GN	ギニア	MD	モルドバ	TG	トーゴ
BG	ブルガリア	GR	ギリシャ	MG	マダガスカル	TJ	タジキスタン
BJ	ベナン	HU	ハンガリー	ML	マリ	TM	トルクメニスタン
BR	ブラジル	IE	アイルランド	MN	モンゴル	TR	トルコ
BY	ベラルーシ	IL	イスラエル	MR	モーリタニア	TT	トリニダード・トバゴ
CA	カナダ	IS	アイスランド	MW	マラウイ	UA	ウクライナ
CF	中央アフリカ共和国	IT	イタリー	MX	メキシコ	UG	ウガンダ
CG	コンゴー	JP	日本	NL	オランダ	US	米国
CH	スイス	KE	ケニア	NO	ノルウェー	UZ	ウズベキスタン共和国
CI	コート・ジボアール	KG	キルギスタン	NZ	ニュージーランド	VN	ヴィエトナム
CM	カメルーン	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CN	中国	KR	大韓民国	PT	ポルトガル		
CZ	チェッコ共和国	KZ	カザフスタン	RO	ルーマニア		
DE	ドイツ	LI	リヒテンシュタイン				
DK	デンマーク						

明 細 書

半導体集積回路装置およびその製造方法ならびに製造装置

技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、小型・高性能のマルチチップ・モジュールを有する半導体集積回路装置に適用して有効な技術に関するものである。

背景技術

ＳＩＭＭ(Single In-line Memory Module)に代表されるメモリモジュールは、エンジニアリング・ワークステーション（ＥＷＳ）やパーソナル・コンピュータなどに搭載する半導体メモリとして広く利用されている。ＳＩＭＭは、通常、ＤＲＡＭ(Dynamic Random Access Memory)やＳＲＡＭ(Static Random Access Memory)などのメモリＬＳＩを形成した半導体チップをＳＯＪ(Small Out-line J-leaded Package)などのＬＳＩパッケージに封止し、これをプリント配線基板に実装した構成となっている。

ところが、近年のＥＷＳや並列処理コンピュータは、大量のデータを高速で処理するために大容量のメモリ（ＲＡＭ）を必要としている。そこで、これに対応するために、メモリモジュールの三次元化技術が検討されている。これは、従来のＳＩＭＭのように、プリント配線基板上に平面的（二次元的）にＬＳＩパッケージを実装する方式では、メモリ容量の増加につれてプリント配線基板のサイズが著しく大型化してしまうからである。

三次元メモリモジュールの具体例としては、例えばＴＳＯＰ(Thin Small Out-line Package)などの超薄型ＬＳＩパッケージを何層か積み重ねてその両側壁にプリント配線基板を配置し、それぞれのＴＳＯＰのリードをこの側面基板で保持する構造のもの（工業調査会、1993年９月１日発行「電子材料」p.33～p.39）などが知られている。

この種の三次元メモリモジュールによれば、同一面積のプリント配線基板上により多くのＬＳＩパッケージを搭載できるので、小型で大容量のメモリモジュー

ルを実現することができる。また、プリント配線基板上に平面的にＬＳＩパッケージを実装する場合に比べてパッケージ間を接続する配線長を短くすることができるので、高速化の面からも利点が大きい。

しかしながら、ＴＳＯＰなどの超薄型ＬＳＩパッケージを積み重ねた従来構造の三次元メモリモジュールは、モジュールの小型化とパッケージの熱抵抗の低減を両立させることが困難である。

すなわち、ＴＳＯＰなどのＬＳＩパッケージを積み重ねると、上下の半導体チップ間の樹脂の肉厚が二倍になるので、パッケージの熱抵抗が大きくなってしまう。従って、この熱抵抗を低減するために、パッケージとパッケージの間に適当な隙間を設けなければならないので、モジュールの縦方向の外形寸法が大きくなってしまう。

三次元メモリモジュールを小型化する有効な手段は、一つのパッケージに複数の半導体チップを一括して封止することである。このようにすると、上下の半導体チップ間に充填される樹脂の肉厚が薄くなるので、パッケージの縦方向の外形寸法が小さくなるのみならず、パッケージの熱抵抗も小さくなる。

しかし、一つのパッケージに複数の半導体チップを単純に一括封止しただけでは、信頼性の高いメモリモジュールを得ることはできない。すなわち、一つのパッケージに複数の半導体チップを一括封止した場合は、パッケージの中心部と周辺部の温度差が大きくなり、パッケージの内部に大きな熱ストレスの生ずることが予想される。従って、パッケージの中心部の熱を速やかに外部に放散させるための構造設計が不可欠である。

また、一つのパッケージに複数の半導体チップを一括封止する場合は、テスティング、選別、エージングなどをどのような方法で行うかが問題となる。すなわち、一つのパッケージに複数の半導体チップを一括封止したモジュールは、パッケージの封止後にいずれかの半導体チップが不良であることが判明しても、その半導体チップを交換することができない。従って、モジュールの製造歩留りを向上させるためには、半導体チップをリードフレームに搭載してワイヤボンディングを行った後、半導体チップを封止する工程の直前にすべての半導体チップが正常に動作するか否かを確認するためのテスティング、選別、エージングを行う必

要がある。しかし、封止工程前のリードフレームは、全てのリードがタイバーを介して電気的に導通した状態になっているため、そのままではテスティング、選別、エージングを行うことができない。

また、一つのパッケージに複数の半導体チップを一括封止する場合は、封止工程の歩留り、スループットも問題となる。通常、ＴＳＯＰなどのＬＳＩパッケージは、上型と下型との間にリードフレームを挟んでその隙間に樹脂を注入するインサート・モールド法により成形するが、半導体チップを搭載したリードフレームを積層して一括封止する場合は、上型と下型とで構成される従来の金型ではパッケージの離型が困難となるのでその対策が必要である。また、重なり合ったリードフレームの隙間には樹脂が流入し難く、ボイド（空隙）などが発生し易いので、これを防ぐ対策も必要である。

また、従来構造の三次元メモリモジュールは、全ての半導体チップを同一ピン配列のリードフレームに搭載している。しかし、データピンの接続は半導体チップごとに異なるので、同一ピン配列のリードフレームを使用したのでは、リードフレーム間を縦方向に単純に接続することができない。従って、例えば前述した文献に記載されたメモリモジュールのように、積層したＬＳＩパッケージの両側壁にプリント配線基板を配置するなどの対策が必要となり、モジュールの小型化が制約される。

さらに、従来構造の三次元メモリモジュールは、多ビット化への対応が困難である。すなわち、例えば３６ビットメモリモジュールのようにデータ幅の広い多ビット製品は、データ線が多いためにリードフレームを小型に設計することが困難で、パッケージサイズ、ボンディングワイヤ長が長くならざるを得ない。従って、従来技術では、多ビット品を小型のメモリモジュールに搭載することは困難である。

本発明の目的は、小型・高性能のマルチチップ・モジュール、特に小型・大容量のメモリモジュールを提供することにある。

本発明の目的は、小型・高性能のマルチチップ・モジュールの製造方法を提供することにある。

本発明の目的は、小型・高性能のマルチチップ・モジュールの製造装置を提供

することにある。

本発明の他の目的は、小型・高性能のマルチチップ・モジュールを安価に提供することのできる技術を提供することにある。

本発明の他の目的は、多ビット品を搭載したマルチチップ・モジュールを小型化することのできる技術を提供することにある。

本発明の他の目的は、マルチチップ・モジュールの放熱性を改善することのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本発明の半導体集積回路装置は、半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続したマルチチップモジュールである。このマルチチップモジュールによれば、複数の半導体チップを一括してパッケージに封止するので、半導体チップを１個ずつ樹脂封止したＴＳＯＰのようなＬＳＩパッケージを何層か積み重ねて構成したモジュールに比べて外形寸法を大幅に縮小することができる。また、パッケージから引き出したアウターリードとソケットのリードを交差させて接続することにより、マトリクス状の放熱経路が形成され、パッケージの中心部の熱を速やかに外部に放散させることができる。また、パッケージの側面からアウターリードを引き出して板バネ構造としているので、積層されたリードフレームの隙間に充填される樹脂の縦方向の伸縮を緩和することができる。

本発明の半導体集積回路装置は、上記のマルチチップモジュールにおいて、前記樹脂パッケージに一括封止された前記それぞれの半導体チップは、多ビットの入出力端子を有すると共に、前記入出力端子の一部に前記リードフレームと電気的に接続されていない不良の端子を含み、前記樹脂パッケージは、前記半導体チップの全体で前記リードフレームと電気的に接続された所定数の入出力端子を構

成しているものである。これにより、入出力端子の一部に不良の端子を含む多ビットの半導体チップの正常な入出力端子のみを選択的にリードフレームにボンディングすることによって、正常な入出力端子を持つ多ビットのマルチチップ・モジュールを得ることができる。

本発明の半導体集積回路装置は、上記のマルチチップモジュールにおいて、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成したマルチチップモジュールである。これにより、樹脂パッケージのリードをプリント配線基板に直接接続することができるので、前記ソケットが不要となり、部品点数の低減によるマルチチップ・モジュールの低価格化と外形寸法の小型化とを併せて実現することができる。

本発明の半導体集積回路装置は、上記のマルチチップモジュールを製造する際、上型および下型と、前記所定数のリードフレームのそれぞれの隙間に挿入され、それぞれが２分割可能な所定数の可動金型とで構成される金型を用いて、前記所定数のリードフレームを一括封止するものである。これにより、モールド後、それぞれの可動金型を左右に２分割することによって、パッケージを簡単に金型から離型することができる。

図面の簡単な説明

第１図は本発明の一実施例であるＤＲＡＭモジュールの前方斜視図、第２図はＤＲＡＭモジュールの後方斜視図、第３図はＤＲＡＭモジュールの裏面斜視図、第４図はＤＲＡＭモジュールの内部構成を示すブロック図、第５図はＤＲＡＭモジュールに使用される半導体チップのパッドレイアウトを示す平面図、第６図～第１４図は半導体チップが搭載される９枚のリードフレームの平面図、第１５図は半導体チップを搭載したリードフレームの平面図、第１６図はパッケージの斜視図、第１７図はパッケージを搭載するマザーソケットの斜視図、第１８図はパッケージの成形に用いる入れ子金型の斜視図、第１９図は入れ子金型の上金型を持ち上げた状態を示す斜視図、第２０図は入れ子金型の分解斜視図、第２１図は

入れ子金型の可動金型を示す平面図（ａ）および側面図（ｂ）、第２２図はパッケージの他の実施例を示す斜視図、第２３図はＤＲＡＭモジュールの他の実施例を示す斜視図、第２４図～第３２図はリードフレームの他の実施例を示す平面図、第３３図は入れ子金型の内部を上下方向に貫通するゲートラインの斜視図、第３４図はリードフレームを分解した状態を示す平面図、第３５図はマザーソケットの製造に用いる金型の一対の可動金型を示す斜視図、第３６図はマザーソケットの製造に用いる金型の一対の中央金型を示す斜視図、第３７図～第３９図はマザーソケットの製造に用いるリードフレームの平面図、第４０図～第４９図はリードフレームの他の実施例を示す平面図、第５０図はリードを保持している外側の金属部分を切り離した状態を示すリードフレームの平面図、第５１図は第２４図～第３２図に示した９枚のリードフレームで構成された一枚の組みリードフレームの全体平面図、第５２図、第５３図はダミーのリードフレームの平面図、第５４図はＤＲＡＭモジュールの等価回路図、第５５図はデュアルインライン構造に対応したマザーソケットのピン配列を示す平面図、第５６図～第６７図はリードフレームの他の実施例を示す平面図、第６８図はデュアルインライン構造のマザーソケットの斜視図、第６９図はマザーソケット上にパッケージを１段搭載した状態を示す斜視図、第７０図はＤＲＡＭモジュールの他の実施例を示す斜視図、第７１図はマザーソケットの上面側のピン配列を示す平面図、第７２図、第７３図はマザーソケット用リードフレームの他の実施例を示す平面図、第７４図はＤＲＡＭモジュールに放熱フィンを取り付けた実施例を示す斜視図、第７５図は放熱フィンの一部をカットした状態を示す斜視図、第７６図は放熱フィンの側面図、第７７図は放熱フィンの斜視図、第７８図は放熱フィンの他の実施例を示す斜視図、第７９図はＤＲＡＭモジュールの他の実施例を示す等価回路図、第８０図はＤＲＡＭモジュールの他の実施例を示す斜視図、第８１図はＤＲＡＭモジュールをＳＩＭＭのプリント配線基板に実装した状態を示す斜視図、第８２図はパッケージの成形に用いる入れ子金型の他の実施例を示す構成図、第８３図は可動金型の平面図（ａ）、側面図（ｂ）、第８４図は下金型の斜視図（ａ）、平面図（ｂ）、断面図（ｃ）、第８５図、第８６図はパッケージの成形方法を示す入れ子金型の構成図、第８７図はモールド装置の全体構成図、第８８図はパッケージの成

形方法を示す入れ子金型の構成図、第８９図はパッケージの成形方法を示す入れ子金型の斜視図、第９０図はパッケージの成形方法を示す入れ子金型の構成図、第９１図は可動金型の他の実施例を示す平面図（ａ）、側面図（ｂ）、第９２図はパッケージの断面図、第９３図は３００mil-ＳＯＪのＥＩＡＪ規格を示す説明図、第９４図はＤＲＡＭモジュールの一部を破断して示す断面図、第９５図、第９６図はモジュールリードの他の実施例を示す斜視図、第９７図は半田フィレットのパターンを示す側面図（ａ）、斜視図（ｂ）、第９８図（ａ）～（ｃ）はリードの他の実施例を示す平面図、第９９図はモジュールリードとリードの一括接続方法を示す側面図（ａ）、平面図（ｂ）、第１００図、第１０１図はリードの他の実施例を示す斜視図、第１０２図はパッケージの底面に窪みを設けた状態を示す斜視図、第１０３図は従来の単層パッケージの底面に窪みを設ける方法を示す説明図、第１０４図、第１０５図は可動金型の他の実施例を示す断面図、第１０６図（ａ）～（ｃ）は可動金型の他の実施例を示す側面図、（ｄ）、（ｅ）は（ｂ）の可動金型を上方から見た平面図、（ｆ）は可動金型のゲート孔の拡大平面図、第１０７図（ａ）は可動金型のゲート孔、ガイドピン孔、下金型のゲート孔の位置関係を示す平面図、（ｂ）はスリットゲートの平面図、第１０８図（ａ）はスリットゲートの拡大斜視図、（ｂ）はピンゲートの拡大斜視図、第１０９図（ａ）はゲート孔の平面図、（ｂ）はゲート孔の変形例を示す（ａ）のＸ－Ｘ’線に沿った断面図、第１１０図（ａ）、（ｂ）は可動金型の製造方法を示す斜視図、第１１１図はＤＲＡＭモジュールの他の実施例を示す斜視図、第１１２図はＤＲＡＭモジュールを裏面から見た斜視図、第１１３図はＤＲＡＭモジュールの内部構成を示すブロック図、第１１４図はマザーソケットの底面を示す平面図、第１１５図はマザーソケットの上面を示す平面図、第１１６図はマザーソケットの上面のソルダーレジストパターンを示す平面図、第１１７図はマザーソケットの底面側に設けられた冗長階層セレクタの等価回路図、第１１８図は冗長階層セレクタの選択的な接続方法を説明するための概念図、第１１９図はマザーソケットの底面側に設けられる冗長階層セレクタの他の等価回路図、第１２０図はＤＲＡＭチップのブロック図、第１２１図はＤＲＡＭチップの制御信号に着目したブロック図、第１２２図はＤＲＡＭモジュールの他の実施例のブロック図、第

１２３図は欠陥救済用ＬＳＩの一実施例のブロック図、第１２４図はインテリジェント化モジュールのブロック図、第１２５図（ａ）は誤り訂正回路を組み込んだモジュールの製造方法を示すパッケージの構成図、同図（ｂ）はマザーソケットの構成図、第１２６図、第１２７図はインテリジェント化モジュールの斜視図、第１２８図、第１２９図はインテリジェント化モジュールに使用するリードフレームの平面図、第１３０図はＤＲＡＭモジュールの他の実施例の等価回路図、第１３１図はリードとモジュールリードの接続方法の他の実施例を示す平面図（ａ）、側面図（ｂ）、第１３２図はリードとモジュールリードの接続方法の他の実施例を示す斜視図、第１３３図はマザーソケットの他の実施例を示す斜視図、第１３４図はＤＲＡＭモジュールの他の実施例を示す斜視図である。

発明を実施するための最良の形態

本発明をより詳述するために、添付の図面に従ってこれを説明する。

第１図は、本発明の一実施例であるＤＲＡＭモジュールを前方から見た斜視図、第２図は、このＤＲＡＭモジュールを後方から見た斜視図、第３図はこのＤＲＡＭモジュールを裏面から見た斜視図、第４図は、このＤＲＡＭモジュールの内部構成を示すブロック図である。

本実施例のＤＲＡＭモジュール１Ａは、モジュール本体であるパッケージ２Ａとこれを搭載するマザーソケット３Ａとで構成されている。パッケージ２Ａとマザーソケット３Ａは、エポキシ系の合成樹脂や耐熱液晶ポリマーなどからなり、後述する金型を使ってインサート・モールドされる。

パッケージ２Ａの内部には、９個の半導体チップ（M0～M8)とこれらの半導体チップ（M0～M8)を１個ずつ搭載（チップボンディング）した合計９枚のリードフレームがパッケージ２Ａの上下方向に積層された状態で一括封止されている。パッケージ２Ａに封止された９個の半導体チップ（M0～M8)のそれぞれには、１６メガビット[Mbit]の大容量を有する〔１６７７７２１６ワード×１ビット〕構成のＣＭＯＳ－ＤＲＡＭが形成されている。そして、これら９個の半導体チップ（M0～M8)を相互に結線することによって、第４図に示すような〔１６７７７２１６ワード×９ビット〕構成のＤＲＡＭモジュールが構成されている。

つまり、本実施例のＤＲＡＭモジュール１Ａは、１ビット単位でメモリアクセスを行う９個の１６メガビット[Mbit]ＤＲＡＭチップ（M0～M8)を並列に接続することによって、９ビット単位でメモリアクセスを行う大容量のＤＲＡＭモジュールを実現している。

第５図は、上記１６メガビット[Mbit]ＤＲＡＭが形成された半導体チップ（M）のパッドレイアウトを示す平面図である。この半導体チップ（M）は、〔４１９４３０４ワード×４ビット〕モードと〔１６７７７２１６ワード×１ビット〕モードがボンディングオプションで切換えられるように構成されており、〔１６７７７２１６ワード×１ビット〕モードで動作させるときには、図示のＦＰ２パッドをVss（ＧＮＤ）にショートさせる。また、この半導体チップ（M）は、ピン（端子）数の増加を防ぐために、ワイヤボンディング時に前記第４図に示すデータ入力ピンDinとデータ出力ピンDoutが同一のリードに内部接続される。

第６図～第１４図は、上記半導体チップ（M0～M8)が搭載される９枚のリードフレーム（Ｓ１～Ｓ9)の平面図である。それぞれのリードフレーム（Ｓ１～Ｓ9)には、長辺方向に沿ってリード６が二列に配置されている。リード６の数は、各列１６本の合計３２本である。それぞれのリード６の先端には、後述するマザーソケット３Ａのモジュールリードが挿入される四角い開孔８が形成されている。また、リードフレーム（Ｓ１～Ｓ9)の外周部には、後述する金型のガイドピンが挿入される丸い開孔４が設けられている。

リード６のパターン（ピン配置）は、リードフレーム（Ｓ１～Ｓ9)ごとに個別に設計されている。すなわち、電源（およびＧＮＤ）ピン、アドレス信号ピン、コントロール信号ピンなどのような共通接続されるピンはすべてのリードフレーム（Ｓ１～Ｓ9)で共通の配置となっているが、データ入出力用のピン（データピン）の配置はすべてのリードフレーム（Ｓ１～Ｓ9)で異なっている。電源（およびＧＮＤ）ピンは、バスバーリードとして構成されている。電源（およびＧＮＤ）ピンは、配線インピーダンスを低くするために、複数箇所で半導体チップの電源用パッド（およびＧＮＤパッド）に接続される。

上記９枚のリードフレーム（Ｓ１～Ｓ9)は、第６図に示すリードフレーム（Ｓ1)がパッケージ２Ａの最下層に配置され、その上に第７図～第１４図に示す８枚

のリードフレーム（S2～S9)が下層からS2,S3…S9の順に積層される。リードフレーム（S1～S9)は、42アロイ、コバールなどの導電材料からなり、その標準的な板厚は0.1～0.125mm程度である。

第15図は、半導体チップ（M0）を搭載したリードフレーム（S1)の平面図である。半導体チップ（M0）は、絶縁テープ5を用いたLOC(Lead On Chip)方式によってリードフレーム（S1)に搭載されている。絶縁テープ5は、半導体チップ（M0）の主面とリードフレーム（S1)の下面との間に挿入され、熱圧着によってリードフレーム（S1)に接着されている。半導体チップ（M0）は、接着剤によって絶縁テープ5に接着されている。絶縁テープ5は、パッケージ2Aを構成している合成樹脂との界面に生じる熱応力などを緩和する目的で4分割されている。絶縁テープ5は、ポリイミド樹脂、高耐熱・高強度液晶ポリマー（例えばポリプラスチック社の「ベクトラ E130 」のようなガラス繊維強化高耐熱液晶ポリマー）などからなり、その標準的な厚さは0.1～0.05mm程度である。

半導体チップ（M0）の主面上には、ボンディングパッド（BP）が長辺方向に沿って一列に配置されている。これらのボンディングパッド（BP）とリードフレーム（S1)の対応するリード6とは、Auのワイヤ7によって電気的に接続されている。ボンディングパッド（BP）とリード6の接続は、加熱または超音波もしくはこれらを併用した周知のワイヤボンディング装置を使って行われる。図示は省略するが、その他のリードフレーム（S2～S9)のそれぞれにも上記した方法で半導体チップ（M1～M8)が搭載されている。

また、第15図にはリードフレーム（S1)のピン（ピン1～ピン32）の配列が示してある。同図には使用パット（BP）のみが示されているが、データ出力ピンDoutは前記第5図に示すIO3パッド、データ入力ピンDinはDinパッドであり、ピン31に内部接続されている。ピン1～ピン32の構成を順に説明すると、ピン1はVss、ピン2はNC、ピン3は第2層目のリードフレーム（S2)のデータ1、ピン4は第4層目のリードフレーム（S4)のデータ3、ピン5は第6層目のリードフレーム（S6)のデータ5、ピン6は第8層目のリードフレーム（S8)のデータ7、ピン7は／WE、ピン8はロウアドレスストローブ信号／RAS、ピン9はA（アドレス）11、ピン10はA10、ピン11はA0、ピ

ン１２はＡ１、ピン１３はＡ２、ピン１４はＡ３、ピン１５はVcc、ピン１６は同じくVcc、ピン１７はVss、ピン１８は同じくVss、ピン１９はＡ４、ピン２０はＡ５、ピン２１はＡ６、ピン２２はＡ７、ピン２３はＡ８、ピン２４はＡ９、ピン２５は第９層目のリードフレーム（S9)の（パリティ用）のカラムアドレスストローブ信号／ＰＣＡＳ（第１層目～第８層目のリードフレーム（S1～S8)はピン２６で使用しているＣＡＳパッドに接続）、ピン２６はチップセレクト信号（カラムアドレスストローブ信号）／ＣＡＳ（第９層目のリードフレーム（S9)を除く）、ピン２７は第９層目のリードフレーム（S9)のパリティ用データ８、ピン２８は第７層目のリードフレーム（S7)のデータ６、ピン２９は第５層目のリードフレーム（S5)のデータ４、ピン３０は第３層目のリードフレーム（S3)のデータ２、ピン３１は第１層目のリードフレーム（S1)のデータ０、ピン３２はVssである。

第１６図は、上記のような内部構造を有するパッケージ２Ａの斜視図である。図示のように、パッケージ２Ａの長辺方向の両側面には、前述した９枚のリードフレーム（S1～S9)のリード６が水平方向に引き出されている。これらのリード６のうち、電源（およびＧＮＤ）ピン、アドレス信号ピン、コントロール信号ピンなどを構成するリード６は、すべてのリードフレーム（S1～S9)で共通の配置となっているため、パッケージ２Ａの側面において上下方向に重なり合うように配置されている。ただし、コントロール信号の／ＣＡＳは、最上層のリードフレーム（S9)を除く他のリードフレーム（S1 ～S8)で共通の配置となっている。これに対し、データピンを構成するリード６の配置は、リードフレーム（S1～S9)ごとに異なっているので、上下方向に重なり合わないように、それぞれのリードフレーム（S1～S9)から１本（１ビット）ずつ引き出されている。

第１７図は、上記パッケージ２Ａが搭載されるマザーソケット３Ａの斜視図である。図示のように、マザーソケット３Ａには、上下方向に延在するモジュールリード９がその長辺方向の両側面に沿って一列ずつ配置されている。モジュールリード９の配置は、リードフレーム（S1～S9)のリード６の配置に対応している。モジュールリード９の下部は、マザーソケット３Ａを貫通してその裏面側に延在し、ＤＲＡＭモジュール１ＡをＳＩＭＭのプリント配線基板に実装する際の

外部端子を構成している。

上記マザーソケット３Ａにパッケージ２Ａを搭載するには、マザーソケット３Ａのモジュールリード９をパッケージ２Ａの対応するリード６の開孔８に挿入し、両者を半田、ろう付けあるいは溶接などといった周知の手段で接続、固定する。半田を使って両者を接続する場合は、リード６の表面とモジュールリード９の表面とに半田メッキを施しておき、モジュールリード９をリード６の開孔８に挿入した後、加熱炉内でこの半田メッキを溶融させる。その際、リード６またはモジュールリード９の一方にパラジウム（Ｐｄ）のような半田フローを阻止する金属をメッキしておくことにより、半田の溶融によってリード６同士やモジュールリード９同士がショートする危険を少なくすることができる。

半導体チップが１個だけ封止されたＬＳＩパッケージ（例えばＴＳＯＰ）を何個か積み重ねて構成した従来のメモリモジュールは、パッケージを構成する樹脂の厚みに加えて放熱のためにそれぞれのパッケージの間に隙間を設ける必要があるので、積層方向の寸法の縮小には限界がある。これに対し、本実施例のＤＲＡＭモジュール１Ａは、複数個の半導体チップ（M0～M8)を１個のパッケージ２Ａに一括して封止するので、上記した従来のメモリモジュールに比べて上下方向の外形寸法（高さ）が大幅に縮小される。

また、本実施例のＤＲＡＭモジュール１Ａは、前述したような構造のリードフレーム（Ｓ１～Ｓ９)を使用したことにより、パッケージ２Ａの平面的な寸法がその内部に封止された半導体チップ（M0～M8)１個分の大きさよりも僅かに大きくなるだけで済む。ただし、リードフレーム（Ｓ１～Ｓ９)のデータピン（リード６）をパッケージ２Ａの上下方向に重ならないように分散させて配置する必要上、通常のＤＲＡＭ用リードフレームに比べてリード６の本数が各列で４本程度多くなり、その分、パッケージ２Ａの長辺方向の寸法が大きくなる。しかし、リード６のピッチは極く狭いので、長辺方向の寸法の増加は僅かである。

また、本実施例のＤＲＡＭモジュール１Ａは、１個のパッケージ２Ａに多数の半導体チップ（M0～M8)が封止されているにもかかわらず、パッケージ２の熱抵抗が非常に小さい。これは、一つには半導体チップ（M0～M8)の隙間に充填される樹脂の肉厚が極めて薄いためである。また、パッケージ２Ａの側面から水

平方向に引き出したリード６と上下方向に延在するマザーソケット３Ａのモジュールリード９を交差接続したことによって、マトリクス状の放熱経路が形成されるので、パッケージ２Ａの中心部の熱がリード６とモジュールリード９とを通じて速やかに外部に放散されるためである。

また、本実施例のＤＲＡＭモジュール１Ａは、パッケージ２Ａの側面から引き出された多数のリード６が板バネ構造を形成しているため、パッケージ２Ａ内のリードフレーム（Ｓ１～Ｓ９)の隙間に充填された樹脂の上下方向の伸縮応力がリード６の変形によって吸収、緩和される構造になっている。これにより、樹脂とリードフレーム（Ｓ１～Ｓ９)の界面剥離や樹脂のクラックが抑制されるので、パッケージ２Ａの信頼性が向上する。

また、本実施例のＤＲＡＭモジュール１Ａは、データピンの配置をリードフレーム（Ｓ１～Ｓ９)ごとに変えてあるので、リードフレーム（Ｓ１～Ｓ９)間を直接接続することができる。つまり、別途、リードフレーム（Ｓ１～Ｓ９)間の接続を目的としたプリント配線基板などを必要としないので、ＤＲＡＭモジュール１の外形寸法を小さくすることができる。

なお、上記の説明では、データピンを構成するリード６をそれぞれのリードフレーム（Ｓ１～Ｓ９)から１本ずつ引き出すものとしたが、さらにダミーのリードを引き出すようにしてもよい。その実例が前記第１６図に示すパッケージ２Ａの手前左側から９番目のリード６（ピン２５）である。このピン２５は、第９層目（最上層）のリードフレーム（Ｓ９)のＰＣＡＳであるため、本来は第９層目のリードフレーム（Ｓ９)からのみ引き出されるものであるが、同図に示すように、下層の各リードフレーム（Ｓ１～Ｓ８)の同じ箇所からもリード６が１本ずつ、合計８本引き出されている。この８本のリード６は、いずれも半導体チップ（Ｍ０～Ｍ８)とは電気的に接続されていないダミーのリードである。

上記のようなダミーリードをパッケージ２Ａから引き出してマザーソケット３のモジュールリード９に接続した場合は、パッケージ２Ａの放熱経路が増えるので、その熱抵抗がさらに小さくなる。また、マザーソケット３Ａのモジュールリード９に接続されるリード６の本数が増えるので、リード６とモジュールリード９の接合強度が向上する。

次に、本実施例のＤＲＡＭモジュール１Ａの製造方法を説明する。

通常、ＴＳＯＰなどのＬＳＩパッケージは、上金型と下金型の間にリードフレームを挟み込んでその隙間に樹脂を注入するインサート・モールド法で成形される。しかし、本実施例のＤＲＡＭモジュール１Ａのパッケージ２Ａには、多数のリードフレーム（Ｓ１～Ｓ8)が一括封止されるので、上金型と下金型だけで構成される従来のモールド金型を使用したのでは、モールド後にパッケージ２Ａを金型から離型するのが難しい。

そこで、本実施例では、第１８図～第２０図に示すような入れ子金型を使用してパッケージ２Ａをモールド成形する。第１８図は入れ子金型の斜視図、第１９図は入れ子金型の上金型を持ち上げた状態を示す斜視図、第２０図は入れ子金型の分解斜視図、第２１図は入れ子金型の可動金型を示す平面図（ａ）および側面図（ｂ）である。

図示のように、入れ子金型１０は、上金型１１と下金型１２と複数組の可動金型（スペーサ型）１３とで構成されている。１組の可動金型１３は２枚の薄板で構成され、積層された（チップボンディング済みの）リードフレーム（Ｓ）の隙間に１組ずつ挿入される。本実施例のパッケージ２Ａのように９枚のリードフレーム（Ｓ１～Ｓ9)を封止する場合は、８組の可動金型１３が必要となる。

第２１図に示すように、上記可動金型１３は、パーティングライン（ＰＬ）を中心にして水平方向に左右２分割される。図示のように、このパーティングライン（ＰＬ）と直交する方向に沿った可動金型１３の４辺には、パッケージ２Ａの離型を容易にする目的で、例えば４°程度の離型角（θ）が設けられている。

リードフレーム（Ｓ１～Ｓ9)の隙間に１組ずつ挿入される上記のような可動金型１３を使用することにより、多数のリードフレーム（Ｓ１～Ｓ9)を特別な構造補強を行うことなく入れ子金型１０の所定の位置に高精度に３次元配置することが可能となる。また、モールド後は、上金型１１と下金型１２を上下方向に分割すると共に、それぞれの可動金型１３を水平方向に２分割するだけでパッケージ２Ａを簡単に離型することができるので、モールド工程の歩留りおよびスループットが向上する。

可動金型１３の厚さは、半導体チップ（Ｍ）の厚さ、絶縁テープ５の厚さ、ワ

イヤ７のループ高さ、および半導体チップ（M）間に充填される樹脂の厚さを合計した厚さに相当する。一例として半導体チップ（M）の厚さが0.２８mm、絶縁テープ５の厚さが0.１mm、ワイヤ７のループ高さが0.１５mm、半導体チップ（M）間に充填される樹脂の厚さが0.１５mmのとき、可動金型１３の厚さは0.６８mmである。

また、リードフレーム（S）の板厚を0.１mmとし、パッケージ２Aの上、下端部の厚さは、半導体チップ（M）を含む上端部の厚さを0.５８mm（絶縁テープ５の厚さ＋半導体チップ（M）の厚さ＋樹脂の厚さ＝0.１mm＋0.２８mm＋0.１５mm）、半導体チップ（M）を含まないワイヤ７のみの下端部の厚さを0.３５mm（ワイヤ７のループ高さ＋樹脂の厚さ＝0.１５mm＋0.２mm）として計算すると、パッケージ２Aの上下方向の外形寸法は、パッケージ２Aの上端部の厚さ（0.５８mm）＋〔リードフレーム（S）の板厚（0.１mm）×９〕＋〔可動金型１３の厚さ(0.６８mm）×８〕＋パッケージ２Aの下端部の厚さ（0.３５mm）＝7.２７mmとなる。

上記したパッケージ２Aの外形寸法（＝7.２７mm）は、例えば厚さ1.１mmのＴＳＯＰを隙間なく９個積層した場合の寸法（1.１mm×９＝9.９mm）に比べて２７％程度小さい。しかも、実際にＴＳＯＰを積層する場合は、放熱を考慮してそれぞれのＴＳＯＰの間に１mm程度の隙間を設ける必要があるので、（1.１mm×９）＋（１mm×８）＝１８mm程度になる。つまり、本実施例のパッケージ２Aの上下方向の外径寸法は、ＴＳＯＰを積層したものに比べて約４０％も小さくなる。また、上記のような可動金型１３を備えた記入れ子金型１０を使用してパッケージ２Aを成形することにより、半導体チップ（M0 ～M8)の隙間に充填される樹脂の肉厚を最小限にすることができるので、パッケージ２Aの中心部の温度上昇を抑えることができる。

本実施例のＤＲＡＭモジュール１Aは、上記したワイヤ７のループ高さ、絶縁テープ５の厚さ、半導体チップ（M）の厚さ、半導体チップ（M）の隙間に充填される樹脂の厚さなどをさらに薄くすることにより、パッケージ２Aの上下方向の外形寸法をさらに小さくすることが可能である。

例えばワイヤ７のループ高さを0.１５mmから0.１２mm、絶縁テープ５の厚さ

を0.1mmから0.05mm、半導体チップ（M）の厚さを0.28mmから0.2mmへとそれぞれ薄くした場合は、リードフレーム（S）の板厚を0.1mmとしたとき、リードフレーム（S）一層あたりの厚さは0.57mmとなる。さらに、半導体チップ（M）とリードフレーム（S）の接続をワイヤボンディング方式からバンプ電極方式に代えた場合は、ワイヤ7のループ高さを考慮しなくともよいので、バンプ電極の高さを0.03mmとすると、リードフレーム（S）一層あたりの厚さは0.45mmまで薄くなる。

ただし、リードフレーム（S）一層あたりの厚さを極めて薄くした場合は、上層の半導体チップ（M）の裏面と、下層の半導体チップ（M）のワイヤ7とがショートする危険が高くなる。これを防止するには、半導体チップ（M）の裏面に絶縁性の樹脂膜を薄くコーティングすればよい。また、上下のリードフレーム（S）同士が極めて接近した場合は、リードフレーム（S）間のクロストークノイズが問題となる。その場合は、半導体チップ（M）の裏面に薄いＡｕ箔やＡｌ箔などのシールド層を設けることで対策する。

第２２図は、上記した方法でリードフレーム（S）一層あたりの厚さを薄くしたパッケージ２Ｂの斜視図、第２３図は、このパッケージ２Ｂをマザーソケット３Ｂに搭載した超小型ＤＲＡＭモジュール１Ｂの斜視図である。このＤＲＡＭモジュール１Ｂを前記第１図～第３図に示すＤＲＡＭモジュール１Ａと比較すると、上下方向の寸法が大幅に縮小されていることが判る。

次に、パッケージ２Ａのモールド工程の歩留りとスループットをさらに向上させるための改良されたリードフレーム構造について説明する。

前記入れ子金型１０にリードフレーム（S1～S9)をセットして一括モールドした場合、使用するエポキシ樹脂の粘度が高いときには、重ね合せたリードフレーム（S1～S9)の隙間が狭いためにこの隙間に樹脂が流入し難くなり、ボイド（空隙）が発生することがある。

これを防止するためには、第２４図～第３２図に示すようなリードフレーム（S1～S9)を使用する。これらのリードフレーム（S1～S9)は、前記第６図～第１４図に示したリードフレーム（S1～S9)と同一の、それぞれが個別に設計されたリードパターン（ピン配置）を有しているが、樹脂によって封止される矩

形の領域（パッケージ領域）の向かい合った２つの短辺の外側に一対のモールド用ゲート孔１４が設けられている。このモールド用ゲート孔１４を備えたリードフレーム（S1～S9)を使用するときは、前記入れ子金型１０の対応する箇所にも同様のゲート孔を設けておく。

モールド用ゲート孔１４を設けたリードフレーム（S1～S9)を積層して入れ子金型１０にセットした場合は、第３３図に示すように、入れ子金型１０の内部を上下方向に貫通する一対の円筒状のゲートライン２７、２８が形成される。そのため、上金型１１に設けられた一方のゲート１５から溶融樹脂を注入すると、この溶融樹脂は一方のゲートライン２７を通ってキャビティ内に速やかに充満する。そして、入れ子金型１０の内部で発生したボイドなどの不均一な樹脂分は、もう一方のゲートライン２８を通り、下金型１２に設けられたゲート１６に排出される。

このように、上記のようなモールド用ゲート孔１４を設けたリードフレーム（S1～S9)を使用することにより、重なり合ったリードフレーム（S1～S9)の狭い隙間に樹脂を充分に流入させることが可能となる。これにより、この隙間にボイドが生じたりする不具合を防止することができるので、パッケージ２Ａのモールド工程の歩留りが向上する。

第２４図～第３２図に示すリードフレーム（S1～S9)の第２の特徴は、長辺方向の枠部にリードフレーム（S）ごとに異なるパターンのインデックス孔１７が設けられていることである。これにより、量産時にリードフレーム（S）の層番号識別（インデックス孔１７のパターン）を自動的に読み取り、リードフレーム（S1～S9)が正しい順序で積層されているか否かを容易に判定することができるので、パッケージ２Ａのモールド工程の歩留り、スループットを向上させることができる。

また、第２４図～第３２図に示すリードフレーム（S1～S9)は、長辺方向の枠部の端部にもリードフレーム（S）ごとに異なるパターンのインデックス孔１８が設けられている。この位置にインデックス孔１８を設けることにより、層番号識別（インデックス孔１８のパターン）を側面から容易に読み取ることが可能となるので、リードフレーム（S1～S9)を入れ子金型１０にセットした後から

でも、リードフレーム（S1～S9)が正しい順序で積層されているか否かを容易に判定することができる。

第24図～第32図に示すリードフレーム（S1～S9)の第3の特徴は、パーティングライン上にセンタ孔26が設けられていることである。このセンタ孔26にピンなどを挿入してリードフレーム（S1～S9)を上金型11および／または下金型12に固定することにより、モールド後、可動金型13を抜き取る際にパッケージ2Aの動きが規制されるので、可動金型13の抜き取り作業を短時間で行うことができる。また、可動金型13を抜き取る際のリード6の変形を防止することができる。

第24図～第32図に示すリードフレーム（S1～S9)の第4の特徴は、リード6を支持する枠体の一部などにハーフエッチライン19が設けられていることである。このハーフエッチライン19は、リードフレーム製造用の導電材料（フープ材）をエッチングしてリード6のパターンを形成する際に同時に形成したもので、リードフレーム（S）の板厚の半分程度の深さの狭い凹溝によって構成されている。このハーフエッチライン19に沿ってリードフレーム（S）を折り曲げると、第34図に示すように、リードフレーム（S）の各部が簡単に切り離される。そのため、モールド後、パッケージ2Aの外部に露出しているリードフレーム（S1～S9)の不要箇所を短時間で除去することができる。また、リードフレーム（S1～S9)の不要箇所を除去する際にリード6が不所望に変形する危険も少なくなる。

次に、前記第17図に示すマザーソケット3Aを高い寸法精度で製造するためのモールド金型について説明する。このモールド金型は、第35図に示すような水平方向に可動する左右一対の可動金型21L、21Rと、第36図に示すような上下方向に可動する中央金型22とで構成されている。

上記モールド金型を使ってマザーソケット3Aを製造するには、第37図に示すようなマザーソケット用リードフレーム20を2枚用意する。そして、その1枚を可動金型21Lと中央金型22との間に、もう1枚を可動金型22Rと中央金型22との間にそれぞれセットし、マザーソケット用リードフレーム20の外周部に形成された開孔29に中央金型22のガイドピン30を挿入してインサー

ト・モールドする。

上記マザーソケット用リードフレーム２０は、前記リードフレーム（S1～S9)と同じ４２アロイ、コバールなどからなり、その標準的な板厚は0.１５mm程度である。マザーソケット３の本体は、パッケージ２Ａと同じエポキシ系の樹脂や高耐熱液晶ポリマーなどからなる。なお、第３７図に示すマザーソケット用リードフレーム２０を２枚１組で使用する代わりに、例えば第３８図に示すマザーソケット用リードフレーム２３Ｌ（左用）と第３９図に示すマザーソケット用リードフレーム２３Ｒ（右用）のように、パッケージ２Ａのデータピンに接続されるモジュールリード９をあらかじめ必要な長さに切断したものを２枚１組で使用してもよい。

上記マザーソケット３Ａにパッケージ２Ａを搭載するには、マザーソケット３Ａのモジュールリード９をパッケージ２Ａのリード６の開孔８に挿入した後、周知の半田ディップ装置を使って両者を一括接続する。半田ディップ後、不要の半田は高速回転の遠心分離で簡単に除去すればよいので、モジュールリード９とリード６を高スループットで接続することができる。モジュールリード９とリード６は、後述するような半田ペーストによるリフロー半田付け法で接続することもできる。

ところで、本実施例のＤＲＡＭモジュール１Ａのように、１個のパッケージ２Ａに多数の半導体チップ（M）を一括封止した場合は、エポキシ樹脂が１０ppm/℃程度と比較的大きい熱膨張係数を有しているために、上下方向と水平方向とでパッケージ２Ａの熱膨張に異方性が生じることがある。このような異方性が生じると、パッケージ２Ａのリード６とマザーソケット３Ａのモジュールリード９の接続部に熱応力ストレスが加わり、リード６とモジュールリード９のオープン不良が発生する虞れがある。

このような不良が懸念される場合は、マザーソケット３Ａのモジュールリード９を前述した４２アロイやコバールのような低膨張係数材料で構成する代わりに、エポキシ樹脂に近い熱膨張係数を持った導電材料、例えばリン青銅などの銅合金で構成する。エポキシ樹脂に近い熱膨張係数を持った導電材料を使用した場合は、パッケージ２Ａの上下方向の伸縮にモジュールリード９が追従できるようになる

ので、リード６とモジュールリード９の接続部に加わる熱応力ストレスが小さくなり、上記したオープン不良の発生率を低下させることができる。また、銅合金は熱伝導率が高く放熱効果が大きいので、モジュールリード９のみならずリードフレーム（Ｓ）の材料として用いることにより、ＤＲＡＭモジュール１Ａの熱抵抗をより一層小さくすることができる。

前記第６図～第１４図および第２４図～第３２図に示したリードフレーム（Ｓ）は、全てのリード６が金属タイバーを介して電気的に導通された状態になっている。そのため、このままではリードフレーム（Ｓ）に搭載されたワイヤボンディング済みの半導体チップ（Ｍ）が正常に動作するか否かを確認するためのテスティング、選別、エージングをモールド工程の直前に行うことができない。

その対策として、第４０図に示すような、モールドライン上に絶縁テープ２４を接着したテープダム方式のリードフレーム（Ｔ）を使用する。絶縁テープ２４は、前記リードフレーム（Ｓ）の絶縁テープ４と同様、ポリイミド樹脂や高耐熱液晶ポリマーなどからなる。絶縁テープ２４は、接着剤を使ってリードフレーム（Ｔ）に接着する方法の他、例えばインジェクション・モールドによって形成してもよい。

本実施例のＤＲＡＭモジュール１Ａの製造に使用する９枚のテープダム方式のリードフレーム（T1～T9)を第４１図～第４９図に示す。なお、これらの図には絶縁テープ２４の図示が省略してある。

これらのリードフレーム（T1～T9)は、半導体チップ（M0～M8)を搭載してワイヤボンディングを行った後、第５０図に示すように、リード６を保持している外側の金属部分を切り離すことによって、各リード６を電気的にフローティング状態にすることができるので、モールド工程の直前に半導体チップ（M0～M8)のテスティング、選別、エージングを行うことができる。リードフレーム（T1～T9)には、リード６を保持している金属部分を容易に分離できるようにするため、当該部分にハーフエッチライン１９が設けてある。なお、これらのリードフレーム（T1～T9)を使用した場合は、モールド後のタイバー切断工程が不要になる。

本実施例のＤＲＡＭモジュール１Ａの製造に使用する前記リードフレーム（Ｓ

1～S9、T1～T9)は、互いの寸法が高精度に揃っている必要がある。寸法精度が低い場合は、マザーソケット3Aのモジュールリード9とパッケージ2Aのリード6の接続部に大きな機械的ストレスが加わるため、この部分の接続信頼性が低下する。

そこで本実施例では、前記9枚のリードフレーム（S1～S9またはT1～T9)を一つの組みリードフレームとし、同一工程で一括フォトエッチング処理して製造する。第51図は、前記第24図～第32図に示した9枚のリードフレーム（S1～S9)で構成された一枚の組みリードフレームの全体平面図である。

上記のような組みリードフレームを使用してパッケージ2Aをモールドすることにより、パッケージ2Aの側面で上下方向に重なり合ったリード6の開孔8の位置を高精度に揃えることができるので、モジュールリード9とリード6の接続部に加わる機械的ストレスを小さくすることができる。

本実施例のDRAMモジュール1Aは、9個の半導体チップ（M0～M8)をパッケージ2Aに一括封止したものであるが、10個あるいはそれ以上の数の半導体チップ（M）を一括封止することも可能である。しかし、封止される半導体チップ（M）の数が増え、パッケージ2Aの上下方向の寸法が大きくなると、それに伴ってマザーソケット3Aのモジュールリード9も長くなるので、その変形が問題となる。

その対策としては、半導体チップ（M）と電気的に接続しない、全ピンが電気的にフローティング状態になったダミーのリードフレームをリードフレーム（S1～S9またはT1～T9)の層間あるいは最上層部などに配置して一括封止する。このようなダミーのリードフレームの実例を第52図と第53図に示す。第52図のリードフレーム（S0）は金属タイバー方式のものであり、前記第24図～第32図のリードフレーム（S1～S9)と組み合わせて使用される。また、第53図に示すリードフレーム（T0）はテープダム方式のものであり、前記第41図～第49図のリードフレーム（T1～T9)と組み合わせて使用される。

上記したダミーのリードフレーム（S0，T0)のリード6をマザーソケット3のモジュールリード9に接続することにより、モジュールリード9に接続されるリード6の数が増えるので、モジュールリード9が変形しにくくなる。また、パ

ッケージ２Ａの放熱経路が増えるので、その熱抵抗がさらに小さくなる。

次に、本発明をデータ幅の広い多ビット構成のＤＲＡＭモジュールに適用した実施例を説明する。

×３６ビットのような多ビット構成のＤＲＡＭモジュールを実現するには、例えば、

（１）〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを９個組み合わせて〔４１９４３０４ワード×９ビット〕構成のＤＲＡＭモジュールを作成し、これをＳＩＭＭのプリント配線基板に４個実装する。

（２）〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを８個組み合わせて作成じた〔４１９４３０４ワード×８ビット〕構成のＤＲＡＭモジュール４個と、〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを封止したＳＯＪ４個とをＳＩＭＭのプリント配線基板に実装する。

（３）〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを８個組み合わせて作成した〔４１９４３０４ワード×８ビット〕構成のＤＲＡＭモジュール４個と、ＣＡＳが４個、／ＲＡＳが２個独立なパリティ専用の〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを封止したＳＯＪ１個とをＳＩＭＭのプリント配線基板に実装する。

などといった幾つかの方法が考えられる。

これらの方法に従えば、例えば〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭを９個積層して前記実施例のような×９ビット構成のＤＲＡＭモジュール１Ａを作成し、これをＳＩＭＭのプリント配線基板に４個実装することにより、〔１６７７７２１６ワード×３６ビット〕構成のＤＲＡＭモジュールを実現することができる。

しかし、上記の方法では、ＳＩＭＭのプリント配線基板に多数のＤＲＡＭモジュールを実装しなければならないので、実装密度が低下する。このとき、例えば〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュールを実現する場合に、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを１個のＬＳＩパッケージに９個積層して×３６ビット構成のＤＲＡＭモジュー

ルを作成することができれば、ＳＩＭＭのプリント配線基板に実装するＤＲＡＭモジュールは１個で済むので、実装密度が大幅に向上する。

ところが、多ビット構成のＤＲＡＭモジュールはデータ線が多いために、半導体チップを単純に積層するとデータ入出力用のピンが同一方向に集中し、リードフレームのレイアウト設計が困難となる。例えば×３６ビット構成のＤＲＡＭモジュールの場合、デュアルインラインでピンを引き出すと１８ピン×２列となるが、ピンのライン／スペースを考慮すると、リードフレームのデータ領域が非常に大きくなる。しかし、これに対応する半導体チップのボンディングパッド領域、すなわち前記第５図に示すＩＯ０～ＩＯ３の４つのボンディングパッド（ＢＰ）が配置される領域は非常に狭い。そのため、リードの引き回しが非常に長くなり、リードフレームひいてはこれを封止するＬＳＩパッケージのサイズが大型化してしまう。

以下、上記の問題を解消した多ビット構成の小型・高性能ＤＲＡＭモジュールを実現する方法を、〔４１９４３０４ワード×４ビット〕構成のＤＲＡＭチップを１２個積層し、第５４図に示すような×３６ビット構成のＤＲＡＭモジュールを等価的に実現する方法を例にとって説明する。

第５４図に示す１２個の半導体チップのうち、８個の半導体チップ（D0～D7)は、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップであり、残り４個の半導体チップ（M0～M3)は、〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップである。なお、ここでは説明を簡単にするために、同図に示す〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップ（M0～M3)の代わりに、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップの中の１ビットのみを使用した場合を例に説明するが、これを〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップ（M0～M3)にレイアウト変更することは容易である。

まず、本実施例では、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを１２個使用するにあたり、ピンの配置を片側２列のデュアルインライン構造とする。また、本実施例では、半導体チップを搭載したリードフレームを積層してパッケージに封止する際、一部のリードフレームを水平面内

で１８０度反転して配置し、反転したリードフレームに搭載された半導体チップのパッドと、非反転のリードフレームに搭載された半導体チップのパッドを、反転軸を中心として互いに逆向きの配置とする。さらに、本実施例では、上記１２個の半導体チップを２個のパッケージに分けて６個ずつ一括封止し、この２個のパッケージをマザーソケット上に重ねて搭載する。

第５５図は、上記したデュアルインライン構造に対応したマザーソケット３Ｃのピン（モジュールリード９）の配列（ＳＩＭＭのプリント配線基板に接続する部分を上方から見た配列）を示す平面図である。

このピン配列は１７ピン×４列の６８ピンであり、ピン９とピン６０はＮＣまたはピン無し構造とする。ピンピッチはマザーソケット３Ｂの長辺方向、短辺方向共に５０mil(1.27mm) である。Vccはピン１、１７、１８、３４に、Vssはピン３５、ピン５１、ピン５２、ピン６８にそれぞれ配置し、給電時のインピーダンス低減を並列接続によって実現する。アドレスピンは、反転チップと非反転チップとで対応が異なるが、XアドレスとYアドレスの共有できる１０ビット（Ａ０～Ａ９）は、一対一で対応させる。アドレスピンＡ１０は、反転チップと非反転チップとで配置を異ならせ、リフレッシュアドレスやXアドレス／Yアドレスの指定に対応できるようにする。実際の使用時には、反転チップのアドレスピン（Ａ１０）と非反転チップのアドレスピンＡ１０とを外部結線あるいは内部結線により接続する。

ピン７はＡ４（Ａ９）、ピン８はＡ５（Ａ０）、ピン１０はＡ７（Ａ２）、ピン１１はＮＣ、ピン２５はＡ８（Ａ３）、ピン２６はＡ６（Ａ１）、ピン２７は（Ａ１０）で非反転チップ対応なし、ピン４２はＡ３（Ａ８）、ピン４３はＡ１（Ａ６）、ピン４４はＡ１０で反転チップ対応なし、ピン５８はＡ９（Ａ４）、ピン５９はＡ０（Ａ５）、ピン６１はＡ２（Ａ７）、ピン６２はＮＣである（カッコ内は反転チップの場合）。／ＷＥは非反転チップがピン４１、反転チップがピン２４である。前記第５４図に示す／ＲＡＳ０、／ＲＡＳ２、／ＣＡＳ０、／ＣＡＳ１、／ＣＡＳ２、／ＣＡＳ３はそれぞれピン２８、ピン４５、ピン６、ピン２９、ピン５７、ピン４６である。残りのピンは、データピン（ＤＱ０～ＤＱ３５）である。

上記デュアルインライン構造のピン配列に対応する１２枚のリードフレーム（L1 ～L12）のリードパターンを第５６図～第６７図に示す。これらの図には、パッケージ２Ｃの外形線、半導体チップ（M）、ボンディングパッド（ＢＰ）、ワイヤ７および後述するデカップリングコンデンサ３１も示されている。ただし、半導体チップ（M）とリードフレーム（L）の間に配置された絶縁テープ（５）の図示は省略されている。

第５６図に示すように、パッケージ２Ｃの外形寸法は7.6 mm（短辺）×20.7 mm（長辺）である。リードフレーム（L）のリード６には長短２種類あり、各リード６にはマザーソケット３Ｃのモジュールリード９が挿入される開孔８が１個または２個設けられている。パッケージ２Ｃの一方の側面から引き出されたリード６と、反対側の側面から引き出されたリード６のピッチは、それぞれの開孔８を中心として短いアウターリード６が４００mil(10.16 mm）、長いアウターリード６が５００mil(12.7 mm）である。このピッチは前記第５５図に示したマザーソケット３Ｃの２列のピンのピッチに対応している。また、リード６の幅は0.55 mm、開孔８の径は0.25 mm×0.25 mmであるが、リード６のピッチは、マザーソケット３のピンピッチ（５０mil(1.27 mm))よりも狭く、0.8 mmである。

１２枚のリードフレーム（L1 ～L12）のうち、第５６図～第５８図に示す３枚のリードフレーム（L1～L3)と第５９図～第６１図に示す３枚のリードフレーム（L4 ～L6)、および第６２図～第６４図に示す３枚のリードフレーム（L7～L9)と第６５図～第６７図に示す３枚のリードフレーム（L10～L12)は、それぞれパッケージ２Ｃの長辺方向の中心線を反転軸として水平面内で互いに１８０度反転した配置となっている。

このようにすると、反転したリードフレーム（L）に搭載された半導体チップ（M）のボンディングパッド（ＢＰ）と、非反転のリードフレーム（L）に搭載された半導体チップ（M）のパッドボンディングパッド（ＢＰ）は、反転軸を中心として互いに逆方向の配置となる。従って、リードフレーム（L1～L12)のデータピンが一方向に集中しないので、リード６の引き回しが容易となり、リードフレーム（L1～L12)を小型に設計することができる。

また、上記１２枚のリードフレーム（L1～L12)のうち、反転して配置されたリードフレーム（L）と非反転のリードフレーム（L）とは、リード６のパターンが反転軸に対して対称となる。つまり、リードフレーム（L1)とリードフレーム（L4)、リードフレーム（L2)とリードフレーム（L5)、リードフレーム（L3)とリードフレーム（L6)、リードフレーム（L7)とリードフレーム（L10)、リードフレーム（L8)とリードフレーム（L11)、リードフレーム（L9)とリードフレーム（L12)は、それぞれ同一のリードパターンを有し、一方のリード６と他方リード６が反転軸を中心として互いに反転された状態で配置されている。

このようにすると、１２枚のリードフレーム（L1～L12)を設計する際、半分の品種（６品種）で済むので、リードフレーム（L1～L12)の製造コストを低減することができる。また、エージングの品種を少なくすることができるので、ＤＲＡＭモジュールの製造コストを低減することができる。

また、第５６図～第６７図に示すように、１２枚のリードフレーム（L1～L12)に搭載された半導体チップ（D0～D7，M0～M3)は、その中心がパッケージ２Ｃの中心よりもリードフレーム（L）のデータピン側（図の右側）にずれた位置に配置されている。このずれは1.6mm程度である。

このようにすると、リードフレーム（L1～L12)のデータピンが多い場合でも、そのレイアウト面積を充分に確保することが可能となる。これにより、リード６の引き回しが容易になるので、リードフレーム（L1～L12)を小型に設計することができる。

また、半導体チップ（M）をデータピン側にずらして配置した場合は、データピンと反対側のパッケージ２Ｃ内に空領域が生じる。そこで、本実施例では、リードフレーム（L1～L12)の電源（ＧＮＤ）ピンであるバスバーリードの一端をこの空領域まで延長し、その端部にデカップリングコンデンサ３１を搭載する。このデカップリングコンデンサ３１の平面的な寸法は1mm×0.5mm、厚さは0.5mm程度である。

リードフレーム（L1～L12)にデカップリングコンデンサ３１を搭載することにより、半導体チップ（M）に給電する際の電源インピーダンスを低減することができるので、大電流を給電した場合でもＤＲＡＭモジュールを安定に動作さ

せることが可能となる。なお、給電時の電源インピーダンスを低減する方法としては、デカップリングコンデンサ３１をリードフレーム（L1～L12)の一端に搭載する上記の方法の他にも、デカップリングコンデンサ３１をマザーソケット３Cの近傍またはその内部に搭載したり、バスバーリードの一端をパッケージ２Cの外部に引出してそこにデカップリングコンデンサ３１を搭載したりする方法がある。デカップリングコンデンサ３１の外形寸法が大きい場合は、一部のリードフレーム（L)だけに搭載するようにしてもよい。

また、上記のように、半導体チップ（M）をデータピン側にずらして配置した場合は、パッケージ２Cをモールドする際に樹脂の流れが不均一になるので、モールド後のパッケージ２Cの内部に構造的なストレスが生じる虞れがある。しかし、データピンの反対側に生じた空領域にバスバーリードを延長して前記のようなデカップリングコンデンサ３１を配置した場合は、樹脂の流れが均一になるので、上記のような不具合が回避される。また、上記したパッケージ２C内の空領域にデカップリングコンデンサ３１を搭載する代わりに、小型のダミーチップなどを搭載することによっても同様の効果が得られる。さらに、このダミーチップの内部にデカップリングコンデンサを形成することにより、前記した構造的なストレスと給電時の電源インピーダンスを共に低減することができる。

また、パッケージ２Cに封止される半導体チップ（M）の数が多くなると、構造設計上の制約や半導体チップ（M）のボンディングパッドの制約が増え、同一レベルの信号ピンが複数生じたり、チップ識別用の信号を発生できなくなったりすることがある。このような場合は、リードフレーム（L1～L12)の層間にダミーのリードフレームを挿入し、このダミーのリードフレームを介してパッケージ２内の配線接続を行うようにすればよい。ダミーのリードフレームを使用した場合は、パッケージ２Cから引き出されるリード６の数が多くなるので、マザーソケット３Cのモジュールリード９とリード６の接合強度も向上する。また、パッケージ２Cの放熱経路も増えるので、その熱抵抗がさらに小さくなる。

第６８図は、上記デュアルインライン構造のマザーソケット３Cの斜視図、第６９図は、このマザーソケット３C上にパッケージ２Cを１段搭載した状態を示す斜視図、第７０図は、このパッケージ２Cを２段積層して〔４１９４３０４ワ

ード×３６ビット〕構成を実現した本実施例のＤＲＡＭモジュール１Ｃの斜視図である。

第６８図に示すように、マザーソケット３Ｃの中央付近には、後述する放熱フィンを装着するための開孔が設けられている。第６９図に示すパッケージ２Ｃには６枚のリードフレーム（Ｌ７　～Ｌ12）　が封止され、第７０図に示す上段のパッケージ２Ｃには残り６枚のリードフレーム（Ｌ１～Ｌ6)が封止されている。マザーソケット３Ｃとパッケージ２Ｃの接続は、前記実施例のＤＲＡＭモジュール１Ａに準じて行えばよい。

マザーソケット３Ｃの内側の対向する二列のデータピンとＣＡＳピン（前記第５４図に示すピン１９～２３、ピン２９～３３、ピン３６～４０、ピン４６～５０）は、下段のパッケージ２Ｃとのみ接続されている。マザーソケット３Ｃの裏面側は前記第５５図に示したものと同じピン配列になっている。一方、上面側は第７１図に示すようなピン配列となっている。

マザーソケット３Ｃの裏面側と上面側とでピン配列を変えるためには、第７２図に示すマザーソケット用リードフレームと第７３図に示すマザーソケット用リードフレームを使用する。第７２図は内側の対向する二列用、第７３図は外側の対向する二列用である。それぞれのリードフレームの両端のモジュールリード９は電源ピン（Vcc) である。この電源ピン（Vcc) は、パッケージ２Ｃ内のリードフレーム（Ｌ１～Ｌ6,Ｌ７～Ｌ12) の電源インピーダンスを低減するために、上部を２本に分岐してピン数の増加を図っている。

パッケージ２ＣのデータピンとＣＡＳピンは、内側の列と外側の列とが千鳥状に配置され、内側（＝0.８mmピッチ）と外側（＝0.８mmピッチ）とが半分のピッチ（＝0.４mmピッチ）mmで交互に配置されるようになっているので、稠密実装が可能である。これは、下段のパッケージ２ＣのデータピンとＣＡＳピンとが下段のパッケージ２Ｃで終端し、上段のパッケージ２Ｃにまで延在していないためである。上段のパッケージ２ＣのデータピンとＣＡＳピンとは、５００milピッチのリード６を通じてマザーソケット３Ｃの外側の列のモジュールリード９に接続されている。

第７４図は、上記〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジ

ュール１Ｃの熱抵抗をさらに低減するために、２段に積層したパッケージ２Ｃの周囲に放熱フィン３２を取り付けた実施例を示す斜視図である。第７５図には、内部の状態を見易くするために、放熱フィン３２の４分の１をカットした状態が示されている。第７６図は放熱フィン３２の側面図、第７７図は放熱フィン３２の斜視図である。図の符号３３は熱伝導板であり、２段に積層されたパッケージ２Ｃの隙間に挿入される。

第７５図に示すように、放熱フィン３２は、２個のパッケージ２Ｃおよびマザーソケット３Ｃと広い面積で接触できるようにするため、パッケージ２Ｃの長辺方向に２分割されている。マザーソケット３Ｃと接する放熱フィン３２の底面（第７６図の矢印Ａで示す箇所）は、マザーソケット３Ｃの脱落を防止するために槍状に加工されている。

パッケージ２Ｃの周囲に放熱フィン３２を取り付けるには、２段に積層されたパッケージ２Ｃの横方向から放熱フィン３２を挿入し、両者の界面に熱伝達媒体となるシリコーングリスやシリコーンゴムを充填した後、マザーソケット３Ｃのモジュールリード９とパッケージ２Ｃのリード６を半田などで接続する。また、放熱フィン３２を横方向から挿入する方法に代えて、例えば第７８図に示すように、上下方向に４分割された放熱フィン３２ａ～３２ｄをパッケージ２Ｃの上に積み重ねてもよい。放熱フィン３２を横方向から挿入する場合は、モジュールリード９とリード６を接続した後に取り付けることもできる。また、４分割された放熱フィン３２ａ～３２ｄを積み重ねる場合は、最上段の放熱フィン３２ａを組み立て工程の最終工程で取り付けてもよい。

本実施例では、〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュールの場合について説明したが、例えば本実施例のパッケージ２Ｃを下段に２個、上段に２個の合計４個積み重ね、前記第５５図に示したピン１１とピン６２とがそれぞれＲＡＳ３、ＲＡＳ１となるように、ＲＡＳピンをパッケージ２Ｃごとに分離することにより、第７９図に示すような〔８３８８６０８ワード×３６ビット〕構成のＤＲＡＭモジュールを容易に実現することができる。

また、本実施例のマザーソケット３Ｃは、内側の対向する二列のデータピンとＣＡＳピンのモジュールリード９の長さを短くして下段のパッケージ２Ｃとのみ

接続したが、パッケージ２Ｃのリード６のスペースが充分あり、モジュールリード９が不要のリード６と接触する虞れがない場合は、ハーフピッチのレイアウトであっても、モジュールリード９とリード６を不要のリード６と接触することなく接続することができる。つまり、下段のパッケージ２Ｃと上段のパッケージ２Ｃを入れ換えることができる。この場合は、上段のパッケージ２Ｃに接続されるデータピンとＣＡＳピンのモジュールリード９の長さを短くすることができる。

次に、本発明をＳＯＪ(Small Outline J-leaded package) 型のＤＲＡＭモジュールに適用した実施例を説明する。

第８０図は、本実施例のＳＯＪ型ＤＲＡＭモジュールの斜視図である。このＤＲＡＭモジュール１Ｄは、〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭチップを４個積層してパッケージ２Ｄに一括封止することによって、〔１６７７７２１６ワード×４ビット〕構成のＤＲＡＭモジュールを実現している。

図示のように、このＤＲＡＭモジュール１Ｄは、パッケージ２Ｄのリード６と交差接続したモジュールリード９の下端部がＪ字状に折り曲げられ、プリント配線基板に直接接続できるようになっている。そのため、このＤＲＡＭモジュール１Ｄは、第８１図に示すように、パッケージ２Ｄを通常のＳＯＪと同じ方法でＳＩＭＭのプリント配線基板３５に表面実装することができる。つまり、このＤＲＡＭモジュール１Ｄは、パッケージ２Ｄを搭載するマザーソケットを不要とすることによって、部品点数の低減による低価格化と外形寸法の小型化とを併せて実現している。

上記パッケージ２Ｄは、前記第１８図～第２１図に示した入れ子金型１０を使ってモールド成形することもできるが、本実施例では、第８２図に示すような縦積み方式の入れ子金型４０を使用する。

図示のように、この入れ子金型４０は、上下方向に配置された２つのキャビティ４１Ａ、４１Ｂを備えている。それぞれのキャビティ４１Ａ、４１Ｂは、可動金型４２、４３、４４によって構成されている。可動金型４２はパッケージ２Ｄの最上部を成形し、可動金型４３は最下部を成形する。可動金型４４は、半導体チップの層間距離を一定に保ち、上層の半導体チップの底面と下層の半導体チッ

プのワイヤとの距離を制御するためのもので、前記第１８図～第２１図に示した入れ子金型１０の可動金型１３に相当する。これらの可動金型４２、４３、４４は、いずれも水平方向に２分割される構造になっている。本実施例のパッケージ２Ｄには４個の半導体チップが封止されるので、可動金型４４はそれぞれのキャビティ４１Ａ、４１Ｂに３組ずつ必要となる。

それぞれのキャビティ４１Ａ、４１Ｂの上部には可動金型４５が配置され、底部には可動金型４６が配置される。可動金型４５、４６は、上記可動金型４２、４３、４４と同じく水平方向に２分割される構造になっている。上段のキャビティ４１Ａの可動金型４５の上部にはさらに上金型４７、４８が配置され、下段のキャビティ４１Ｂの可動金型４６の下部にはさらに下金型４９が配置される。上金型４７と下金型４９のそれぞれの側面には、キー溝６９が設けられている。

上金型４７、４８には上下方向にテーパを設けたゲート孔５０が、またこのゲート孔５０の直下の可動金型４５にはゲート孔５１がそれぞれ形成されている。上金型４７、４８と可動金型４５とからなる連続した領域は、前記入れ子金型１０の上金型１１に相当し、ゲート孔５０、５１は、上金型１１に設けられたゲート１５（第３３図参照）を垂直化した構造に相当する。

可動金型４６にはゲート孔５２が形成され、下金型４９にはゲート孔５３が形成されている。また、下金型４９にはゲート孔５３から排出された不要の樹脂を溜めるダミーキャビティ５４が形成されている。可動金型４６と下金型４９とからなる連続した領域は、前記入れ子金型１０の下金型１２に相当する。上金型と下金型とをこのような複数の組み金型で構成したのは、後述するように、モールド後の離型作業を効率化するためと、パッケージ２Ｄの離型ダメージを低減するためである。

上記した上金型４７、４８、可動金型４２、４３、４４、４５、４６および下金型４９のそれぞれには、ガイドピン孔５５、５６が形成されている。モールド時には、ガイドピン孔５５にガイドピン５７が挿入され、ガイドピン孔５６にガイドピン５８が挿入される。

第８３図（ａ）、（ｂ）に示すように、可動金型４４は、パーティングライン（ＰＬ）を中心にして水平方向に左右２分割される（可動金型４２、４３、４５、

４６も同じ）。このパーティングライン（ＰＬ）と直交する方向に沿った可動金型４４の一部には、パッケージ２Ｄの離型を容易にする目的で、例えば4°程度の離型角（θ）が設けられている。可動金型４４は、前記第２１図に示す可動金型１３にガイドピン孔５５、５６を設けたものに相当する。

第８４図（ａ）は下金型４９の斜視図、同図（ｂ）は下金型４９の平面図、同図（ｃ）は同図（ｂ）のＣ－Ｃ’線における下金型４９の断面図である。下金型４９のゲート孔５３とダミーキャビティ５４には、いずれも樹脂の離型を容易にするための離型角が設けられている。図示のように、ダミーキャビティ５４の一端には浅い溝（エアーベント）５９が形成され、ダミーキャビティ５４内の不要のエアーがここから排出されるようになっている。また、図示は省略するが、ダミーキャビティ５４内の樹脂の離型をさらに容易にするために、通常の金型のカル部に設けられるようなイジェクタピン構造を組み入れてもよい。

上記入れ子金型４０を使ってパッケージ２Ｄをモールド成形するには、まず第８５図に示すように、下金型４９の上に下段のキャビティ４１Ｂの可動金型４６、４３を積層した後、チップボンディングとワイヤボンディングが済んだリードフレーム（Ｓ）と可動金型４４とを交互に積層し、その上に可動金型４２、４５を積層する。続いて第８６図に示すように、上記と同じ操作を繰り返して上段のキャビティ４１Ａにもリードフレーム（Ｓ）を積層し、さらにその上に上金型４８、４７を積層した後、上方からガイドピン孔５５、５６にガイドピン５７、５８を挿入する。このガイドピン５７、５８はそれぞれのリードフレーム（Ｓ）の開孔４内にも挿入される。

リードフレーム（Ｓ）の積層方向（上下方向）の位置合わせは、可動金型４２～４６によって行われる。また、水平面内の位置合わせは、最上段の上金型４７から最下段の下金型４９までガイドピン５７、５８を貫通させることによって行われる。ガイドピン５７、５８は、上金型４８、４７、可動金型４２～４６、下金型４９およびリードフレーム（Ｓ）の水平面内での並進と自由回転とを規制するので、リードフレーム（Ｓ）の積層方向の位置が一意的に定められる。

第８７図は、上記入れ子金型４０を装着したモールド装置の全体構成図である。このモールド装置６０の最大の特徴の１つは、金型系の型締め力（ｆ）のほとん

どすべてが入れ子金型４０の最上部（上金型４７、４８）から最下部（下金型４９）に至るまで直列的に荷重されるので、型締め力（ｆ）の損失が非常に少ないことである。また、入れ子金型４０は、樹脂を注入するゲート孔５０が垂直方向に配向されているため、水平面内でゲートとランナを引き回す従来のモールド金型と異なり、型締め力（ｆ）を非常に有効に利用することができる。特に、上記入れ子金型４０は、平面的な寸法が従来の金型のように数１００平方cmの大きさではなく数１０平方cm程度の大きさであるために受圧面積が小さく、従って、非常に大きな単位面積当たりの型締め力（ｆ）が得られる。

これにより、上記入れ子金型４０は、従来の金型には必須であるキャビティ境界付近の幅の狭いダム状の型締め力を集中させるための領域を省略することができるので、金型が高精度に平坦化されると共に、上記したダム状の領域の変形による金型劣化も生じない。

第８７図に示すように、モールド装置６０は、固定金型６１と可動金型６２とで構成されている。固定金型６１は、入れ子金型４０を上部から押さえつけるための温度制御された金型であり、トランスファ・モールド用のポット６３とプランジャ６４とを備えている。モールド樹脂であるミニタブレット６５は、ポット６３内に投入された後、加熱溶融され、プランジャ６４によって入れ子金型４０のキャビティ４１Ａ、４１Ｂ内に射出される。

カル部６６は、モールド後の樹脂の離型を容易にするために、固定金型６１のキャビティ内に形成されている。すなわち、モールド後に固定金型６１と可動金型６２とを型開きする際、カル部６６の樹脂が固定金型６１に付着するようであれば、プランジャ６４を型開きと同期させて下降させる。これにより、プランジャ６４がイジェクタとして作用するため、樹脂が容易に離型する。

固定金型６１と可動金型６２は、エアー漏れを防止するためのＯリング６７を挟んで上下方向にスライド可能になっている。そのため、パッケージに封止される半導体チップの個数が変わったために入れ子金型４０の高さが変化したような場合でも、上下方向の幅広いストロークによる追従が可能である。従って、このモールド装置６０は、異なる寸法の入れ子金型４０を使う場合でも連続して作業を行うことができる。

入れ子金型４０への荷重の印加は、あらかじめ設定された型締め力となるまで可動金型８９を上昇させることによって行う。プランジャ６４の下降時に排出される不要のエアーは、ミニタブレット６５がポット６３内に投入され、次いでプランジャ６４がポット６３内に挿入された後、真空引きの孔６８を通じて排出される。真空引きが特に必要ない場合は、孔６８を大気に対して開放すればよい。

上記モールド装置６０を使用する場合は、入れ子金型４０の下金型４９に設けられた前記ダミーキャビティ５４と同じものを上金型４８に設けることもできる。下金型４９と上金型４８にそれぞれダミーキャビティを設けることにより、エアーをトラップした樹脂がより速やかに排出されるようになる。

ポット６３内で溶融された流動樹脂はプランジャ６４によって射出され、垂直方向のテーパを備えた上金型４７、４８のゲート孔５０と可動金型４５のゲート孔５１とを通って上段のキャビティ４１Ａに注入され、次いで可動金型４６のゲート孔５２と可動金型４５のゲート孔５１とを通って下段のキャビティ４１Ｂに流入する。そして、第８８図に示すように、流動樹脂の先端がキャビティ４１Ｂの底部の可動金型４６のゲート孔５２を通り、さらに下金型４９のダミーキャビティ５４に達することによってモールドが完了する。

モールド後、キャビティ４１Ａ、４１ＢからパッケージＤを離型するには、第８９図、第９０図に示すように、入れ子金型４０の最上部の上金型４７をキー溝６９を利用して持ち上げる。このとき、上金型４７がイジェクタとして働くので、ゲート孔５０内の樹脂が最も応力集中の大きいゲート孔５０の底部（上金型４８と可動金型４５の界面）で切断される。上金型４７の上面にはモールド装置６０のカル部６６で成形された樹脂７０が残っている。この樹脂７０は、ゲート孔５０内の樹脂を下から突き上げるか、または上金型４７と樹脂７０との界面にゲート孔５０を中心軸とした回転モーメントを作用させることによって簡単に離型することができる。

上金型４７を充分な高さまで持ち上げると、ガイドピン５７、５８も一緒に持ち上げられる。このとき、上金型が４７と４８とに２体化されていると、ガイドピン５７、５８を引き抜く時に要する力を上金型４８が受けるので、キャビティ４１Ａ、４１Ｂに強い力が掛かることがない。そのため、キャビティ４１Ａ、４

１Ｂ内のパッケージ２Ｄは、強い機械的ストレスを受けない。ガイドピン５７、５８は、上金型４７の中に差し込んだままにしておけばよい。このようにすると、次のショットでの上金型４７、４８の組立作業を迅速に行うことができる。

このように、入れ子金型４０の上金型を４７と４８とに２体化したことにより、ゲート孔５０内の樹脂の切断が容易になると共に、型開きの際にパッケージ２Ｄが受ける機械的ダメージを低減することができる。これに対し、上金型４７と上金型４８とが一体になっている場合は、ゲート孔５０内の樹脂は内部にイジェクタ構造がないので離型され難くなる。また、ガイドピン５７、５８を引き抜く時にキャビティ４１Ａ、４１Ｂに強い力が加わるので、パッケージ２Ｄが機械的ダメージを受ける虞れがある。

キャビティ４１Ａ、４１Ｂを構成する可動金型４２～４６は、それらのガイドピン孔５６（または５６）にピンなどを差し込んで水平方向に引っ張ることによって簡単に２分割することができる。また、左右どちらかの可動金型４２～４６にパッケージ２Ｄが付着している場合は、離型された側のリードフレーム（ｓ）の開孔４にピンなどを差し込んで水平方向に引っ張ることによって離型することができる。

上記した入れ子金型４０は、部品数を低減するために、上金型４８とそれに接する可動金型４５とを一体化したり、上金型４８と可動金型４５とそれに接する可動金型４２とを一体化したりしてもよい。同様のことは下金型７５についても可能である。

可動金型４２、４３、４４は、例えばＳＫＤ１２やＭＡＳ１Ｃのような通常の金型材料で作成する以外にも、例えば合成樹脂や、合成樹脂を含浸させた紙などを成形して作成してもよい。通常の金型材料に比べて安価な合成樹脂や紙を使用することにより、可動金型４２、４３、４４の製造コストを低減することができる。合成樹脂や合成樹脂含浸紙で作成した可動金型４２、４３、４４は、金属製のものに比べて耐久性は劣るが、使用済みのものは粉砕して何度でも再生使用することができるので、１回成形するごとに新しいものに交換してもよい。通常のモールド成形工程では、金型のキャビティ内を定期的にクリーニングして樹脂残査などを取り除く作業が必要であるが、１回成形するごとに新しい可動金型４２、

４３、４４を使用した場合は、キャビティ内が常に清浄に保たれるのでクリーニングが不要となり、モールド成形工程のスループットが向上する。

パッケージ２Ｄを１回成形するごとに新しい可動金型４２、４３、４４を使用する場合は、左右に２分割する構造に代えて、第９１図に示すように、左右一体構造にしてもよい。この場合は、可動金型４２、４３、４４を破壊することによってパッケージ２Ｄを離型する。可動金型４２、４３、４４の板厚は極めて薄いので、合成樹脂や合成樹脂含浸紙で作成したものは、折り曲げるだけで簡単に壊すことができる。

第９２図は、上記の方法で４個の半導体チップを一括封止したパッケージ２Ｄの断面図（パッケージ２Ｄを短辺方向から見た断面図）である。同図には、このパッケージ２Ｄの各部の寸法が記載されている。

ここで、ｈＡはリードフレーム（ｓ）の上面から測ったワイヤ７のループ高さ、ｔＬはリードフレーム（ｓ）の板厚、ｈＴは最上段のリードフレーム（ｓ）の上面からパッケージ２Ｄの上面までの樹脂の厚さで、前記可動金型４２の板厚に相当する。ｄＨは絶縁テープ５の厚さ、ｄＳは下層のリードフレーム（ｓ）の上面から上層のリードフレーム（ｓ）の下面までの高さで、前記可動金型４４の板厚に相当する。ｔＤは半導体チップ（Ｍ）の厚さ、ｈＢはパッケージ２Ｄの下面から最下層のリードフレーム（ｓ）の下面までの樹脂の厚さで、前記可動金型４３の板厚に相当する。ｄＲはパッケージ２Ｄの底面から最下層の半導体チップ（Ｍ）の下面までの樹脂の厚さ、ＷＤは半導体チップ（Ｍ）の短辺方向の幅、ＷＭはパッケージ２Ｄの短辺方向の幅である。

このとき、パッケージ２Ｄの厚さ（HM)は、次の式（１）で示される。

$$HM = hT + (4 \times tL) + (3 \times dS) + hB \quad \cdots \quad (1)$$

また、ここでの制約条件は、

（ａ）ワイヤ７がパッケージ２Ｄの上面を越えないこととして、

$$hT \geqq hA \quad \cdots \quad (2)$$

（ｂ）可動金型４４の板厚は、ワイヤ７が上層の半導体チップ（Ｍ）の下面に接触しないこととして、

$$dS \geqq dH + tD + hA \quad \cdots \quad (3)$$

（ｃ）最下層の半導体チップ（Ｍ）の下面がパッケージ２Ｄの底面を越えないこととして、

$$hB \geqq dH + tD + dR \quad \cdots \quad (4)$$

$$dR \geqq 0 \quad \cdots \quad (5)$$

（ｄ）半導体チップ（Ｍ）の幅がパッケージ２Ｄの幅を越えないこととして、

$$WM \geqq wD \quad \cdots \quad (6)$$

である。

従って、式（１）～（５）から、パッケージ２Ｄの厚さ（HM)は、

$$HM \geqq hA + (4 \times tL) + 3 \times (dH + tD + hA) + dH + tD$$

$$= 4 \times (tL + dH + tD + hA) \quad \cdots \quad (7)$$

となる。このことから、パッケージ２Ｄの厚さの最小値（HMmin) は、現状の技術で可能な最小値（ｈＡ＝0.１mm、ｄＨ＝0.０５mm、ｔＤ＝0.２mm、ｔＬ＝0.０８mm）を式（７）に代入することにより、

$$HMmin = 1.72\,mm \quad \cdots \quad (8)$$

となる。さらに、ｄＲ＝0.１mm、ｈＴ＝ｈＡ＋0.１mmを考慮すると、パッケージ２Ｄの厚さ（HM)は1.９２mm、つまり２mm以下となる。

ＥＩＡＪ(Electronic Industries Association of Japan;日本電子機械工業会）で定められた３００mil-ＳＯＪの各部の寸法規格を第９３図に示す。図示のように、ＳＯＪのパッケージ厚（HM)の規格は、HM ≦3.１２４mmである。従って、本実施例のパッケージ２Ｄは、ＳＯＪのＥＩＡＪ規格を充分にクリアすることができる。

現状の技術で本実施例のパッケージ２Ｄを量産性良く製造するための各部の寸法は、ｈＡ＝0.１３mm、ｔＬ＝0.１２５mm、ｈＴ＝0.２５mm、ｄＨ＝0.０８mm、ｄＳ＝0.５４mm、ｔＤ＝0.２８mm、ｈＢ＝0.４６mm程度である。そこで、これらの値を前記式（７）に代入すると、

$$HM = 2.83\,mm \quad \cdots \quad (9)$$

となる。つまり、本実施例のパッケージ２Ｄは、量産レベルでもＥＩＡＪ規格（HM ≦3.１２４mm）を充分にクリアすることができる。

以上は４個のＤＲＡＭチップ（M0～M3）を一括封止した場合の例であるが、

一般に、N個の半導体チップを一括封止する場合は、前記式（1）を拡張することによって次の式（10）を得る。

$$HM = hT + (N \times tL) + \{(N-1) \times dS\} + hB \quad \ldots \quad (10)$$

第94図は、上記パッケージ2Dのリード6にモジュールリード（Jリード）9を接続したDRAMモジュール1Dの一部を破断して示す断面図（パッケージ2Dの短辺方向から見た断面図）である。同図には、このDRAMモジュール1Dの各部の寸法が記載されている。

ここで、WJはパッケージ2Dを挟んで対向するモジュールリード（Jリード）9、9の下端部のピッチ、WVは同じく中心部のピッチ、WOはパッケージ2Dを挟んで対向するリード6、6の外端部のピッチ、hJはパッケージ2Dの底部とモジュールリード（Jリード）9の下端部の隙間、RVはモジュールリード（Jリード）9の径、hTはパッケージ2Dの上面からモジュールリード（Jリード）9の下端部までの距離（DRAMモジュール1Dの全体の高さ）である。

前記第93図に示した300mil-SOJのEIAJ規格によれば、

$$3.251 \leqq hT \leqq 3.759 \quad \ldots \quad (11)$$

$$hJ \geqq 0.635 \quad \ldots \quad (12)$$

$$8.382 \leqq WO \leqq 8.763 \quad \ldots \quad (13)$$

$$6.604 \leqq WJ \leqq 7.112 \quad \ldots \quad (14)$$

である。また、構造上の制限として、リード6の外端部のピッチ(WO)とパッケージ2Dの短辺方向の幅(WM)との関係は、

$$WO \geqq WM + (2 \times RV) \quad \ldots \quad (15)$$

である。このとき、パッケージ2Dの厚さ（HM）が前記式（9）で示した値（2.83mm）であるとして計算すると、

$$hT \geqq HM + hJ = 2.83 + 0.635 = 3.465$$

となるので、DRAMモジュール1Dは上記式（11）、（12）を満足する。そこで、WO=8.7、WM=7.5、RV=0.4、WV=8.2とすれば、300mil-SOJのEIAJ規格に対応したDRAMモジュール1Dが得られる。

上記DRAMモジュール1Dのモジュールリード（Jリード）9は、フープ材にプレスやエッチングでリードパターンを形成した通常のリードフレームで構成

してもよいが、断面が円形のワイヤで構成することもできる。

モジュールリード９をワイヤで構成した場合、ワイヤ（モジュールリード９）とリード６の接続は前述した方法とは異なり、リード６の開孔８にワイヤを挿通した後、ワイヤを熱処理してその表面の半田メッキを溶融させ、ワイヤとリード６を自己整合的に半田接続する。ワイヤの熱処理は、例えば不活性ガス雰囲気中で高温の窒素ガスを吹き付けたり、光ビームまたはレーザビームを照射したり、外気遮蔽型のリフロー炉内で加熱したりするなどの方法で行う。

例えばパッケージ２Ｄのリード６に設けられたリード挿通用の開孔８の径を0.４２mm×0.４２mm角とした場合、直径0.３２mmφのリン青銅、ベリリウム銅、コバールなどからなる金属ワイヤの表面に、組成がＳｎ９０％／Ｐｂ１０％、あるいはＳｎ１０％／Ｐｂ９０％などといった、共晶半田（Ｓｎ６０％／Ｐｂ４０％）よりも融点の高い半田メッキを４５μm 厚程度施した外径0.４１mmφのワイヤを使用する。１８０℃程度の低温で溶融する共晶半田ではなく、２００℃以上の高温で溶融する高融点半田をメッキ材料に用いることにより、低融点共晶半田を使ってモジュールリード９をＳＩＭＭのプリント配線基板にリフロー半田付けする際に、リード６とモジュールリード９の接続部の半田が再溶融するのを防止することができる。

もし、モジュールリード９とリード６の接続部の半田が溶融状態になると、何らかの外力またはパッケージ２Ｄの自重によって接続部がずれてパッケージ２Ｄが下がったり、接続部の半田が重力によって下層のリード６の接続部に流れたり、接続部の半田にクラックや組成の不均一な半田再結晶領域が形成されたりするために半田の接続信頼性が著しく低下する。これは、接続部の半田量が変化すると、半田のフィレット形状のコントロールができなくなり、その結果、熱サイクルによる半田応力が大きくなって半田内部のクラックの進行が加速され、信頼度が低下するためである。特に、半田量が多い場合は、熱サイクルによる半田の熱膨張・収縮の応力も大きくなるため、塑性歪み量が大きくなって半田クラックの進行が加速される。

しかし、高融点半田メッキ処理を施したモジュールリード９とリード６を２００℃以上のリフロー温度で半田接続し、ＳＩＭＭのプリント配線基板にＤＲＡＭ

モジュールを実装する際のリフロー炉の温度を高融点半田の融点以下（例えば２００℃以下）にした場合は、モジュールリード９とプリント配線基板との接続部の低融点半田のみがモジュールリード９の付近で溶融するため、接続部の高融点半田の溶融を防止してＤＲＡＭモジュール１Ｄの形状を保持することができる。

上記した自己整合的な半田接続方法は、半田ディップ方式に比較して接続部の半田量の制御が容易である。これは、自己整合的な半田接続方法の場合は、上層のリード６と下層のリード６の中間部分のモジュールリード９の表面に施された半田が上下のリード６、６にほぼ半分ずつ供給されるからである。すなわち、従来の半田ディップ方式の場合は、ワイヤを構成する金属の表面状態などによって半田量が変動し易いのに対し、自己整合的な半田接続方法の場合は、常に一定のコントロールされた量の半田が供給されるという特徴がある。

また、上記した自己整合的な半田接続方法は、ワイヤ（モジュールリード９）に付着する半田の量が従来の噴流式半田ディップ方式に比べて少ないので、水平方向の隣り合ったリード６、６間の半田ブリッジが発生し難くなるという利点もある。特に、本発明のＤＲＡＭモジュールのように、多数のリード６とモジュールリード９とがマトリクス状に交差接続された構造は、半田吸い取りワイヤと同じ原理で表面積が大きくなるので、ガルウィング状に成形されたＱＦＰ(Quad Flat Package) のリードのように半田の除去方向を一様にできる構造とは比較にならない程半田除去性が悪く、余分な半田を除去することが非常に困難となる。すなわち、上記した自己整合的な半田接続方法によれば、本発明のＤＲＡＭモジュールの半田ブリッジ不良を極めて有効に防止することができる。また、プレス成形工程やタイバー切断工程でリード６に金属バリが発生すると、このバリに溶融半田が引っかかって半田ブリッジの核となり、ブリッジ発生率が急増する。従って、余分な半田が少ない自己整合的な半田接続方法は、この点からも半田接続工程の歩留まり向上に有効である。

モジュールリード９の径をリード６の開孔８の径よりも小さくすると、開孔８にモジュールリード９を挿入する作業を迅速に行うことができる。しかし、この場合は、開孔８にモジュールリード９を挿入しただけでは半田リフロー前にパッケージ２Ｄの自重や何らかの外力によってモジュールリード９がずれてしまうこ

とがある。その対策として、第９５図に示すように、モジュールリード９の一部にプレスで幅広の扁平部７２を設け、モジュールリード９の径を部分的に大きくすることによって、ずれや抜けを防ぐようにしてもよい。あるいは、モジュールリード９の一部の径を開孔８の径と同程度になるまでプレスで拡大し、モジュールリード９を開孔８内に「かしめ」方式で圧入してもよい。

モジュールリード９の一部に扁平部７２を設ける上記の方式をモジュールリード９の下端部（Ｊベンド部）に適用した例を第９６図に示す。この場合は、扁平部７３の幅を自由に変えることができる。また、モジュールリード９のＪベンド成形が容易になるという利点もある。さらに、プレス加工で扁平部７３を形成した場合は、金属の加工硬化によってＪベンド部分の強度が大きくなるので、モジュールリード９が変形し難くなるという利点もある。

第９７図（ａ）、（ｂ）は、半田メッキしたワイヤでモジュールリード９を構成し、その下端部をＪベンド成形したときの半田フィレット７４のパターンを示している。半田フィレット７４のパターンや大きさは、リード６のメッキ仕様によってコントロールすることもできる。例えばリード６にＡｕメッキ処理を施した場合は、リード６の表面の半田濡れ性が大きくなるので、半田フィレット７４のリード６への広がりが大きくなる。他方、リード６にＰｄ（パラジウム）メッキ処理を施した場合は、半田の濡れ性（広がり）が小さくなるので、少ない半田量で半田フィレット７４を形成することができる。

また、チップボンディング前のリードフレームに、あらかじめＡｕメッキ処理やＳｎ／Ｎｉメッキ処理を施しておくことにより、チップボンディング、ワイヤボンディング、積層モールドを行った後、リード６に外装メッキ処理を施すことなく、リード６とモジュールリード９を半田リフロー接続することができる。これは、ＡｕメッキやＳｎ／Ｎｉメッキが強い耐酸化被膜となり、リード６の表面が半田リフローに適した状態になるからである。また、外装メッキを省略することにより、メッキ処理コストの低減、樹脂内へのメッキ液浸透、イオン汚染などの不良対策が可能となる。

リード６の開孔８の形状によっては、上記した円形のワイヤに代えて断面が角柱のワイヤを使用することもできる。ただし、円形のワイヤと比較した場合、角

柱のワイヤは、軸方向のねじれによって断面が回転したときにリード６とモジュールリード９の接続が困難になるという問題がある。

一般に、ワイヤのねじれに対しては円形の断面が有利である。しかし、プリント配線基板との接続部（Ｊベンド部）のねじれ剛性に対しては角柱の断面が有利である。そこで、角柱のワイヤを使用する場合は、リード６の開孔８の形状を四角形とすることでワイヤの自由な回転を防ぎ、モジュールリード９のＪベンド部の回転を防止する。これにより、プリント配線基板にＤＲＡＭモジュールを実装する際のリフロー工程で万一、炉内の温度が高くなりすぎてリード６とモジュールリード９の接続部の高融点半田が再溶融した場合でも、モジュールリード９のＪベンド部の回転が防止されるので、モジュールリード９の配置がずれるといった実装不良を未然に防止することができる。

リード６の開孔８に円形のワイヤで構成されたモジュールリード９を挿入する際の作業性を改善するために、第９８図（ａ）～（ｃ）に示すような溝７５ａ～７５ｃを形成したリード６を使用することもできる。同図（ａ）に示すように、溝７５ａはその一端が開放されているので、破線で示すモジュールリード９は水平方向から溝７５ａに圧入される。溝７５ａの開放端にはモジュールリード９を挿入し易くするために、テーパ状のガイド７６が設けられている。また、挿入されたモジュールリード９の抜けを防止するために、溝７５ａの内径はモジュールリード９の径よりも僅かに小さくなっている。同図（ｂ）に示す溝７５ｂは、開放端の反対側に細いスリット７７が設けられている。このスリット７７を設けることにより、リード６の弾性力が高まるので、モジュールリード９を溝７５ｂに挿入する際の圧入抵抗が小さくなる。同図（ｃ）に示す溝７５ｃは、開放端側の内径が他の部分の内径よりも狭くなっているので、挿入されたモジュールリード９の抜けを確実に防止できる。

上記の溝７５ａ～７５ｃが形成されたリード６を使用する場合は、モジュールリード９を圧入するだけで両者を固定することができるので、半田を使用しなくとも両者の接続が可能になる。従って、半田リフロー工程が省略される分、組立て工数を低減することができる。また、半田クラックに起因するモジュールリード９とリード６のオープン不良を防止することができる。半田リフロー方式と併

用した場合は、半田が何らかの原因（例えば半田クラックなど）によってオープンになった場合でも、圧着効果によって接続が確保されるので、モジュールリード９とリード６のオープン不良に対して二重の信頼性が得られる。

本実施例のＤＲＡＭモジュール１Ｄのように、パッケージ２Ｄの上下方向に積層された多数のリード６にモジュールリード９を一括して挿入するには、第９９図（ａ）（側面図）、同図（ｂ）（平面図）に示すように、まず、それぞれのリード６の層間にこの層間スペースとほぼ同じ径の角柱７９を挿入し、上下両方向からリード６に押さえ治具８０ａ、８０ｂを押し当ててリード６を固定した後、圧入治具８１を使ってリード６の溝７５ａ（７５ｂまたは７５ｃ）にモジュールリード９を一括して圧入する。このような方式で圧入することにより、リード６とモジュールリード９を短時間で交差接続することができる。また、モジュールリード９を圧入する際にリード６やパッケージ２Ｄが受ける機械的ダメージを低減することができる。さらに、圧入時のリード６の倒れや変形を防止することができる。

モジュールリード９にＪベンド部を設ける代わりに、一部のリード６にＪベンド部を設けてもよい。パッケージの上下方向に積層されたリード６のうち、最下層のリード６のみにＪベンド部を設けた例を第１００図に示す。この場合、最下層のリードフレームは、上層のリードフレームと異なるリードパターンのものを使用する。あるいは、最下層のリードフレームのリード６の切断形状を変えて使用してもよい。同図に示す例では、上層のリードフレームのリード６に溝７５ａが設けられ、最下層のリードフレームのリード６に開孔８２が設けられている。

モジュールリード９やリード６にＪベンド部を設けてＳＯＪ型のパッケージとする代わりに、ＳＯ型のフラットパッケージとすることもできる。前記第９６図に示した扁平部７３の応用として、モジュールリード９の下端をプレス加工することによってフラットリード８３を形成した例を第１０１図に示す。この構造は、フラットリード８３の折り曲げが簡単で作業性が高いことに加えて、パルスヒータ方式や光ビーム半田付け方式によってフラットリード８３のみを局部的に加熱してプリント配線基板に実装することができるという利点もある。これは、フラットリード８３の先端が上層のリード６の先端よりもパッケージ２Ｄから離れた

位置にあるため、上層のリード６に接することなく、フラットリード８３のみを加熱することができるためである。

リード６とモジュールリード９の接続部の高融点半田が再溶融したり、この接続部に外力が加わったりしてモジュールリード９のピッチが不揃いになる不具合を防止する対策として、パッケージ２Ｄの底面に第１０２図に示すような窪み８４を設けることも有効である。

通常のＳＯＪのように、１個の半導体チップを封止する単層パッケージの場合は、第１０３図に示すように、下金型２００の上面に凸部２０１を設けたモールド金型を使用してパッケージ２０２の底面に窪み２０３を形成し、下金型２００の上面と垂直な方向にパッケージ２０２を引き上げて離型する。従って、窪み２０３は、パッケージ２０２の側面から離れた箇所に形成される。

一方、本実施例では水平方向に２分割される可動金型を使用するので、パッケージ２Ｄの底面に窪み８４を形成するには、第１０４図に示すような断面構造の可動金型８５を使用する。この可動金型８５は、前述した入れ子金型４０の可動金型４３の先端に、窪み８４に対応する段差部８６を設けたものに相当する。同図に示すように、可動金型８５は、パッケージ２Ｄの底面と平行な方向に２分割されるので、窪み８４はパッケージ２Ｄの側面まで達するように形成される。

上記可動金型８５は、本実施例のパッケージ２Ｄをモールド成形する場合のみならず、ＳＯＪのような従来の単層パッケージをモールド成形する場合にも使用することができる。

第１０５図に示す可動金型８７は、上記可動金型８５をＳＯＪ用に設計変更したもので、上面が上層のパッケージ２０２の底面を成形し、下面が下層のパッケージ２０２の上面を成形する。この可動金型８７を使用することにより、ＳＯＪのような従来の単層パッケージを上下方向に多数個取りすることが可能となるので、モールド工程のスループットが大幅に向上する。また、パッケージ２０２を上下方向に多数個取りするこのモールド方法によれば、パッケージ２０２を水平方向に多数個取りする従来のモールド方法に比べてキャビティ間を連結するゲートの距離が極めて短くなるので、ゲートの内部に残る無駄な樹脂の量が低減され、同一サイズのミニタブレットからより多くのパッケージ２０２を取得することが

できる。

前記可動金型８５や可動金型８７は、成形作業効率、離型時の摩擦力、ゲートカットの手順などに応じて種々の変形が可能である。

第１０６図（ａ）に示す可動金型８８は、その上下両面に成形パターンを設けたものである。同図（ｂ）に示す可動金型８８ａ、８８ｂは、上記可動金型８８を上下方向に２分割したもので、可動金型８８ａの上面と可動金型８８ｂの下面とにそれぞれ成形パターンが設けてある。同図（ｃ）に示す可動金型８８ａ～８８ｃは、上記可動金型８８を３分割したものである。可動金型８８、８８ａ～８８ｃは、それぞれ左右一組で構成されるが、図には片側のみを示してある。

同図（ｄ）は、可動金型８８ａを上方から見た平面図、同図（ｅ）は、可動金型８８ｂを上方から見た平面図である。可動金型８８ａ、８８ｂには、リードフレームを位置決めするためのガイドピンが挿入されるガイドピン孔５５、５６と、樹脂を積層方向に沿って流入させるためのゲート孔１１０と、樹脂の均一性を確保するためのエアーベント機能を持った樹脂流出用のダミーのゲート孔１１１とが設けられている。

同図（ｆ）に示すように、ゲート孔１１０、１１１は、パーティングラインＰＬに対して所定の離型角（θ）を持っている。この離型角（θ）は、$0 < \theta < 30°$程度である。この離型角（θ）を１５°にした実験では、熱硬化樹脂に対して優れた離型性とスペースファクタとが確認された。離型角（θ）を３０°以上にするとゲートの領域が大きくなるために、スペースファクタが低下する。また、離型角（θ）が０では離型性が悪く、ゲート孔１１０、１１１内に樹脂残りが発生し易くなる。この樹脂残りが発生すると、次の成形時にゲート断面形状が変化し、成形条件が変動してしまうため、均一な成形ができなくなる。

ゲート孔１１０、１１１の基本的な形状は、その半径をｒとして、パーティングラインＰＬに対して（９０°－θ）の角度で接するような円形状とするのがよい。このとき、円の中心は必ずしもパーティングラインＰＬ上に位置している必要はない。また、半径ｒを大きくして円の中心をパーティングラインＰＬの外側に置いた場合は、円弧の一部が離型角（θ）となり、（９０°－θ）の接続部１１４と共通化することができる。

ゲート孔１１０とゲート孔１１１は、同じ大きさにする必要はない。ゲート孔１１０は樹脂の流入口であるため、その径を小さくすると樹脂の剪断発熱が増加し、樹脂の流動性が増加する。また、ダミーゲートであるゲート孔１１１の径を大きくした場合はエアーの抵抗が小さくなるので、キャビティ内の不要なエアーの排出が容易になる。

上記可動金型８８は、その上下両面にパッケージが密着するので、離型時の摩擦力が大きくなる。これに対し、可動金型８８を２分割した可動金型８８ａ、８８ｂは、それぞれの片面のみにパッケージが密着するので離型時の摩擦力が小さくなり、パッケージの離型を容易に行うことができる。また、可動金型８８は、上下のパッケージと繋がったゲート孔１１０、１１１内の樹脂を離型時に切断するのが難しいのに対し、可動金型８８ａ、８８ｂは、両者の界面でゲート孔１１０、１１１内の樹脂をクラックさせて切断することができるので、離型の作業性が向上する。

上記可動金型８８ａ、８８ｂは、それぞれ左右一組で構成されるので、ガイドピン孔５５、５６とゲート孔１１０、１１１を左右の可動金型で対称に配置すれば左右の金型に互換性を持たせることができ、可動金型８８ａ、８８ｂの複数組を上下方向に積層する際の作業性が向上する。

しかし、可動金型８８ａ、８８ｂの複数組を上下方向に積層した際の総積層厚を一定に保つためには、むしろ左右の可動金型同士に互換性を持たせない方がよい。その理由は、左側の可動金型の総積層厚と右側の可動金型の総積層厚とを金型作成時に高精度に一致させておかないと、金型の型締め力が左右の可動金型間で不均一になるからである。すなわち、左側の可動金型同士の間、または右側の可動金型同士の間で上下方向の積層順序が入れ替わっても総積層厚は変化しないので型締め力は一定に保たれる。しかし、左右の可動金型同士に互換性を持たせ、金型作成時には左側だったものと右側だったものとを混在させて積層すると、左右の可動金型の高さにばらつきが生じる。このばらつきは、統計的には一個の可動金型の厚さのばらつきに積層数の平方根を乗じた値程度となる。

これを、高精度の研磨処理によって厚さの公差を±５μｍ以下にした金型（可動金型を含む）を使用して４個の半導体チップを積層した本実施例のパッケージ

２Ｄを上下方向に４個取りする場合について説明する。

この場合は、１個のパッケージ２Ｄを成形するのに、４個の半導体チップの隙間に挿入される３個の可動金型と上下の金型とを合わせた合計５個の金型が必要となるので、４個取りの場合は合計２０個の金型が必要となる。従って、高さの統計的なばらつきは、金型１個当たりの厚さの公差（±５μｍ）に金型の数（＝２０）の平方根を掛けた値、すなわち±２２μｍとなる。

また、半導体チップを搭載したリードフレームの板厚を0.１２５μｍ、金型１個の厚さを0.６５ｍｍとして計算すると、リードフレームは１個のパッケージ２Ｄ当たり４枚、４個取りの場合は合計１６枚となるので、金型の総積層厚は、（0.１２５×１６）＋（0.６５×２０）＝１５ｍｍとなる。従って、金型の総積層厚（１５ｍｍ）に対する高さのばらつき（±２２μｍ）、すなわち歪み量（２２μｍ／１５ｍｍ＝1.４６×１０$^{-3}$）に、金型を構成する金属（鉄）のヤング率（２×１０4kg/mm^2）を掛けると、単位平方ミリメートル当たり２９kgの荷重となる。すなわち、金型の受圧面積が４０ｍｍ×２０ｍｍ＝８００mm^{2}程度と比較的小さい場合であっても、左右の金型に生じる型締め力の差は２９×８００＝23.２トンにも達する。つまり、左右の金型の一方には２３トン以上の型締め力が加わるのに対し、もう一方は無荷重という現象が生じる。以上のことから、左右の金型には互換性を持たせるべきではない。互換性を持たせないようにすれば、左右の金型にほぼ均等な型締め力を加えることができる。

前記第１０６図（ｂ）に示した可動金型８８ａ、８８ｂの複数組を上下方向に積層した場合、樹脂はゲート孔１１０を通じて上下方向に流れる。もう一方のダミーのゲート孔１１１は、エアーベントとして機能するもので、エアーや流動樹脂先端部の不均一な樹脂をキャビティの外部に排出する。このダミーのゲート孔１１１は、エアーベントの設計の仕方によっては、あるいは均一性の高い樹脂を使用する場合には必ずしも必要ではなく、省略することもできる。

上記したエアーベントとは、通常の金型設計で使用する1/100～3/100mm程度の隙間のことであり、エアーの出入りは可能であるが樹脂の出入りはできないという特徴がある。これに対し、上記したダミーのゲート孔１１１は、モールドの初期にキャビティ内の不要なエアーを排出することによって、キャビティ内に樹

脂を均一に流入させる働きがある。このダミーのゲート孔１１１は、通常の金型設計で使用する前述のエアーベントに比べて開口部が大きいので、キャビティ内の不要なエアーを効率よく排出することができる。

第１０７図（ａ）は、前記第８２図に示した入れ子金型４０に（可動金型４３の代わりに）可動金型８８ａをセットしたときのゲート孔１１０、１１１、ガイドピン孔５５、５６、下金型４９のゲート孔５３、ダミーキャビティ５４、リードフレーム（Ｓ）の位置関係を示す平面図である。図示のように、可動金型８８ａのゲート孔１１１と下金型４９のゲート孔５３とは連結し、図示のような位置関係になっている。ゲート孔１１０、１１１はパーティングラインＰＬ上に位置している。実際は前記第８２図に示したように、下金型４９と接しているのは可動金型４６であるが、可動金型４３に相当する可動金型８８ａを用いて相対位置関係を示した。

第１０７図（ｂ）は、半導体チップの層間への樹脂の流入を良好にするために、可動金型８８ａのゲート孔１１０と入れ子金型４０のキャビティ４１Ａ（４１Ｂ）との間をスリットゲート１１２で接続した例である。第１０８図（ａ）はスリットゲート１１２の拡大斜視図である。可動金型８８ａの上に積層される可動金型４４、４２にも同様のスリットゲート１１２を設けることにより、可動金型８８ａ、４４、４２のそれぞれのスリットゲート１１２も積層方向に連結されるので、前記図３３に示した入れ子金型１０のゲートライン２７、２８と同様のゲートラインが入れ子金型４０の内部に形成される。このスリットゲート１１２は、キャビティ４１Ａ（４１Ｂ）への開孔面積を大きく取ることができるので、樹脂の流動抵抗を低減することができる。

上記スリットゲート１１２の代わりに、第１０８図（ｂ）に示すようなピンゲート１１３を設けてもよい。ピンゲート１１３の垂直面（Ｖ）はパーティングラインＰＬ上にあるので、樹脂は矢印で示す斜めにカットされた領域を通ってキャビティ４１Ａ（４１Ｂ）に流入する。このピンゲート１１３の特徴は、上記スリットゲート１１２に比べてゲートライン２７、２８の除去が容易である点と、成形時の水平方向への樹脂の流出抵抗を幅広くコントロールすることができる点である。成形条件によっては、スリットゲート１１２とピンゲート１１３をゲート

孔１１０とゲート孔１１１とで使い分けてもよい。

上記ゲート孔１１０、１１１は、キャビティ内に移動してもよい。この場合は、ゲートカット面がパッケージの表面外観や半導体チップに影響を与えないような位置にゲート孔１１０、１１１を設置する必要がある。

第１０９図（ａ）に示すゲート孔１１０、１１１のＸ－Ｘ’線（パーティングラインＰＬと直行する方向）に沿った断面は、同図（ｂ）に示すような種々の形状（ｉ）～（iv）で構成することができる。形状（ｉ）は最も単純な垂直形状であり、金型作成においてワイヤ放電加工や研磨を用いる場合、ゲート孔１１０、１１１の作成が容易になるため、金型の製造コストを安くすることができる。形状（ii）は単純な円錐状であり、形状（iii)は段差状である。この形状（iii)は径の変化が急峻なため応力変化が大きく、従って樹脂が切断され易い。形状（iv）は断面を不定形にした例である。この形状（iv）はゲート孔１１０、１１１の上下のエッジ部が鋭角になっているため、このエッジ部で樹脂に応力集中を生じさせることができる。

可動金型８８ａ（他の可動金型も同じ）の作成手順は、まず、第１１０図（ａ）に示すように、ワイヤ放電加工、ドリル加工、研磨などによって金型ブロック材からブロック１１５を作成する。このとき、ガイドピン孔５５、５６を同時に形成することにより、可動金型を積層したときの合わせ精度が向上する。次に、同図（ｂ）に示すように、放電ワイヤカット法などを用い、カットライン１１６に沿ってブロック１１５を薄くスライスすることにより、可動金型８８ａを得る。このとき、ゲート孔１１０、１１１はブロック１１５の壁面に対して引き延ばし形状になっているので、前記第１０９図（ｂ）に示す形状（ｉ）が直接得られる。スライスされた可動金型８８ａは、その厚さを高精度にするために平面研磨機によって研磨される。同一の厚みの可動金型８８ａを同時に複数個研磨機に入れて、「とも」加工することにより、相対的なばらつきを大幅に低減することができるので、それらの厚さを極めて高精度に揃えることができる。ゲート孔１１０、１１１の断面を前記第１０９図（ｂ）に示す形状（ii）～（iv）とすることにより、パッケージの成形後、ゲート孔１１０、１１１内に残った樹脂の切断が容易になる。これらの形状（ii）～（iv）は、断面の一部で内径が変化しているので、ゲー

ト孔１１０、１１１内の樹脂に応力集中を生じさせることができる。

前記第１０６図（ｂ）に示す可動金型８８ａ、８８ｂおよび同図（ｃ）に示す可動金型８８ａ、８８ｂ、８８ｃのゲート孔１１０、１１１は、形状（ｉ）～（ｉｖ）のいずれを採用することもできる。形状（ii）を採用するときは、径の小さい方をパッケージ側に配置すると、余分な樹脂がパッケージ側に残り難くなるので作業性が向上する。第１０６（ａ）に示す可動金型８８の場合は、形状（iv）を採用することで上記と同様の効果が得られる。

次に、本発明のＤＲＡＭモジュールに不良チップ救済のための冗長機能を付加した実施例を説明する。

第１１１図は、本実施例のＤＲＡＭモジュールを前方から見た斜視図、第１１２図は、このＤＲＡＭモジュールを裏面から見た斜視図である。本実施例のＤＲＡＭモジュール１Ｅは、〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭチップを９個積層して一括封止したパッケージ２Ｅと、このパッケージ２Ｅを搭載するマザーソケット３Ｅとで構成されている。

マザーソケット３Ｅは、標準的なプラスチックＰＧＡ(Pin Grid Array)パッケージに対応したガラス・エポキシ樹脂のプリント配線基板によって構成されている。マザーソケット３Ｅを構成するプリント配線基板の上面には、パッケージ２Ｅのリード６と交差接続された接続ピン９０が設けられている。また、プリント配線基板の裏面には、接続ピン９０と電気的に接続されたモジュールリード９が設けられている。このプリント配線基板には、後述するような冗長機能が付加されている。

第１１３図は、本実施例のＤＲＡＭモジュール１Ｅの内部構成を示すブロック図である。本実施例では、９個の１６メガビットＤＲＡＭチップ（Ｍ０～Ｍ８）を用い、１ビットのパリティビット付で８ビット構成のメモリモジュールを基本の構成にしている。また、従来のメモリモジュールとの置き換えを考慮して、８ビットのデータは、ＤＲＡＭチップ（Ｍ０～Ｍ７）において、データ入力端子Ｄinとデータ出力端子Doutとが共通化されてデータ入出力端子ＤＱ０～ＤＱ７として設けられている。これに対し、ＤＲＡＭチップ（Ｍ８）のパリティビットは、入力と出力とが分離されて入力パリティ端子ＰＤと出力パリティ端子ＰＱとが設

けられている。また、このＤＲＡＭチップ（Ｍ８）のカラムアドレスストローブ端子／ＣＡＳは、制御信号／ＰＣＳに対応している。

１２ビットからなるアドレス信号が入力されるアドレス端子Ａ０～Ａ１１は、それぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）に共通に供給される。ロウアドレスストローブ信号／ＲＡＳおよびライトイネーブル信号／ＷＥも、それぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）においてそれぞれに共通に供給され、チップセレクト信号（カラムアドレスストローブ信号）／ＣＡＳも上記パリティ用ＤＲＡＭチップＭ８を除いて共通に供給される。そして、電源電圧ＶＣＣと回路の接地電位ＶＳＳもそれぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）に対して共通に供給される。また、本実施例のＤＲＡＭモジュール１Ｅは、電源インピーダンスを低減させるなどの目的で、それぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）の電源端子間にデカップリングコンデンサＣが設けられている。

上記のように共通化されるリード６は、前記第１１１図に示すパッケージ２Ｅの積層方向に対して同じ位置に配置され、積層方向に設けられる接続ピン９０により相互に接続されている。これに対して、上記のようなデータ端子ＤＱ０～ＤＱ７、パリティ端子ＰＤ、ＰＱおよび制御信号／ＰＣＳは、パッケージ２Ｅの積層方向に対して重複しないように各層より１本ずつ引き出され、それぞれに１本ずつの接続ピン９０が設けられてマザーソケット３Ｅに導かれる。

第１１４図は、上記マザーソケット３Ｅの底面を示す平面図である。マザーソケット３Ｅの底面には、モジュールリード９が長辺方向の両側に２列ずつ、ジグザグに配置されている。各列のモジュールリード９のピッチは、３００milである。このモジュールリード９は、通常のＰＧＡパッケージに使用されるＰＧＡ端子と同様、断面が円形のリードピンで構成されている。このようなリードピンでモジュールリード９を構成した場合は、リードフレーム（例えば前記第７２図や第７３図に示すマザーソケット用リードフレーム）で構成されたものに比べて機械的強度が高くなるので、ＳＩＭＭのプリント配線基板への自動実装も容易に実現できるなど、取扱いが簡便になる。

モジュールリード９の外側には、接続ピン用の電極９１がマザーソケット３Ｅの長辺方向の両側に１列ずつ高密度に配置されている。この電極９１はスルーホ

ール構造になっており、上面側からスルーホールに接続ピン９０が挿入され、半田などによって両者の電気的な接続が行われている。モジュールリード９（ＰＧＡ端子）のうち、アドレス端子や制御信号などのようにパッケージ２Ｅに対して固定的に接続されるものは、同図の実線で示された配線９２を介して電極９１に接続されている。

本発明のパッケージのように、複数の半導体チップを積層構造にして一体に封止した場合、その初期不良洗い出しのためのエージングまたはバーンインテストにおいて半導体チップに不良が発生することがある。このような不良が発生した場合に、その半導体チップが封止されたパッケージを不良品として廃棄したのでは、ＤＲＡＭモジュールの製造歩留りが低下してしまう。例えばエージング良品率９２％の半導体チップを単純に９個積層しただけでは、エージング良品率が５０％まで低下してしまう。

そこで、本実施例のＤＲＡＭモジュール１Ｅは、基本的な構成としては８ビットのデータと１ビットのパリティビットからなる×９ビットのＤＲＡＭモジュールとしておいて、エージングによって１つのＤＲＡＭチップに不良が発生した場合には、それを切り離して８ビットのデータのみのＤＲＡＭモジュールとして用いるようにする。このようにすることによって、２種類のＤＲＡＭモジュールが形成でき、エージング良品率９２％のときでも２種類のＤＲＡＭモジュールを合わせることによってエージング良品率を８０％まで改善させることができる。

このため、データ端子に対応したモジュールリード９（ＰＧＡ端子）とパッケージ２Ｅのデータ端子に対応した接続ピン用の電極９１との間には、図示のような冗長階層セレクタ９３が設けられている。この冗長階層セレクタ９３の斜線を付した電極は、接続ピン用の電極９１と一対一に対応して接続されている。つまり、９個のＤＲＡＭチップのデータ入出力用リード６と一対一に固定的に接続されている。従って、これらの斜線を付した電極は、本実施例のＤＲＡＭモジュール１Ｅのエージング時やテスティングに利用される。

第１１５図は、上記マザーソケット３Ｅの上面を示す平面図である。マザーソケット３Ｅの上面側には、モジュールリード９が挿入されるスルーホール構造の電極９４、接続ピン用の電極９１および電源インピーダンスを低くするための回

路の接地電位ＶＳＳと電源電圧ＶＣＣを供給するための広い面積のメタルパターン９５、９６が設けられている。電源供給用のメタルパターン９５、９６は、放熱板としての機能が持たせられており、中央部分には放熱用のスルーホール９７が形成されている。

本実施例のＤＲＡＭモジュール１Ｅは、パッケージ２Ｅのリード６とマザーソケット３Ｅのモジュールリード９を交差接続してマトリクス状の放熱経路を形成しているので、パッケージ２Ｅの熱抵抗は小さいが、パッケージ２Ｅ内の最下層のＤＲＡＭチップ（M0)は、比較的板厚の大きいマザーソケット３Ｅと接しているので放熱効率が悪くなる。そこで、マザーソケット３Ｅの表面に形成される電源供給用のメタルパターン９５、９６チップの面積を広くすることによって、最下層のＤＲＡＭチップ（M0)の放熱を効率よくする工夫がされている。

上記マザーソケット３Ｅの上面には、第１１６図に示すようなパターンのソルダーレジスト９８が設けられている。ソルダーレジスト９８は、モジュールリード９と電極９４、および接続ピン９０と電極９１との接続を行う半田が流れて他の端子とショートするのを防止するものである。電源供給用のメタルパターン９５、９６のそれぞれの表面には、放熱を考慮してソルダーレジスト９８は設けられていない。なお、図示は省略するが、マザーソケット３Ｅの底面側にも電極９１や配線９２のパターンに対応したパターンのソルダーレジストが設けられている。マザーソケット３Ｅの底面側には、前記した冗長階層セレクタ９３のパターンが設けられ、しかもその選択的な接続には、後述するような半田ボールや印刷技術によって形成された半田パターンを熱処理する工程が必要となるので、これらの半田による不所望な回路ショートを防ぐためにソルダーレジストが必要となる。

第１１７図は、上記マザーソケット３Ｅの底面側に設けられた冗長階層セレクタ９３の等価回路図である。同図において、大きな二重丸はモジュールリード９（ＰＧＡ端子）に対応し、小さな丸は接続ピン用の電極に対応している。実線で示されているのは回路配線であり、この回路配線がキャパシタの回路記号のように途切れている部分ａ～ｔは、半田などによって選択的に配線間の接続を行うセレクタ部分である。

1つのモジュールリードＰＱ７は、２つのセレクタＩとｋにより接続ピン用端子Ｄ７またはＤ５に接続可能にされる。かかる一方の接続ピン用端子Ｄ５に着目すると、上記セレクタｋとは逆方向に設けられたセレクタｊによりモジュールリードＤＱ５に接続される。このモジュールリードＤＱ５は、上記セレクタｊとは逆方向に設けられたセレクタｉにより接続ピン用端子Ｄ３に接続される。以下、同様に上記のセレクタを介してモジュールリードＤＱと接続ピン用端子Ｄとが交互に並んで配置され、全体としてリング状にされる。

本実施例では、前記のような９個のＤＲＡＭチップを用いて、全チップが良品のときには８ビットのデータと１ビットのパリティビットからなるＤＲＡＭモジュールとして用い、１つのＤＲＡＭチップにおいて不良が発生したときは、パリティ無しの８ビットのデータのＤＲＡＭモジュールとして用いるようにするものである。

上記パリティビット付きメモリモジュールは、従来のＳＩＭＭなどにおけるパリティビット付きメモリモジュールと同じインターフェイスを持つようにするため、言い換えるならば、パリティビットについては入力ビットＰＤと出力ビットＰＱとを分離する必要があることに対応して、出力用パリティ端子ＰＱは、上記のようなリングから外されている。つまり、接続ピン用端子Dinに限っては、上記のようにリング状に設けられるセレタクｄとｅの他に、上記出力用パリティ端子ＰＱと接続されるセレクタｂが設けられる。この出力用パリティ端子ＰＱには、セレクタａにより上記ＤＲＡＭチップ（Ｍ８）のデータ出力端子Doutに対応した接続ピン用端子とも接続される。

本実施例において、全てのＤＲＡＭチップが良品であるときには、次の表１のように○を付したセレクタが接続状態にされ、×を付したセレクタは開放状態にされる。つまり、接続ピン用端子Ｄ０～Ｄ７はモジュールリードＤＱ０～ＤＱ７に接続され、接続ピン用端子Doutはモジュールリード ＰＱに、接続ピン用端子Din はモジュールリードＰＤに接続されて、前記第１１３図のようなＤＲＡＭモジュールが構成される。

（表１）

セレクタ	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t
接続／開放	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○

（表２）

セレクタ	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t
接続／開放	○	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	×	○

接続ピン用端子Ｄ２に接続されるＤＲＡＭチップＭ２に不良が発生した場合には、上記の表２のように○を付したセレクタが接続状態にされ、×を付したセレクタは開放状態にされる。このときには、上記のようなパリティビット用のＤＲＡＭチップＭ８が冗長チップとして実質的に上記不良のＤＲＡＭチップに置き換えられる。

上記のようにパリティビット用のＤＲＡＭチップＭ８は、DinとDout とが分離されているので、それをデータ入出力用のデータ端子ＤＱ１に使用するため、上記のようにセレクタａとｂおよびｅが接続されて、接続ピン用端子Dout とＤinとがモジュールリードＤＱ１に接続される。

上記不良とされたＤＲＡＭチップＭ２に対応した接続ピン用端子Ｄ２が、上記セレクタｒとｓの開放（×）により分離され、これに付随してモジュールリードＤＱ０と上記のようにＤＲＡＭチップＭ８を用いるモジュールリードＤＱ１とを除く他のモジュールリードＤＱ２～ＤＱ７は、表１の場合とは逆方向のセレクタに接続される。

パリティビットに対応されたＤＲＡＭチップＭ８に不良が発生した場合には、単純に表１の接続状態にされたセレクタａとｄの接続を開放に変えればよい。そして、他のＤＲＡＭチップＭ１やＭ２ないしＭ７において不良が発生した場合には、上記表２と同じ手法により不良ＤＲＡＭチップがモジュールリードと接続されないようにし、その不良部分を境にして反時計回りの方向においてセレタクの接続と開放とが逆にするようにして救済することができる。

その他、ＤＲＡＭチップを１０層に積層しておき、全チップ良品なら１０ビット単位でアクセスすることができるＤＲＡＭモジュールとし、１つのＤＲＡＭチップが不良なら９ビット単位でアクセスすることができるＤＲＡＭモジュールと

し、２つのＤＲＡＭチップが不良なら８ビット単位でのＤＲＡＭモジュールとして製品化するようにしてもよい。この場合、第１１７図の冗長階層セレクタにおいてモジュールリードＤＰとＤＱが第９ビットと第１０ビット目のデータＤＱ８およびＤＱ９のようにすればよい。それに対応して接続ピン用端子Dinは第９ビット目のＤＲＡＭチップＭ８のデータ入出力リードに接続し、Dout を第１０ビット目のＤＲＡＭチップＭ９のデータ入出力リードに接続すればよい。

第１１８図には、上記冗長階層セレクタの選択的な接続方法の一例を説明するための概念図が示されている。同図（ａ）に示すように、冗長階層セレクタの配置パターンに対応して半田ボールマスクが設けられる。また、同図（ｂ）に示すように、半田ボールマスクには、セレクタの２つの電極の位置に対応した半田ボール穴が設けられる。この半田ボール穴の底面には開孔が設けられる。この開孔は、半田ボールの位置合わせと共に、熱処理により溶融された余分な半田を取り除くためにも利用される。

上記のような接続を行うセレクタ部に対応した半田ボール穴には半田ボールが挿入され、開放状態のままにされるセレクタ部に対応した半田ボール穴には半田ボールが入れられる。

上記のように接続の有無に対応して半田ボール穴に半田ボールが入れられた半田ボールマスクを位置合わせしてマザーソケット３Ｅの底面に同図（ｂ）のように重ね合わされる。このような位置合わせは、例えば前記のようなＰＧＡ端子に半田ボールマスクの位置合わせ穴を形成して置くことにより簡単にしかも正確に行うことができる。この後に、熱処理を行う加熱炉において上記半田ボールを溶融させてマザーソケット３Ｅの底面に形成された配線によるセレクタ部の接続を行うことができる。なお、このような半田ボールを用いるものの他に、印刷技術により半田層を上記セレクタ部に選択的に形成し、その後に上記加熱炉により半田を溶融させてセレクタ部の配線間を接続することもできる。

第１１９図には、上記マザーソケット３Ｅの底面側に設けられる冗長階層セレクタ９３の他の等価回路図が示されている。同図においては前記同様に大きな二重丸は第１１４図のモジュールリード（ＰＧＡ端子）に対応し、小さな丸は接続ピン用の電極９１に対応している。そして、実線で示したものが回路配線であり、

点線で示した○の部分は、レーザー光線などのエネルギービームの照射によって選択的に切断される箇所を表している。つまり、この実施例では前記第１１７図の例とは逆に、全回路を形成しておいて、切り離したい部分を切断させて回路を形成する。

１つのモジュールリードＰＱ７は、２つの切断箇所ＩとＫにより接続ピン用電極Ｄ７またはＤ５に接続可能にされる。かかる一方の接続ピン用電極Ｄ５に着目すると、上記切断箇所Ｋとは逆方向に設けられた切断箇所Ｊによりモジュールリードｄｑ５に接続される。このモジュールリードＤＱ５は、上記切断箇所Ｊとは逆方向に設けられた切断箇所Ｉにより接続ピン用電極Ｄ３に接続可される。以下、同様に上記の切断箇所を介してモジュールリードＤＱと接続ピン用電極Ｄとが交互に並んで配置され、全体としてリング状にされる。

本実施例では、前記同様に９個のＤＲＡＭチップを用いて、全チップが良品のときには８ビットのデータと１ビットのパリティビットからなるＤＲＡＭモジュールとして用い、１つのＤＲＡＭチップにおいて不良が発生したときは、パリティ無しの８ビットのデータのＤＲＡＭモジュールとして用いるようにする。

上記パリティビット付きメモリモジュールは、従来のＳＩＭＭなどにおけるパリティビット付きメモリモジュールと同じインターフェイスを持つようにするため、言い換えるならば、パリティビットについては入力ビットＰＤと出力ビットＰＱとを分離させる必要があることに対応して、出力用パリティ端子ＰＱは、上記のようなリングから外されている。つまり、接続ピン用電極Ｄinに限っては、上記のようにリング状に設けられる切断箇所ＤとＥの他に、上記出力用パリティ端子ＰＱと接続される切断箇所Ｂが設けられる。この出力用パリティ端子ＰＱには、切断箇所Ａにより上記ＤＲＡＭチップＭ８のデータ出力端子Ｄout に対応した接続ピン用電極とも接続されている。

本実施例において全てのＤＲＡＭチップか良品であるときには、次の表３のように○を付した切断箇所が接続状態のままにされ、×を付した切断箇所がレーザ光線などのエネルギービームの照射により切断されて開放状態にされる。つまり、接続ピン用端子Ｄ０～Ｄ７はモジュールリードＤＱ０～ＤＱ７に接続され、接続ピン用電極Ｄout はモジュールリードＰＱに、接続ピン用電極Ｄinはモジュール

リードＰＤに接続されて、前記第１１３図のようなＤＲＡＭモジュールが構成される。このようなレーザーカット法の採用により、簡単に冗長救済ができる。

（表３）

セレクタ	ＡＢＣＤＥＦＧＨＩＪＫＬＭＮＯＰＱＲＳＴ
接続／開放	○××○×○×○×○×○×○×○×○×○

（表４）

セレクタ	ＡＢＣＤＥＦＧＨＩＪＫＬＭＮＯＰＱＲＳＴ
接続／開放	○○××○×○×○×○×○×○×○×○××

接続ピン用電極Ｄ２に接続されるＤＲＡＭチップＭ２に不良が発生した場合には上記の表４のように○を付した切断箇所が接続状態のままにされ、×を付した切断箇所が上記レーザー光線などのエネルギービームの照射によって切断されて開放状態にされる。このときには、上記のようなパリティビット用のＤＲＡＭチップＭ８が冗長チップとして実質的に上記不良のＤＲＡＭチップＭ２に置き換えられる。

上記のようにパリティビット用のＤＲＡＭチップＭ８は、ＤｉｎとＤｏｕｔとが分離されているため、それをデータ入出力用のデータ端子ＤＱ１に使用するため、上記のように切断箇所ＡとＢおよびＥが接続状態のままにされて、接続ピン用電極ＤｏｕｔとＤｉｎとがモジュールリードＤＱ１に接続される。以下は、前記の例と実質的に同様になるのでその説明を省略する。

このようなレーザーカット法による不良チップの救済のために、エージングまたはバーンイン処理は、前記の実施例と異なり、パッケージ２Ｅが形成された段階で行われる。つまり、パッケージ２Ｅが接続ピン９０を介してマザーソケット３Ｅに搭載される前の段階で、エージングボードなどにより各層の半導体チップから独立して延びているリード６に電気的に接続して回路動作を行わせるようにする。

第１２０図には、上記積層構造にされるＤＲＡＭチップの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような１個の半導体基板上において形成される。同図における各回路ブロックは、実際の半導体チップにおける幾何学的な配置に合

わせて描かれている。

本実施例においては、メモリの大容量化に伴うチップサイズの大型化による制御信号やメモリアレイ駆動信号といった各種配線長が長くされることによって動作速度も遅くされてしまうのを防ぐなどのために、ＤＲＡＭを構成するメモリアレイ部とそのアドレス選択などを行う周辺部との配置に次のような工夫が行われている。同図において、チップの縦中央部と横中央部とから形作られる十文字エリアが設けられる。この十文字エリアには主に周辺回路が配置され、上記十文字エリアにより４分割されたエリアにはメモリアレイが配置される。すなわち、チップの縦方向と横方向の中央部に十文字状のエリアを設け、それにより４つに分割されたエリアにメモリアレイが形成される。上記４つのメモリアレイは、後述するようにそれぞれが約４Ｍビットの記憶容量を持つようにされる。これに応じて４つのメモリアレイ全体では、約１６Ｍビットの大容量を持つものとされる。

１つのメモリマットＭＥＭＯＲＹＭＡＴは、横方向にワード線が延長するよう配置され、縦方向に一対からなる平行に配置される相補ビット線（データ線又はディジット線）が延長するよう配置される。メモリマットＭＥＭＯＲＹＭＡＴは、センスアンプＳＡを中心にして左右に一対が配置される。センスアンプＳＡは、左右に配置される一対のメモリマットＭＥＭＯＲＹＭＡＴに対して共通に用いられるという、いわゆるシェアードセンスアンプ方式とされる。

上記４つに分割されたメモリアレイのうち、中央部側にＹ選択回路Ｙ－ＤＥＣＯＤＥＲがそれぞれ設けられる。Ｙ選択線はＹ選択回路Ｙ－ＤＥＣＯＤＥＲからそれに対応するメモリアレイの複数のメモリマットＭＥＭＯＲＹＭＡＴ上を延長するよう延びて、各メモリマットＭＥＭＯＲＹＭＡＴのカラムスイッチ用ＭＯＳＦＥＴのゲートのスイッチ制御を行う。

上記チップの横方向の中央部のうち、左側の部分にはＸアドレスバッファＸ－ＡＤＤＲＥＳＳＢＵＦＦＥＲ、Ｘ冗長回路Ｘ－ＲＥＤＵＮＤＡＮＣＹ ＣＫＴおよびＸアドレスドライバＸ－ＡＤＤＲＥＳＳＤＲＩＶＥＲ（論理段ＬＯＧＩＣＳＴＥＰ）とからなるＸ系回路と、ＲＡＳ系制御信号回路ＲＡＳＥ系信号制御回路ＷＥ ＳＹＳＴＥＭ、データ入力バッファＤＩＮＢＵＦＦＥＲおよび内部降圧回路ＶＣＬ ＬＩＭＩＴＥＲがそれぞれ設けられる。上記内部電源回路ＶＣＬ Ｌ

ＩＭＩＴＥＲはこのエリアの中央寄りに設けられ、約3.３Ｖのような外部電源ＶＣＣＥを受けて内部回路に供給される約2.２Ｖのような電圧に対応した定電圧ＶＣＬを形成する。

上記チップの横方向の中央部のうち、右側の部分にはＹアドレスバッファＹ－ＡＤＤＲＥＳＳＢＵＦＦＥＲ、Ｙ冗長回路Ｙ－ＲＥＤＵＮＤＡＮＣＹおよびＹアドレスドライバＹ－ＡＤＤＲＥＳＳ ＤＲＩＶＥＲ（論理段ＬＯＧＩＣ ＳＴＥＰ）とからなるＹ系回路と、ＣＡＳ系制御信号回路ＣＡＳ ＣＫＴおよびテスト回路ＴＥＳＴ ＦＵＮＣＴＩＯＮがそれぞれ設けられる。そのチップ中央部には、アドレスバッファやデコーダといったような周辺回路用の電源電圧ＶＣＬを形成する内部降圧回路ＶＤＬ·ＬＩＭＩＴＥＲが設けられる。

上記のように、アドレスバッファとそれに対応したアドレス比較回路を含む冗長回路Ｘ、Ｙ－ＲＥＤＵＮＤＡＮＣＹ、制御クロック発生を行うＣＡＳ、ＲＡＳ系制御信号回路ＲＡＳ，ＣＡＳ ＣＫＴなどを一個所に集中配置すると、例えば配線チャンネルを挟んでクロック発生回路と他の回路を振り分けること、言い換えるならば上記配線チャンネルを共用化することによって高集積化が可能になると共に、アドレスドライバ（論理段）などに最短でしかも等距離で信号を伝えることができる。

ＲＡＳ系制御回路ＲＡＳ ＣＫＴは、ロウアドレスストローブ信号ＲＡＳＢを受けてＸアドレスバッファＸ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲを活性化するために用いられる。ＸアドレスバッファＸ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲに取り込まれたアドレス信号はＸ系の冗長回路Ｘ－ＲＥＤＵＮＤＡＮＣＹに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路の切り換えることの有無が判定される。その結果と上記アドレス信号とは、Ｘ系のプリデコーダに供給される。ここで、プリデコード信号が形成され、各メモリアレイに対応して設けられるＸアドレスドライバＤＶ２、ＤＶ３を介して、前記のようなメモリマットに対応して設けられるそれぞれのＸデコーダＸ－ＤＥＣＯＤＥＲに供給される。

一方、上記ＲＡＳ系の内部信号は、ＷＥ系のコントロール回路ＷＥ ＳＹＳＴＥＭとＣＡＳ系のコントロール回路ＣＡＳ ＣＫＴに供給される。例えば上記Ｒ

ＡＳＢ信号とカラムアドレスストローブ信号ＣＡＳＢおよびライトイネーブル信号ＷＥＢとの入力順序の判定から、自動リフレッシュモード（ＣＢＲ）、テストモード（ＷＣＢＲ）などの識別が行われる。テストモードのときには、テスト回路ＴＥＳＴ ＦＵＮＯＴＩＯＮが活性化され、公開・標準化または必要に応じて設けられる非公開の各テストモードにおいて、それぞれのタイミングで供給される特定のアドレス信号に従いテストファンクションが設定される。

ＣＡＳ系の制御回路ＣＡＳ ＣＫＴは、信号ＣＡＳＢを受けてＹ系の各種制御信号を形成するために用いられる。信号ＣＡＳＢのロウレベルへの変化に同期してＹアドレスバッファＹ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲに取り込まれたアドレス信号は、Ｙ系の冗長回路Ｙ－ＲＥＤＵＮＤＡＮＣＹに供給される。ここで記憶された不良アドレスとの比較が行われて、冗長回路への切り換えの有無が判定される。その結果と上記アドレス信号は、Ｙ系のプリデコーダに供給される。プリデコーダは、プリデコード信号を形成する。このプリデコード信号は、４つからなる各メモリアレイ対応して設けられるＹアドレスドライバＤＶ１を介して、それぞれのＹデコーダＹ－ＤＥＣＯＤＥＲに供給される一方、上記ＣＡＳ系制御回路ＣＡＳ ＣＫＴは、前記のようにＲＡＳＢ信号とＷＥＢ信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路ＴＥＳＴ ＦＵＮＣＴＩＯＮを活性化させる。

上記チップの縦方向の中央部のうち、上側の部分にはこのエリアの中心軸に対して左右対称的に合計１６個のメモリマットＭＥＭＯＲＹ ＭＡＴと８個のセンスアンプＳＡがそれぞれ配置される。そのうち、左右４組ずつのメモリマットＭＥＭＯＲＹ ＭＡＴとセンスアンプＳＡに対応して４個からなるメインアンプＭＡが設けられる。その他、この縦中央上部には、内部降圧電圧を受けてワード線選択用などの昇圧電圧発生回路ＶＣＨや、アドレス信号や制御信号などの入力信号に対応した入力パッドエリアが設けられる。

本実施例では１つのブロックには８個のメモリマットＭＥＭＯＲＹ ＭＡＴと４個のセンスアンプＳＡが配置され、上記縦軸を中心として左右対称的に合計１６個のメモリマットＭＥＭＯＲＹ ＭＡＴと８個のセンスアンプＳＡが割り当てられる。この構成では、４個からなる少ないメインアンプＭＡを用いつつ、各セ

ンスアンプＳＡからの増幅信号を短い信号伝播経路によりメンアンプＭＡに伝えることができる。

上記チップの縦方向の中央部のうち、下側の部分にもこのエリアの中心軸に対して左右対称的に合計１６個のメモリマットＭＥＭＯＲＹ　ＭＡＴと８個のセンスアンプＳＡがそれぞれ配置される。そのうち、左右４組ずつのメモリマットＭＥＭＯＲＹ　ＭＡＴとセンスアンプＳＡに対応して４個からなるメインアンプＭＡが設けられる。

上記の他に縦中央部には、内部降圧電圧を受けて基板に供給すべき負のバイアス電圧を形成する基板電圧発生回路ＶＢＢや、アドレス信号や制御信号などの入力信号に対応した入力バッドエリアおよびデータ出力バッファ回路ＯＵＴＰＵＴ　ＢＵＦＦＥＲが設けられる。上記同様に４個のような少ない数からなるメインアンプＭＡを用いつつ、各センスアンプＳＡからの増幅信号を短い信号伝播経路によりメインアンプ７に伝えることができる。

同図では省略されているが、上記縦中央部の領域には各種のボンディングパッドが配置される。これらのボンディングバッドの例としては外部電源供給用のパッドがあり、入力のレベルマージンを大きくするため、言い換えるならば電源インピーダンスを低くするために回路の接地電位を供給するバッドは、合計で十数個と比較的多くほぼ一直線上に並んで配置される。これらの接地電源用パッドは、ＬＯＣ技術により形成される縦方向に延びる接地電位用リードに接続される。これら接地用パッドのうち、リード線のクリア、ワードドライバの非選択ワード線のカップリングによる浮き上がり防止用のために特に設けられるたるものや、センスアンプのコモンソース用として設けられるものなどのように主として電源インピーダンスを下げる目的で設けられる。

これにより、回路の接地電位は内部回路の動作に対して電源インピーダンスが低くされ、かつ上記のごとく複数種類に分けられた内部回路間の接地配線が、ＬＯＣリードフレームとボンディングワイヤとからなるローパスフィルタで接続されることになるからノイズの発生を最小に抑えると共に、内部回路間の回路接地線ノイズの伝播も最小に抑えることができる。

本実施例では、約3.３Ｖのような外部電源ＶＣＣに対応したパッドは、上記電

圧変換動作を行う内部降圧回路ＶＣＬ、ＶＤＬ ＬＩＭＩＴＥＲに対応してそれぞれ設けられる。これも上記同様に電源インピーダンスを低くすると共に内部回路間の電圧（ＶＣＬ、ＶＤＬおよびＶＣＣ間）のノイズ伝播を低く抑えるためのものである。

アドレス入力用のパッドと、ＲＡＳ、ＣＡＳ、ＷＥおよびＯＥのような制御信号用のパッドは上記中央部のエリアに配置される。この他にデータ入力用やデータ出力用のパッドやボンディングマスター用、モニタ用およびモニタ用パッド制御のために以下のパッドも設けられる。

ボンディングマスター用としてはスタティックカラムモードを指定するためのもの、ニブルモードおよび×４ビット構成時のライトマスク機能を指定するためのものがある。モニタ用としてはパッド各内部電圧ＶＣＬ、ＶＤＬ、ＶＬ、ＶＢＢＶＣＨおよびＶＰＬをモニタするためのものがある。ＶＰＬのモニタは、ＶＰＬ調整が正しく行われたか否かをプロービングにおいて判定するものである。

内部降圧回路ＶＣＬ ＬＩＭＩＴＥＲは、約2.2Ｖのような周辺回路用電源電圧ＶＣＬを発生させる。内部降圧回路ＶＤＬ ＬＩＭＩＴＥＲは、約2.2Ｖのようなメモリアレイ、すなわち、センスアンプＳＡに供給される電源電圧ＶＤＬを発生させる。昇圧回路ＶＣＨは上記内部電圧ＶＣＬを受けて約3.3Ｖに昇圧されたワード線の選択レベル、シェアードスイッチＭＯＳＦＥＴを選択するブースト電源電圧を形成する。プレート電圧発生回路ＶＰＬは、メモリセルのプレート電圧を発生させる。

第１２１図には、この発明が適用されるＤＲＡＭチップにおける制御信号に着目したブロック図が示されている。同図は、前記第１２０図に示したレイアウト図に対応して描かれている。

ＲＡＳ系のコントロール回路ＲＡＳ CONTROL（ＣＫＴ）は、信号ＲＡＳＢを受けてＸアドレスバッファＸ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲを活性化するために用いられる。Ｘアドレスバッファ Ｘ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲに取り込まれたアドレス信号はＸ系の冗長回路Ｘ－ＲＥＤＵＮＤＡＮＤＹ ＣＫＴに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えることの有無が判定される。

その結果と上記アドレス信号とは、X系のプリデコーダX－PREDECX1，AXn1）に供給される。ここで、XiとAXn1からなるプリデコード信号が形成され、各メモリアレイに対応して設けられるXアドレスドライバXiB、AXn1を介して、前記のようなメモリマットMEMORY MATに対応して設けられるそれぞれのXデコーダX－DECに供給される。同図においては1つのドライバのみが代表として例示的に示されている。

上記RAS系の内部信号は、WE系のコントロール回路WE CONTROLとCAS系のコントロール回路CAS CONTROL（CKT）に供給される、例えばRAS信号とCAS信号およびWE信号との入力順序の判定から、自動リフレッシュモード（CBR）、テストモード（WCBR）などの識別が行われる。

テストモードのときには、テスト回路TEST FUNCTIONが活性化され、前記公開・標準化テストモードと非公開テストモードのそれぞれに供給される特定のアドレス信号に従い、テストファンクションが設定される。

上記XアドレスバッファX－ADDRESS BUFFERに取り込まれたアドレス信号のうち、メモリマットの選択を指示するアドレス信号はマット選択回路MSiL／Rに伝えられ、ここから各メモリアレイに設けられた複数のメモリマットMEMORY MATのうちいずれかが選択される。ここで、メモリマットMEMORY MATに対応して設けられるCSは、コモンソーススイッチMOSFETである。

4つのメインアンプMAは、それを中心にして左右対称的に設けられた合計8個のメモリマットからの4対の相補データ線（4ビット）に対応している。メモリマット選択信号MSiL／Rにより上記8つのメモリマットのうち1つが選ばれる。このような選択動作を行うのが単位マット制御回路UMCである。同図には、4対のメインアンプMAが1組として例示的に示されており、残り3組のメインアンプは破線によりブラックボックスとして示している。

マット選択回路MSiL／Rは、4通りの選択信号MS0L／RないしMS3L／Rを形成する。例えばMS0Lが形成されると、MS0Lに対応した4つのメモリマットが選択される。これらの4つのメモリマットMS0Lは、それぞれから4ビットの入出力ノードを持つからそれが上記4個ずつのメインアンプMA

に対応される。

ＣＡＳ系のコントロール回路ＣＡＳ　　ＣＯＮＴＲＯＬ（ＣＫＴ）は、信号ＣＡＳＢを受けてＹ系の各種制御信号を形成するために用いられる。信号ＣＡＳＢのロウレベルへの変化に同期してＹアドレスバッファＹ－ＡＤＤＲＥＳＳ　ＢＵＦＦＥＲに取り込まれたアドレス信号は、Ｙ系の冗長回路Ｙ－ＲＥＤＵＮＤＡＮＣＹ　ＣＫＴに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えの有無が判定される。

その結果と上記アドレス信号は、Ｙ系のプリデコーダＹ－ＰＲＥ　ＤＥＣ（Ｙ１，ＡＹｎ１）に供給される。ここで、ＹｉとＡＹｎ１からなるプリデコード信号が形成される。このプリデコード信号ＹｉとＡＹｎ１は、４つからなる各メモリアレイに対応して設けられるＹアドレスドライバ（最終段）ＹｉＢ、ＡＹｎ１を介して、それぞれのＹデコーダＹ－ＤＥＣに供給される。同図においては、つのＹドライバＹｉ　Ｂ、ＡＹｎ　１Ｂのみが代表として例示的に示されている。

上記ＣＡＳ系のコントール回路ＣＡＳ　ＣＯＮＴＲＯＬ（ＣＫＴ）は、前記のようにＲＡＳ信号とＷＥ信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路ＴＥＳＴ　ＦＵＮＣＴＩＯＮを活性化させる。同図では、省略されているが、アドレス信号や制御信号か供給されるボンディングパッドは、チップの中央部に集められて配置される。それ故、各パッドから対応する回路までの距離を短く、ほぼ均一にできる。これにより、本実施例のようなレイアウトを採ることによって、アドレス信号や制御信号の取り込みが高速に行われると共に、多数ビットからなるアドレス信号にあっては多ビットからなるアドレス信号相互において生じるスキューを最小に抑えることができる。

同図に示すように、センスアンプ（ＳＡ）用の電源ＶＤＬや周辺回路用電源ＶＣＬも、チップの中央部に配置されている。これにより、チップの４隅に配置される回路に対してなど距離でしかも短い配線により各種電圧供給を行うことができるものとなる。また、各回路に応じて図示しないが、電圧安定化、言い換えるならば、電源インピーダンスを下げるための比較的大きな容量値を持つようなキャパシタがそれぞれの電源配線に沿って回路内に分散されて設けられる。

上記のようにボンディングパッドが、チップの中央部に集められて並べられて

配置されるものであるため、積層構造にするとき、データ入出力端子のようにリードの位置が各層によって異なるようにされる場合でも、ボンディングワイヤにより接続が簡単になる。特に、リードとして複数層に対応させた共通パターン化させ、ボンディングオペション方式により接続するリードを変えることによりその間の接続が簡単となり、不要となったリードは、切断するか前記のようなスリットを設けておいて除去するようにしてもよい。

第１２２図には、本発明のＤＲＡＭモジュールの他の実施例のブロック図が示されている。この実施例は、７２ピンのマザーソケットに向けられている。つまり、約４Ｍワード×４ビット構成のダイナミック型ＲＡＭを８個組み合わせて、約１６Ｍバイトのメモリモジュールが構成される。

Ｍ０からＭ７からなる８個のＤＲＡＭチップは、それぞれが４ビットの単位でメモリアクセスが行われ、約４Ｍワードの記憶容量（全体で約１６Ｍビット）の記憶容量を持つようにされる。それ故、アドレス信号はＡ０～Ａ１１の１２ビットから構成される。積層ＬＳＩモジュールのデータ端子はＩＯ０～３１からなる３２本（ビット）とされ、各Ｄ０～Ｄ７の８個のダイナミック型ＲＡＭのそれぞれが４ビットずつ受け持つことにより、全体で３２ビットの単位でのメモリアクセスが行われる。

Ｍ０～Ｍ７からなる各ＤＲＡＭチップには、メモリモジュールとして入力される／ＲＡＳ、／ＣＡＳおよび／ＷＥからなる制御信号がパラレルに供給される。また、電源電圧Ｖｃｃおよび回路の接地電位Ｖｓｓも共通に接続される。そして、上記のように８個のダイナミック型ＲＡＭがパラレルにアクセスされるときには、従来のメモリモジュールにおいては使用されない出力イネーブル信号／ＯＥ０～／ＯＥ７を利用して、後述するような欠陥が存在するＤＲＡＭチップからの読み出し信号に対するマスクがかけられる.

上記のような積層構造のメモリモジュールにおいて、各ＤＲＡＭでのワード線単位（リフレッシュアドレス）での欠陥救済を行うようにするために、後述するような欠陥救済用ＬＳＩ（Ｓ１）が用いられる。上記のようにＤＲＡＭモジュールとしてみた欠陥救済用ＬＳＩは、ダイナミック型ＲＡＭと同じ入力インターフェイスと、メモリモジュールのデータバスに対応したデータ入出力インターフェ

イスを持つようにされる。そして、欠陥救済用ＬＳＩに設けられたマスク部で形成された出力イネーブル信号／ＯＥ０～／ＯＥ７が、Ｍ０～Ｍ７の各ＤＲＡＭチップの出力イネーブル端子／ＯＥ０～／ＯＥ７に供給される。図示されないメモリモジュールの７２ピンからなるコネタク電極は、前記のようなＰＧＡと類似のマザーソケットに形成されるものである。

第１２３図には、上記欠陥救済用ＬＳＩの一実施例のブロック図が示されている。同図の各回路ブロックは、ＤＲＡＭと同様に公知の半導体集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上において形成される。

Ｘアドレスバッファ（Ｘａｄｄ）１およびＹアドレスバッファ（Ｙａｄｄ）２は、ＤＲＡＭのＸアドレスバッファおよびＹアドレスバッファと同じくされる。つまり、Ｘアドレスバッファ１は、ロウアドレスストローブ信号／ＲＡＳに同期してＸ系のアドレス信号の取り込みを行う。Ｙアドレスバッファ２は、カラムアドレスストローブ信号／ＣＡＳに同期してＹ系のアドレス信号の取り込みを行う。ここで、／（スラッシュ）は、図面上ではロウレベルがアクティブレベルであることを示すオーバーバーを表している。このことは、他の信号に付されたオーバーバーについても同様である。

Ｘアドレス（Ｘａｄｄ）比較部３は、不良アドレスを記憶する機能と、入力されたＸアドレスと記憶された不良アドレスとの比較を行う機能を持つようにされる。このような機能を簡単な構成により実現しつつ、かつそれが搭載された実装基板上において簡単に不良アドレスの書き込みが行えるようにするために、比較部３は不揮発性記憶素子からなる記憶回路から構成される。つまり、比較部３を構成する記憶回路は、ＥＰＲＯＭまたはフラッシュメモリと同じく、コントロールゲートとフローティングゲートとを備えた不揮発性記憶素子のフローティングゲートに蓄えられた電子の量により情報の記憶を行うようにされる。

上記比較部３は記憶回路により構成される。記憶回路には、Ｘ系のアドレス信号によりメモリアクセスが行われて、不良チップアドレス、救済フラグおよび不良のワード線の置き換えに用いられる冗長救済ＲＡＭ部４のＸアドレスとが書き込まれる。そして、メモリアクセスにより入力されたＸアドレスにより対応するデータを読み出して、上記救済フラグが有効とされているなら、比較一致とみな

されて読み出されたXアドレスが冗長救済ＲＡＭ部４のＸ系選択回路に供給される。

冗長救済用ＲＡＭ部４は、ＳＲＡＭから構成されており、上記比較部３から出力されたXアドレスによりワード線の選択が行われ、Yアドレスバッファ２により取り込まれたYアドレスによりＹ系の選択動作が行われる。比較部３は、特に制限されないが、／ＲＡＳ信号が供給されて、これがアクティブレベルのときに読み出し動作が有効とされることによって、ＤＲＡＭの動作に同期した動作が行われる。

リード／ライト(Read,Write)切り替え部５は、ライトイネーブル信号／ＷＥがロウレベルなら書き込み動作と判定し、ハイレベルから読み出し動作と判定して、選択部６および入出力部７の信号伝達方向を制御する。選択部６は、冗長救済用ＲＡＭ部の入出力データバスＭＯを、不良が存在するダイナミック型ＲＡＭが接続されたデータバスＩＯに対応させて接続させる。入出力部７は、複数からなるＤＲＡＭが接続されるデータバスに対応した入出力回路を持ち、上記不良とされたダイナミック型ＲＡＭが接続されたデータバスに対応された入出力回路を選択して活性化させる。マスク部８は、比較部３からの不良チップアドレスに対応して、そのダイナミック型ＲＡＭの出力回路をハイインピーダンス状態にさせる出力イネーブル信号／ＯＥを形成する。

上記比較部３は、ＥＰＲＯＭアレイにより構成される。ただし、通常のＥＰＲＯＭのように紫外線による消去を行う必要がないので、アレイ部に対応して消去用の窓は設けられない。つまり、ＥＰＲＯＭアレイというのは、ＥＰＲＯＭと同じメモリアレイを利用するという意味であり、一般的なＥＰＲＯＭとは異なり消去が不能にされているので実質的に１回限りの書き込みが許される。本実施例では、不良アドレスなどを記憶させるものであり、むしろ消去を行うことは許されないものであるからである。

比較部３としてのＥＰＲＯＭアレイは、XアドレスがＤＲＡＭのリフレッシュアドレスに対応して４０９６本のフード線を持つようにされる。そして、データ線は３２本から構成される。この３２本のデータ線は、前記のように不良アドレスなどの書き込みを電気的に行う必要があり、メモリモジュールのデータ端子３

２ビットであるので、それに対応して書き込みデータを入力することと、同じＸアドレスで２つのワード線まで救済できるようにするためである。

冗長セット数として１２８本のワード線分を確保しようとすると、７ビットのアドレス信号により指定できる。また、上記８個のＤＲＡＭの不良チップを指定するために３ビットのチップアドレスが必要となる。そして、読み出されたデータに不良アドレスが記憶されているか否かの救済フラグとして１ビットが必要になる。このため、Ｘアドレスにより１つのＤＲＡＭの不良ワード線を救済するためには、１１ビットのデータが必要になるが、上記のように３２ビットの単位で書き込み動作を行うことが便利でありデータに十分な余裕があるので、救済能力を高くするために２つまでのＤＲＡＭの不良ワード線を救済するために２領域分が確保されている。すなわち、３２ビットに読み出されたデータを１６ずつに分けて、そのうちの１１ビットずつを有効にして、救済用領域１と２用のアドレス信号、チップアドレス信号を２セット出力させる。

上記冗長セット数を６４本に減らし、そのアドレス信号を６ビットにしたときには、Ｘアドレスにより１つのＤＲＡＭを救済するのに必要なデータを１０ビットに減らすことができる。この結果、上記のように３２ビットでの記憶回路のメモリアクセスを行うようにすると、最大３セットまでの救済を行うようにすることができる。つまり、同一のＸアドレスの中で最大３個のＤＲＡＭにおいてフード線の不良が発生しても救済することができるようになる。

同図では省略されているが、書き込み用回路が設けられるものである。つまり上記のように３２ビットからなるデータを取り込みために、入出力部を通して３２ビットからなる信号が書き込み信号としてＥＰＲＯＭアレイのデータ線に供給される。不揮発性記憶素子においては、ワード線に１２Ｖ程度の高電圧を印加し、書き込みが行われるデータ線に約１０Ｖ程度の高電圧を供給し、記憶素子のドレイン近傍のホットエレクトロンをフローティングゲートに注入させる。

冗長救済用ＲＡＭ部４は、記憶部がＳＲＡＭアレイにより構成される。上記のように救済領域が２セットあるときには、同じＳＲＡＭが２個設けられ、上記のように最大１２８本の冗長用ワード線を持つようにされる。つまり、ＳＲＡＭは、１２８本のワード線を持ち、各ワード線には４０９６個のメモリセルが接続され

る。実際には、ワード線の長さが長くされることにより、メモリアクセス時間が長くされてしまうなら、適当にワード線を分割して、物理的な１本のワード線に接続されるメモリセルの数を減らすようにすることができる。

上記冗長救済用ＲＡＭ部４は、Ｙアドレス（Ｙａｄｄ）によりカラム選択動作が行われて、４ビット単位でのメモリアクセスが行われる。このため、共通データ線は４対からなり、それぞれにメインアンプが設けられたＭＯバスに接続される。上記メインアンプは、書き込み動作のときには非動作状態にされてＭＯバスからの信号を共通データ線に伝えるようにされる。

ＯＥマスク部８は、比較部から読み出された３ビットからなるチップアドレスをデコーダにより解読し、内蔵のタイミング発生回路により形成された出力イネーブル信号／ＯＥにマスクをかけて救済が行われたＤＲＡＭのチップに対応した出力イネーブル信号をハイレベルのままにして、その出力をハイインピーダンス状態にさせる。

ＯＥマスク部８に設けられたタイミング発生回路は、ライトイネーブル信号／ＷＥにより読み出し動作のときに出力イネーブル信号／ＯＥをロウレベルにする。このため、書き込み動作のときには、タイミング発生回路が出力イネーブル信号／ＯＥをハイレベルのままにするので、上記マスク部の機能は実質的に停止させられる。つまり、書き込み動作のときには、上記冗長救済ＲＡＭ部４に対して書き込みが行われると共に、不良ワード線が存在するＤＲＡＭ側にも同様に書き込み動作が行われる。

上記のように不良ワード線に対して意味の無い書き込み動作が行われるが、読み出し動作のときにそれが無視されて上記冗長救済用ＲＡＭ部から記憶データの出力が行われるので実際上は問題ない。このようにすることにより、書き込み動作のときに不良ワード線が存在するＤＲＡＭのメモリアクセスを停止させるような特別な制御回路が不用となり、回路の簡素化ができる。

ＭＯ－ＩＯ選択部６は、冗長救済用ＲＡＭ部４の入出力線と入出力部７との接続を行う。つまり、メモリモジュール上においては、Ｍ０～Ｍ７からなるＤＲＡＭは、３２ビットのデータバス上に４ビットずつ振り分けられている。このため、不良ワード線が存在するＤＲＡＭに対応したビットにはめ込むために選択部が必

要とされる。特に、上記のように同じXアドレス中に2つの救済領域を設けた場合には、1つのDRAMの救済のときと2つのDRAMの救済のときに合わせてそれぞれ接続させる必要があるからである。

冗長救済用RAM部4側のMOバスは、M0～M7からなるDRAMのそれぞれの4ビット入出力端子が接続されるデータ端子の任意の4ビットに対応させて接続させるように選択部にセレクタが設けられている。このセレクタは、クロックドインバータ回路などのような3状態出力機能を持つものからなり、1つの4ビットからなる入出力部7に対して、それを4ビット単位で2対のMOバスと接続させる。書き込み用と読み出し用に対応されて双方向に上記セレクタが設けられる。なお、CMOSトランスファゲート回路を用いた場合には、クロックドインバータ回路を用いた場合のような増幅機能は無いが、反面1つのセレクタにより双方向に信号伝送を行うようにすることができ、回路の簡素化が可能になる。

本実施例では、上記のようなDRAMモジュールにおいて各DRAMチップの不良をワード線単位で救済するものであり、各DRAMチップにおいて発生するワード線単位でみたときの不良発生率が極く小さいからDRAMモジュールとしての良品率を一層高くできる。

本発明のDRAMモジュールに搭載される半導体チップは、半導体ウエハ上に回路が形成された時点で行われるプロービングによって回路の機能試験が行われ、前記のように冗長回路を持つものでは不良ワード線および不良ビット線の救済が行われる。それ故、前記のようなマザーソケットに設けられた冗長階層セレクタや、上記の冗長救済用LSIより救済される不良は、エージングまたはバーンインテストによって発生した初期不良である。それ故、不良発生率は比較的小さいので、上記のような救済方式によりDRAMモジュールとしての良品率を高くすることができる。

上記のように冗長救済用RAM部は、比較的多くの不良ビットの救済能力を持つものである。このことを利用して、上記プロービングによって不良とされたチップを組み合わせて、それを上記冗長救済用RAM部で救済するようにしてもよい。つまり、それ自身の持つ冗長回路では救済できないことにより不良とされたチップを用いてDRAMモジュールが形成できるから、実質的な製品歩留りを高

くすることができる。

このことを利用し、本発明のＤＲＡＭモジュール用のＤＲＡＭチップには冗長機能を省略して回路の簡素化を図るようにすることもできる。つまり、プロービングにおいて検出された不良ビットをそのままにして、ＤＲＡＭモジュールに組み立てて、エージング後に検出された不良と共に上記冗長救済用ＬＳＩにより一括して救済するようにするものであってもよい。

本実施例から得られる効果は次の通りである。

（１）積層されるＤＲＡＭチップの数をデータ入出力用のビット数に対して少なくとも＋１個とし、マザーソケットに１つのモジュールリードに対して２つの半導体チップの入出力信号用リードに接続可能にされた配線パターンをリング状に形成しておいて、上記半導体チップの中の１つに不良が発生したときにかかる不良チップに対応した入出力用リードを除いてマザーソケットのモジュールリードと各半導体チップの入出力用リードとを接続させるという簡単な構成によりＤＲＡＭモジュールの良品率を実用的なレベルまで高くすることができる。

（２）ＤＲＡＭチップの数をＮ＋１個として、全ての半導体チップが良品のときには１ビットをパリティビットとして用いるように上記接続ピンとマザーソケットのモジュールリード間を接続してパリティビット付きのメモリとして用い、１つの半導体チップに不良が発生したときにはかかる不良チップに対応した入出力用リードを除いてマザーソケットのモジュールリードと各半導体チップの入出力用リードとを接続させてＮビットのメモリとして用いることより、実質的な良品率を確保しつつ、モジュール内のＤＲＡＭチップの有効利用ができる。

（３）積層される半導体チップの数をデータ入出力用のビット数Ｎに対してＮ＋１個にし、そのうちＮ個をＤＲＡＭチップとして、残り１つの半導体チップを上記Ｎ個のＤＲＡＭチップにおいて発生した欠陥ビットを救済する欠陥救済チップとすることにより、実用的なレベルまでＤＲＡＭモジュールの良品率を高くすることができる。

（４）上記Ｎ個のＤＲＡＭチップは、欠陥救済チップの救済能力の範囲内の不良を持つチップとすることにより、実質的なＤＲＡＭチップの製品歩留りを高くできる。

（５）上記配線パターンは、２つの半導体チップの入出力信号用リードに接続可能にされるようなリング状の配線パターンとし、かかる配線パターン間の接続を半田により行うことにより冗長機能や半導体チップのリードとモジュールリードとの接続に柔軟性を持たせることができる。

（６）上記配線パターンを各半導体チップの入出力信号用リードがリング状に形成させておき、かかる配線パターン間を適宜にエネルギービームの照射によって選択的に切断して１つの入出力用リードが１つのモジュールリードのみに接続させることにより、簡単に冗長機能や半導体チップのリードとモジュールリードとの接続に柔軟性を持たせることができる。

次に、本発明のＤＲＡＭモジュールに誤り訂正回路(Error Correcting Circuit)チップや、アドレス、クロック、Ｉ／Ｏバッファチップなどを結合したインテリジェント化モジュールの実施例を説明する。

第１２４図は、本実施例のインテリジェント化モジュールのブロック図であり、〔８３８８６０８ワード×８ビット〕構成の６４メガビットＤＲＡＭチップを使用した場合を示している。一般に、同時１ビット不良の誤り訂正回路で２ビット同時不良検出を行う場合、データ長８ビットのときは５ビット、データ長１６ビットのときは６ビット、データ長３２ビットのときは７ビットである。そこで、以下では８３８８６０８ワード×３２ビットの場合について説明する。

同図において、M1 ～M5 は〔８３８８６０８ワード×８ビット〕構成の６４メガビットＤＲＡＭチップである。この５個のＤＲＡＭチップは１個のパッケージに一括封止され、ブロックＧ１を構成している。それぞれのＤＲＡＭチップ（M1 ～M5)は８本の双方向Ｉ／Ｏ（Ｄｉ）を持ち、すべてのＩ／Ｏ数は４０ビットになっている。それぞれのＤＲＡＭチップ（M1 ～M5)には、バッファＢＦ１を介してアドレス信号（Ａｊ）が接続され、バッファＢＦ２を介してクロック信号（Ｃｋ）が接続されている。バッファＢＦ１、ＢＦ２は省略することもできるが、設ける場合は、後述するブロックＧ２に含める方が便利である。

４０ビットのＩ／ＯはブロックＧ２の中のＩ／ＯセレクタＭＰＸに接続され、誤り訂正回路に適した４０ビットのＩ／Ｏを任意に選択することができる。このＩ／ＯセレクタＭＰＸは、ＥＥＰＲＯＭ(Electrically erasable PROM)技術を応用

したＦＰＧＡ(Field Programmable Gate Array) 回路で構成することも可能であり、ブロックＧ１のテスティング結果に基づいて同時２ビット不良が発生していないＩ／Ｏ端子を４０本中３９本（ＤＩ）選択し、残り１本のＩ／Ｏ端子をリダンダンシーとして使用する。

双方向Ｉ／ＯセレクタＭＰＸは、誤り訂正（パリティコード発生と復元）を行う回路ＥＣＣに接続され、データ数＋パリティ数＝３２ビット＋７ビットとして使用される。これは外部に対して誤り訂正処理をした３２ビットＩ／Ｏ（Ｄｍ）として入出力される。また、必要に応じて誤り訂正回路ＥＣＣから誤りの有無、１ビット誤り検出、２ビット誤り検出を知らせるステータス出力端子（ＳＴｑ）を設けてもよい。

アドレスの変化を検出し、各クロックのインターフェースを行うことによってアクセスを高速化するため、ブロックＧ２内にアドレス（Ａｊ）とクロック（Ｃｋ）とを接続する。また、Ｉ／ＯセレクタＭＰＸと誤り訂正回路ＥＣＣは、コントロール信号（Ｓｎ）で制御する。

上記の方式によれば、パッケージに一括封止されたブロックＧ１のＤＲＡＭチップ（M1　～M5)は、バーンインテストなしの良品チップを用いることも不良チップを用いることも可能となる。すなわち、５個の良品チップを積層して一括封止したものをバーンインテストした場合には、一部に不良ビットが発生したチップも出現するが、本実施例の場合は、３９ビット中、同時１ビットまでの不良であれば訂正することができる。また、上記の条件のもとで不良チップを使用した場合でも誤りが訂正され、常に正しい３２ビットのデータを入出力することができる。これは、突発的なα線エラーや、メモリマット内に散在するリフレッシュマージン不良に対しても訂正が可能であることを意味している。

上記誤り訂正回路を組み込んだモジュールを製造するには、まず第１２５図（ａ）に示すように、ブロックＧ１を構成する５個のＤＲＡＭチップ（M1 ～M5)を前記実施例の入れ子金型４０などを使用してパッケージ２Ｆに一括封止した後、リード６とモジュールリード９を半田などを使って接続する。次に、パッケージ２Ｆのバーンインテストを行って４０ビット中の３９ビットを定めておく。パッケージ２Ｆのバーンインテストは、リード６とモジュールリード９を接続する前

に行ってもよい。

一方、第１２５図（ｂ）に示すように、ブロックＧ２を構成するＩ／Ｏセレクタ ＭＰＸや誤り訂正回路ＥＣＣは、別の半導体チップ１２０に形成しておき、ワイヤボンディング法などを使ってマザーソケット３Ｆに実装する。マザーソケット３Ｆは、ＢＴレジンなどからなるＢＧＡ(Ball Grid Array) 用のプリント配線基板で構成される。半導体チップ１２０は、ワイヤボンディング後にポッティング樹脂１２２で封止される。このブロックＧ２もパッケージ２Ｆ（ブロックＧ１）とは別にバーンイン、テスティング、選別を行う。

次に、マザーソケット３Ｆの電極１２３、１２４にポゴピン方式などの端子を当ててブロックＧ１の情報を半導体チップ１２０にプログラムする。そのため、半導体チップ１２０には、ＥＥＰＲＯＭやフラッシュメモリのようなＲＯＭ機能を有するＰＬＤ(Programmable Logic Device) やＦＰＧＡなどを形成しておく。

その後、第１２６図、第１２７図に示すように、パッケージ２Ｆをマザーソケット３Ｆに搭載することにより、本実施例のインテリジェント化モジュール１Ｆが完成する。パッケージ２Ｆのモジュールリード９とマザーソケット３Ｆの電極１２３との接続は、レーザビームや光ビームの照射、あるいはホットエアーの局所的な吹き付けによって行う。これにより、ブロックＧ１の情報がプログラムされた半導体チップ１２０への熱ストレスを防止することができる。また、マザーソケット３Ｆの裏面の電極１２４に半田バンプ１２５を取り付ける作業は、半導体チップ１２０にブロックＧ１の情報をプログラムする前に行う。これにより、ブロックＧ１の情報がプログラムされた半導体チップ１２０への熱ストレスを防止することができる。

次に、１６ＭＤＲＡＭの不完全良品に本発明のＤＲＡＭモジュール構造を適用した他の実施例を説明する。

通常、１６ＭＤＲＡＭのＩ／Ｏ４ビット品は４１９４３０４ワード×４ビットであるが、ＬＳＩ製造中に４ビットのＩ／Ｏのうち一部が不良となり、４１９４３０４ワード×３ビット、４１９４３０４ワード×２ビット，４１９４３０４ワード×１ビットが良品の不完全なＤＲＡＭができる。これらは通常不良品として扱われ商品性が低い。また商品化した場合、端子配列、安定供給、ビット価格の

面で市場を混乱させる。

そこで、本発明を適用することによってこれらの不完全ＤＲＡＭを完全な端子配列にする方法について示す。ここでは、４１９４３０４ワード×３ビットの不完全なＤＲＡＭを３積層し、４１９４３０４ワード×９ビットの端子配列一定のＤＲＡＭモジュールを得る場合を示す。

使用するリードフレーム（Ｓ）は第１２８図と第１２９図に示すものであり、ゲート孔１３０、１３１およびガイドピン孔１３２を有している。また、モールド中のリードフレーム変形を防止するために、構造強度を高めるタイバー１３３がそれぞれのリード６の先端に接続されている。また、モールド後の不要箇所の切断を容易にするため、前述したハーフエッチングなどによって溝１３４が設けられている。

それぞれのリードフレーム（Ｓ）のＩ／Ｏ端子は、符号１３５ａ～１３５ｉで示す９端子である。第１２８図のＩ／Ｏ端子１３５ｃ、１３５ｆと１３５ｉはタイバー１３３に設けられたハーフエッチングの溝１３４を利用し、タイバー切断の後除去される。第１２９図のＩ／Ｏ端子１３５ａ、１３５ｄ、１３５ｈと１３５ｅも同様に除去される。

ＤＲＡＭチップ１個当たりのＩ／Ｏ端子は３個であるため、第１層目のリードフレームには第１２８図に示すリードフレーム（Ｓ）を用い、Ｉ／Ｏ端子１３５ｂ、１３５ｈ、１３５ｅに良品のＩ／Ｏとボンディングする。第２層目のリードフレームには第１２９図に示すリードフレーム（Ｓ）を用い、Ｉ／Ｏ端子１３５ｃ、１３５ｆ、１３５ｉに良品のＩ／Ｏとボンディングする。第３層目のリードフレームには第１２８図に示すリードフレーム（Ｓ）を用い、Ｉ／Ｏ端子１３５ａ、１３５ｄ、１３５ｇに良品のＩ／Ｏとボンディングする。不良のＩ／Ｏパッドはボンディングしない。

上記リードフレーム（Ｓ）を３積層するとＩ／Ｏは１３５ａ～１３５ｉの９ビットのＩ／Ｏが引き出される。すなわち、不完全な４１９４３０４ワード×３ビットのＤＲＡＭチップを良品Ｉ／Ｏのみ選択的にリードフレーム（Ｓ）にボンディングすることにより、積層後に完全なＩ／Ｏ端子を持つ４１９４３０４ワード×９ビットのＤＲＡＭモジュールを得ることができる。

本実施例の３積層モールドパッケージはＳＯＪパッケージより薄く、しかも集積度が３６メガビット相当であるため、８３８８６０８ワード×３５ビットや４１９４３０４ワード×３６ビット構成の７２ピンＳＩＭＭモジュールを小型化することができる。すなわち、通常４１９４３０４ワード×３６ビットは４１９４３０４ワード×４ビットＤＲＡＭチップを８個、４１９４３０４ワード×１ビットＤＲＡＭチップを４個の計１２個実装しなければならないが、本実施例のＤＲＡＭモジュールの場合は４個で実現できる。同様に、８３８８６０８ワード×３６ビットのときは通常計２４個のチップを必要とするが、本実施例のＤＲＡＭモジュールの場合は８個で済む。また、本実施例のＤＲＡＭモジュールは、ＳＩＭＭのプリント配線基板上の配線数も少なく済み、配線間のクロストークなどのノイズも低減できる。

第１３０図は、４１９４３０４ワード×９ビットＤＲＡＭチップを８個（Ｍ０～Ｍ７）使用した時の８３８８６０８ワード×３６ビットＤＲＡＭモジュールの等価回路図である。図示のＤＲＡＭチップ（Ｍ１、Ｍ５、Ｍ３、Ｍ７）を実装しない場合は４１９４３０４ワード×３６ビットＤＲＡＭモジュールの等価回路になる。

４１９４３０４ワード×８ビットのＤＲＡＭモジュールは、４１９４３０４ワード×３ビットのＤＲＡＭチップを２個と４１９４３０４ワード×２ビットのＤＲＡＭチップ１個とを積層することによって実現することができる。その他、４１９４３０４ワード×１ビットのＤＲＡＭチップなどを用いて同形のＩ／Ｏのビット数になるように積層数を変化させてもよい。例えば４１９４３０４ワード×９ビットを得る他の方法として、４１９４３０４ワード×２ビット３個と４１９４３０４ワード×３ビット１個を組み合わせて４積層するなどである。

積層モジュールにおいて各層のリードフレームを共通に用いるには、前記第１２８図に示したリードフレームのように、複数の層で使用できるようボンディング領域やアウターリードを設ける。例えば１３５ａ～１３５ｉの９個のＩ／Ｏを完全独立に引き出した場合、×９ビット構成のモジュールは積層数に関係なく一種類のリードフレームで各層に適用することができる。このようにすると、組立て工程を大幅に簡単化することができるので、ＤＲＡＭモジュールの製造コスト

を大幅に低減することができる。

以上、本発明者よりなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

前記実施例では、パッケージのリードの開孔にマザーソケットのモジュールリードを挿入して両者を接続したが、例えば第１３１図（ａ）（平面図）、（ｂ）（側面図）に示すように、リード６の先端をモジュールリード９の側壁に突き当てて接続したり、第１３２図に示すように、モジュールリード９に設けた開孔１３６にリード６を差し込んで接続したりするなど、種々の方法で接続することができる。

前記実施例では、所定数の半導体チップを１個または２個のパッケージに封止したが、３個またはそれ以上の個数のパッケージに分けて封止した態様も本発明に含まれる。半導体チップを複数のパッケージに分ける場合は、４層＋５層、３層＋３層＋３層、４層＋４層＋１層（パリティ専用）など、種々の組み合わせを選択することができる。また、この場合は、分割したパッケージの隙間に熱伝導率の高いＡｌの薄板やＣｕ合金板などからなる熱拡散板を挟み込むことにより、さらに放熱効率を向上させることもできる。

半導体チップを複数のパッケージに分割して封止する上記の方法は、前記実施例で説明した多ビット構成のＤＲＡＭモジュールや、特に消費電力の大きいＳＲＡＭモジュールなどに適用すると大きな効果が得られる。また、放熱効率の低い領域で半導体チップの積層数を少なく、放熱効率の高い領域で積層数を多くするなどの方法も考えられる。例えば下段のパッケージが上段のパッケージに比べて放熱効率が低い場合は、上段のパッケージに４個の半導体チップを封止し、下段のパッケージに２個の半導体チップを封止し、これらのパッケージの隙間と上部および底部に前述した放熱フィンを取り付ける構造も可能である。

前記実施例では、ＤＲＡＭモジュールのマザーソケット内に誤り訂正回路やアドレス、クロック、Ｉ／Ｏバッファなどの回路を形成した半導体チップを埋め込んだが、その他にも、例えばＤＲＡＭコントローラ、メモリマネージメント、ＣＰＵなどを形成した半導体チップを搭載し、マザーソケットのモジュールリード

を通じてこの半導体チップをパッケージ内の半導体チップと電気的に接続しておくこともできる。本発明のＤＲＡＭモジュールは、それ自体が超小型にできるから、多数のマイクロコンピュータを組み合わせて、それぞれがデータ処理を分散して処理するような高性能のコンピュータシステムを１つの実装基板上に組み立てることも可能である。この場合、アドレス端子やデータ端子が上記のように接続ピンにより共通化されてアドレスバスやデータバスの一部として用いることができる。

第１３３図は、上記ような半導体チップを内蔵することのできるマザーソケット３Ｇの斜視図である。このマザーソケット３Ｇは、パッケージのリードに接続されるモジュールリード９と、プリント配線基板に接続されるガルウィング状のリード１３７を備えている。第１３４図は、このマザーソケット３Ｇにパッケージ２Ｇを搭載したＤＲＡＭモジュール１Ｇの斜視図である。このＤＲＡＭモジュール１Ｇは、その機能を拡張したり、パッケージ２Ｇの入力インピーダンスを向上させたり、出力のドライバー能力を向上させたりすることがマザーソケット３Ｇを交換するだけで容易に実現できる。

前記実施例では、本発明をＤＲＡＭモジュールに適用した場合について説明したが、本発明のモジュール構造は、ＳＲＡＭやフラッシュメモリのような他のメモリを使ったマルチチップ・モジュール、あるいはメモリチップとロジックチップとを混載したマルチチップ・モジュールなどに広く適用することができる。

以上説明したように、従来技術の積層型パッケージは、パッケージ単体構造の積み重ねであったので、例えばパッケージ／接着層／パッケージ／接着層・・・というような構造となる。従って、接着層がある分、熱抵抗が大きくなり、またパッケージの樹脂厚も２倍になるので、さらに熱抵抗が大きくなる。

これに対して、本発明の一括モールド構造は、積層された半導体チップ間が均一の薄い樹脂層のみによって結合されるので、熱抵抗を充分に低くすることが可能である。さらに、樹脂中にシリカなどの高熱伝導フィラーを添加することにより、半導体チップ間あるいはリードフレーム間の熱伝導が良好になるので、パッケージの信頼性をさらに向上させることができる。

産業上の利用可能性

以上のように、本発明のマルチチップ・モジュールは、超小型で大容量のメモリモジュールを実現することができるので、特に、大容量のメモリを必要とするエンジニアリング・ワークステーション（ＥＷＳ）やパーソナル・コンピュータ用のＳＩＭＭなどに用いるのに適している。

請 求 の 範 囲

1．半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをマザーソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在する前記マザーソケットのモジュールリードを電気的に接続したことを特徴とする半導体集積回路装置。

2．請求項1記載の半導体集積回路装置であって、前記半導体チップに対応したリードのうち、共通接続されるリードは同一パターンにより形成されて前記モジュールリードに接続され、独立して外部に導かれる各層のリードは積層方向において分離して配置されて前記モジュールリードに接続されることを特徴とする半導体集積回路装置。

3．請求項2記載の半導体集積回路装置であって、前記半導体チップは半導体メモリを構成するものであり、前記共通接続されるリードはアドレス信号および制御信号用のリードであり、前記独立して外部に導かれるリードはデータ入出力信号用のリードであることを特徴とする半導体集積回路装置。

4．請求項2記載の半導体集積回路装置であって、前記半導体チップはデータ入出力用のビット数に対して少なくとも＋1個からなり、前記マザーソケットには1本のモジュールリードに対して2個の半導体チップの入出力信号用リードに接続可能にされた配線パターンがリング状に形成され、前記半導体チップのうちの1個に不良が発生したときには、前記不良の半導体チップに対応した入出力信号用リードを除いて前記マザーソケットのモジュールリードと各半導体チップの入出力信号用リードとを接続することを特徴とする半導体集積回路装置。

5．請求項4記載の半導体集積回路装置であって、前記半導体チップはN＋1個からなり、すべての半導体チップが良品のときには1ビットをパリティビットとして用いるように前記リードと前記モジュールリードとを接続してパリティビット付きのメモリとして用い、1個の半導体チップに不良が発生したときには、前記不良の半導体チップに対応した入出力信号用リードを用いて前記リードと前記モジュールリードとを接続することによりNビットのメモリとして用いることを

* C L M S *

特徴とする半導体集積回路装置。

6．請求項2記載の半導体集積回路装置であって、前記半導体チップはデータ入出力用のビット数Nに対してN＋1個からなり、そのうちN個はメモリチップであり、残り1個の半導体チップは前記N個のメモリチップにおいて発生した欠陥ビットを救済するための欠陥救済チップであることを特徴とする半導体集積回路装置。

7．請求項6記載の半導体集積回路装置であって、前記N個のメモリチップは、その組み立て前の時点で前記欠陥救済チップにより救済が可能な欠陥を有するものであることを特徴とする半導体集積回路装置。

8．請求項6記載の半導体集積回路装置であって、前記N個のメモリチップは、ＤＲＡＭチップであることを特徴とする半導体集積回路装置。

9．請求項1記載の半導体集積回路装置であって、前記各リードフレームは、これらを一つの組みリードフレームとして同一工程で一括パターニングされたものであることを特徴とする半導体集積回路装置。

１０．請求項1記載の半導体集積回路装置であって、前記各リードフレームは、モールドライン上に絶縁テープを接合したテープダム方式のリードフレームであることを特徴とする半導体集積回路装置。

１１．請求項1記載の半導体集積回路装置であって、前記各リードフレームのそれぞれの同一箇所に一対のモールド用ゲート孔を設けたことを特徴とする半導体集積回路装置。

１２．請求項1記載の半導体集積回路装置であって、前記各リードフレームのそれぞれの一部に、リードフレームごとに異なるパターンのインデックス孔を設けたことを特徴とする半導体集積回路装置。

１３．請求項1記載の半導体集積回路装置であって、前記各リードフレームのそれぞれの一部にその各部を分離するためのハーフエッチングラインを設けたことを特徴とする半導体集積回路装置。

１４．請求項1記載の半導体集積回路装置であって、前記各リードフレームの電源供給用リードに電源インピーダンスを低減するためのデカップリングコンデンサを搭載したことを特徴とする半導体集積回路装置。

* C L M S *

１５．請求項１記載の半導体集積回路装置であって、前記樹脂パッケージから引き出された前記リードフレームのリードは、前記樹脂パッケージから延びる長さが積層方向の熱変形をバランスさせるような最適長を有する板バネ構造で構成されていることを特徴とする半導体集積回路装置。

１６．請求項１記載の半導体集積回路装置であって、前記樹脂パッケージの内部にダミーのリードフレームを封止したことを特徴とする半導体集積回路装置。

１７．請求項１記載の半導体集積回路装置であって、前記半導体チップは、リード・オン・チップ方式によって前記リードフレームに搭載されていることを特徴とする半導体集積回路装置。

１８．請求項１記載の半導体集積回路装置であって、前記リードフレームに搭載された前記半導体チップは、その中心が前記樹脂パッケージの中心よりも、前記リードフレームのデータ入出力信号用リード側に配置されていることを特徴とする半導体集積回路装置。

１９．請求項１８記載の半導体集積回路装置であって、前記データ入出力信号用リードとは反対側のリードフレームにダミーの半導体チップを搭載したことを特徴とする半導体集積回路装置。

２０．請求項１８記載の半導体集積回路装置であって、前記データ入出力信号用リードとは反対側のリードフレームの電源供給用リードに電源インピーダンスを低減するためのデカップリングコンデンサを搭載したことを特徴とする半導体集積回路装置。

２１．請求項１８記載の半導体集積回路装置であって、前記データ入出力信号用リードとは反対側のリードフレームの電源供給用リードに電源インピーダンスを低減するためのデカップリングコンデンサを形成したダミーの半導体チップを搭載したことを特徴とする半導体集積回路装置。

２２．請求項１記載の半導体集積回路装置であって、前記リードフレームをリードパターンがそれぞれ等しい複数組のリードフレームで構成し、それぞれの組のリードフレームを水平面内で互いに１８０度反転して配置したことを特徴とする半導体集積回路装置。

２３．請求項４記載の半導体集積回路装置であって、前記配線パターンは、２個

の半導体チップの入出力信号用リードに接続可能にされたリング状の配線パターンであり、前記配線パターンの接続は半田により行われるものであることを特徴とする半導体集積回路装置。

２４．請求項４記載の半導体集積回路装置であって、前記配線パターンは、各半導体チップの入出力信号用リードがリング状に形成され、前記配線パターン間が適宜にエネルギービームの照射によって選択的に切断されて１本の入出力信号用リードが１本のモジュールリードのみに接続されるものであることを特徴とする半導体集積回路装置。

２５．請求項１記載の半導体集積回路装置であって、前記マザーソケットのモジュールリードを、前記樹脂パッケージの熱膨張係数と略等しい熱膨張係数の導電材料で構成したことを特徴とする半導体集積回路装置。

２６．請求項１記載の半導体集積回路装置であって、前記マザーソケットのモジュールリードを、前記マザーソケットの対向する２辺に沿って２列ずつ配置したことを特徴とする半導体集積回路装置。

２７．請求項１記載の半導体集積回路装置であって、前記マザーソケットの内部に、前記樹脂パッケージのモジュール機能を拡張または変更するための機能を備えた半導体チップを搭載したことを特徴とする半導体集積回路装置。

２８．請求項１記載の半導体集積回路装置であって、前記マザーソケットがピングリッドアレイ基板であることを特徴とする半導体集積回路装置。

２９．請求項１記載の半導体集積回路装置であって、前記マザーソケットがボールグリッドアレイ基板であることを特徴とする半導体集積回路装置。

３０．半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在するモジュールリードとを電気的に接続し、前記モジュールリードの下端部をプリント配線基板に実装可能に成形したことを特徴とする半導体集積回路装置。

３１．請求項３０記載の半導体集積回路装置であって、前記樹脂パッケージには４個またはそれ以上の半導体チップが封止され、前記樹脂パッケージと前記モジュールリードのそれぞれの寸法が３００mil-ＳＯＪのＥＩＡＪ規格の範囲内にあ

* C L M S *

ることを特徴とする半導体集積回路装置。

３２．請求項３０記載の半導体集積回路装置であって、前記モジュールリードを断面が円形のワイヤで構成したことを特徴とする半導体集積回路装置。

３３．請求項３０記載の半導体集積回路装置であって、前記モジュールリードの下端部をＪベンド型にしたことを特徴とする半導体集積回路装置。

３４．請求項３０記載の半導体集積回路装置であって、前記モジュールリードの下端部をフラットリードにしたことを特徴とする半導体集積回路装置。

３５．請求項３０記載の半導体集積回路装置であって、前記モジュールリードと前記リードは、いずれか一方に設けた開孔内に他方を挿入することによって接続されていることを特徴とする半導体集積回路装置。

３６．請求項３０記載の半導体集積回路装置であって、前記モジュールリードと前記リードは、いずれか一方に設けた溝内に他方を圧入することによって接続されていることを特徴とする半導体集積回路装置。

３７．請求項３０記載の半導体集積回路装置であって、前記モジュールリードと前記リードは、それぞれの表面にメッキした半田を溶融させることによって接続されていることを特徴とする半導体集積回路装置。

３８．請求項３５記載の半導体集積回路装置であって、前記リードの一部分の径を他の部分よりも太くしたことを特徴とする半導体集積回路装置。

３９．半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在するモジュールリードとを電気的に接続し、前記リードのうち、最下層のリードの下端部をプリント配線基板に実装可能に成形したことを特徴とする半導体集積回路装置。

４０．上金型と、下金型と、各層間に対応して設けられ、積層方向に対して水平な方向に移動可能にされて、リードフレームの厚さ、前記リードフレームに半導体チップを接続する絶縁テープの厚さ、ボンディングワイヤのループ高さおよび層間の樹脂層の厚さに対応した高さを持つ可動金型とを用い、下金型、第１層目のリードフレーム、第１層目の可動金型、第２層目のリードフレーム、第２層目の可動金型の順にこれらを縦積みし、最上層のリードフレームの上部に上金型を

* C L M S *

配置する第１工程と、

前記上金型または下金型に設けられたゲート孔から樹脂を注入する第２工程と、前記樹脂が硬化した後に、前記リードフレームの不要部分を切断して取り除くと共に、前記上金型または下金型は相対的に積層方向に移動させ、前記可動金型は相対的に水平方向に移動させて分離することにより、樹脂パッケージを形成する第３工程と、

前記樹脂パッケージから引き出された前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在するマザーソケットのモジュールリードを電気的に接続すると共に、前記樹脂パッケージを前記マザーソケットに搭載する第４工程とを含むことを特徴とする半導体集積回路装置の製造方法。

４１．請求項４０記載の半導体集積回路装置の製造方法であって、前記半導体チップは半導体メモリを構成するものであり、前記第４工程においてアドレス信号および制御信号用のリードが前記マザーソケットの共通のモジュールリードに接続されると共に、データ入出力信号用のリードが前記マザーソケットの独立したモジュールリードに接続され、前記第４工程の後に前記半導体メモリの初期不良を洗い出すためのエージングまたはバーンイン処理を行った結果に応じて、１本のモジュールリードに対して２個の半導体チップの入出力信号用リードに接続可能にされた配線パターンがリング状に形成されてなる冗長階層セレクタの選択的な接続を行う工程を含むことを特徴とする半導体集積回路装置の製造方法。

４２．請求項４０記載の半導体集積回路装置の製造方法であって、前記半導体チップは半導体メモリを構成するものであり、前記第３工程の後に前記半導体メモリの初期不良を洗い出すためのエージングまたはバーンイン処理が行われ、その結果に応じて前記マザーソケットに形成されたリング状の配線パターンがエネルギービームの照射によって選択的に切断される工程を含むことを特徴とする半導体集積回路装置の製造方法。

４３．上金型と、下金型と、各層間に対応して設けられ、積層方向に対して水平な方向に移動可能にされて、リードフレームの厚さ、前記リードフレームに半導体チップを接続する絶縁テープの厚さ、ボンディングワイヤのループ高さおよび層間の樹脂層の厚さに対応した高さを持つ可動金型とを備えたことを特徴とする

* C L M S *

半導体集積回路装置の製造装置。

４４．請求項４３記載の半導体集積回路装置の製造装置であって、積層方向に対して水平な方向に２分割される前記可動金型の一方と他方とを互いに非対称形状としたことを特徴とする半導体集積回路装置の製造装置。

４５．請求項４３記載の半導体集積回路装置の製造装置であって、前記可動金型を樹脂または樹脂が含浸された紙で構成したことを特徴とする半導体集積回路装置の製造装置。

４６．請求項４３記載の半導体集積回路装置の製造装置であって、前記上金型、下金型および可動金型で構成されるキャビティを積層方向に複数配置し、最上層のキャビティの上方に設けたゲート孔を通じて前記それぞれのキャビティに樹脂を注入するように構成したことを特徴とする半導体集積回路装置の製造装置。

４７．互いに離間した状態で積層された複数のリードフレームを一括して樹脂封止した樹脂封止型の半導体集積回路装置であって、樹脂封止体の積層方向の厚さが3.７５９mm以下の薄型であることを特徴とする半導体集積回路装置。

４８．請求項４７記載の半導体集積回路装置であって、前記樹脂封止体の外部に引き出された異なる層をなすリード間を接続する接続導体を備えたことを特徴とする半導体集積回路装置。

４９．請求項４７記載の半導体集積回路装置であって、前記樹脂封止型の半導体集積回路装置は、ＤＲＡＭであることを特徴とする半導体集積回路装置。

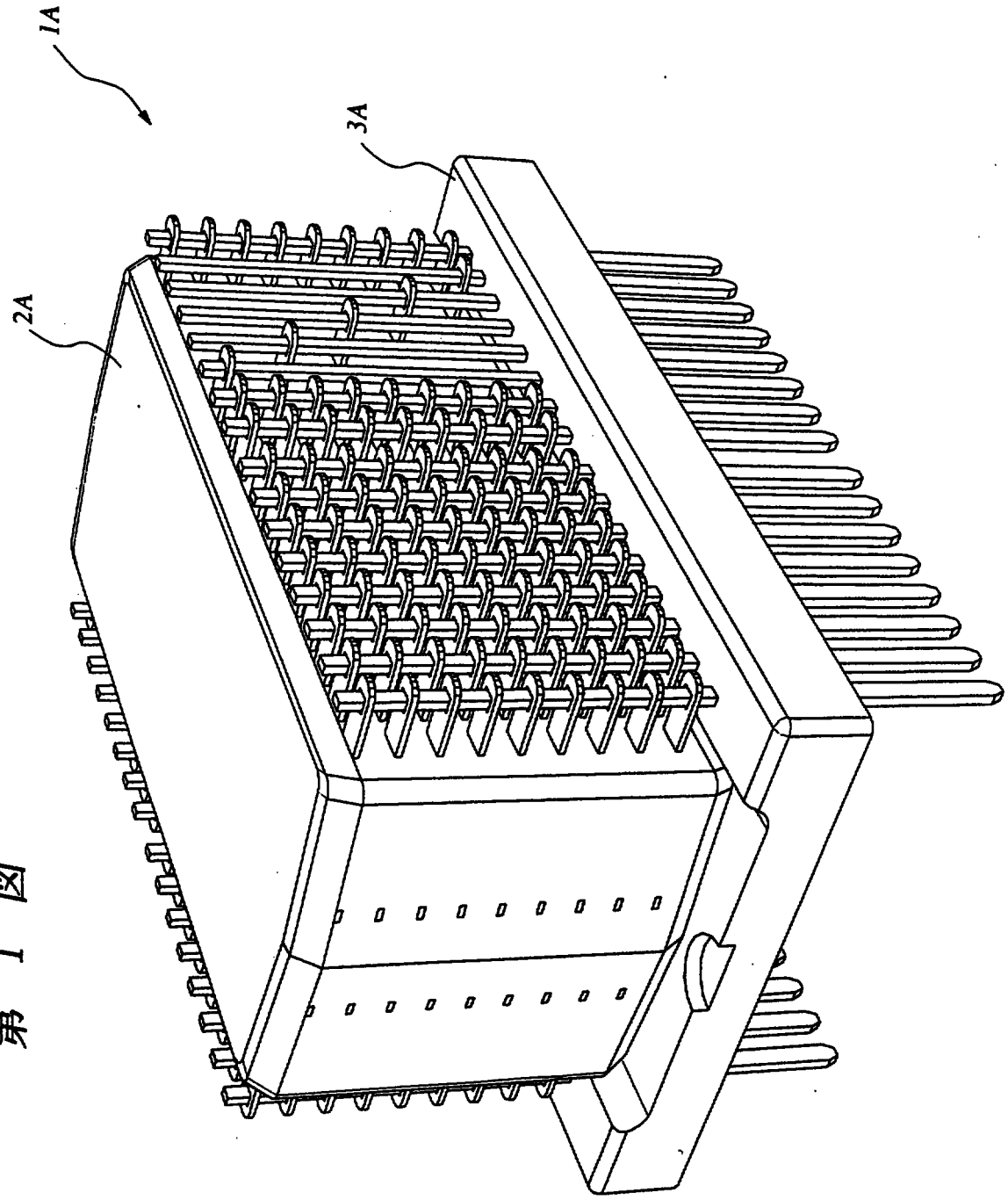
５０．請求項４８記載の半導体集積回路装置であって、前記樹脂封止型の半導体集積回路装置は、ＤＲＡＭであることを特徴とする半導体集積回路装置。

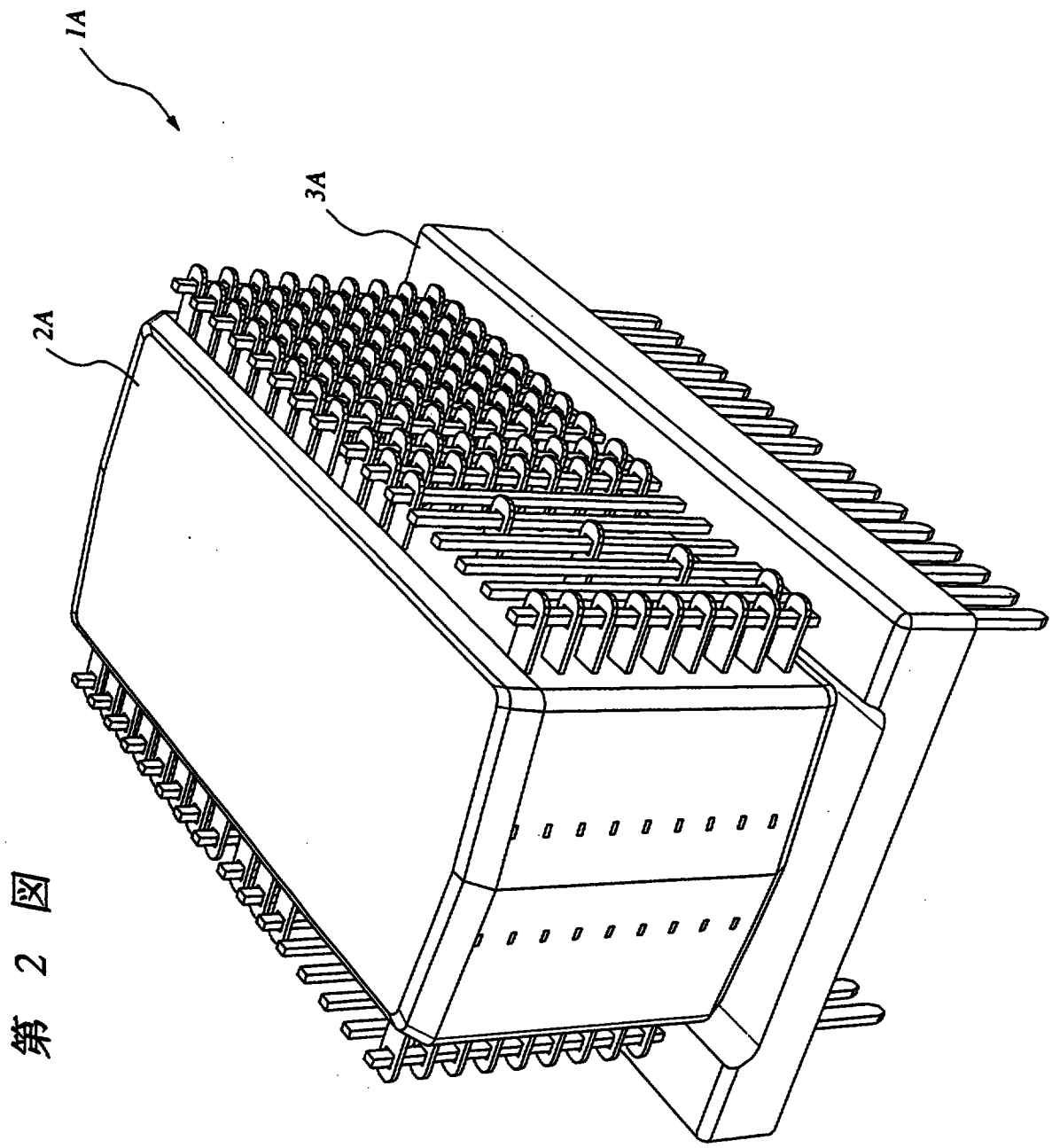
５１．互いに離間した状態で積層された複数のリードフレームを一括して樹脂封止したことを特徴とする半導体集積回路装置。

５２．複数のリードフレームを互いに離間した状態で積層し、それらを一括して樹脂封止する半導体集積回路装置の製造方法であって、リードフレーム毎に樹脂注入部を設け、樹脂封止キャビティの一側面から封止樹脂を注入することを特徴とする半導体集積回路装置の製造方法。



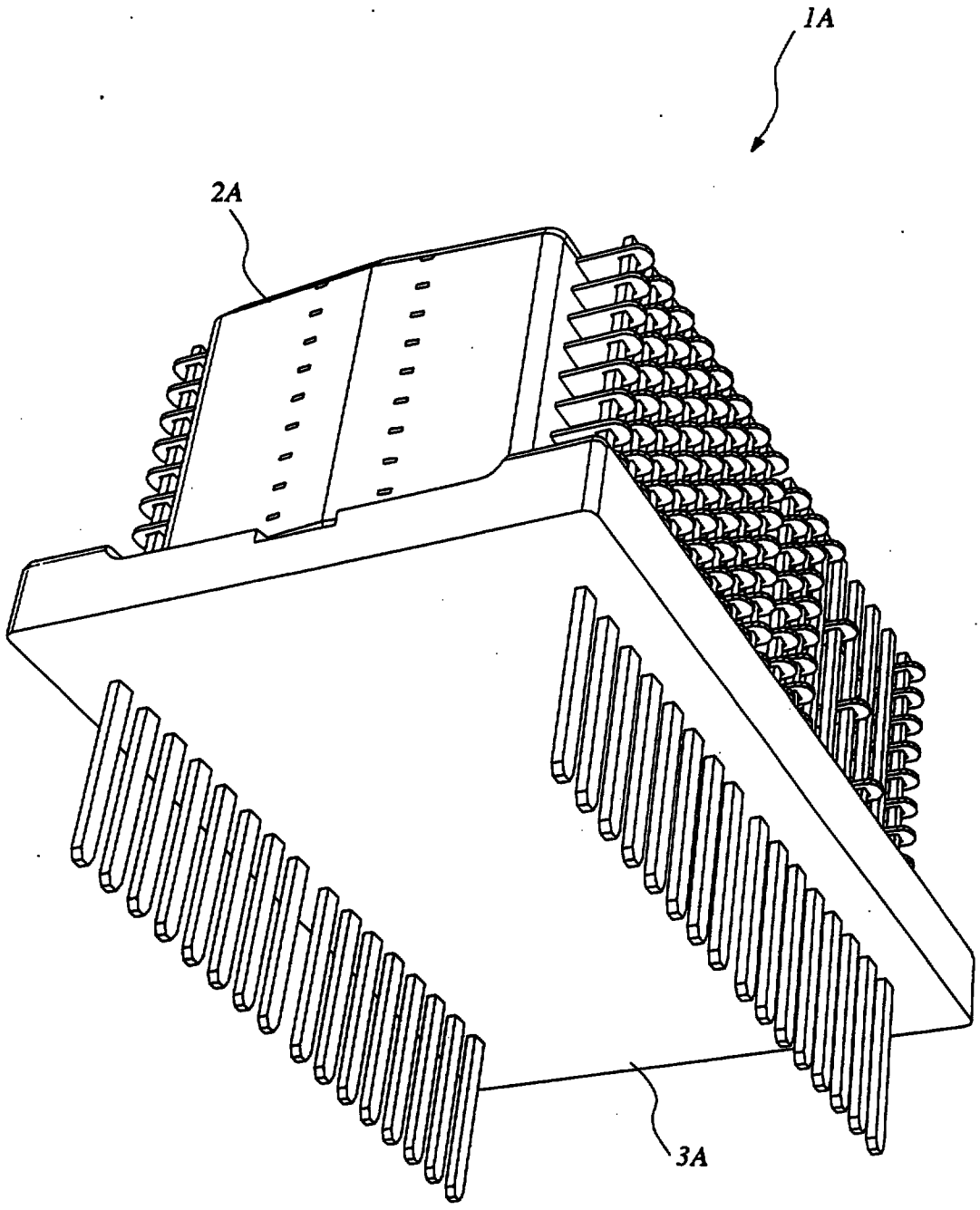
第 1 図



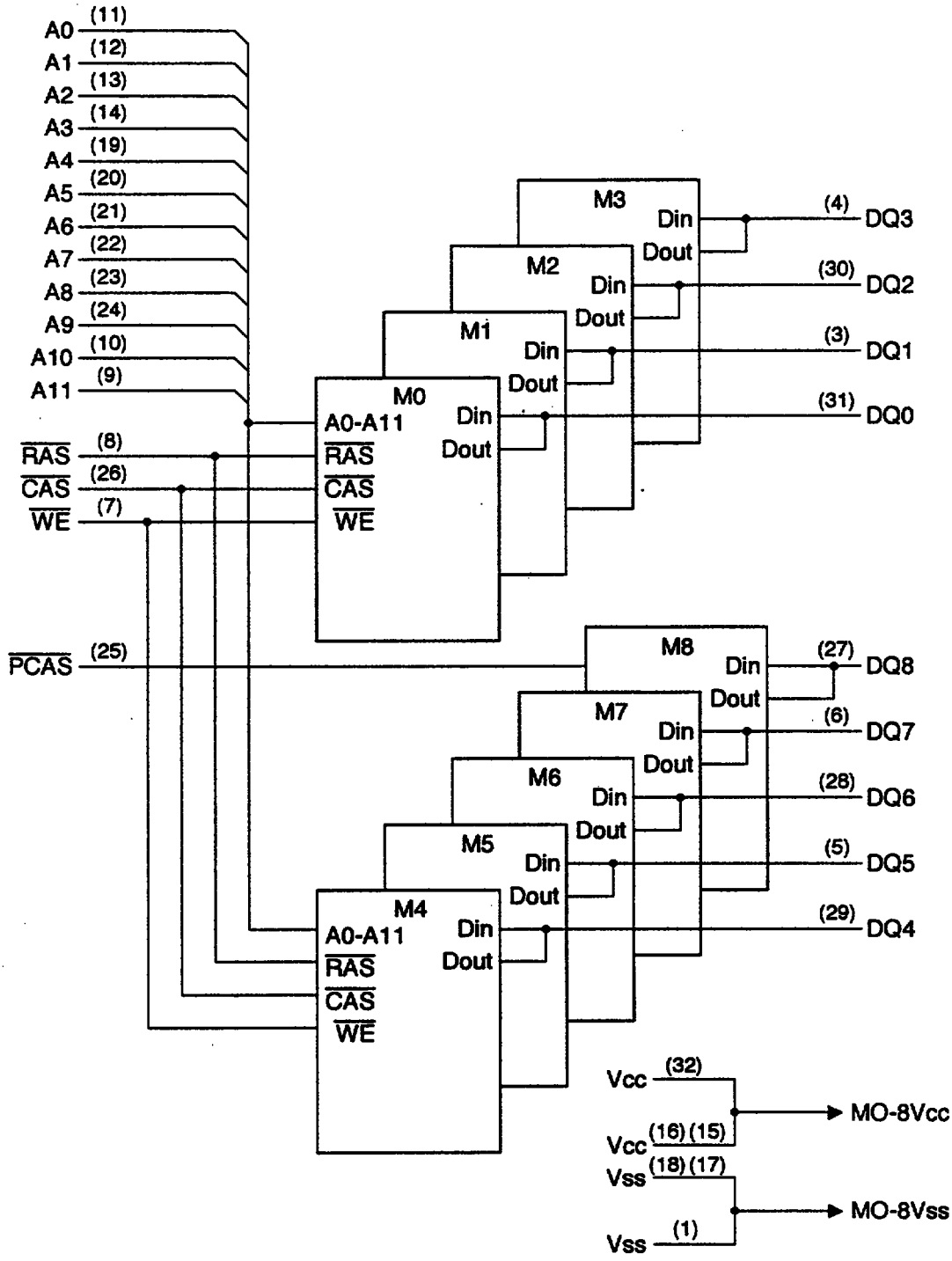


第 2 図

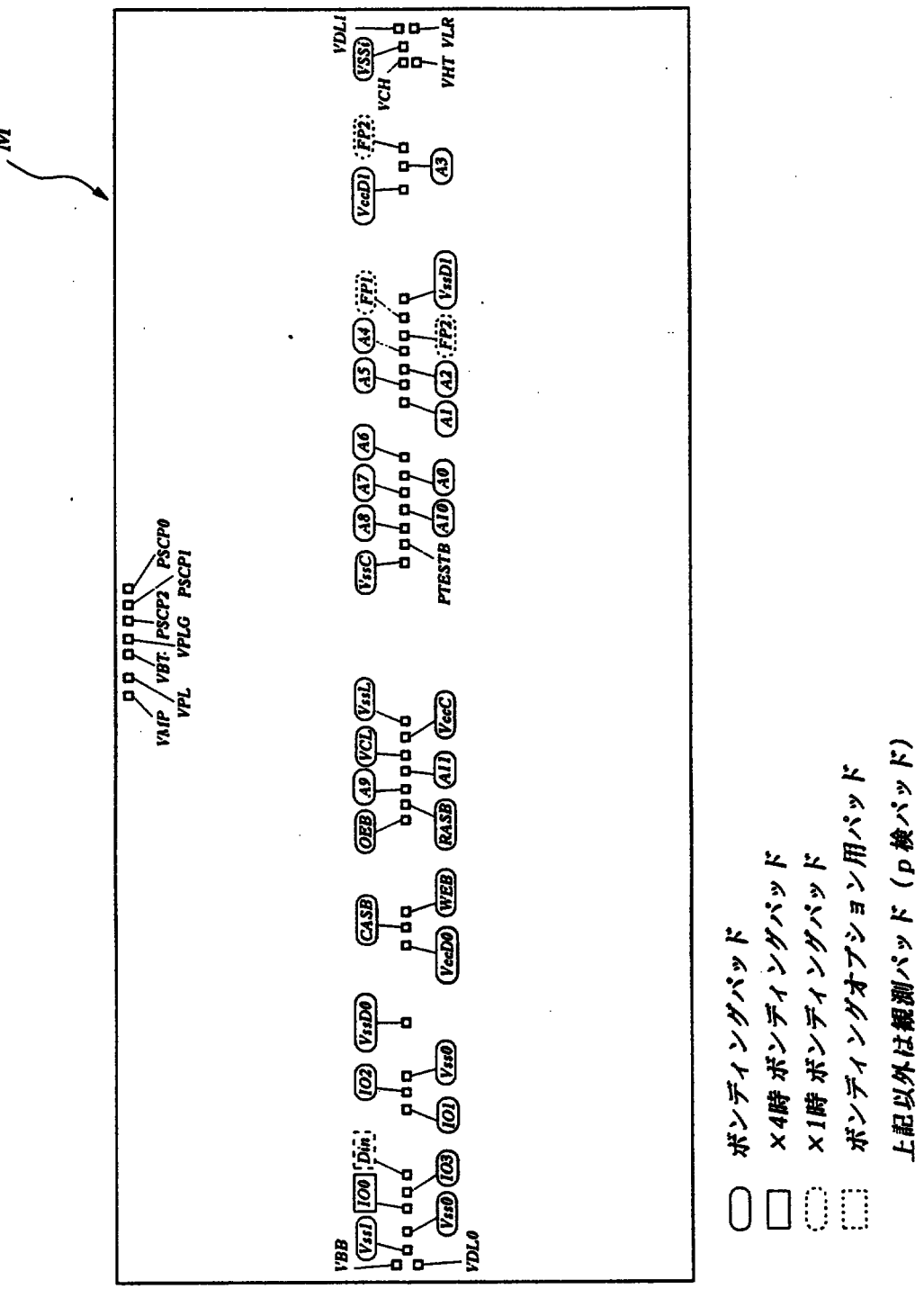
第 3 図



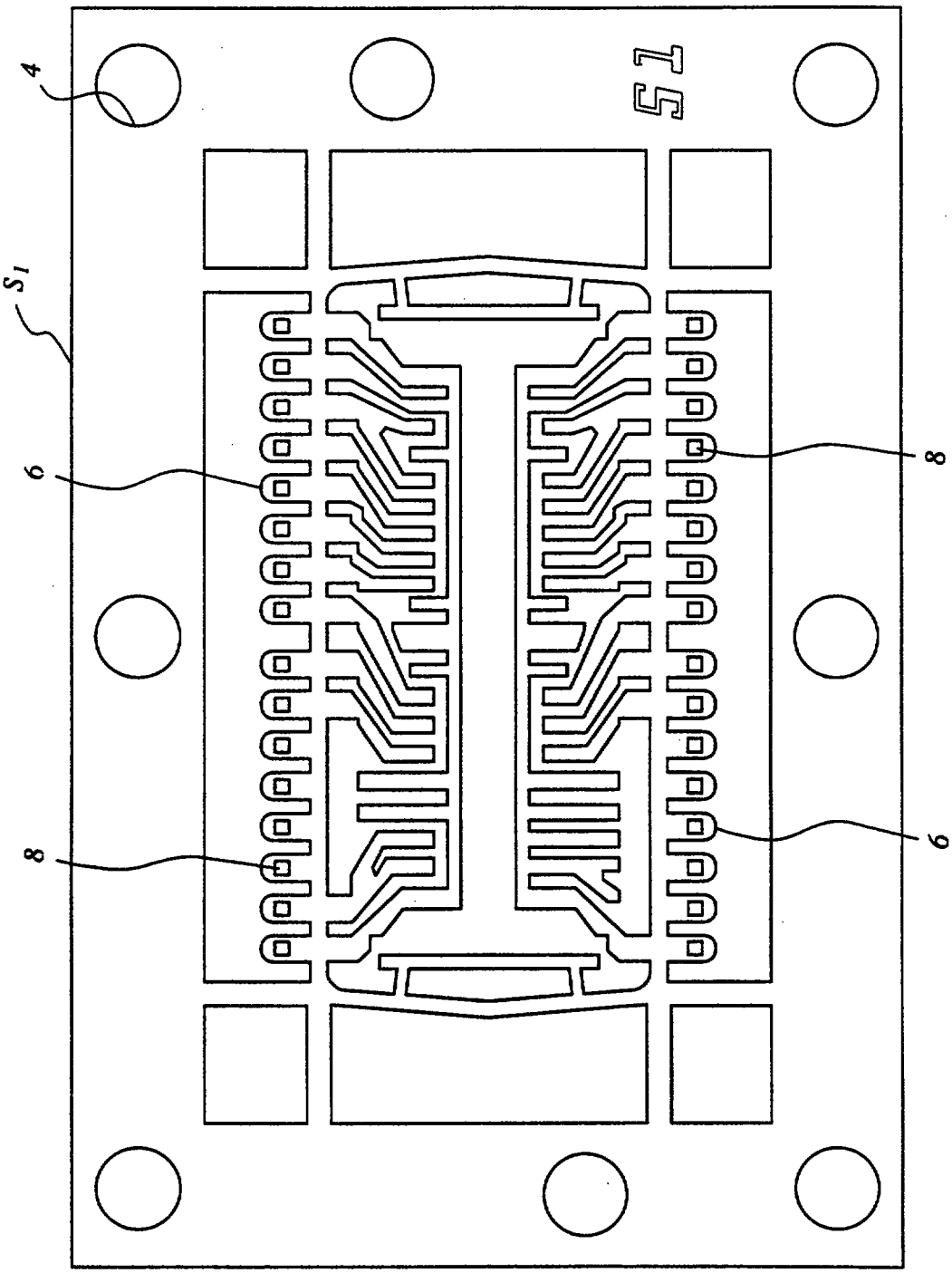
第 4 図


A0 (11)
A1 (12)
A2 (13)
A3 (14)
A4 (19)
A5 (20)
A6 (21)
A7 (22)
A8 (23)
A9 (24)
A10 (10)
A11 (9)
RAS (8)
CAS (26)
WE (7)
PCAS (25)
M0
M1
M2
M3
M4
M5
M6
M7
M8
A0-A11
RAS
CAS
WE
Din
Dout
(4) DQ3
(30) DQ2
(3) DQ1
(31) DQ0
(27) DQ8
(6) DQ7
(28) DQ6
(5) DQ5
(29) DQ4
Vcc (32)
Vcc (16) (15)
Vss (18) (17)
Vss (1)
MO-8Vcc
MO-8Vss

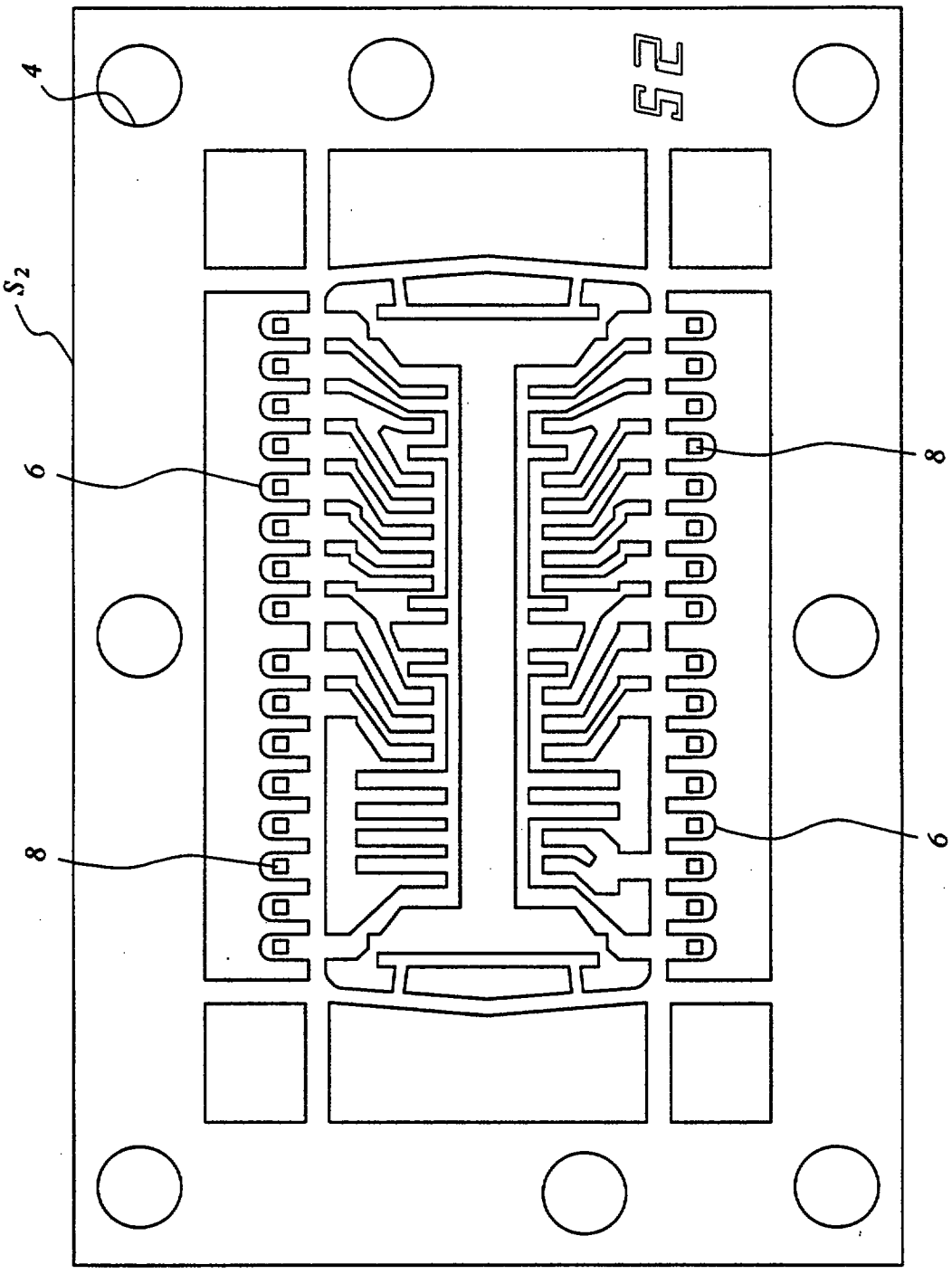
第 5 図


M
VAIP
VBT
VPL
PSCP2
VPLG
PSCP0
PSCP1
VDL1
VSS0
VCH
VHT
VLR
VccD1
FP2
A3
FP1
A4
A5
A2
VssD1
A1
A6
A7
A0
A8
A10
VssC
PTESTB
VBB
Vss1
IO0
Din
IO2
VssD0
CASB
OEB
A9
VCL
VssL
IO1
Vss0
VccD0
WEB
RASB
A11
VccC
Vss0
IO3
VDL0
ボンディングパッド
×4時 ボンディングパッド
×1時 ボンディングパッド
ボンディングオプション用パッド
上記以外は観測パッド（p検パッド）

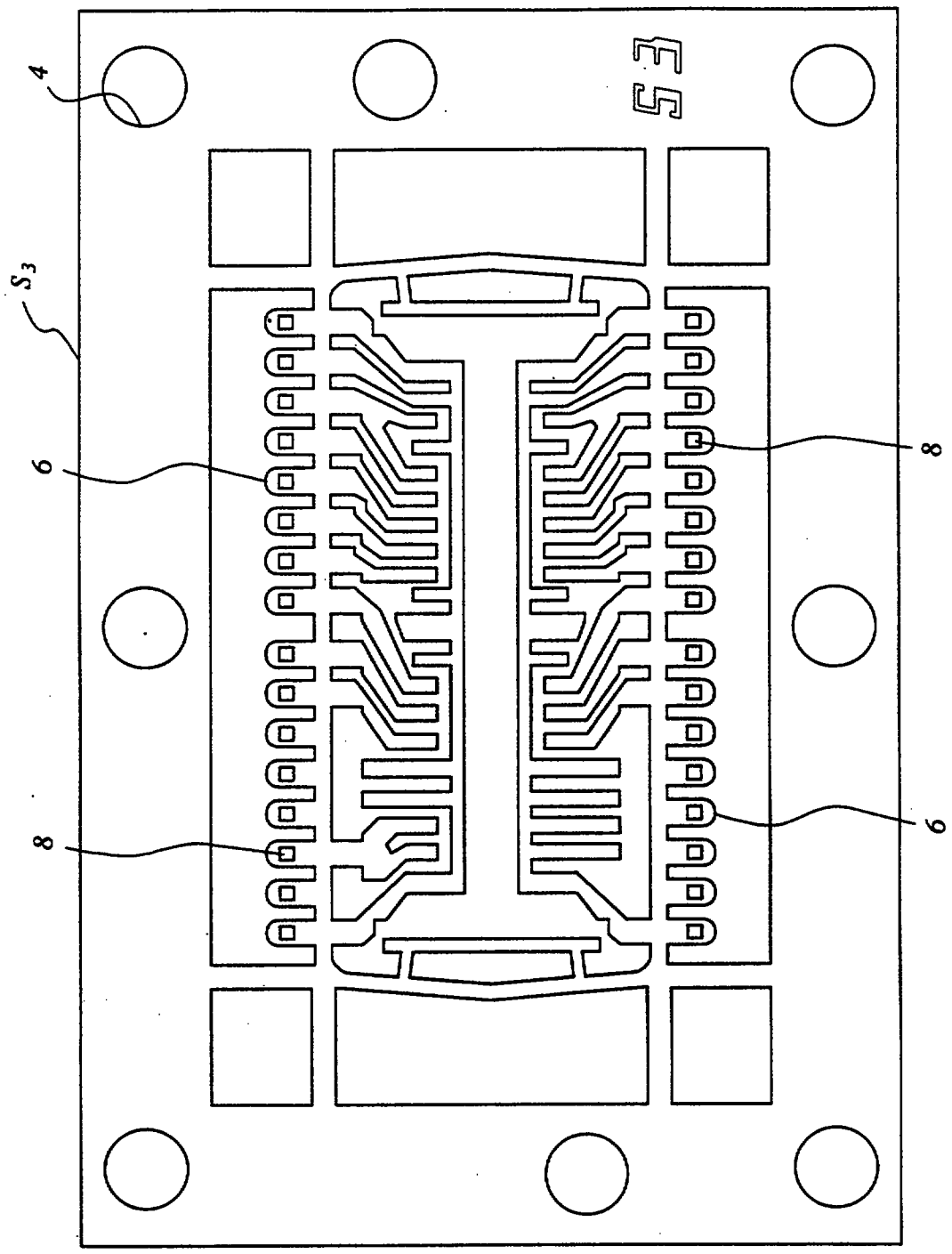
第 6 図



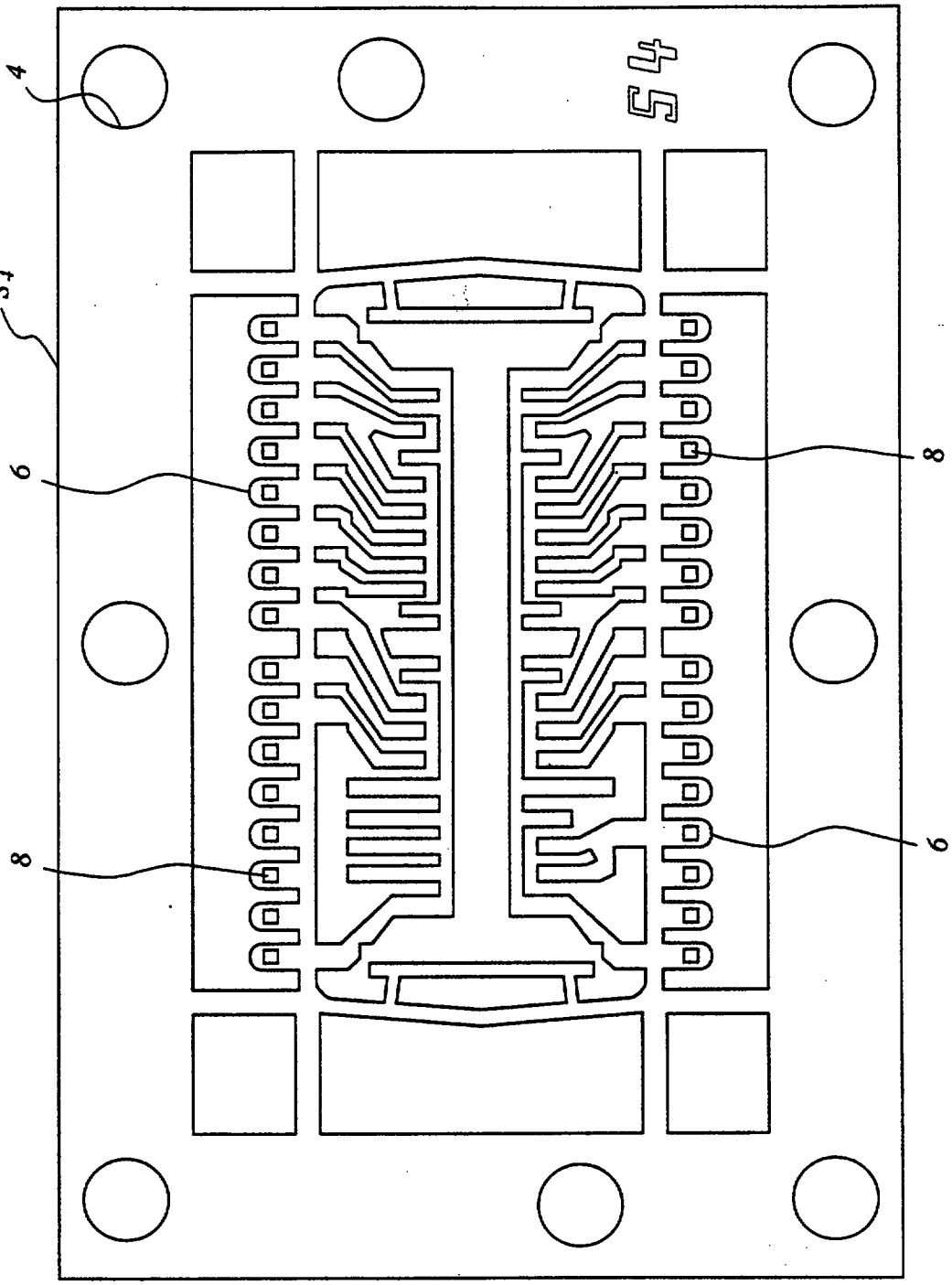
第 7 図



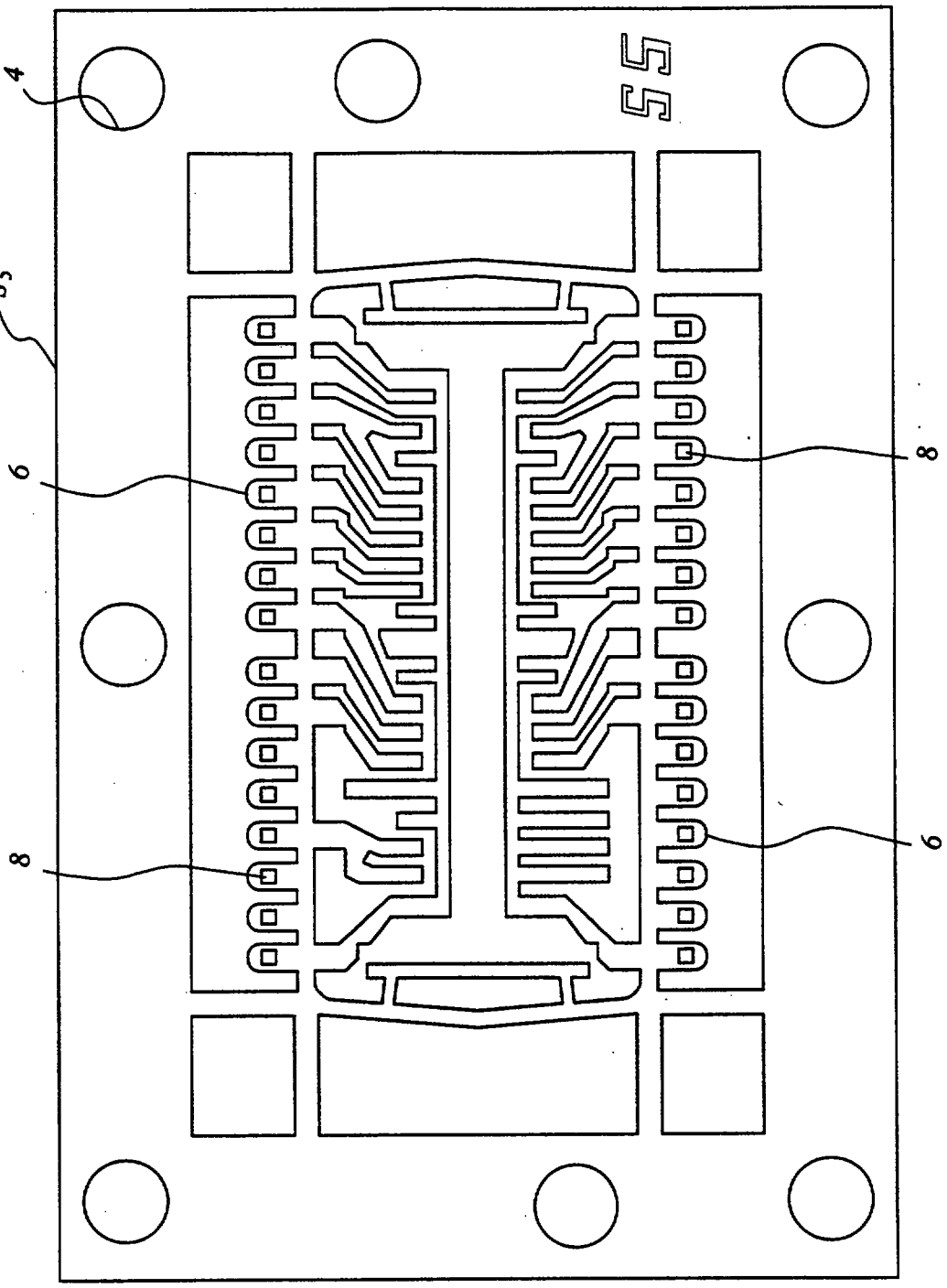
第 8 図



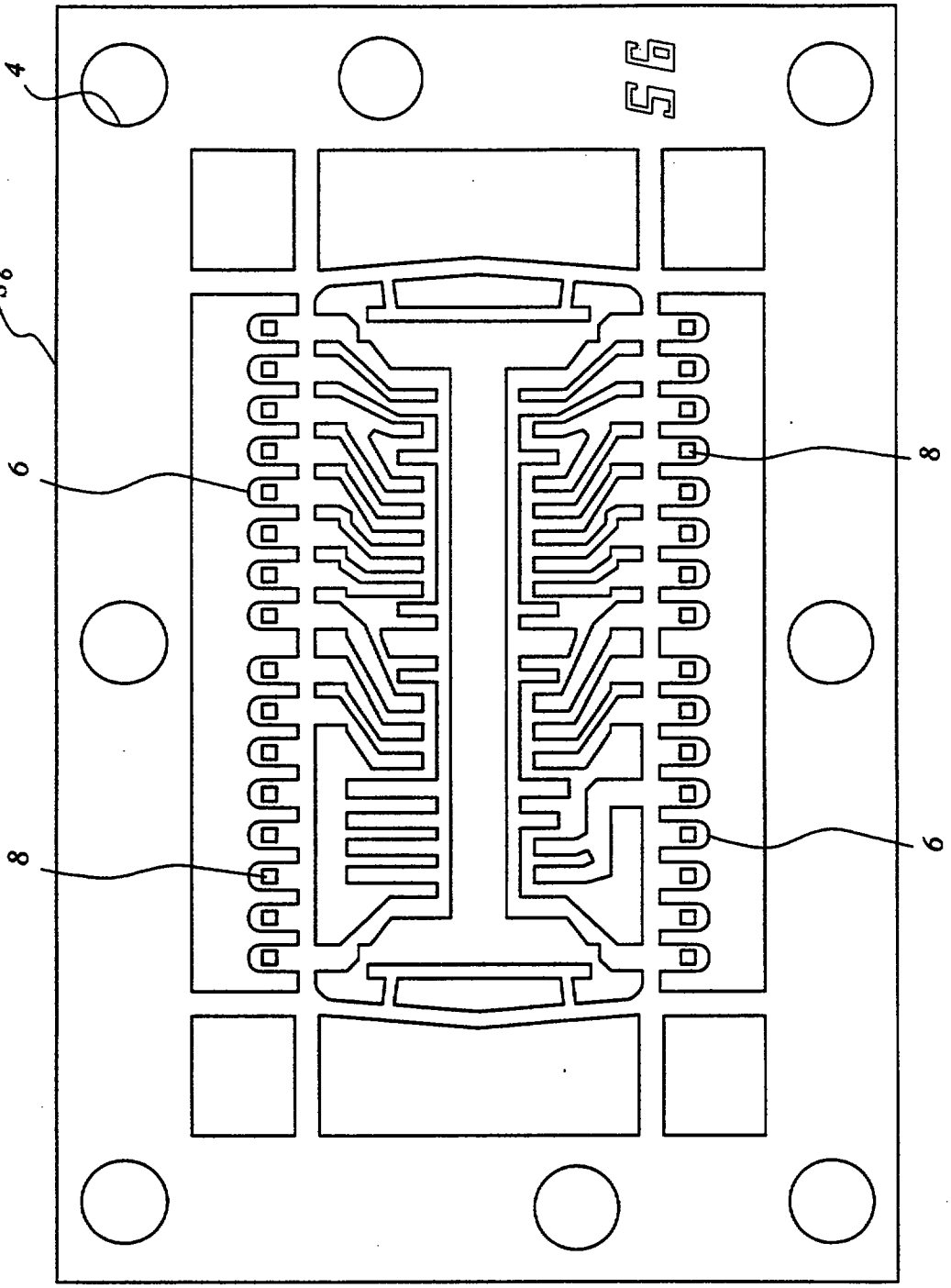
第 9 図



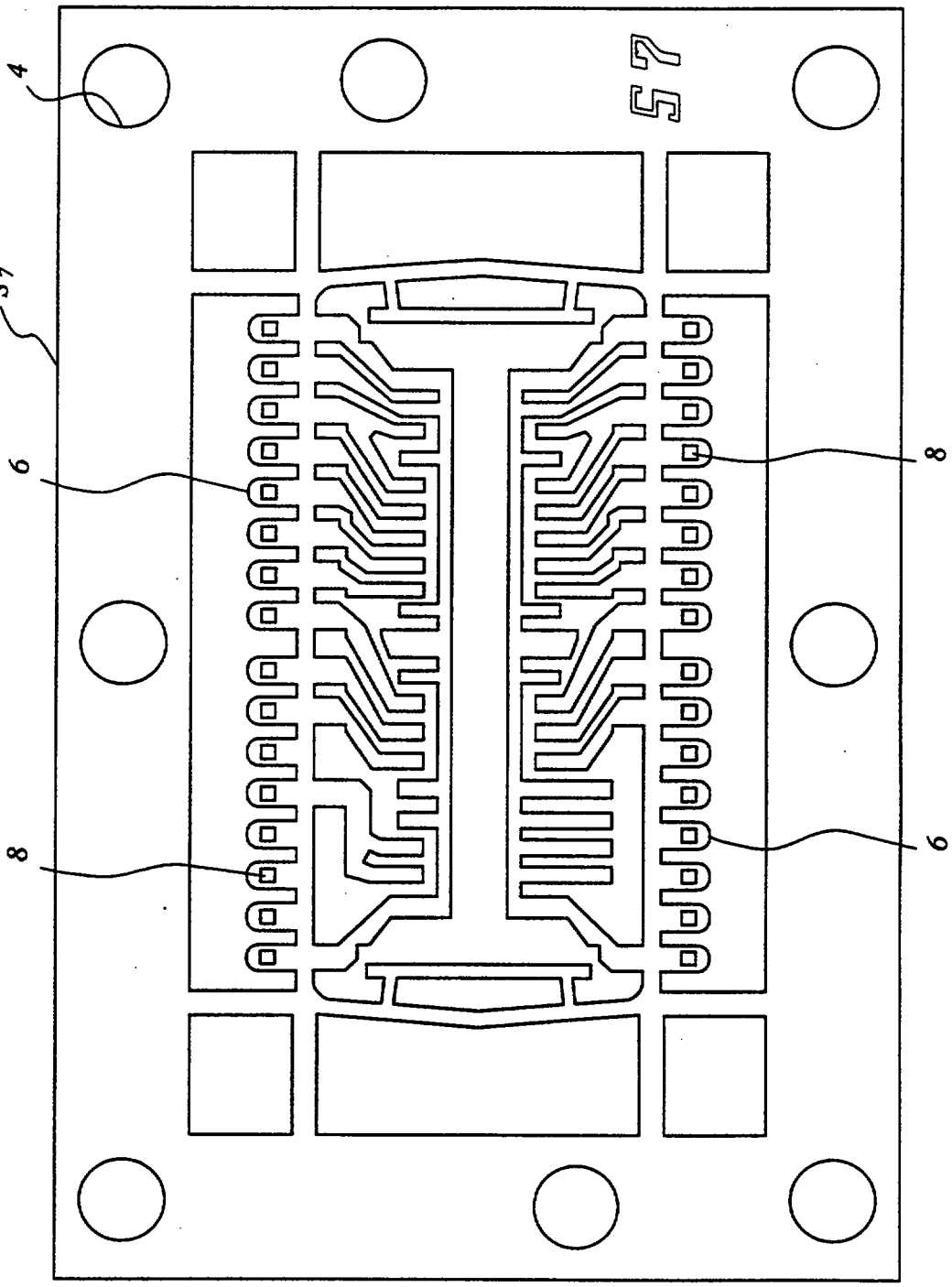
第 10 図



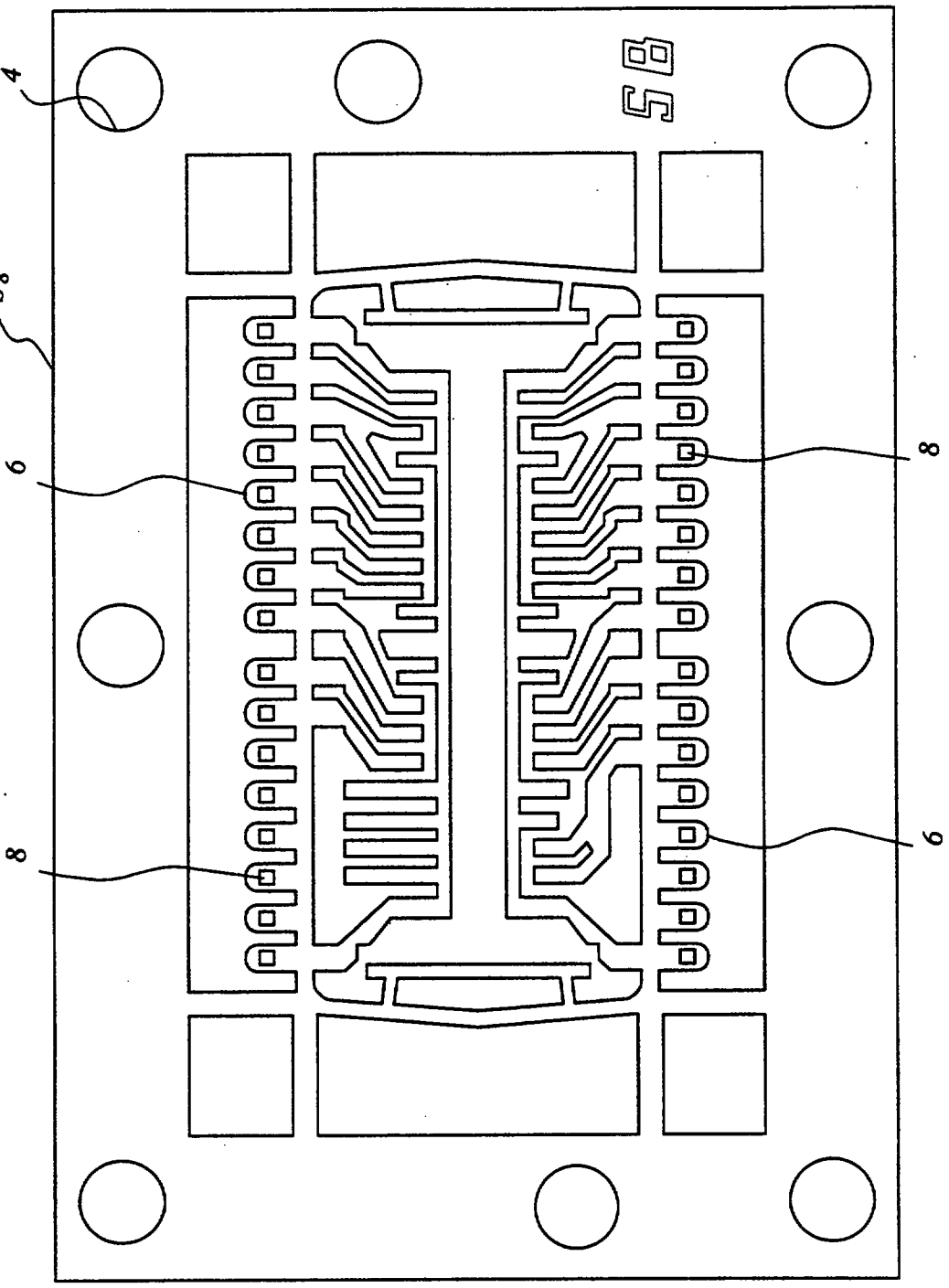
第 11 図



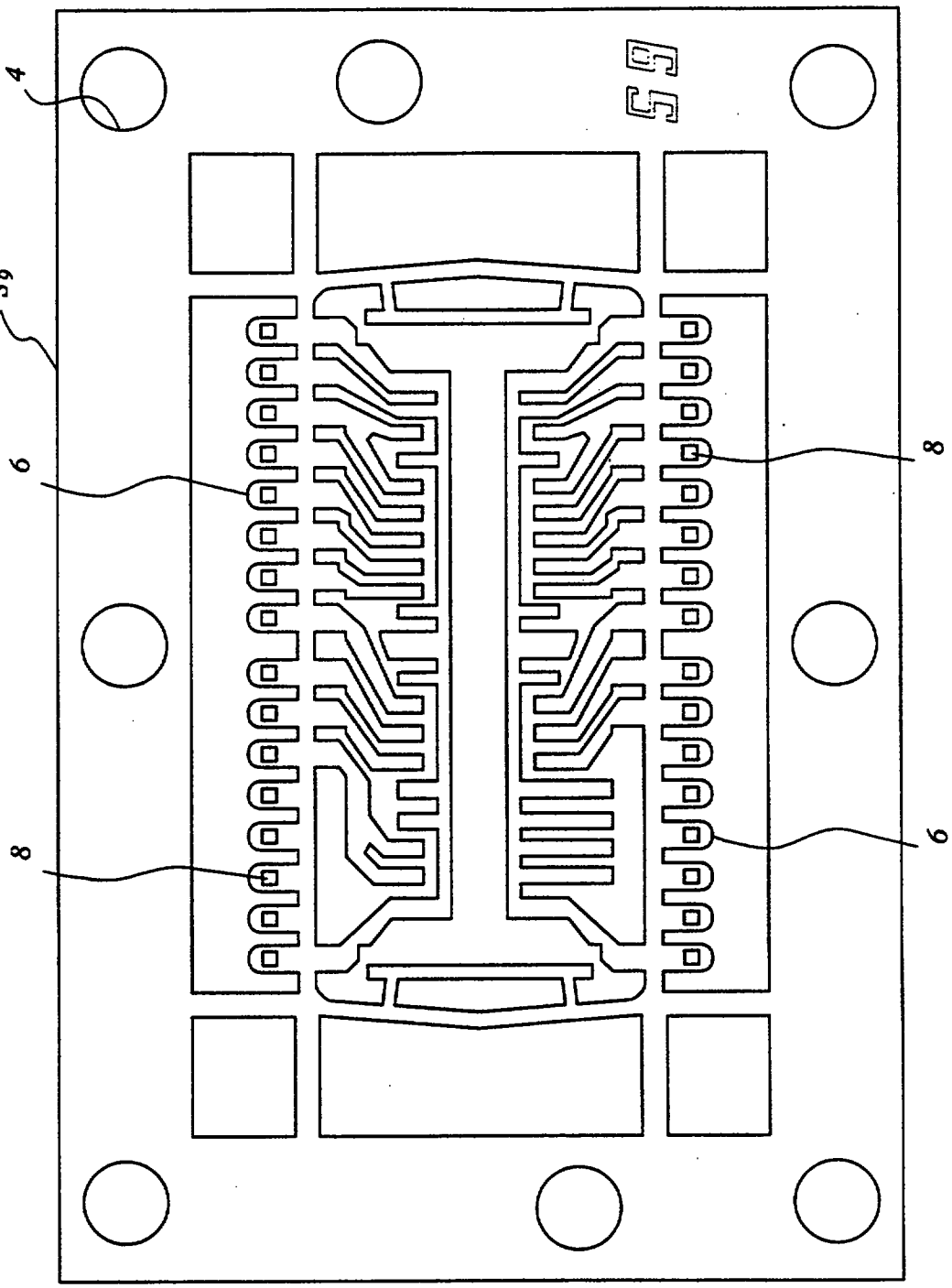
第 12 図



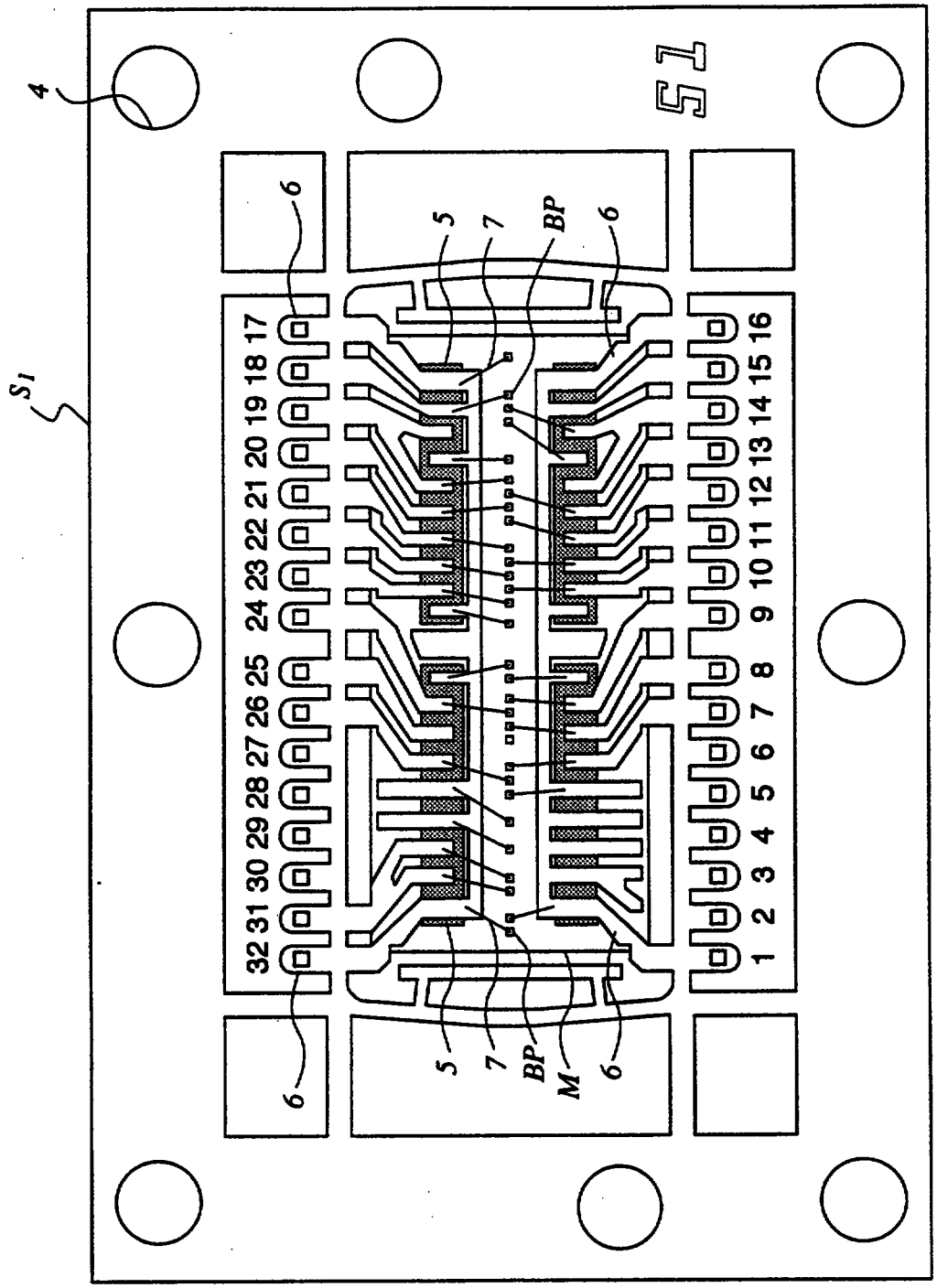
第 13 図



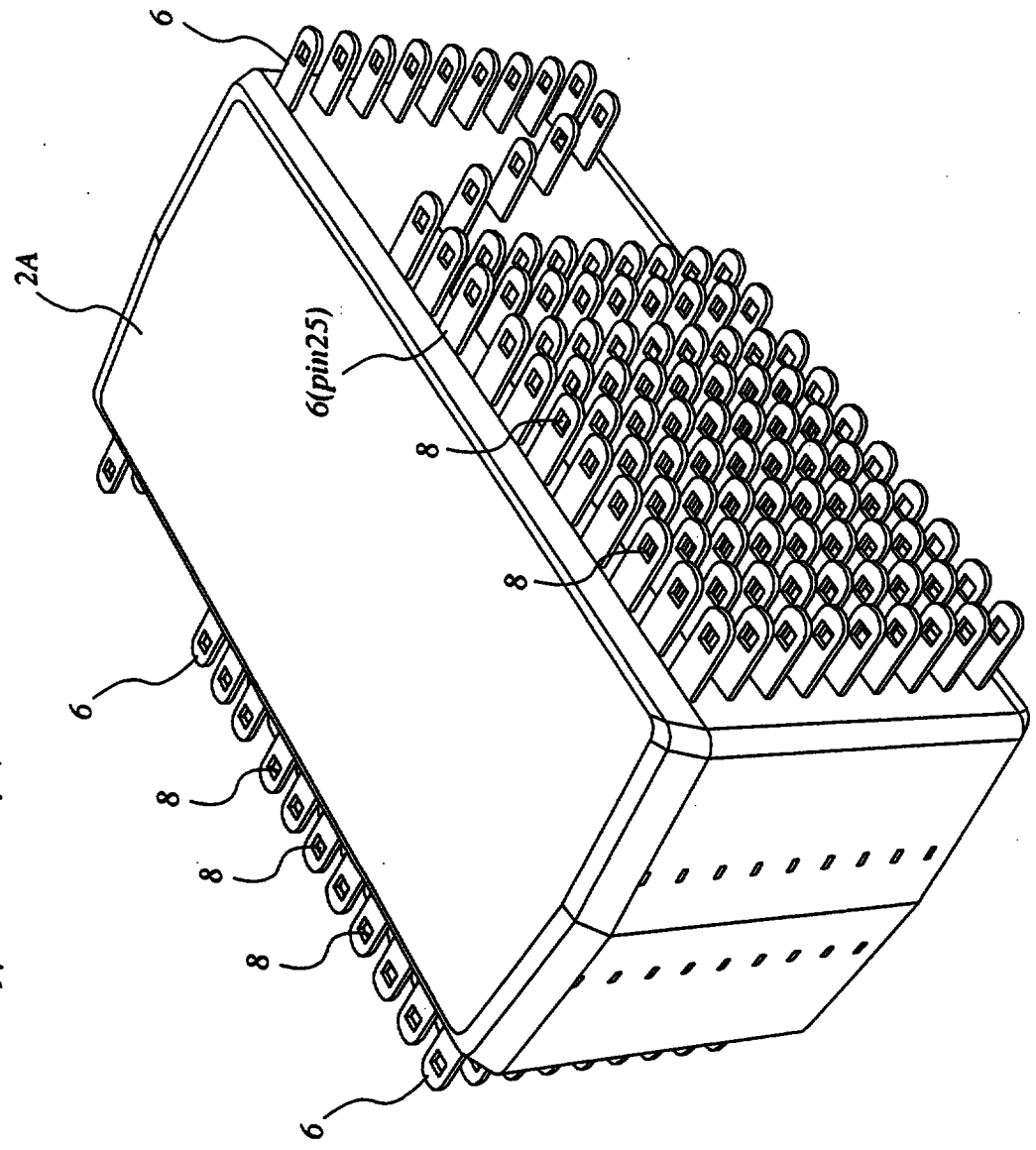
第 14 図



第 15 図


4
S1
51
6
5
7
BP
M
32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16

第 16 図



第 17 図

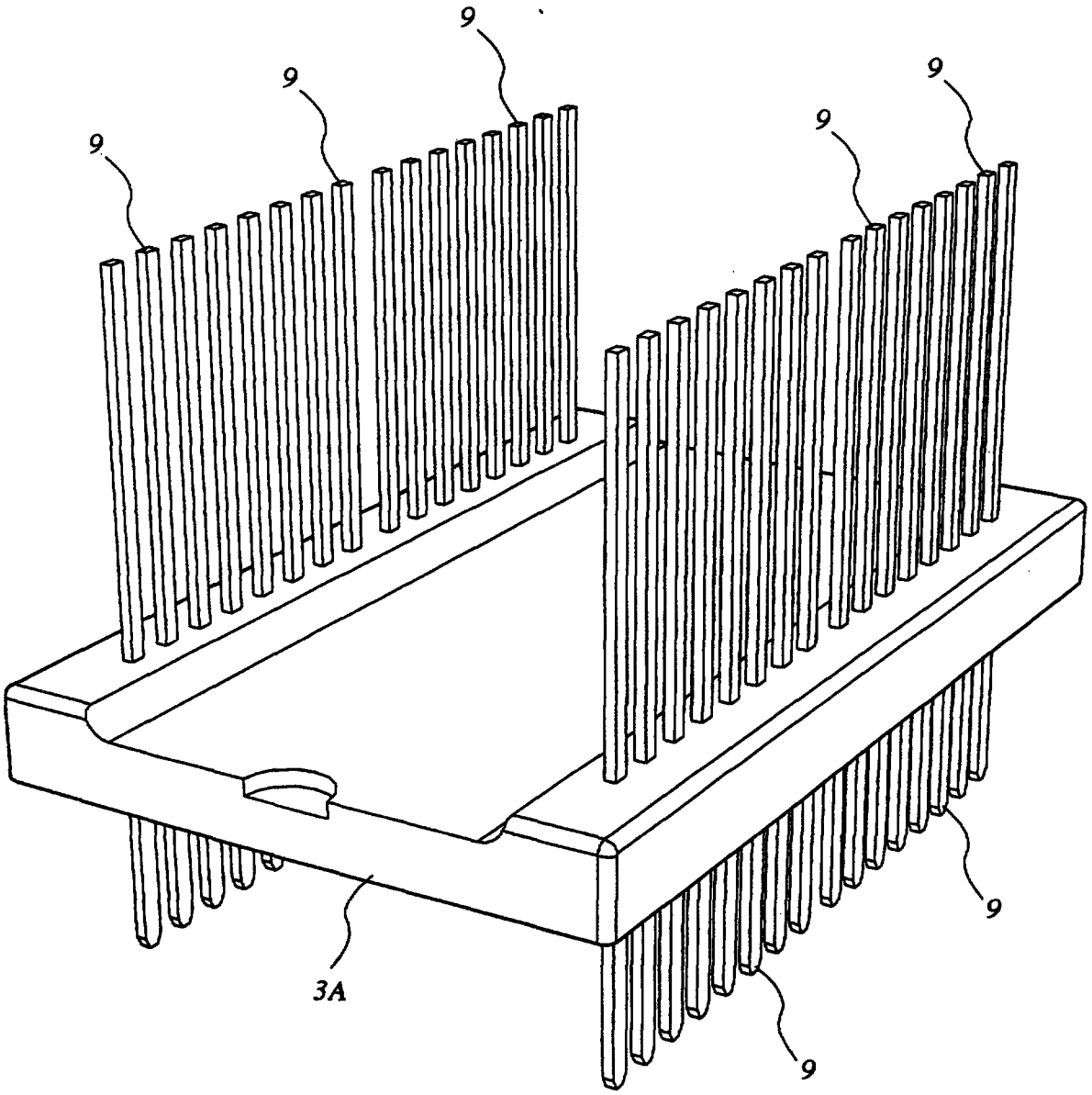
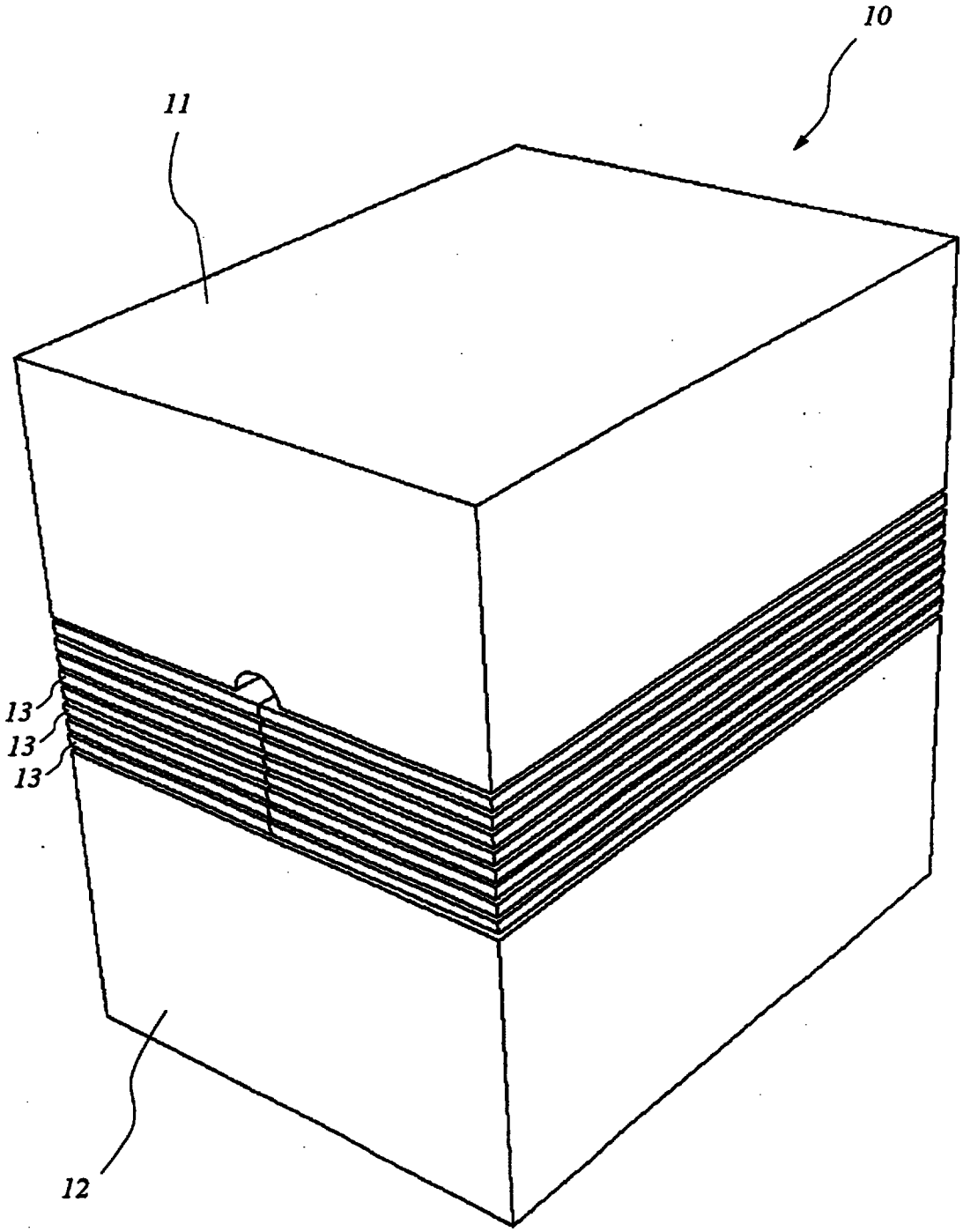
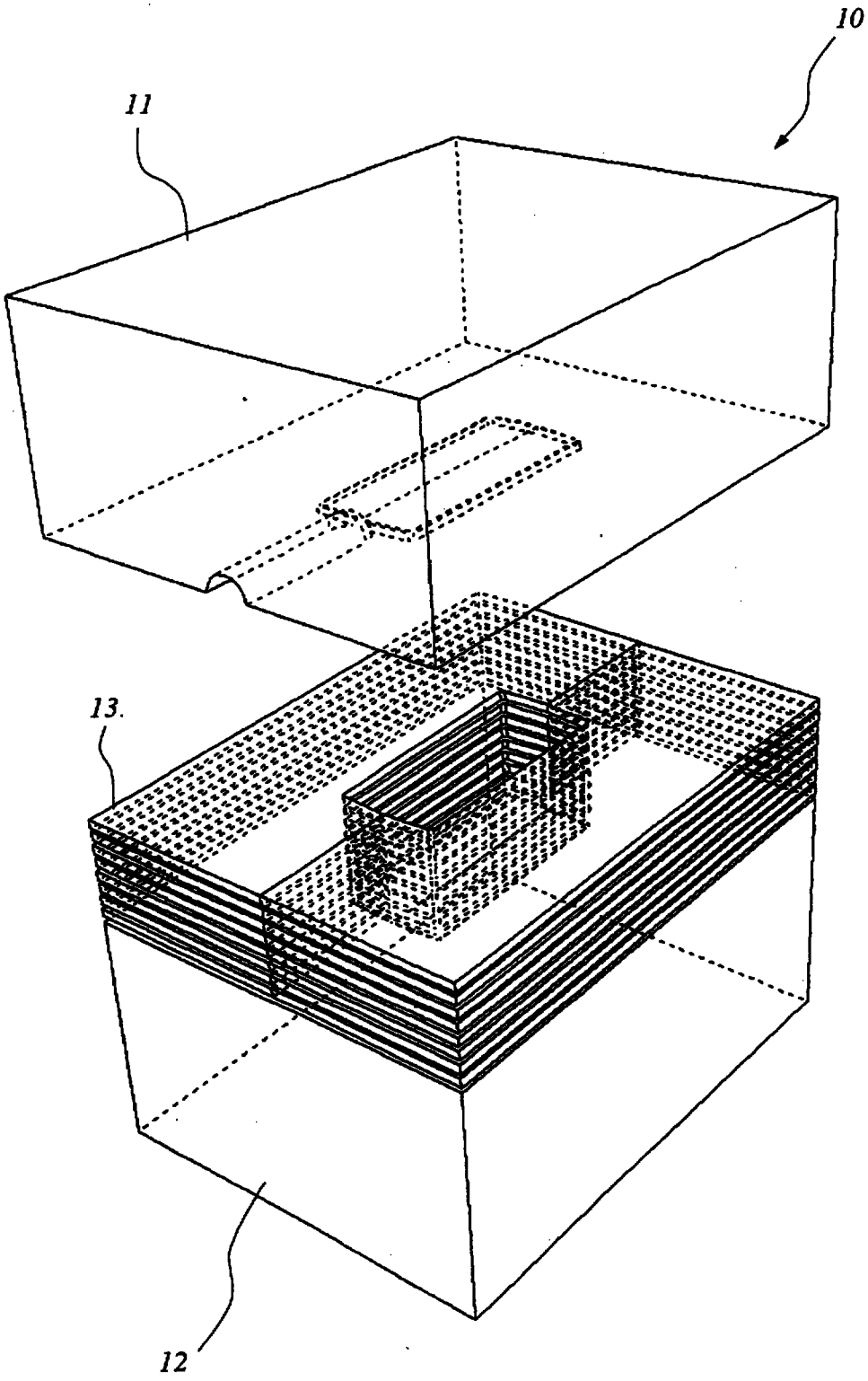


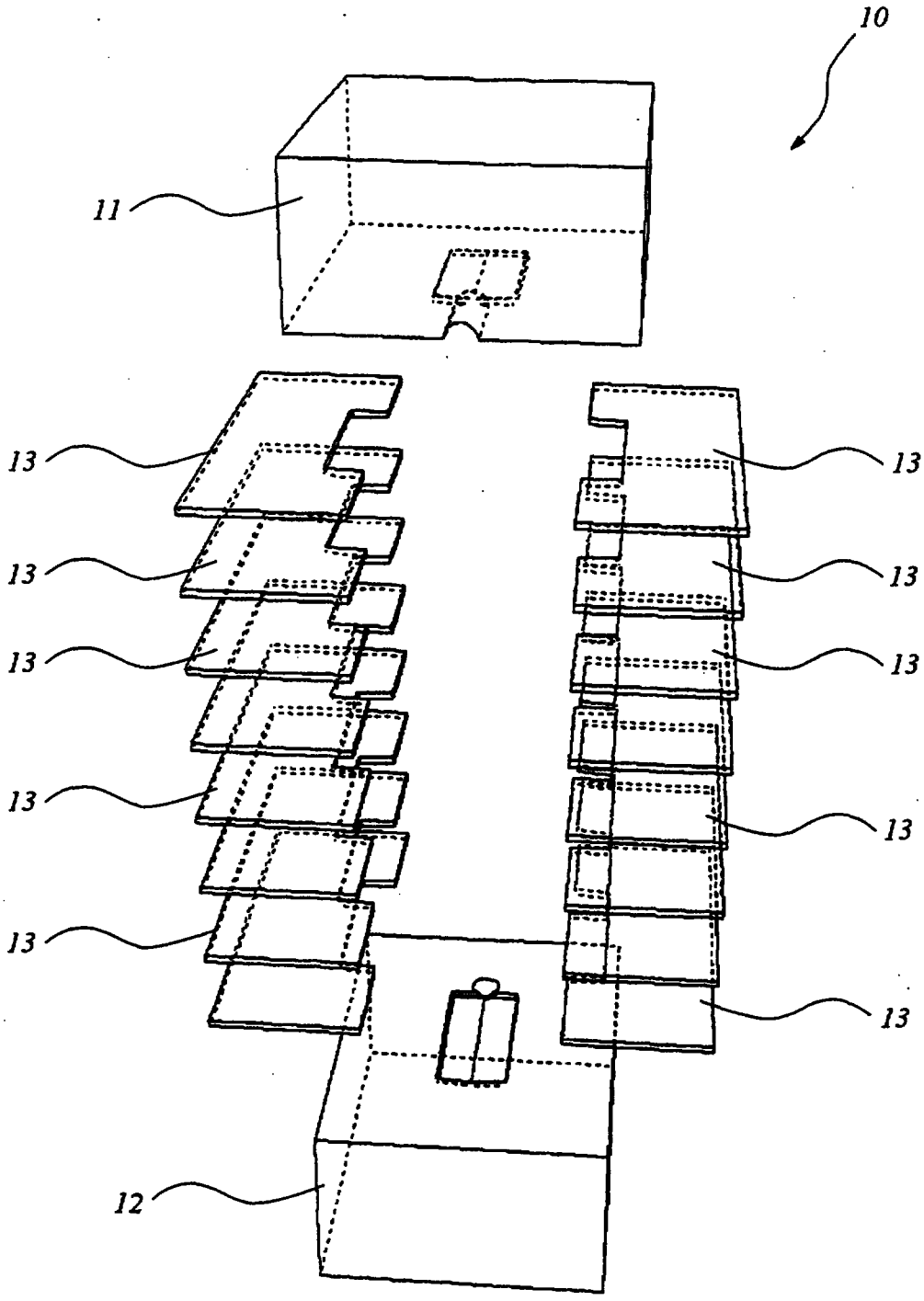
図 18 図



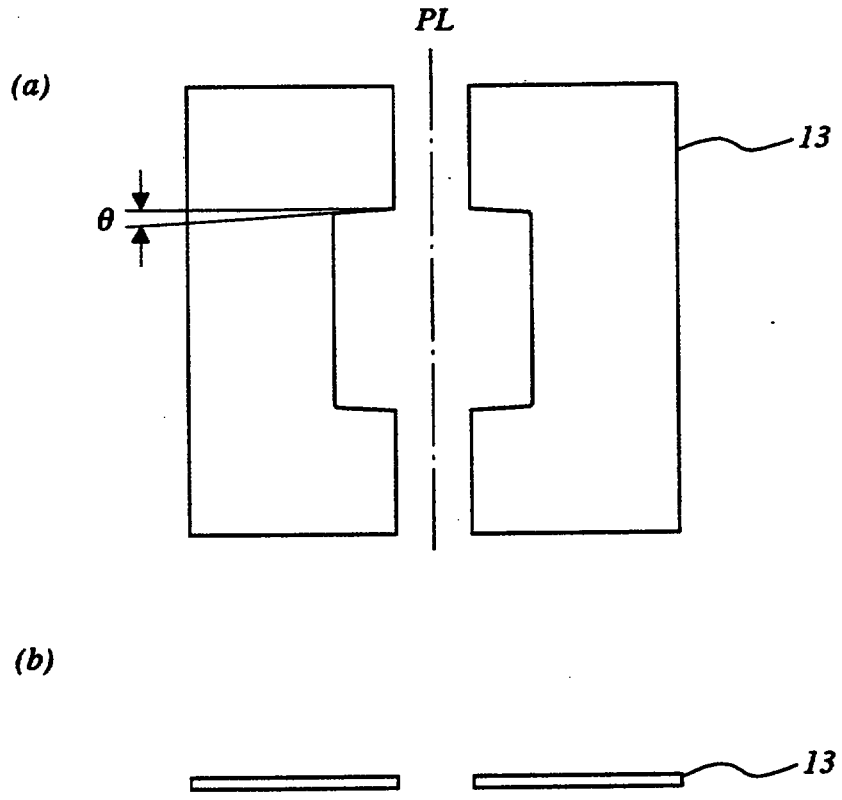
第 19 図



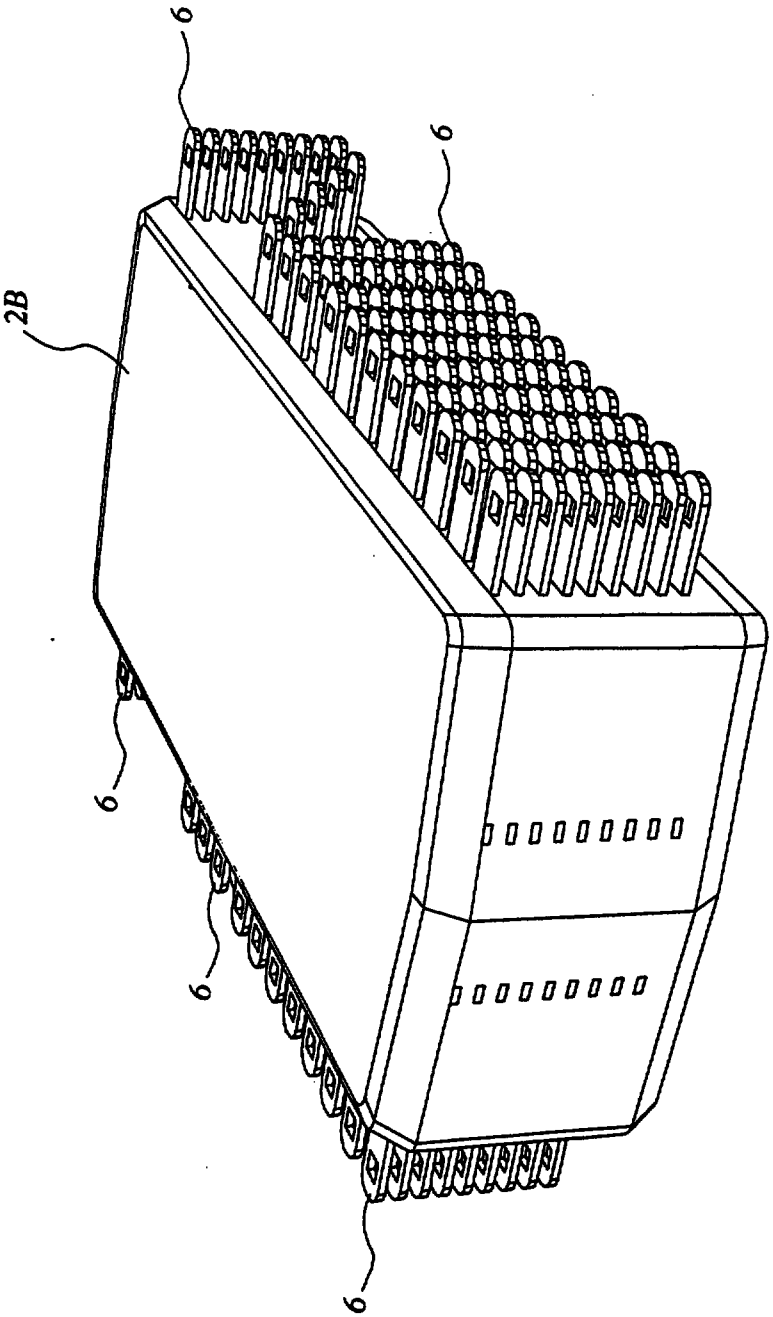
第 20 図



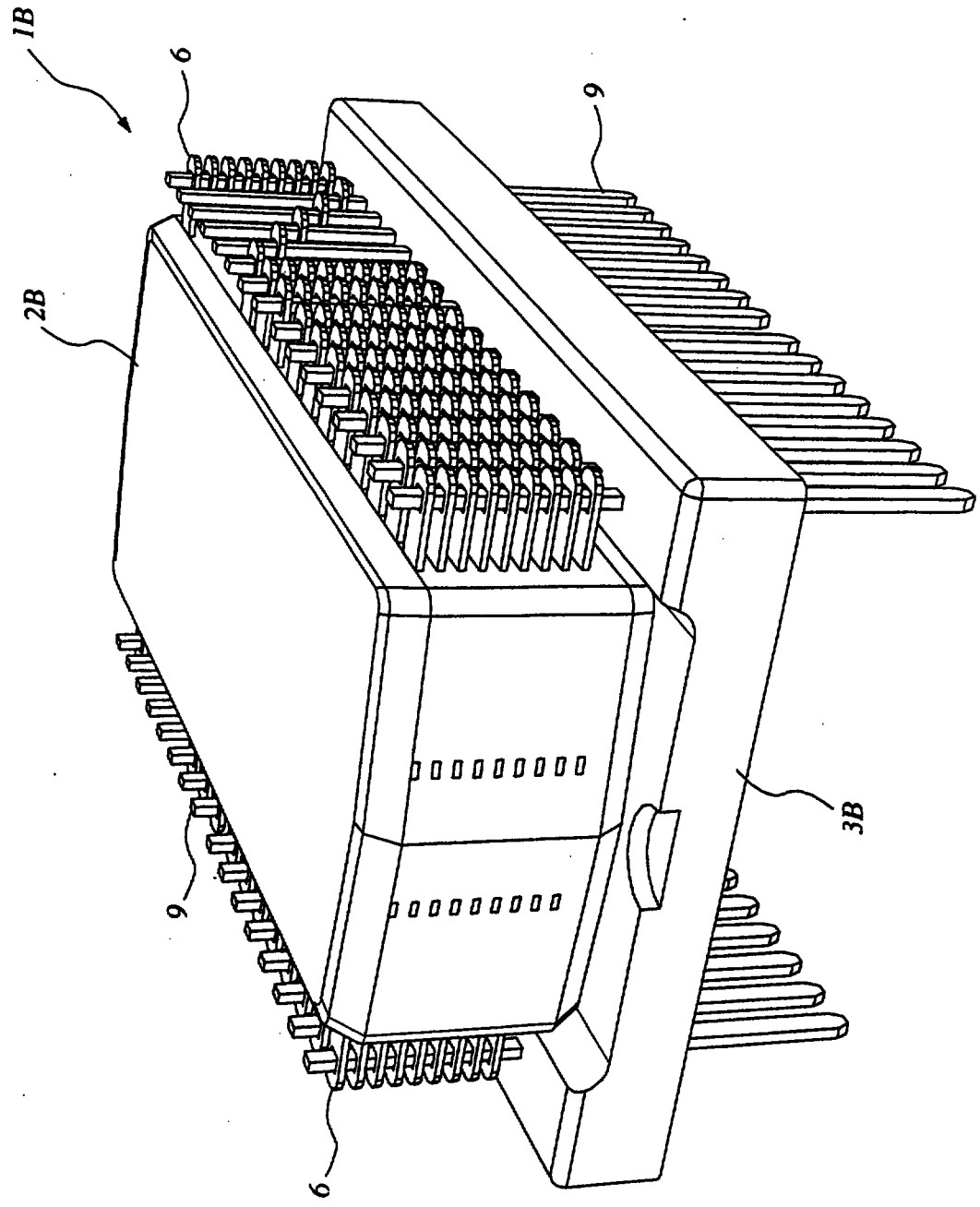
第 21 図



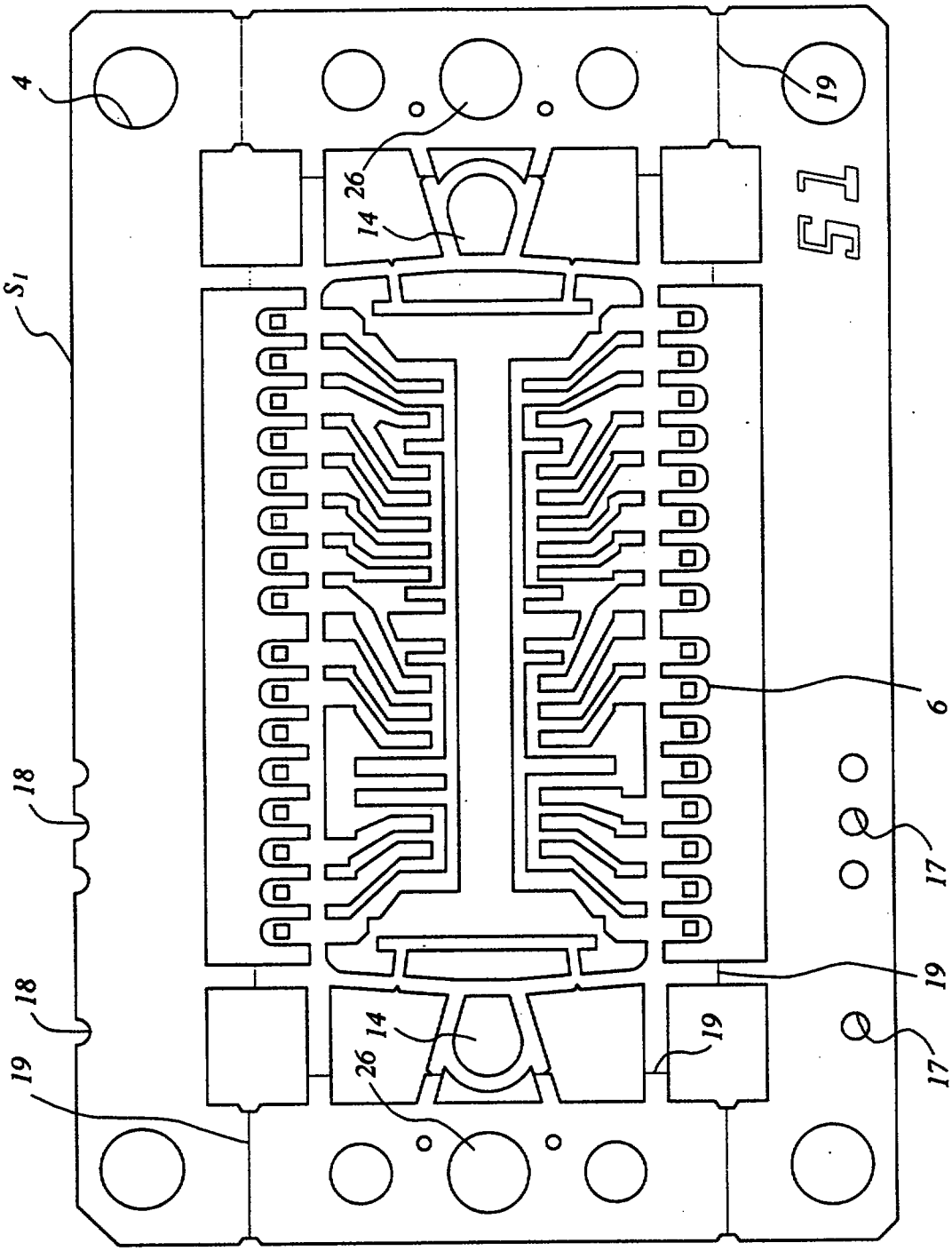
第 22 図



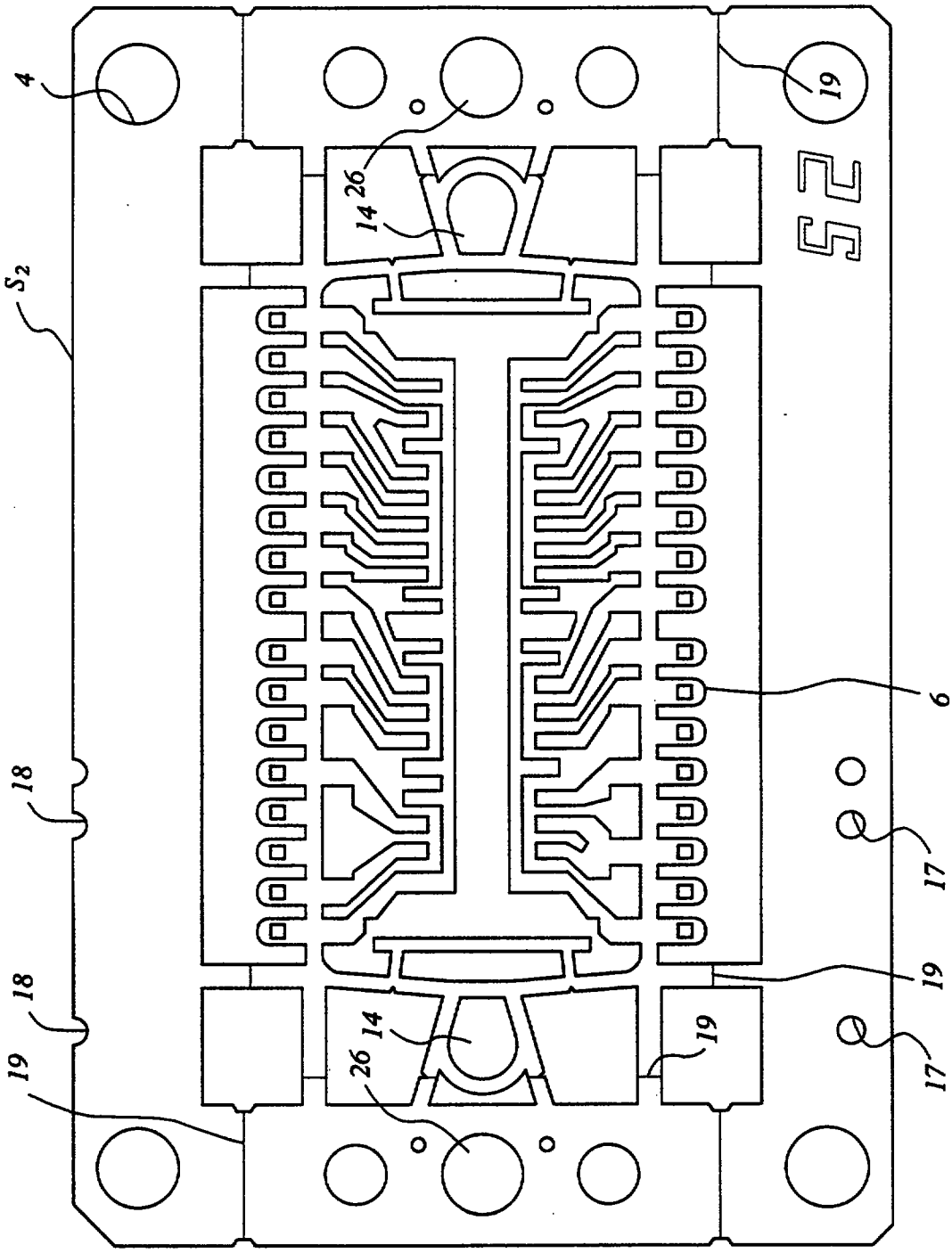
第 23 図



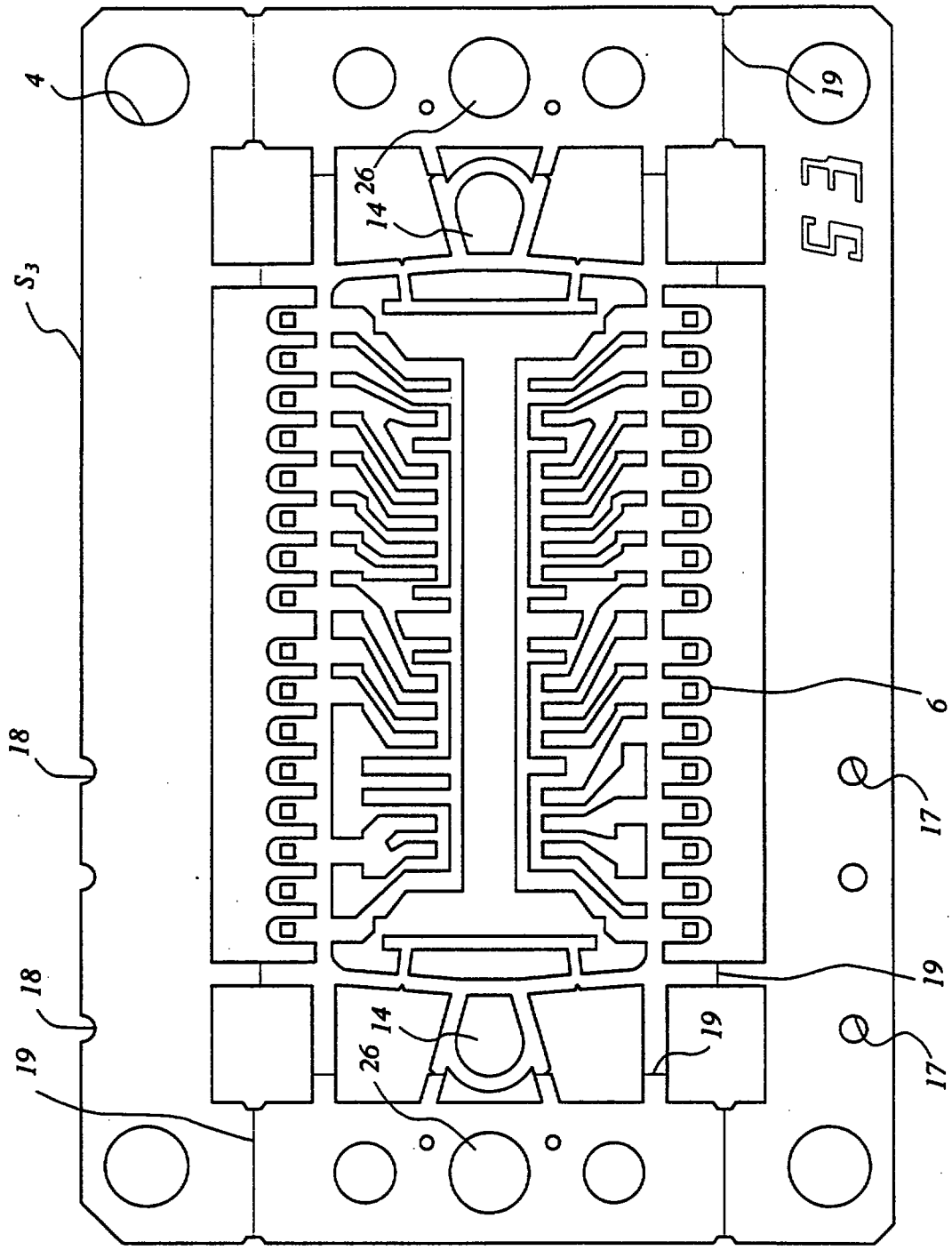
第 24 図



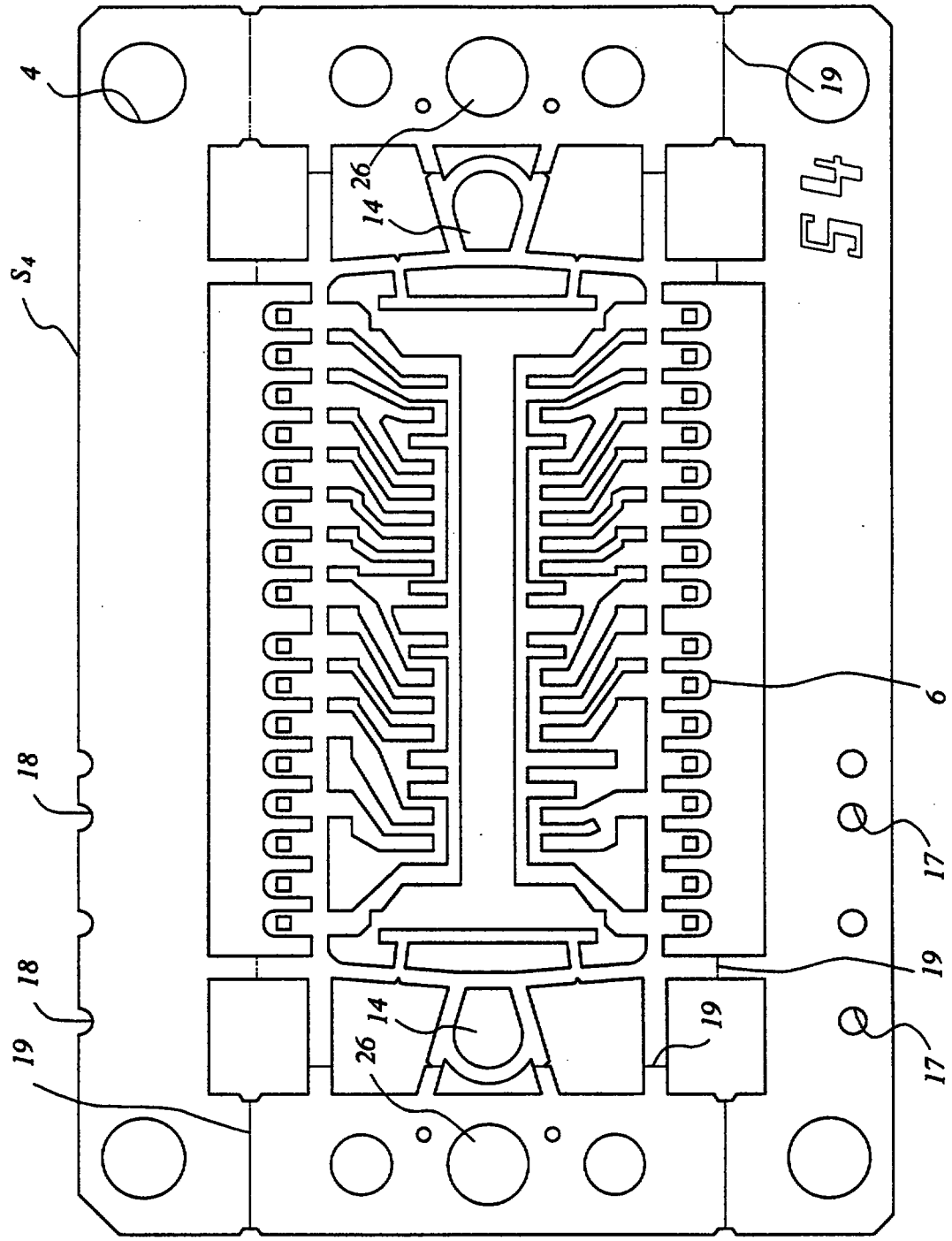
第 25 図



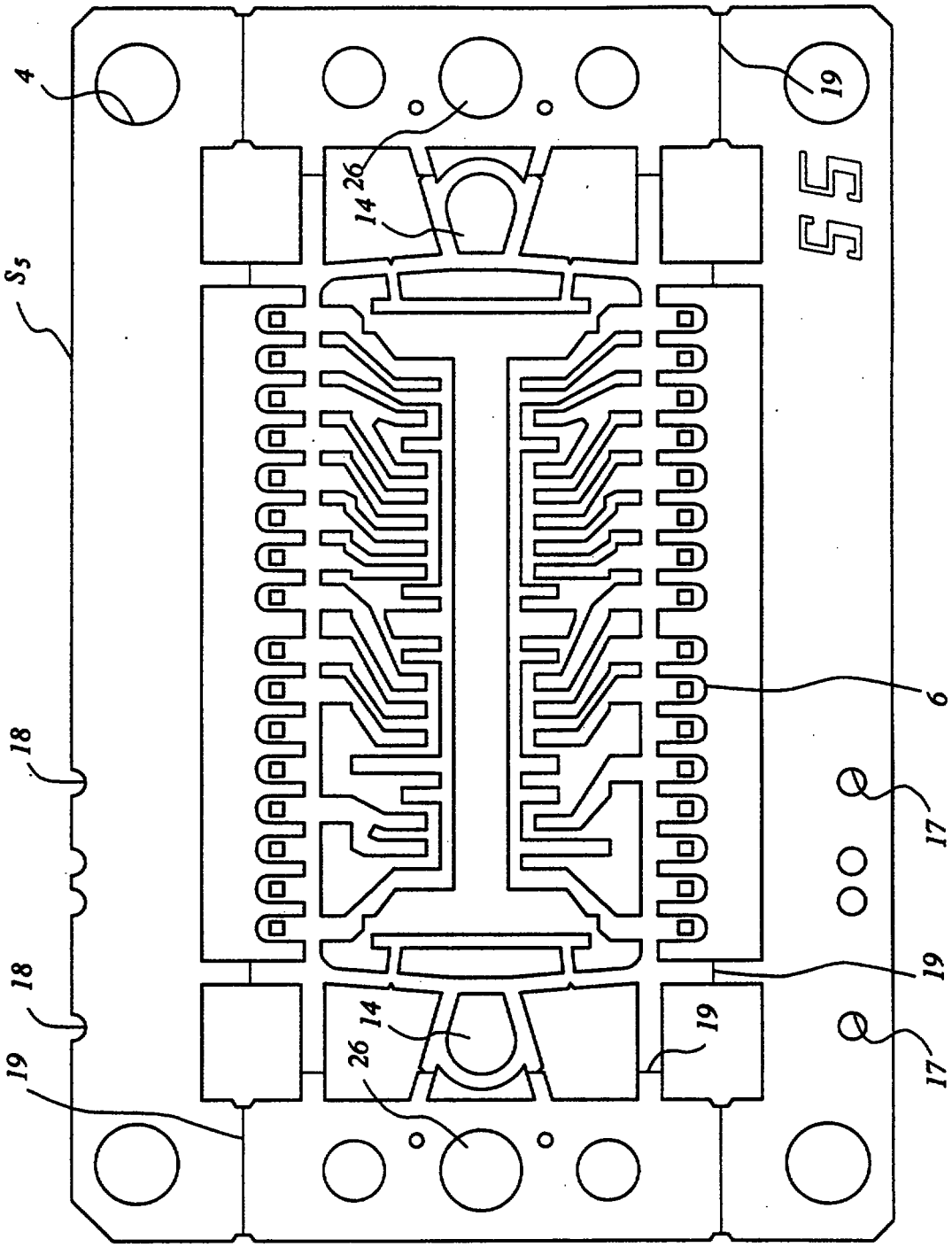
第 26 図



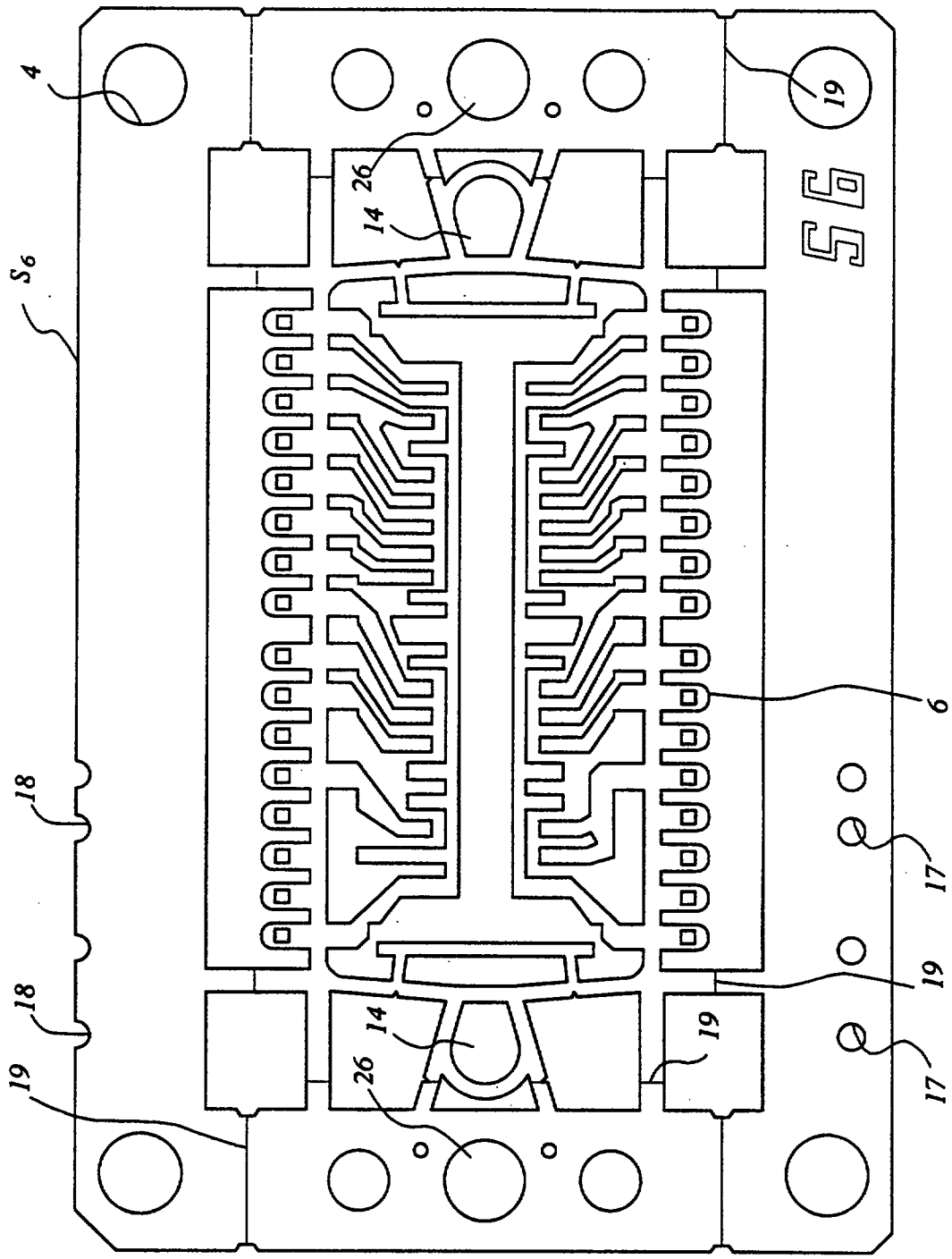
第 27 図



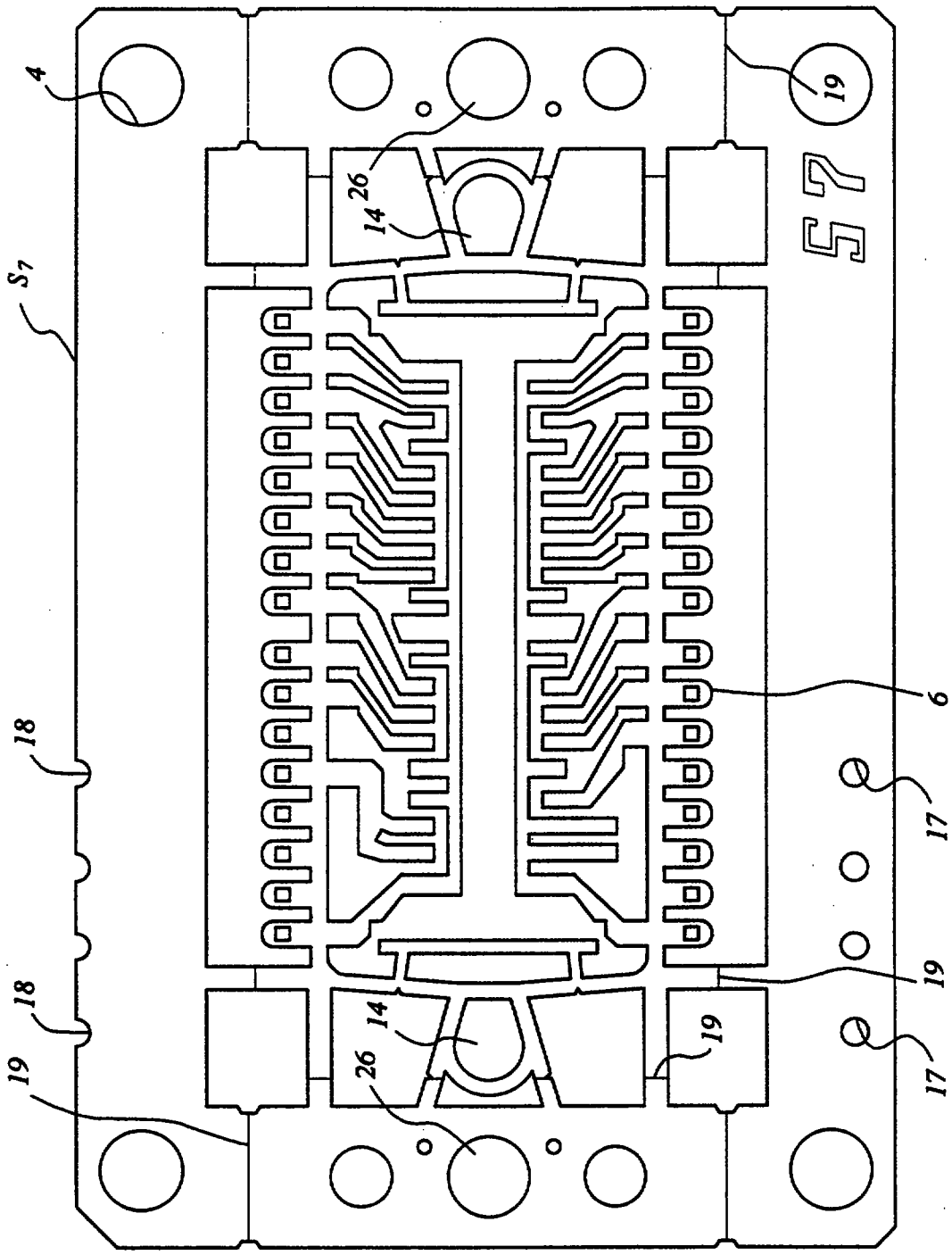
第 28 図



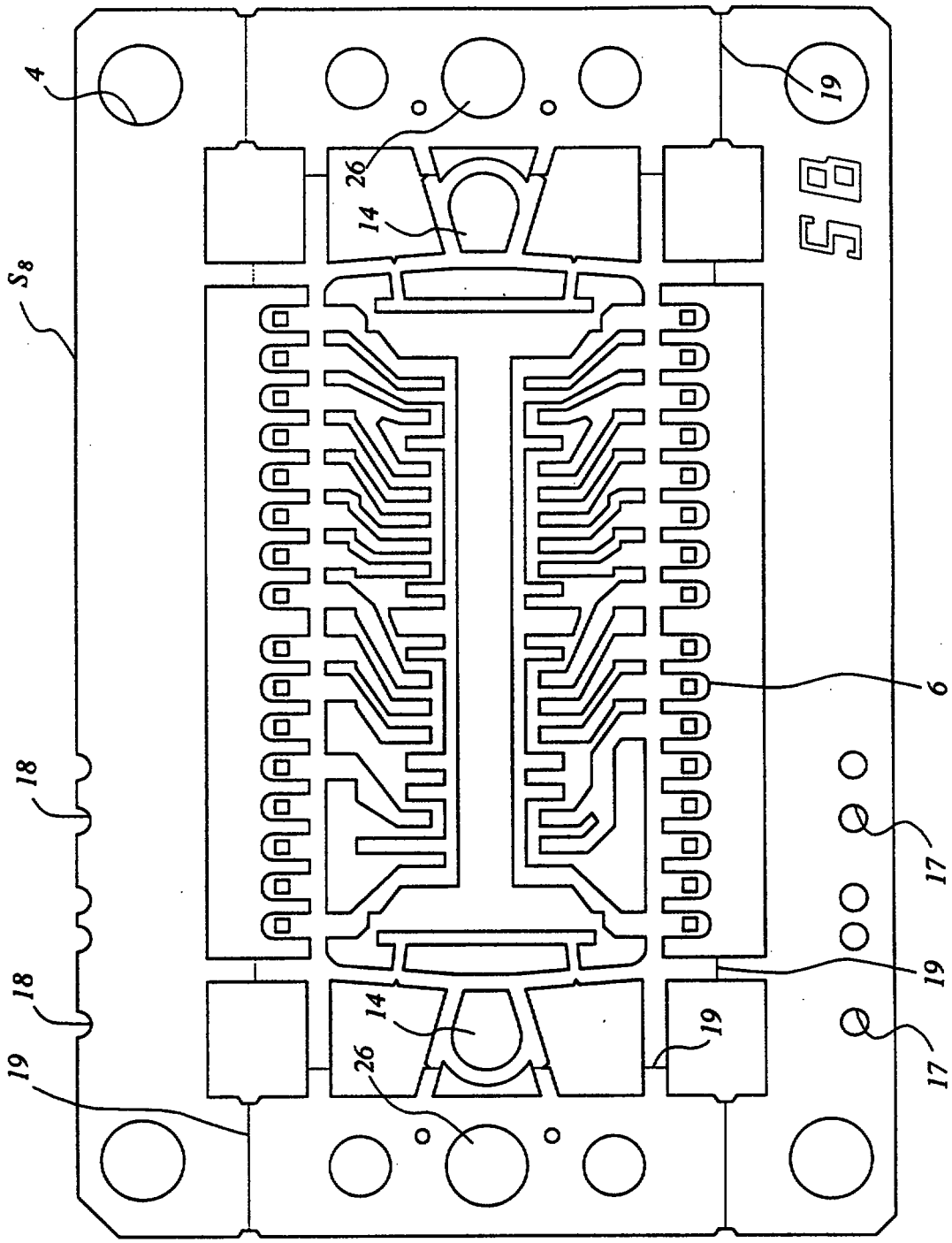
第 29 図



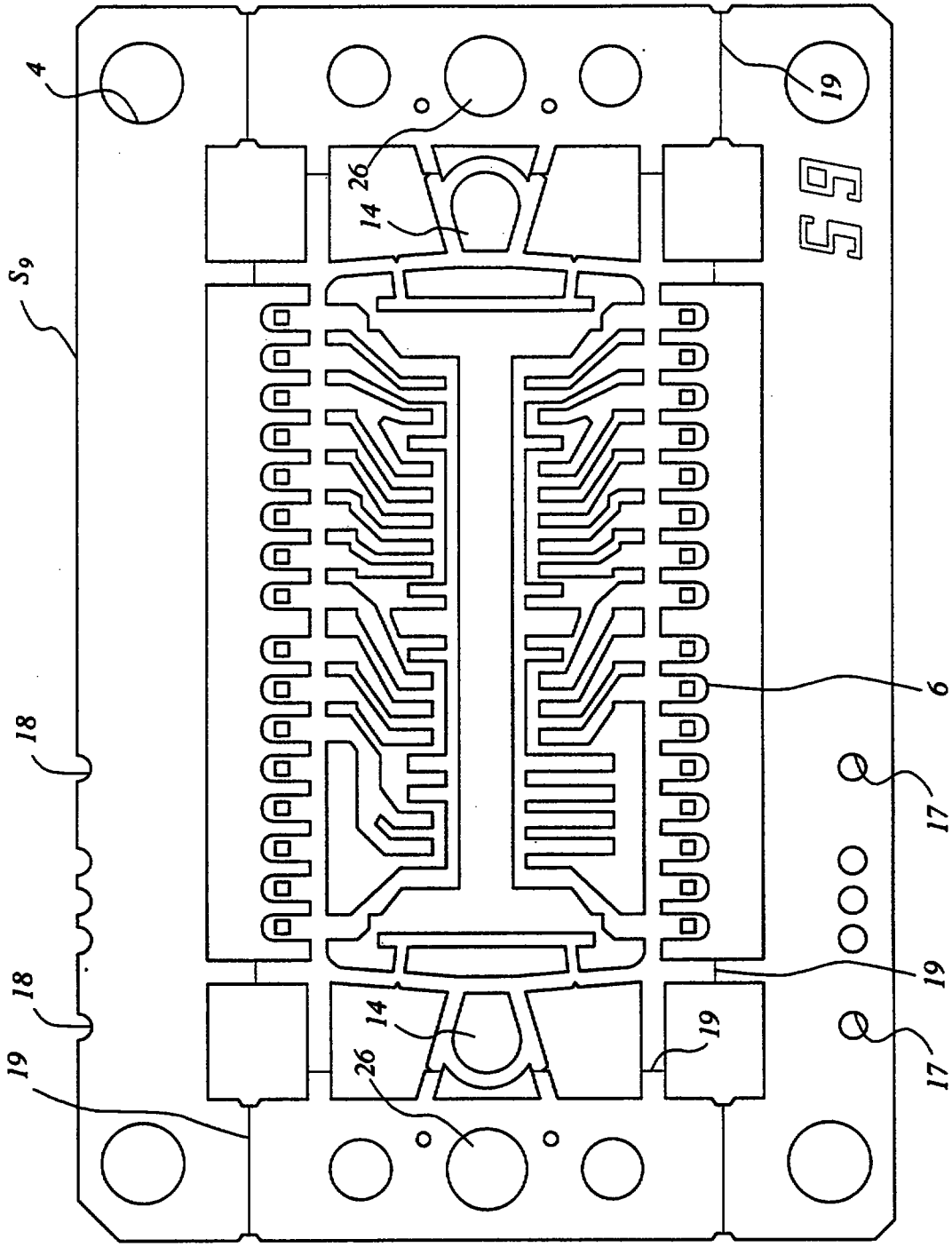
第 30 図



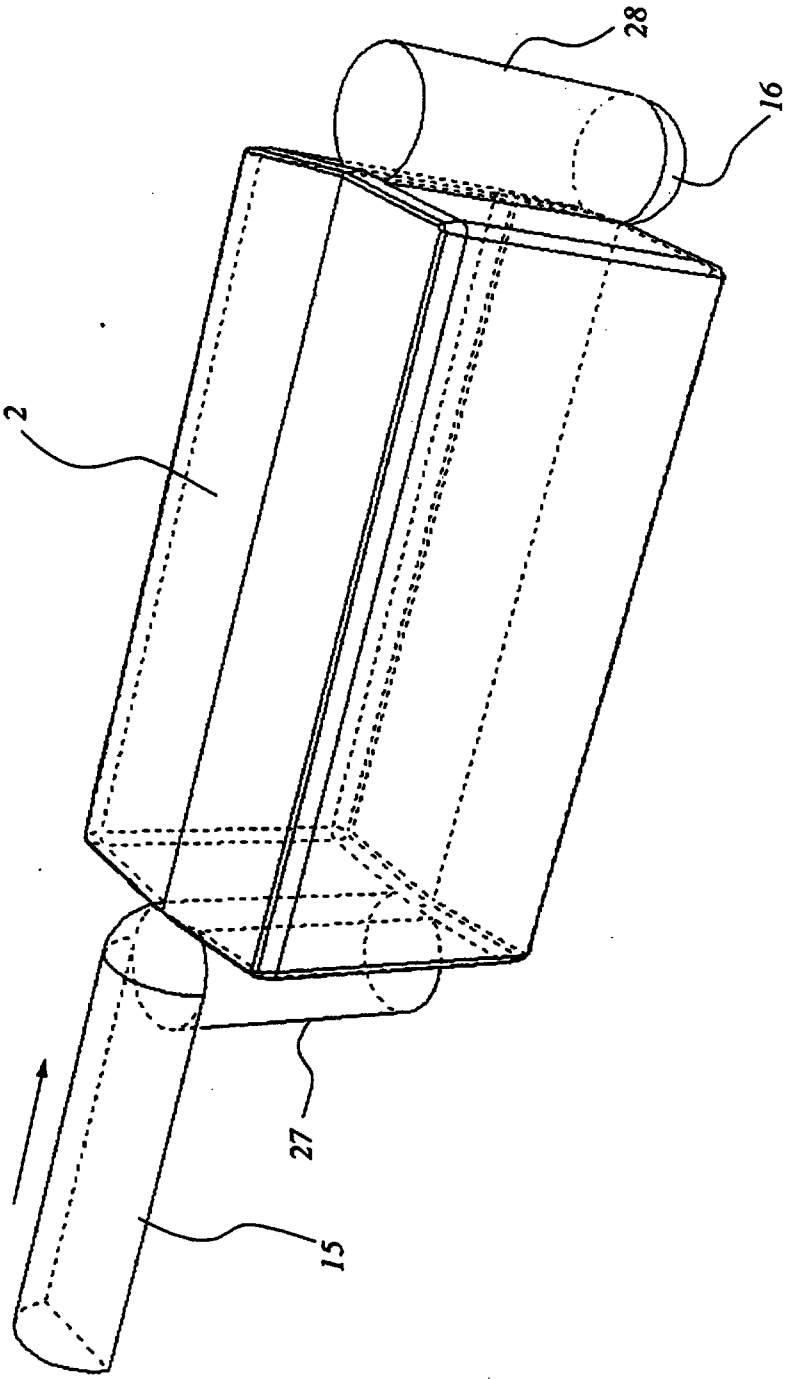
第 31 図



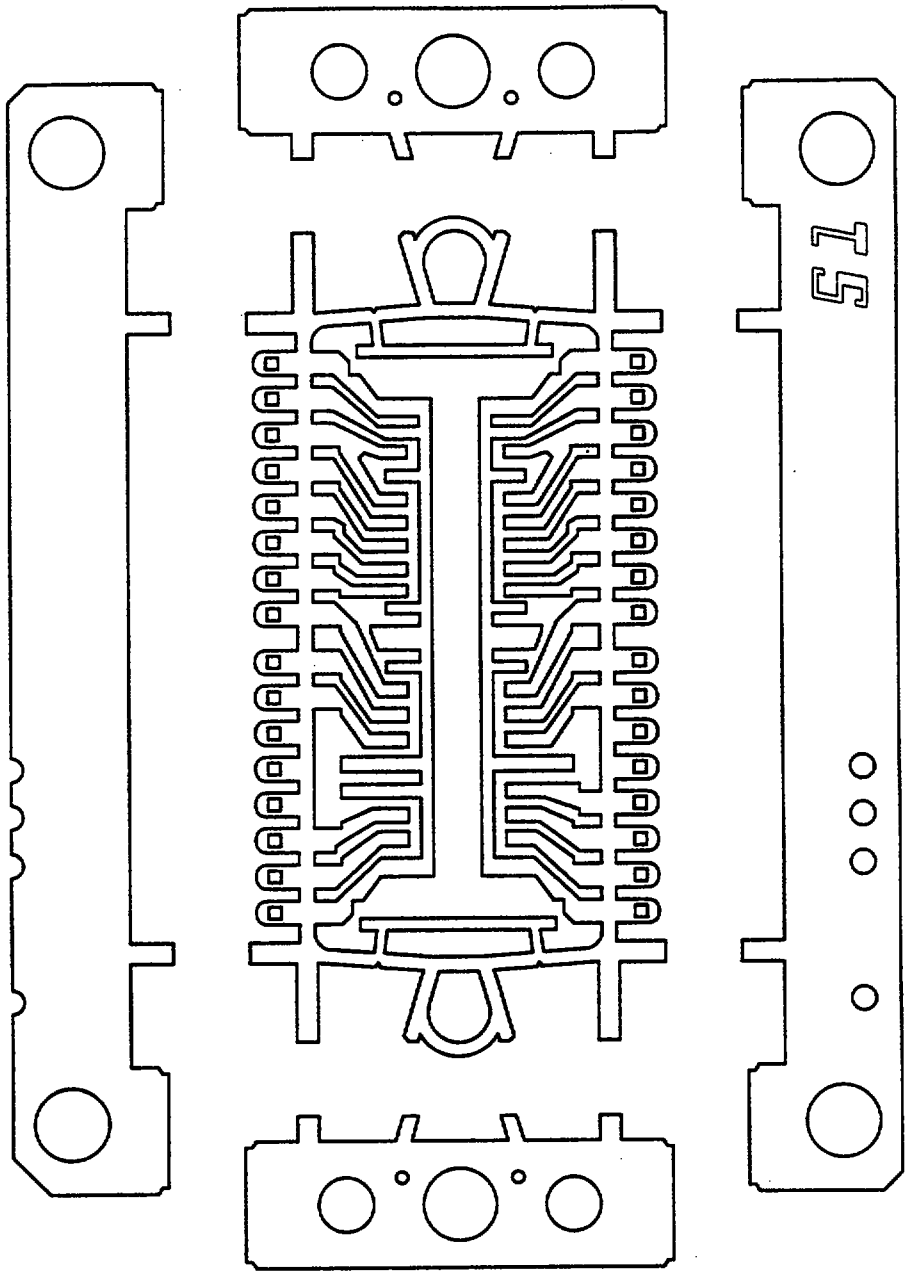
第 32 図



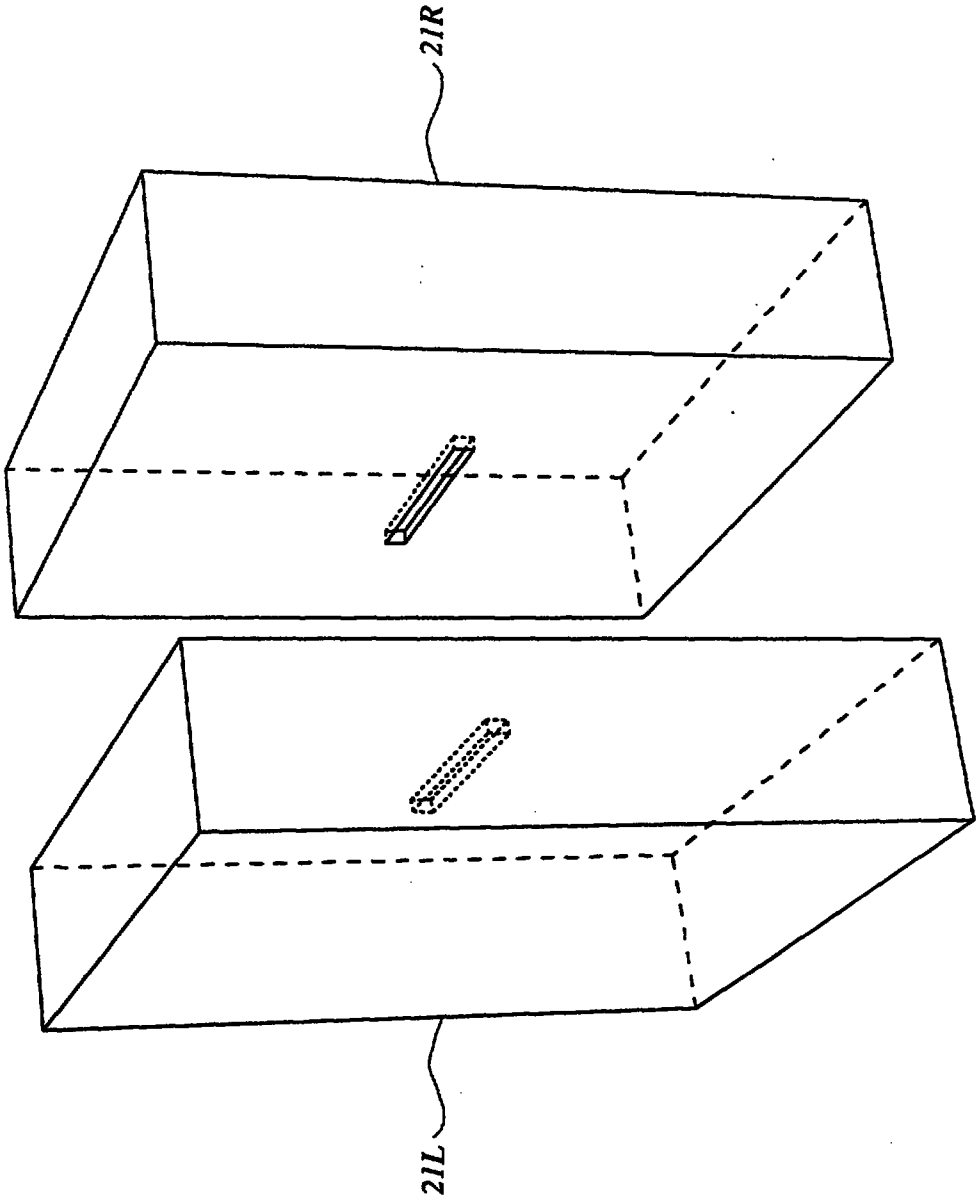
第 33 図



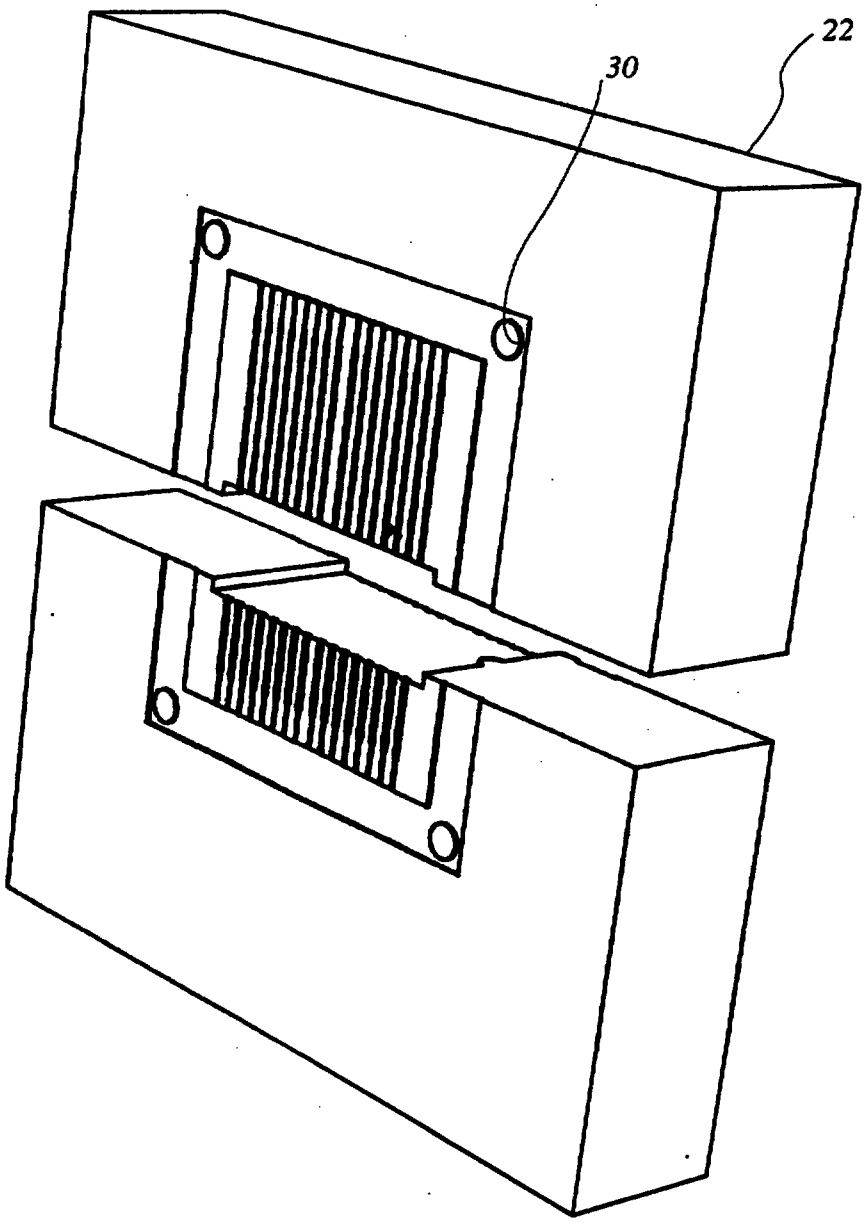
第 34 図



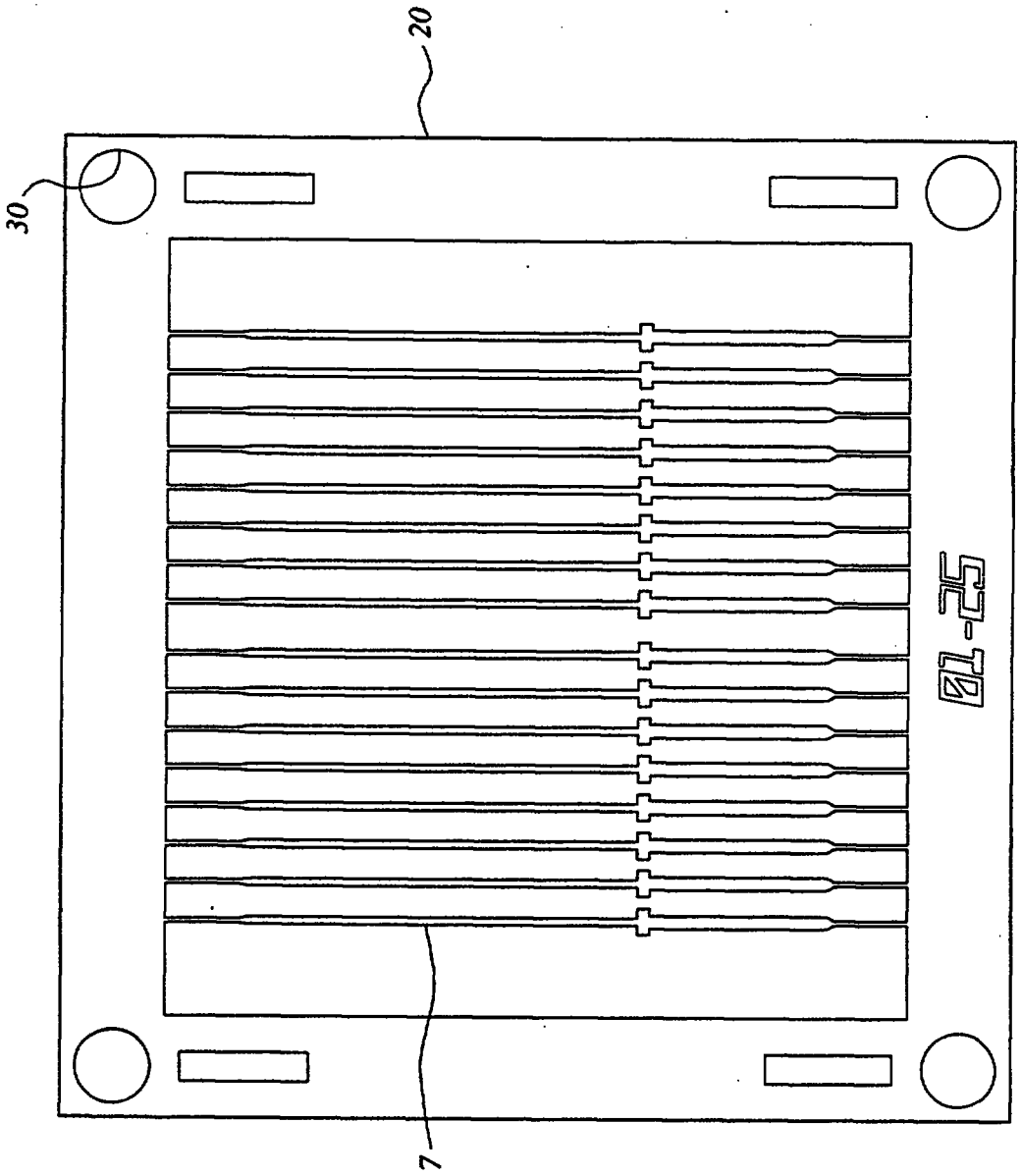
第 35 図



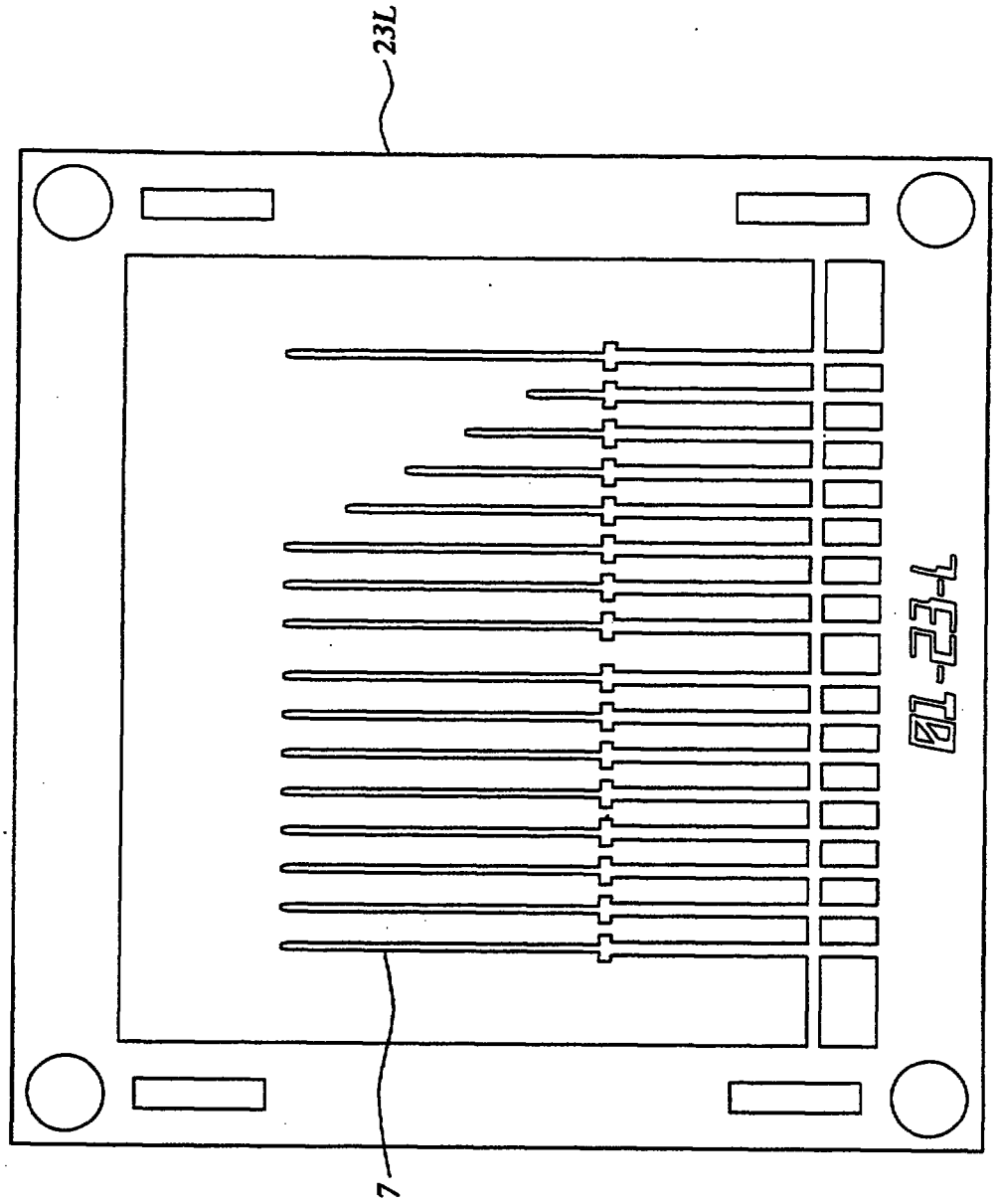
第 36 図



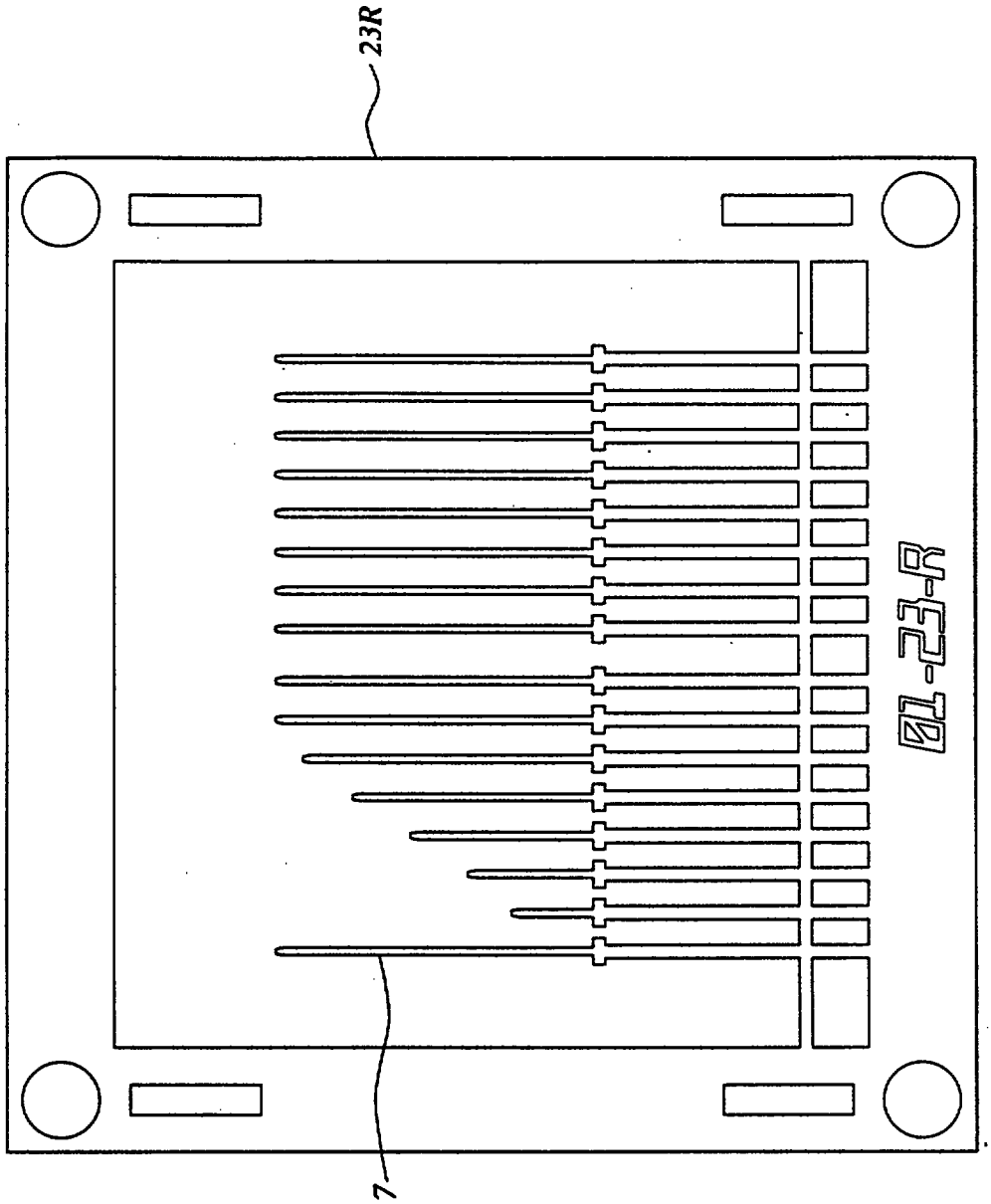
第 37 図



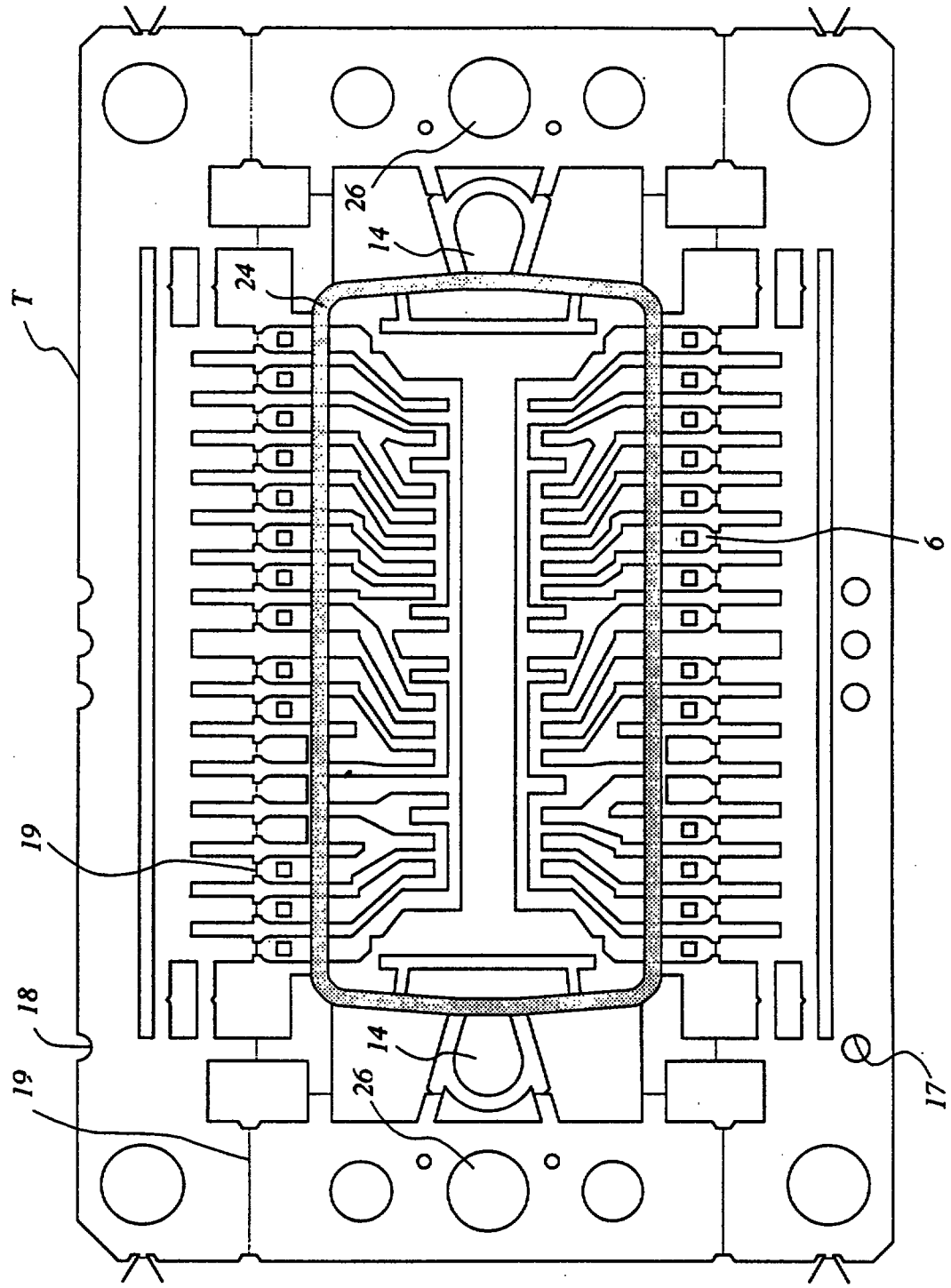
第 38 図



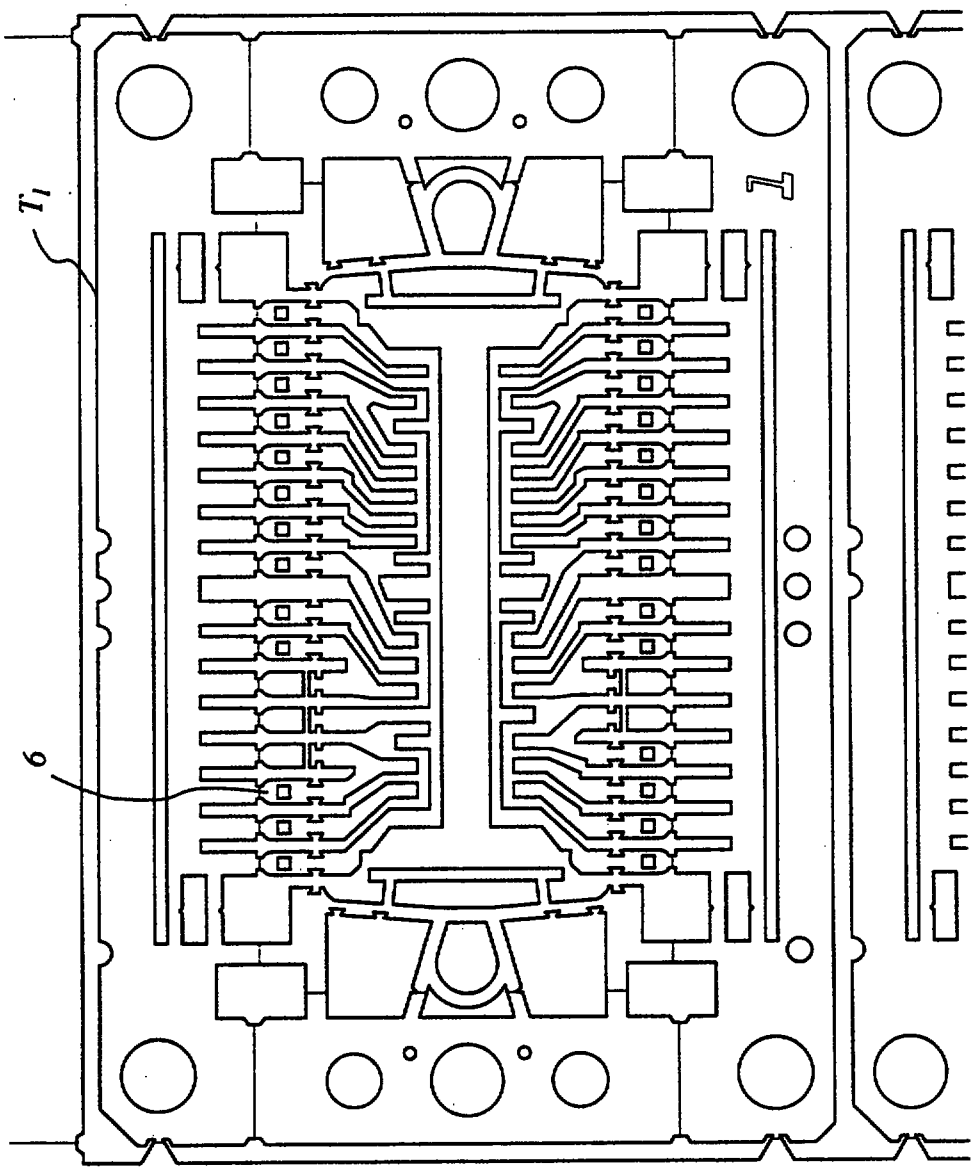
第 39 図



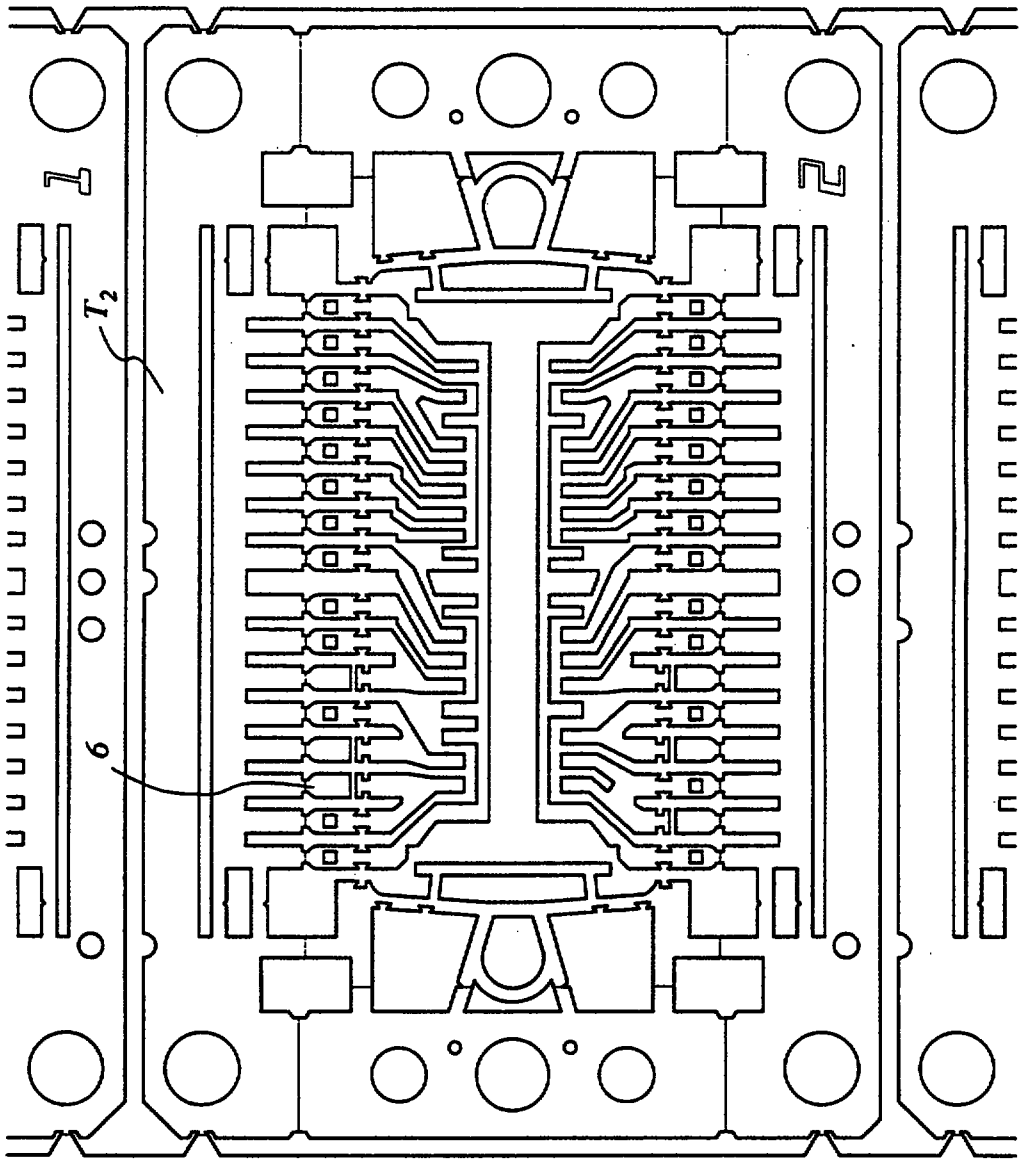
第 40 図



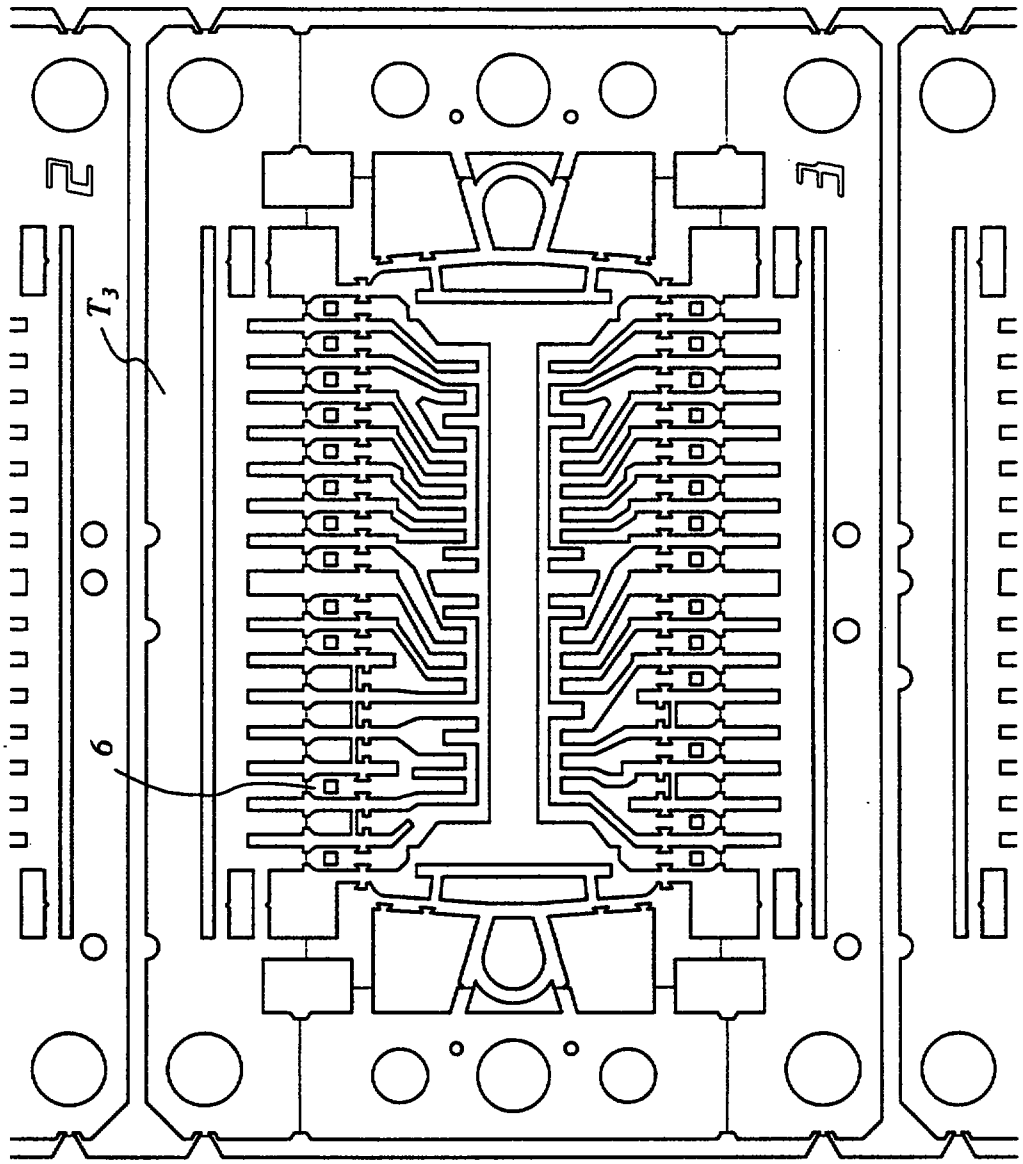
第 41 図



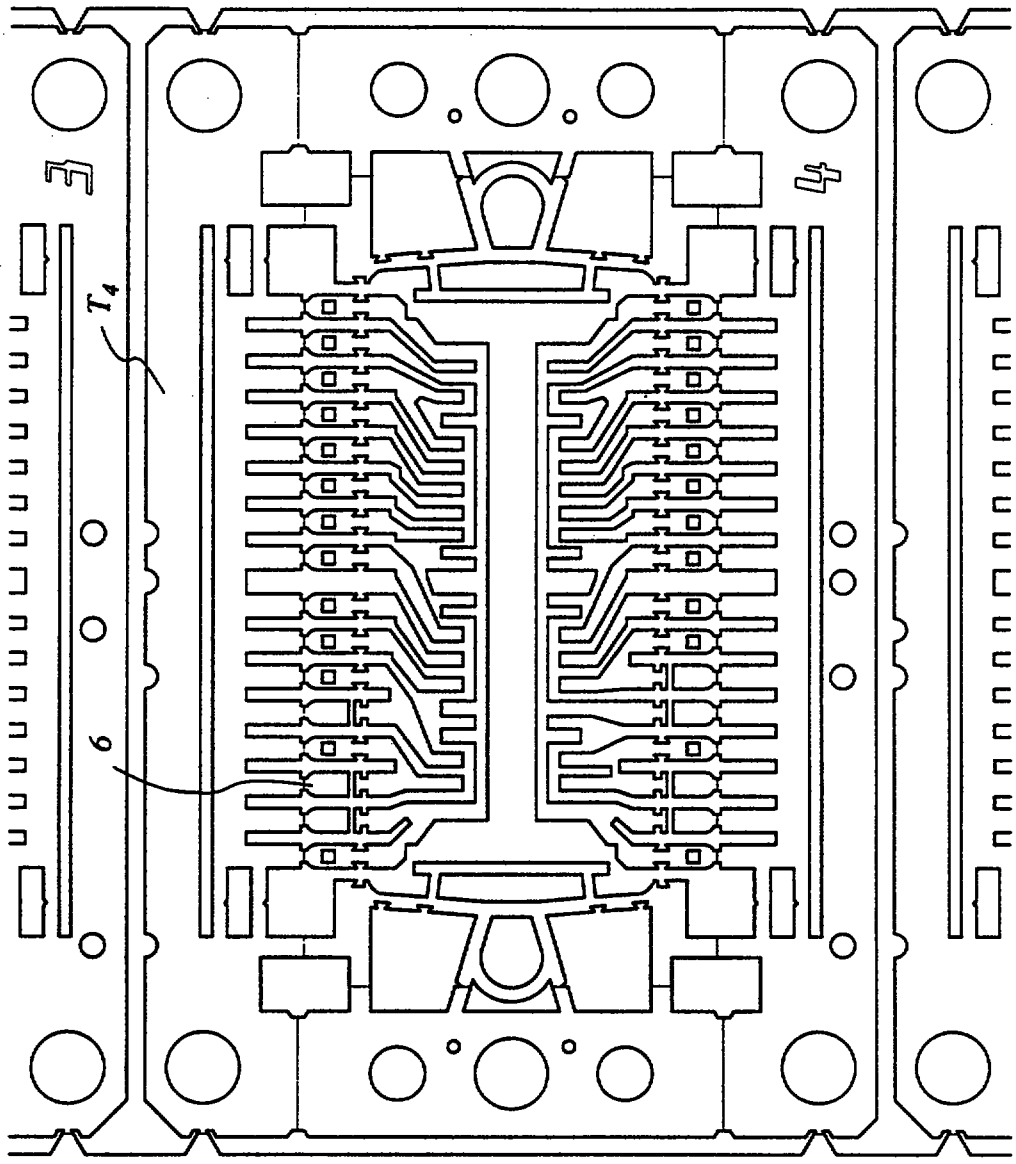
第 42 図



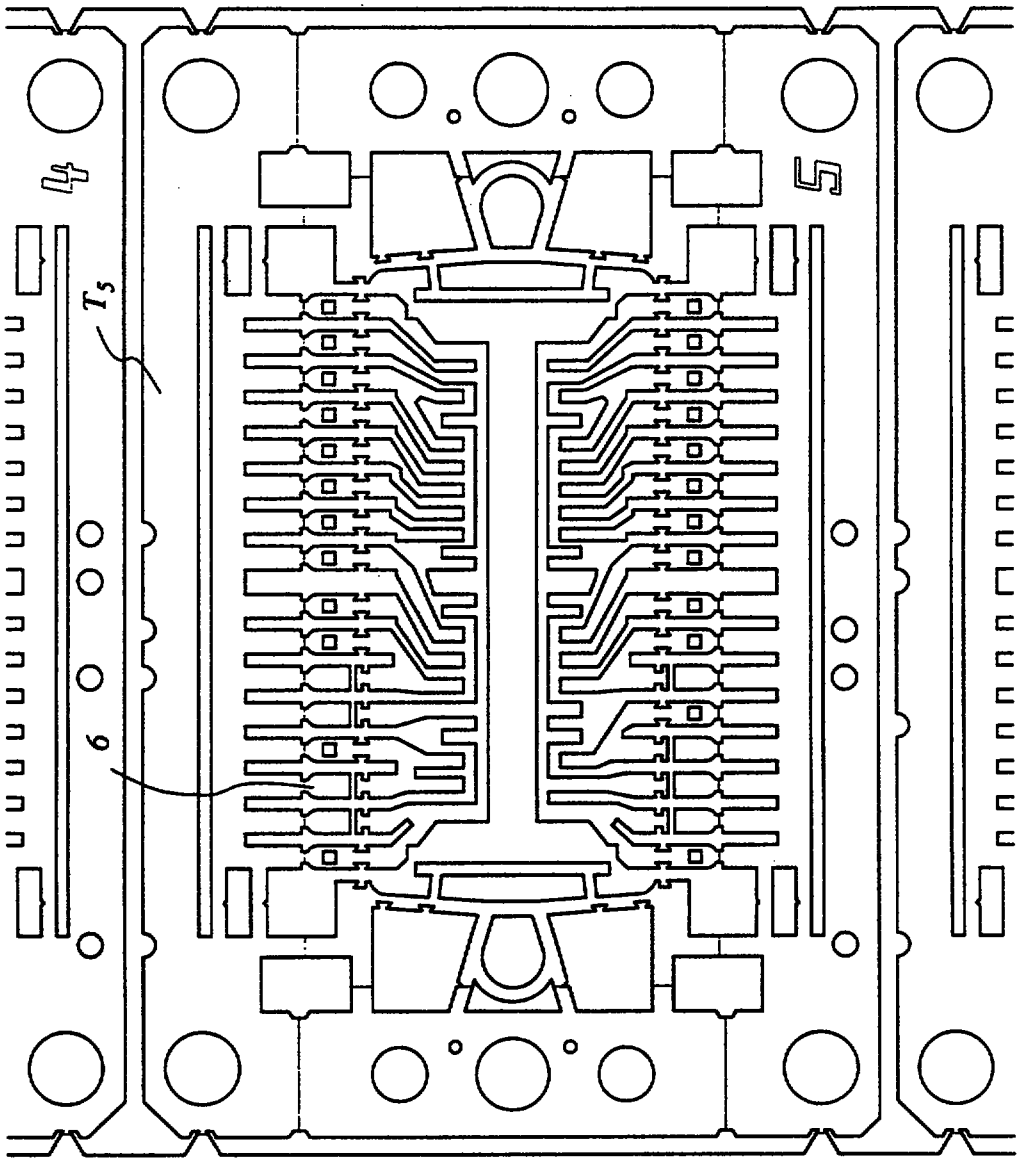
第 43 図



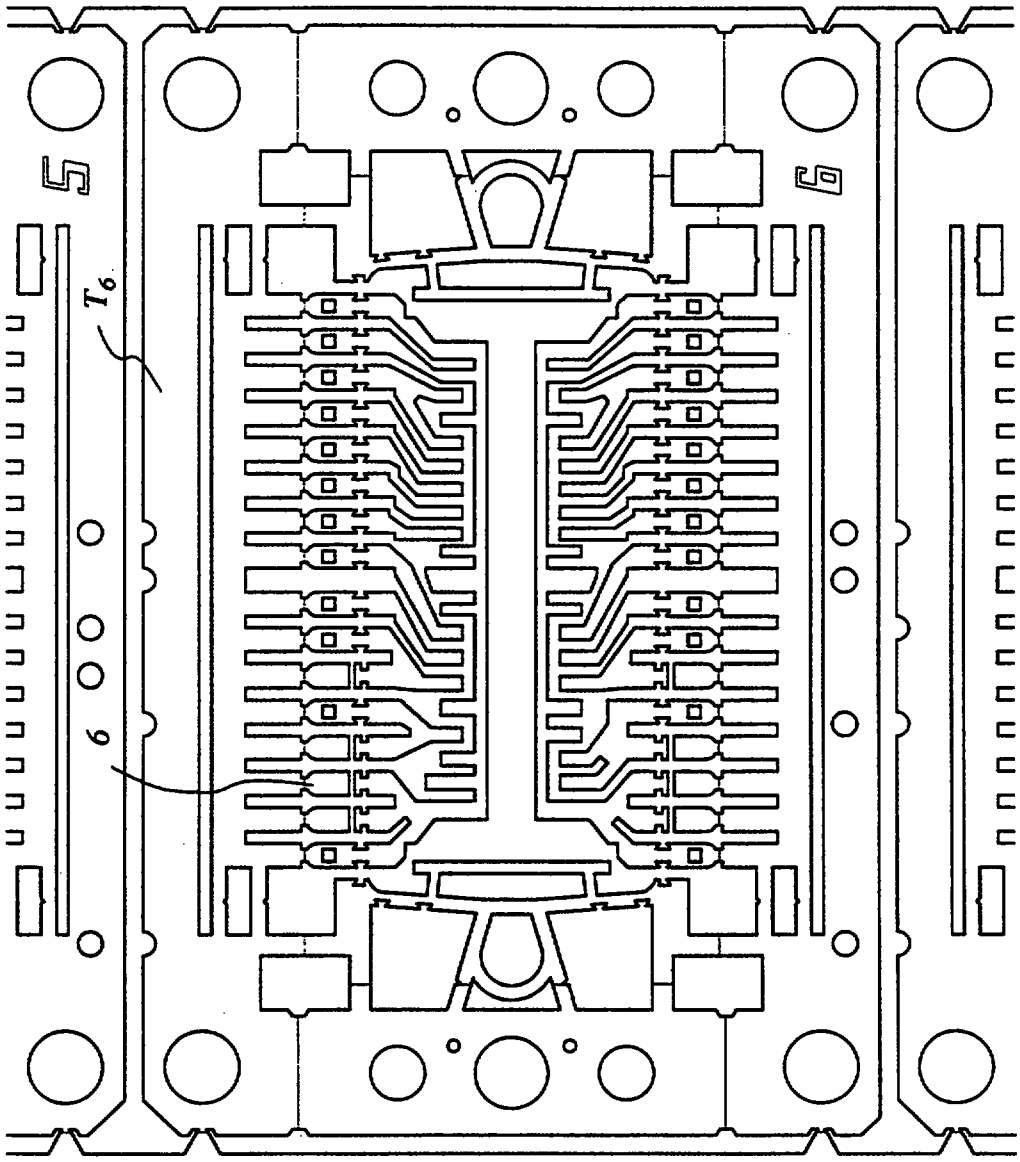
第 44 図



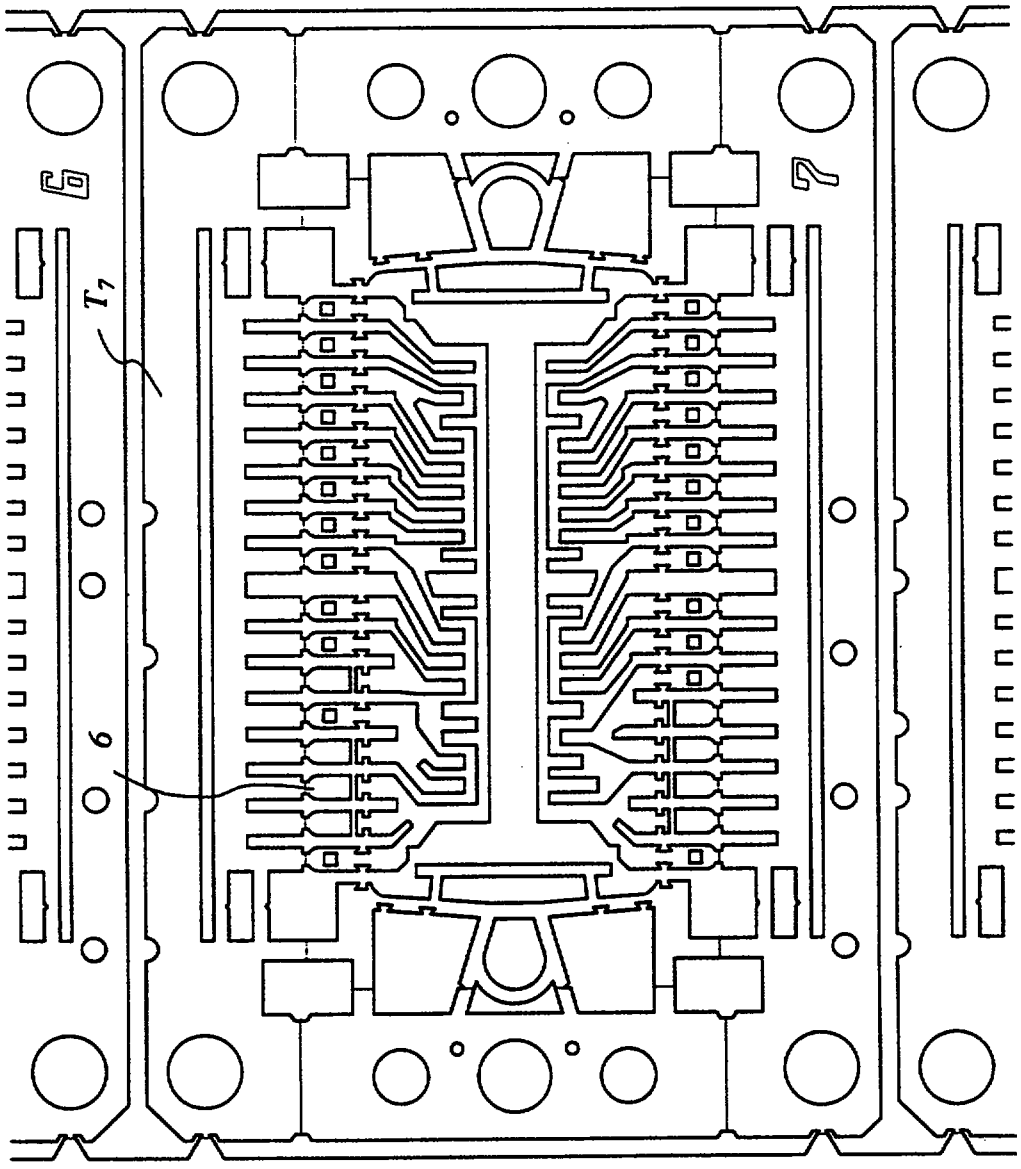
第 45 図



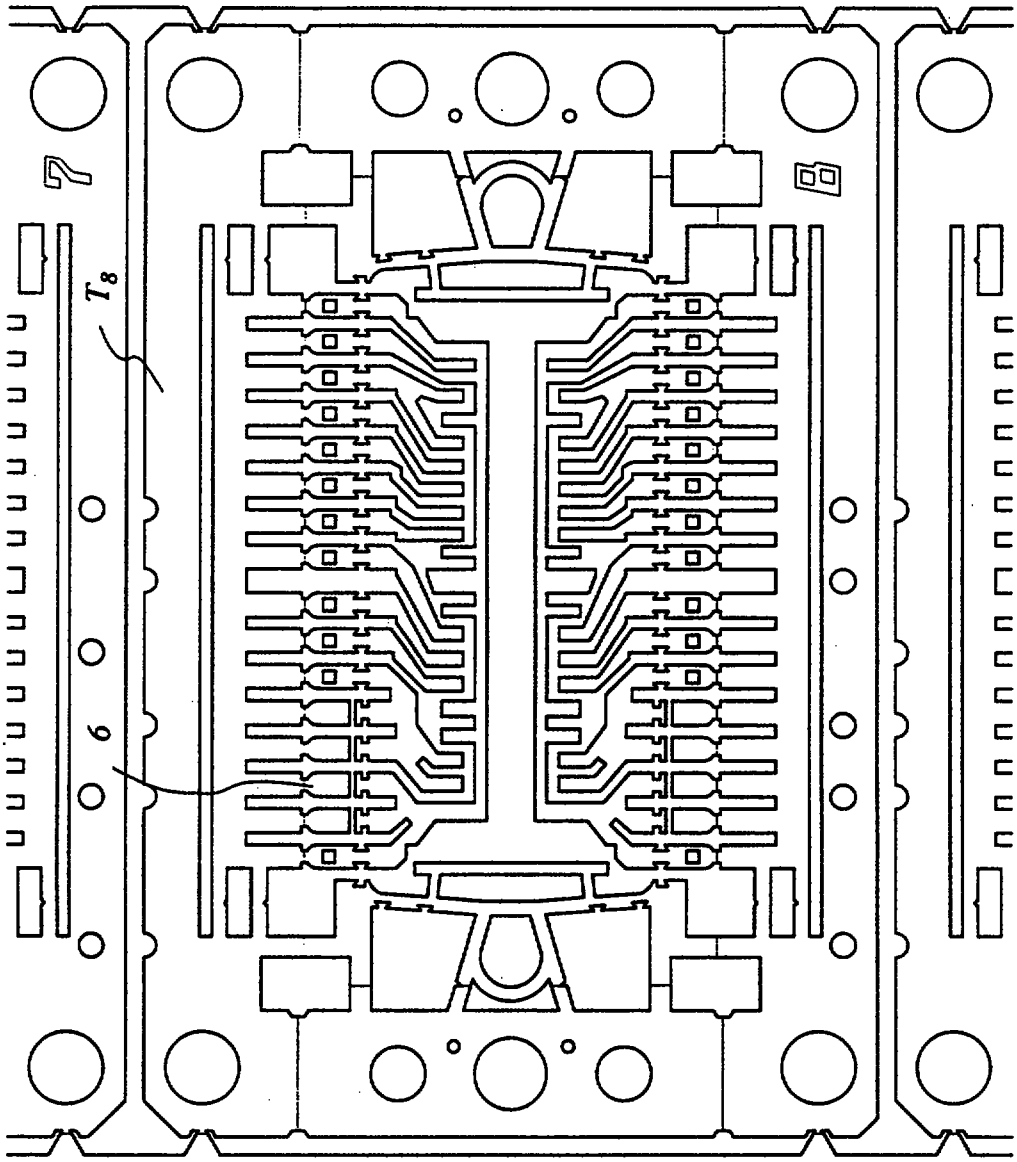
第 46 図



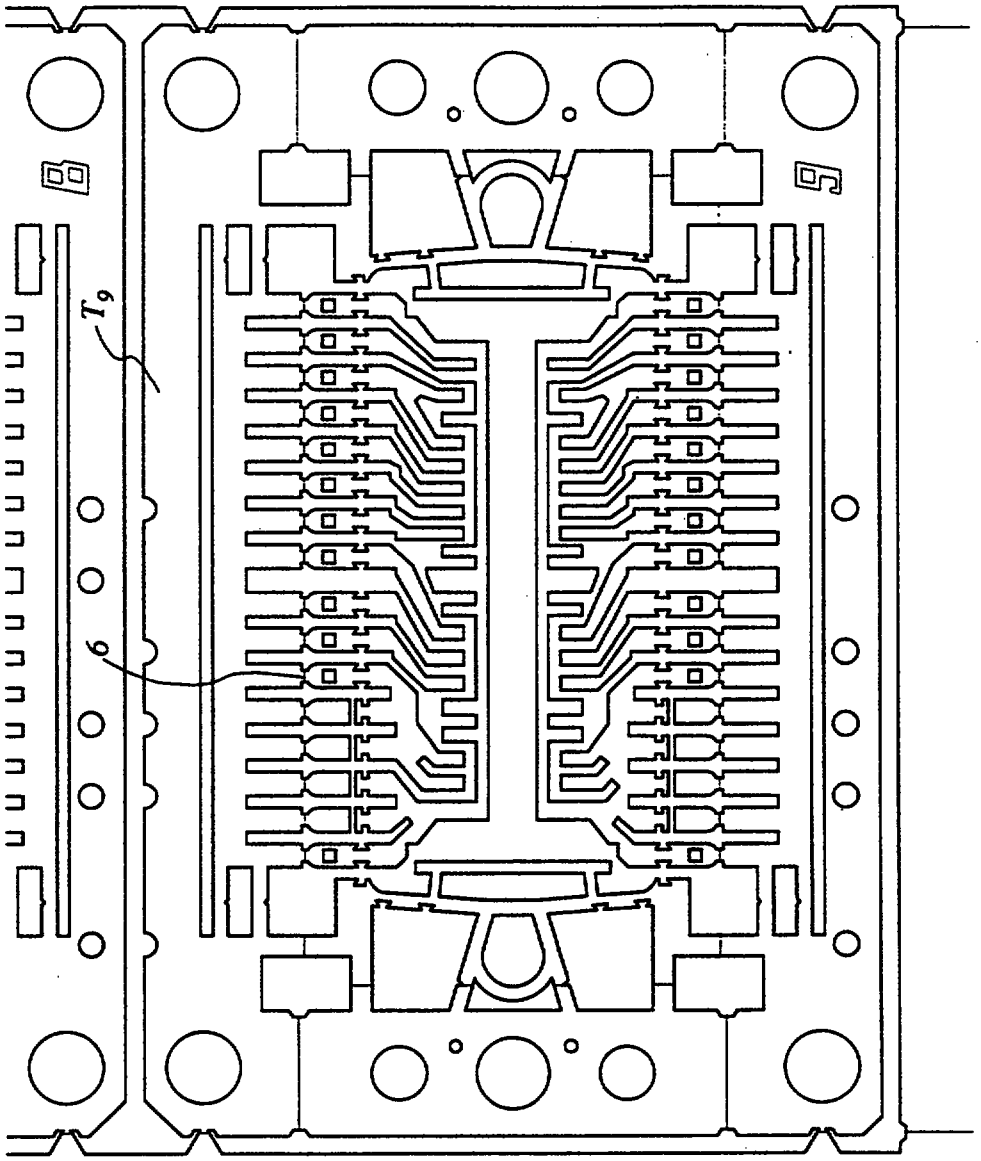
第 47 図



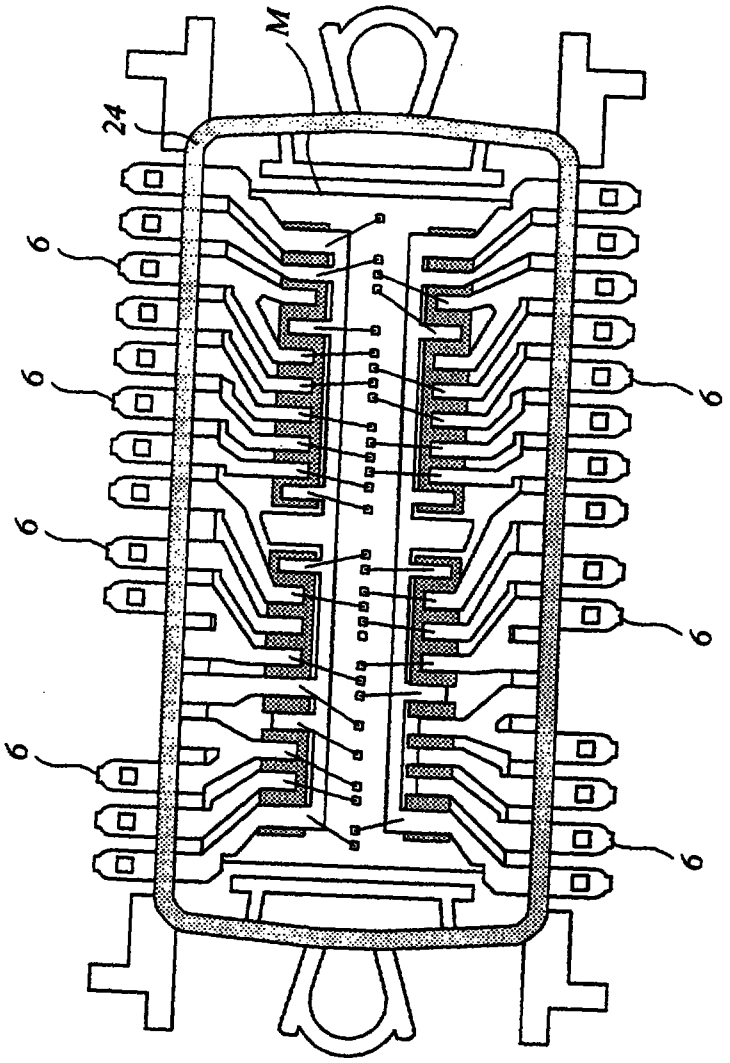
第 48 図



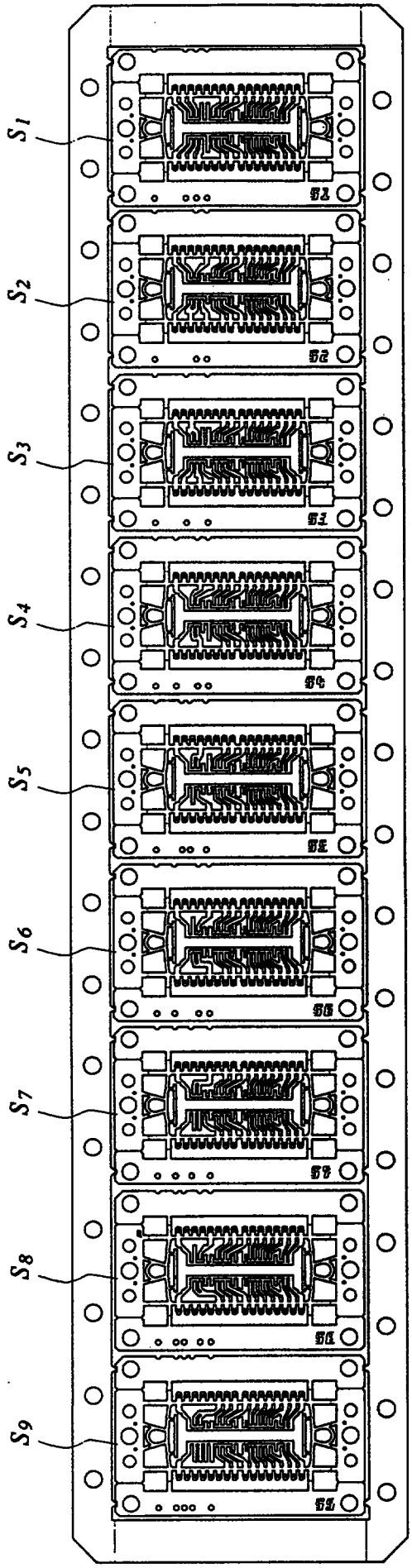
第 49 図



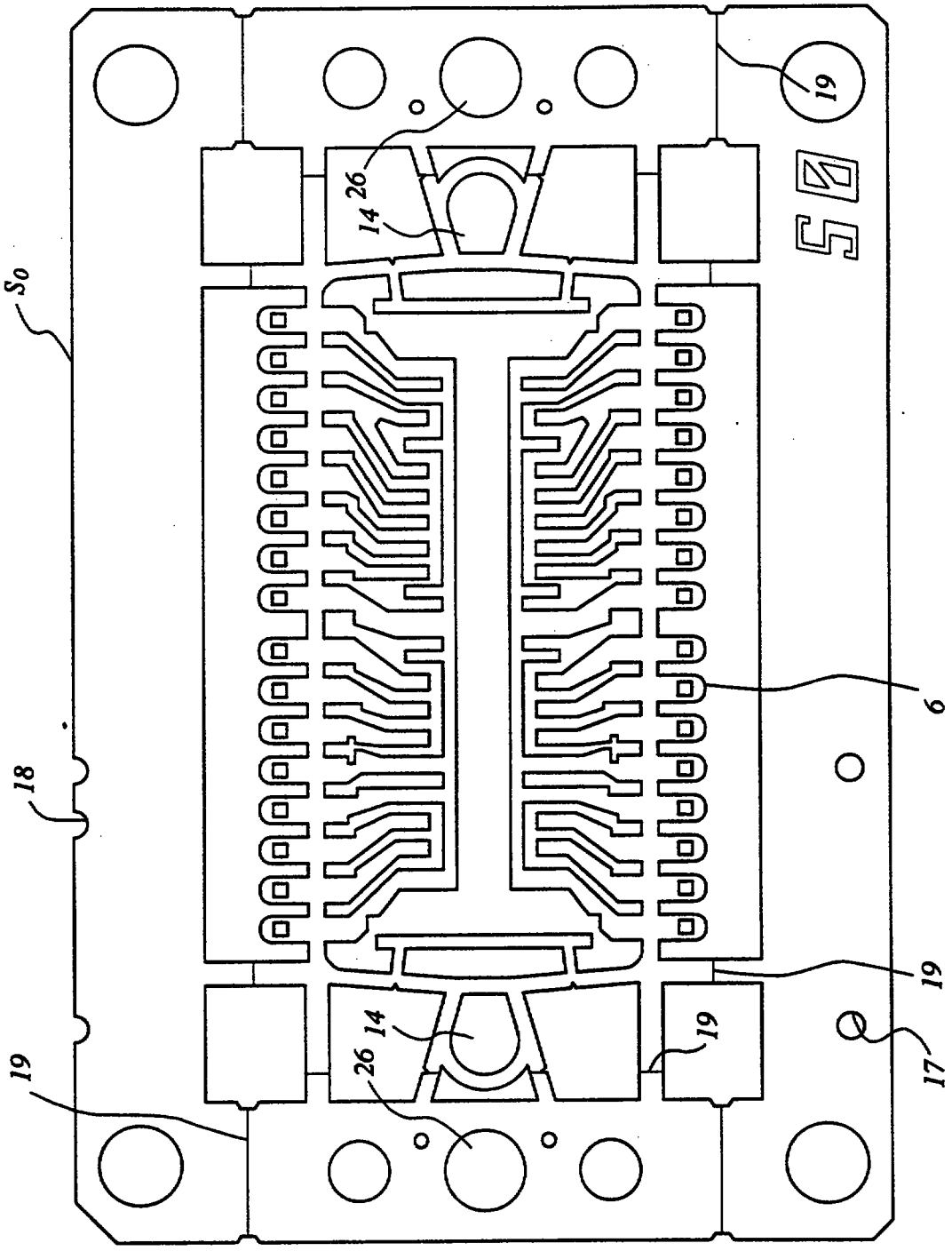
第 50 図



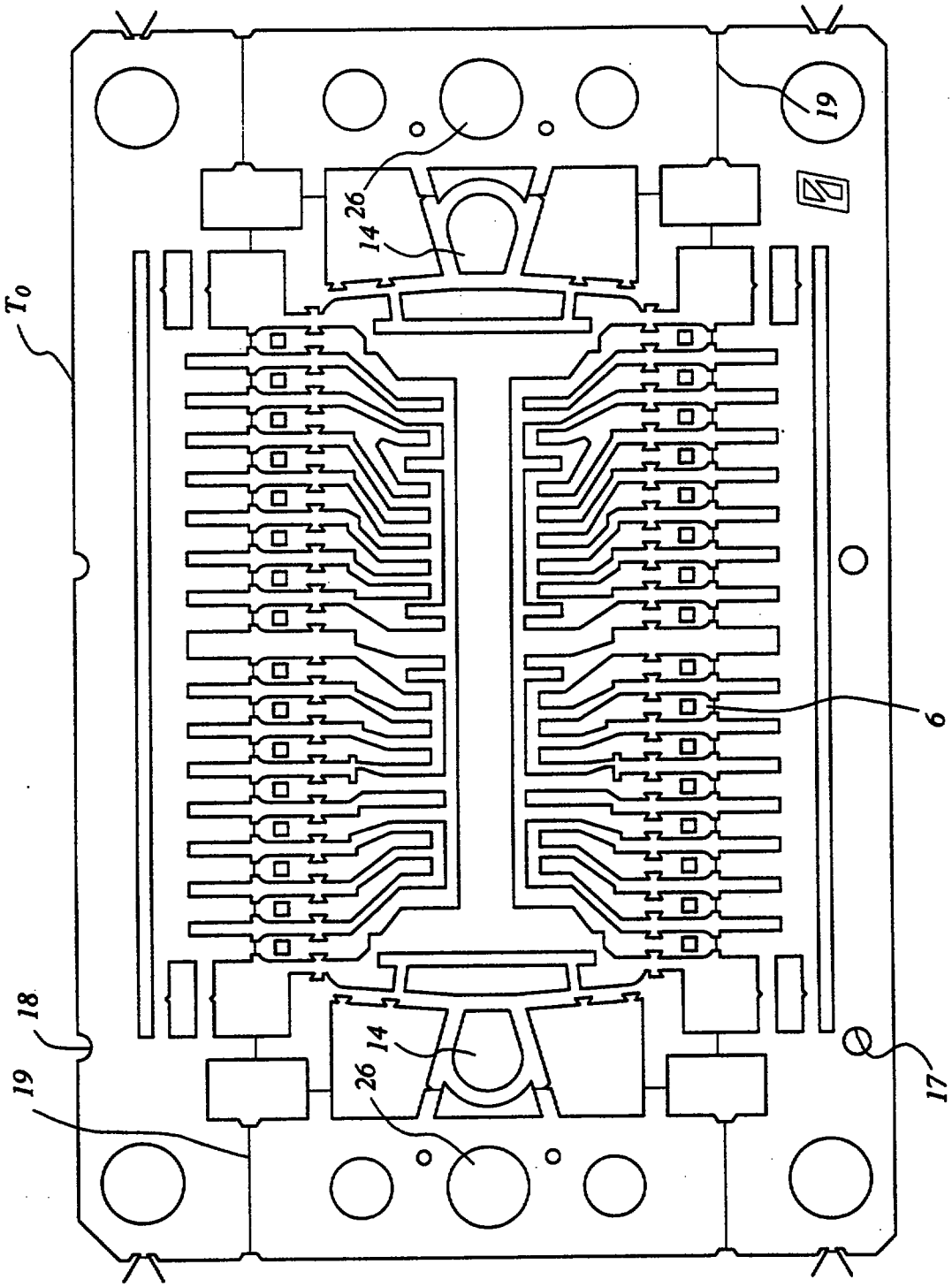
第 51 図



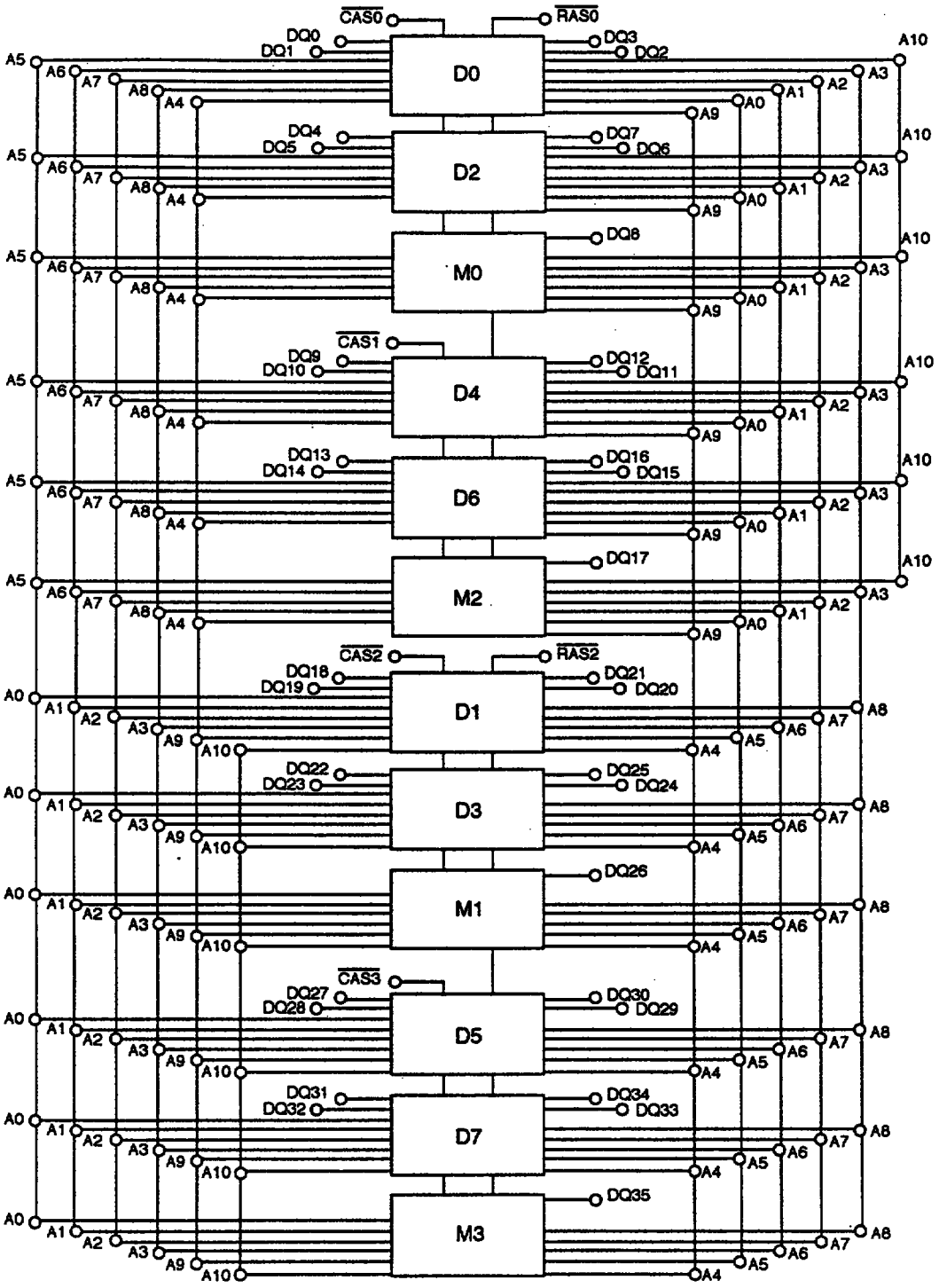
第 52 図



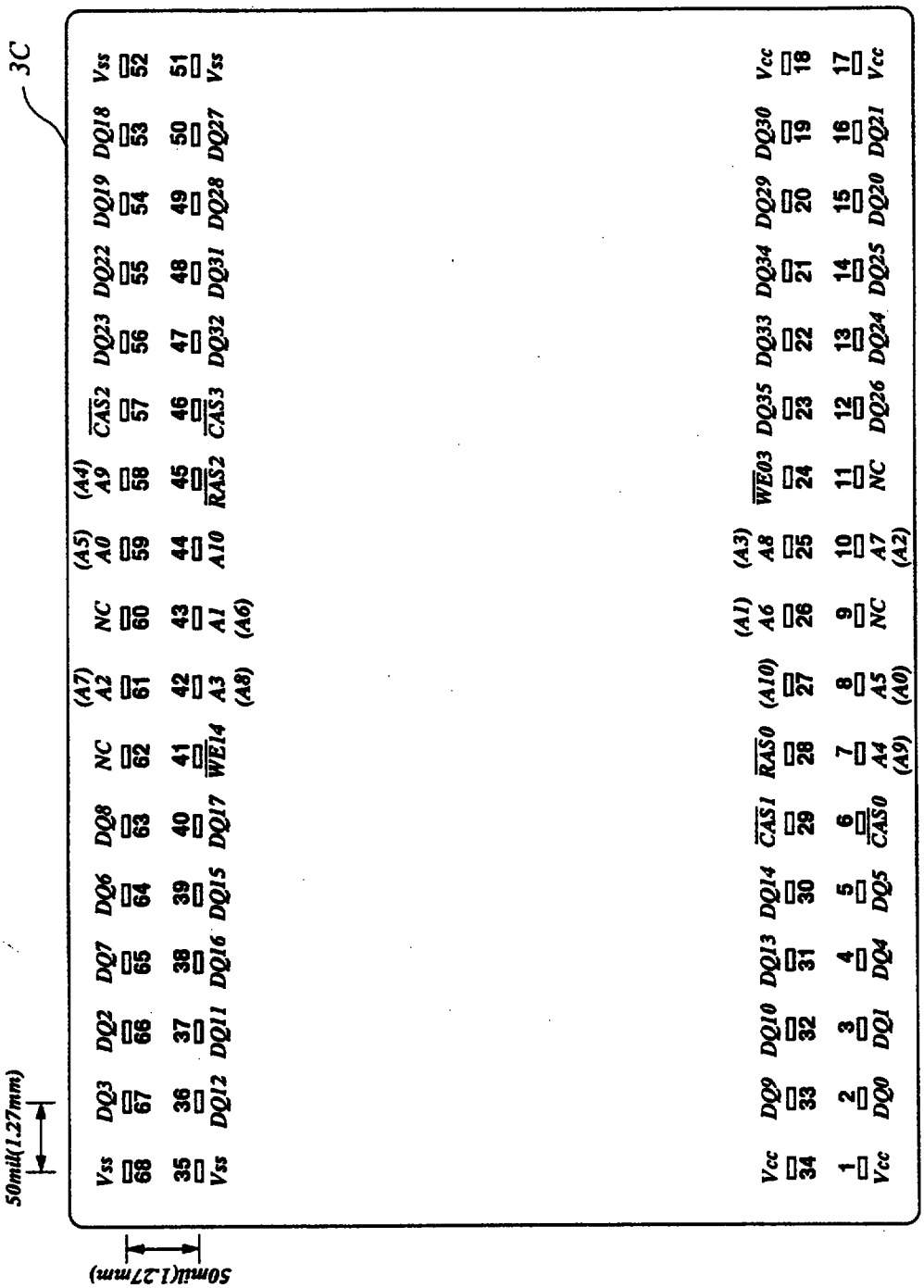
第 53 図



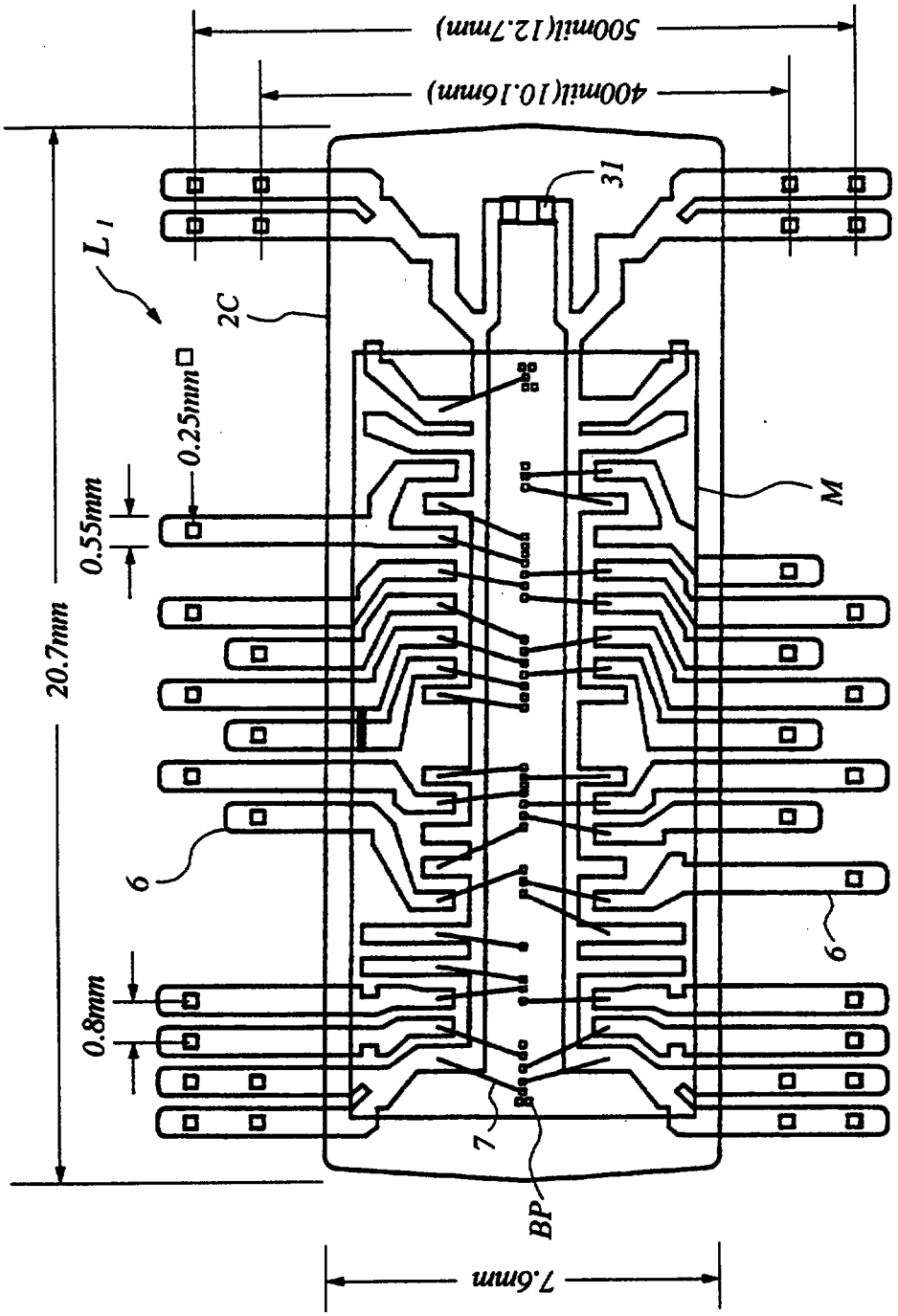
第 54 図


CAS0
RAS0
DQ0
DQ1
DQ3
DQ2
D0
DQ4
DQ5
DQ7
DQ6
D2
DQ8
M0
CAS1
DQ9
DQ10
DQ12
DQ11
D4
DQ13
DQ14
DQ16
DQ15
D6
DQ17
M2
CAS2
RAS2
DQ18
DQ19
DQ21
DQ20
D1
DQ22
DQ23
DQ25
DQ24
D3
DQ26
M1
CAS3
DQ27
DQ28
DQ30
DQ29
D5
DQ31
DQ32
DQ34
DQ33
D7
DQ35
M3
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10

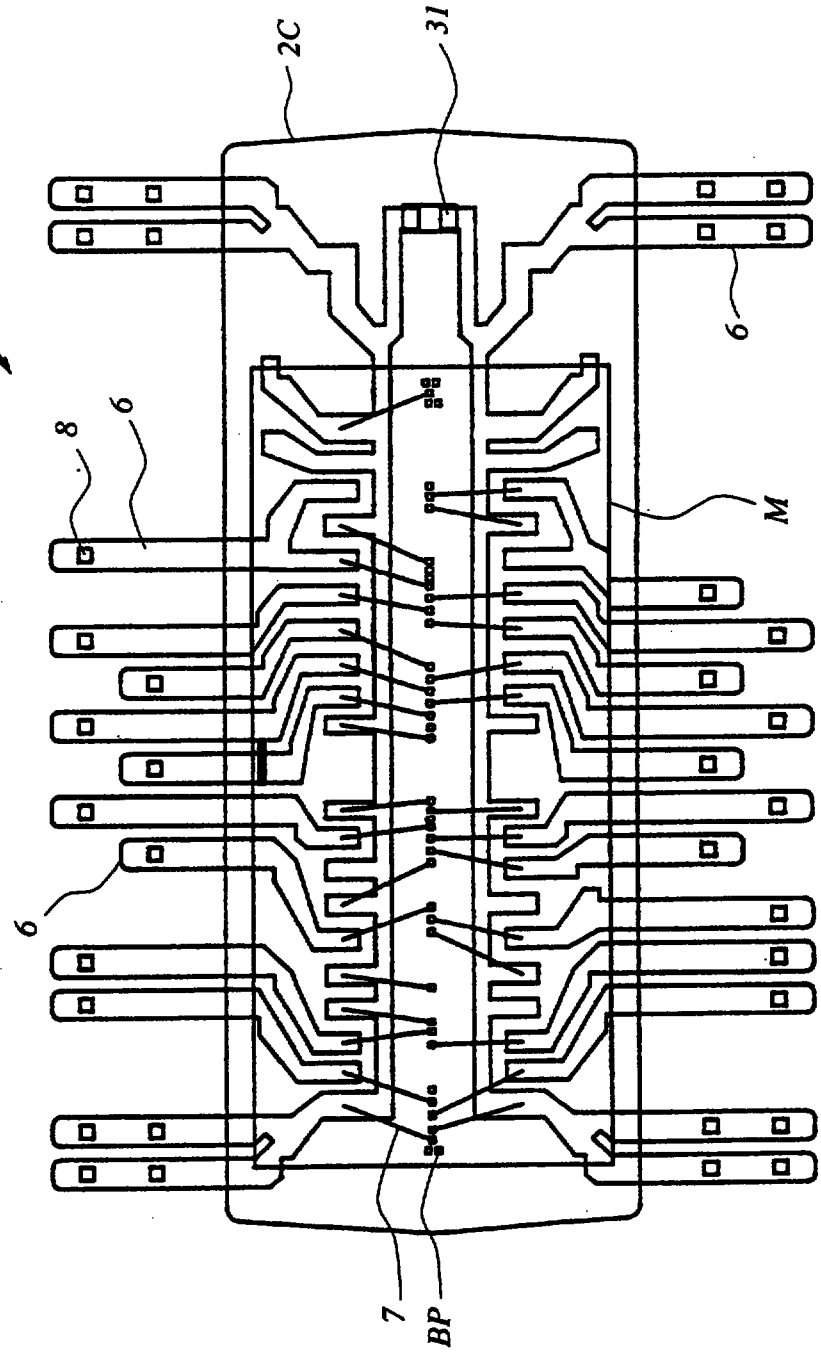
第 55 図


3C
50mil(1.27mm)
50mil(1.27mm)
Vss 68 DQ3 67 DQ2 66 DQ7 65 DQ6 64 DQ8 63 NC 62 (A7) A2 61 NC 60 (A5) A0 59 (A4) A9 58 CAS2 57 DQ23 56 DQ22 55 DQ19 54 DQ18 53 Vss 52
35 Vss 36 DQ12 37 DQ11 38 DQ16 39 DQ15 40 DQ17 41 WE14 42 A3 (A8) 43 A1 (A6) 44 A10 45 RAS2 46 CAS3 47 DQ32 48 DQ31 49 DQ28 50 DQ27 51 Vss
Vcc 34 DQ9 33 DQ10 32 DQ13 31 DQ14 30 CAS1 29 RAS0 28 (A10) 27 (A1) A6 26 (A3) A8 25 WE03 24 DQ35 23 DQ33 22 DQ34 21 DQ29 20 DQ30 19 Vcc 18
1 Vcc 2 DQ0 3 DQ1 4 DQ4 5 DQ5 6 CAS0 7 A4 (A9) 8 A5 (A0) 9 NC 10 A7 (A2) 11 NC 12 DQ26 13 DQ24 14 DQ25 15 DQ20 16 DQ21 17 Vcc

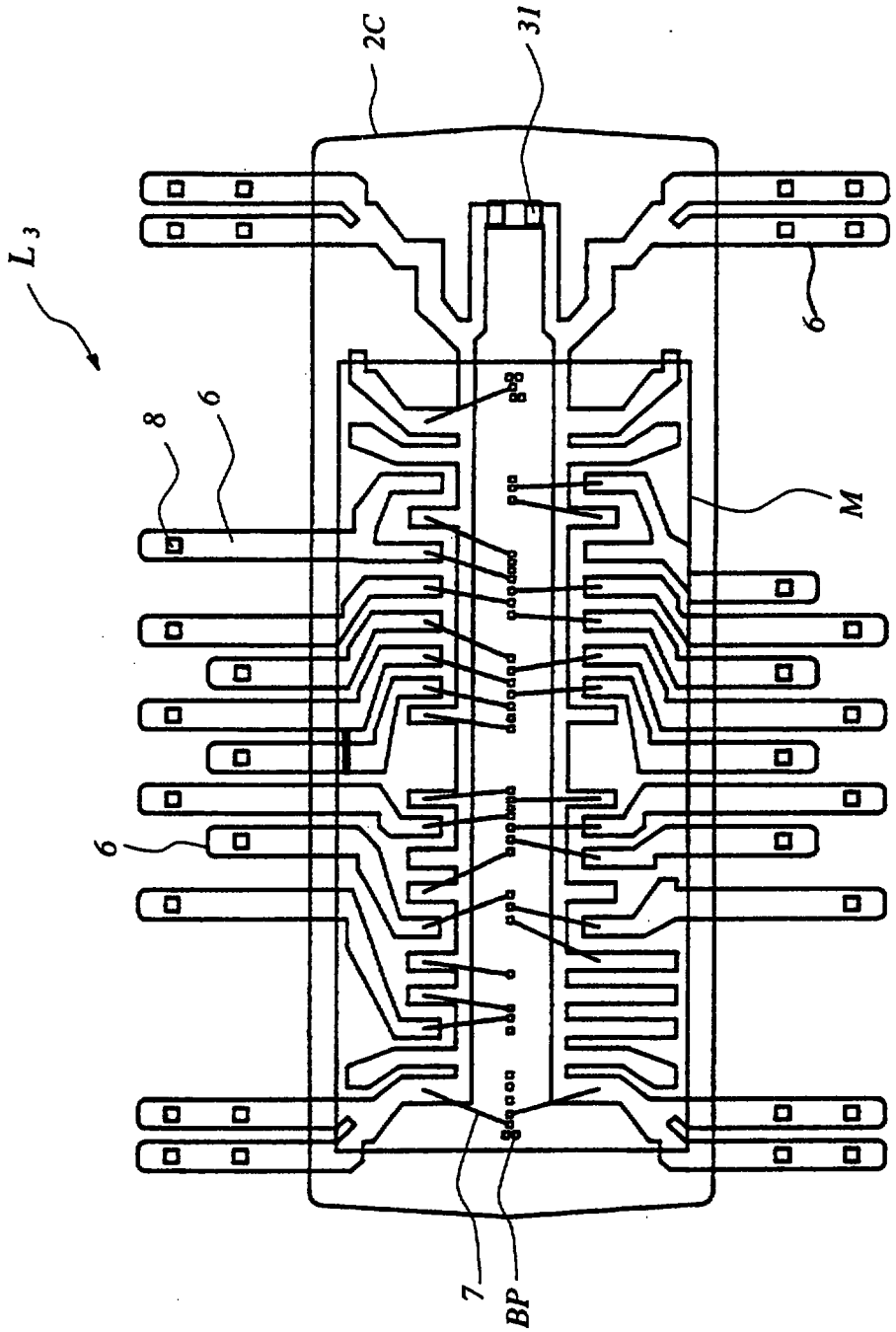
第 56 図


500mil(12.7mm)
400mil(10.16mm)
31
L_1
2C
0.25mm
0.55mm
20.7mm
M
6
6
0.8mm
7
BP
7.6mm

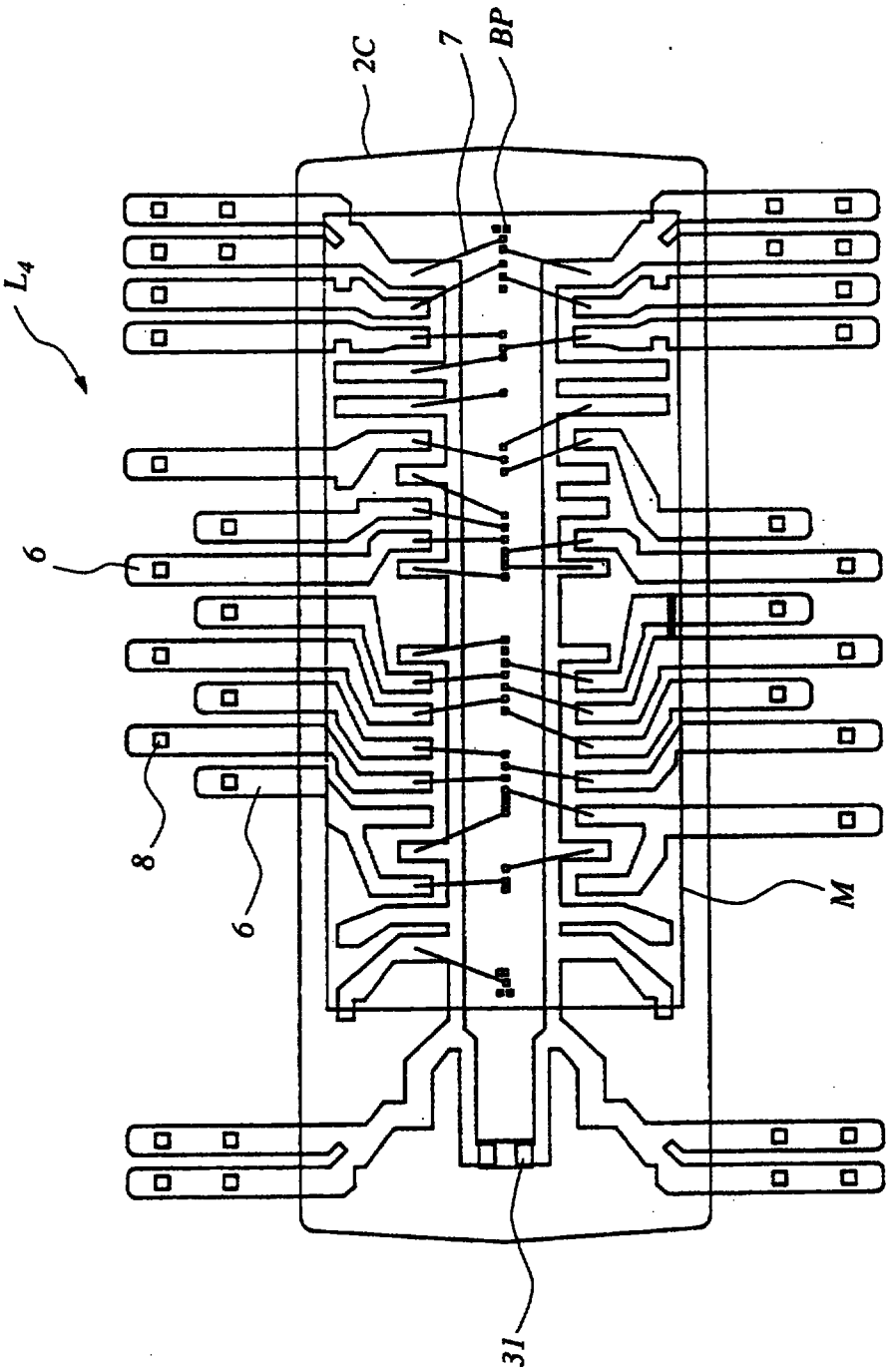
第 57 図



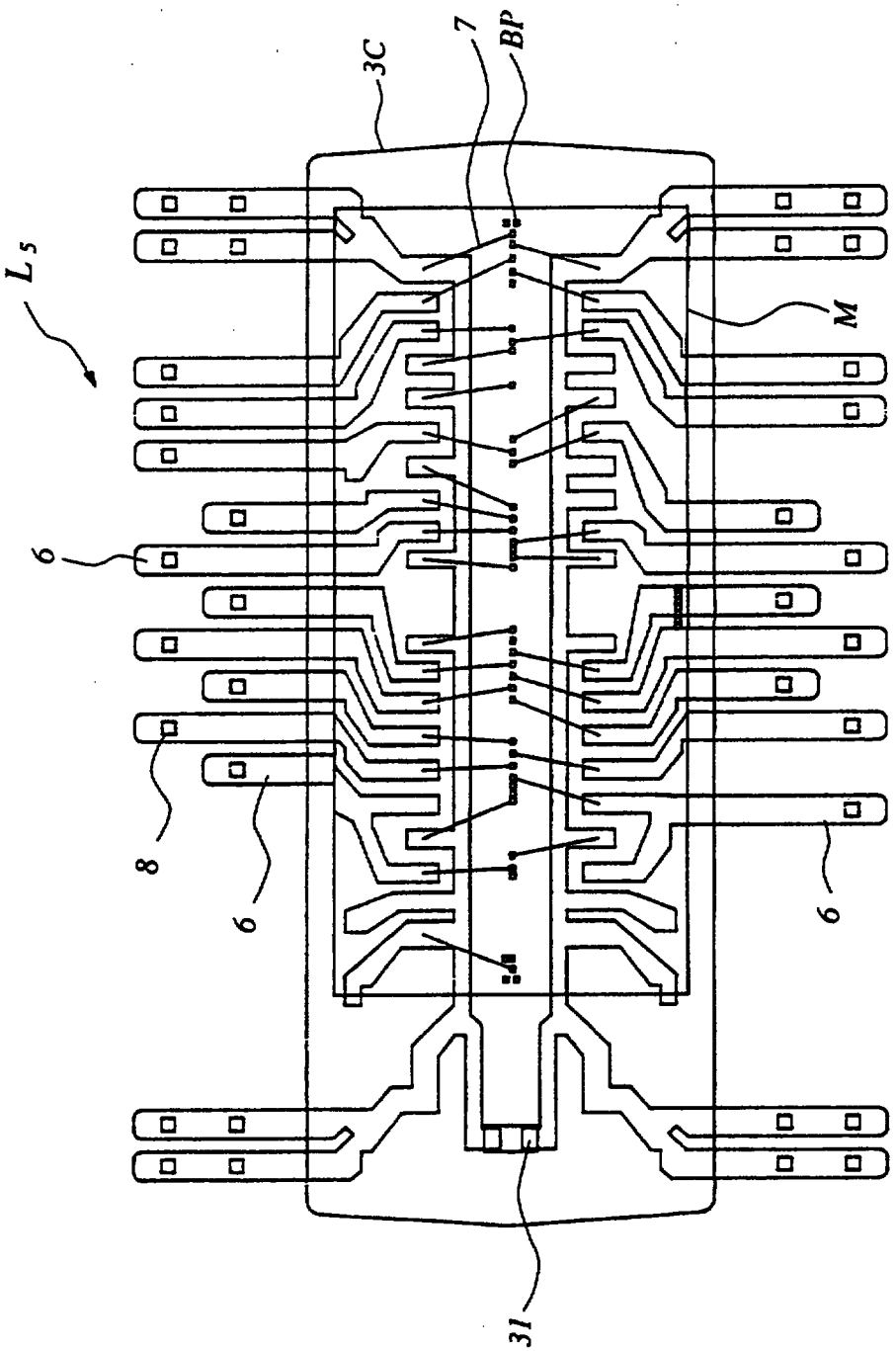
第 58 図



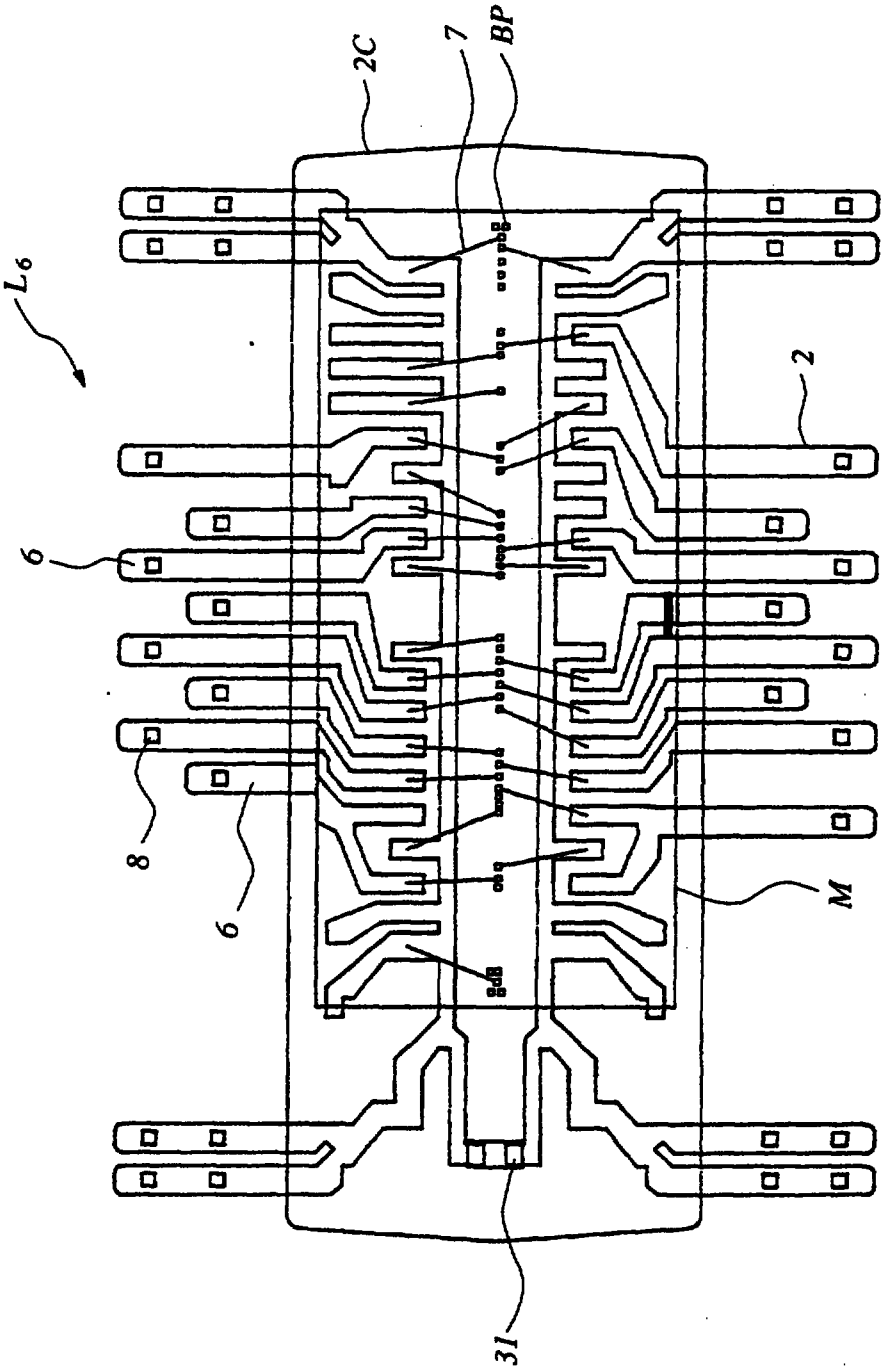
第 59 図



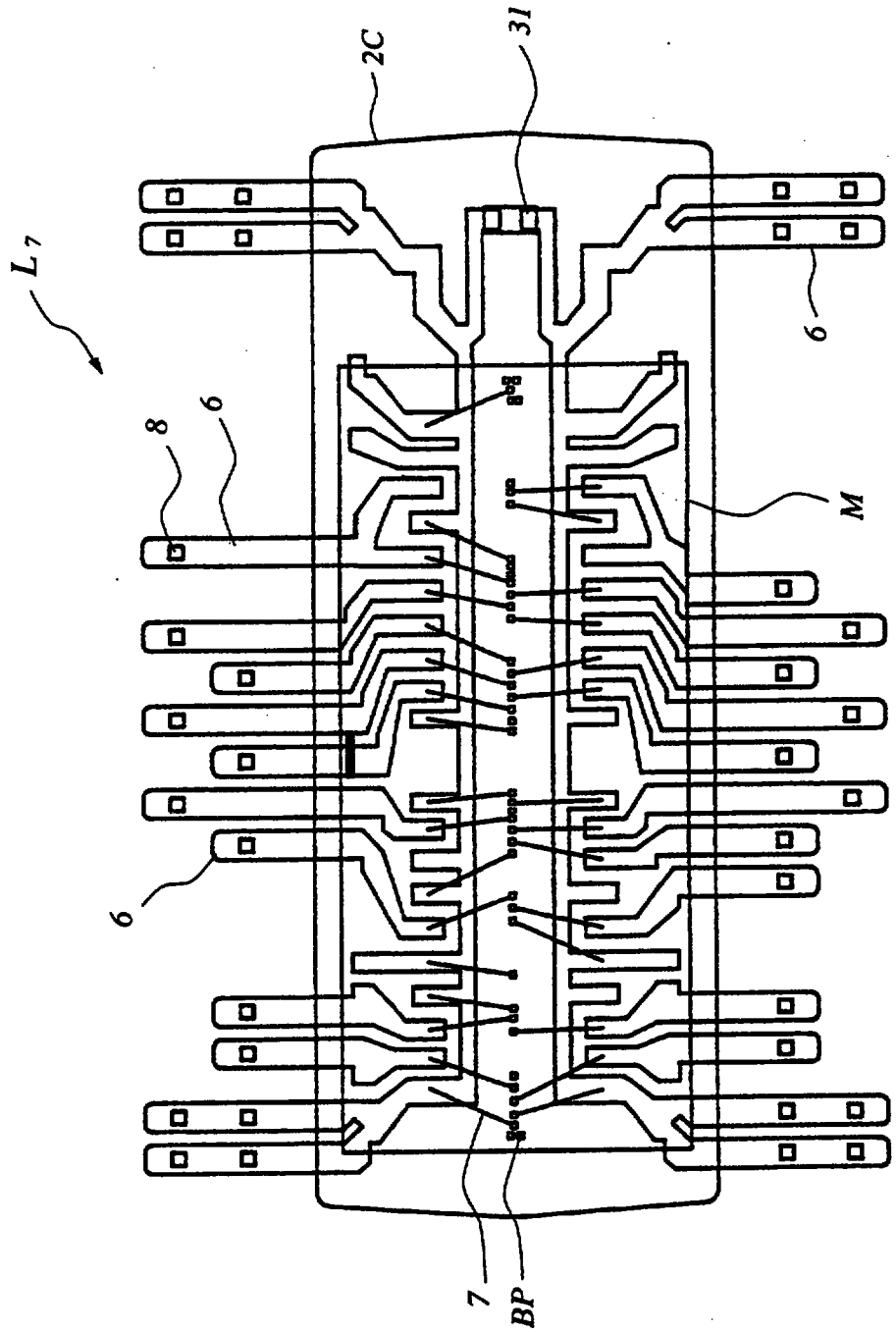
第 60 図



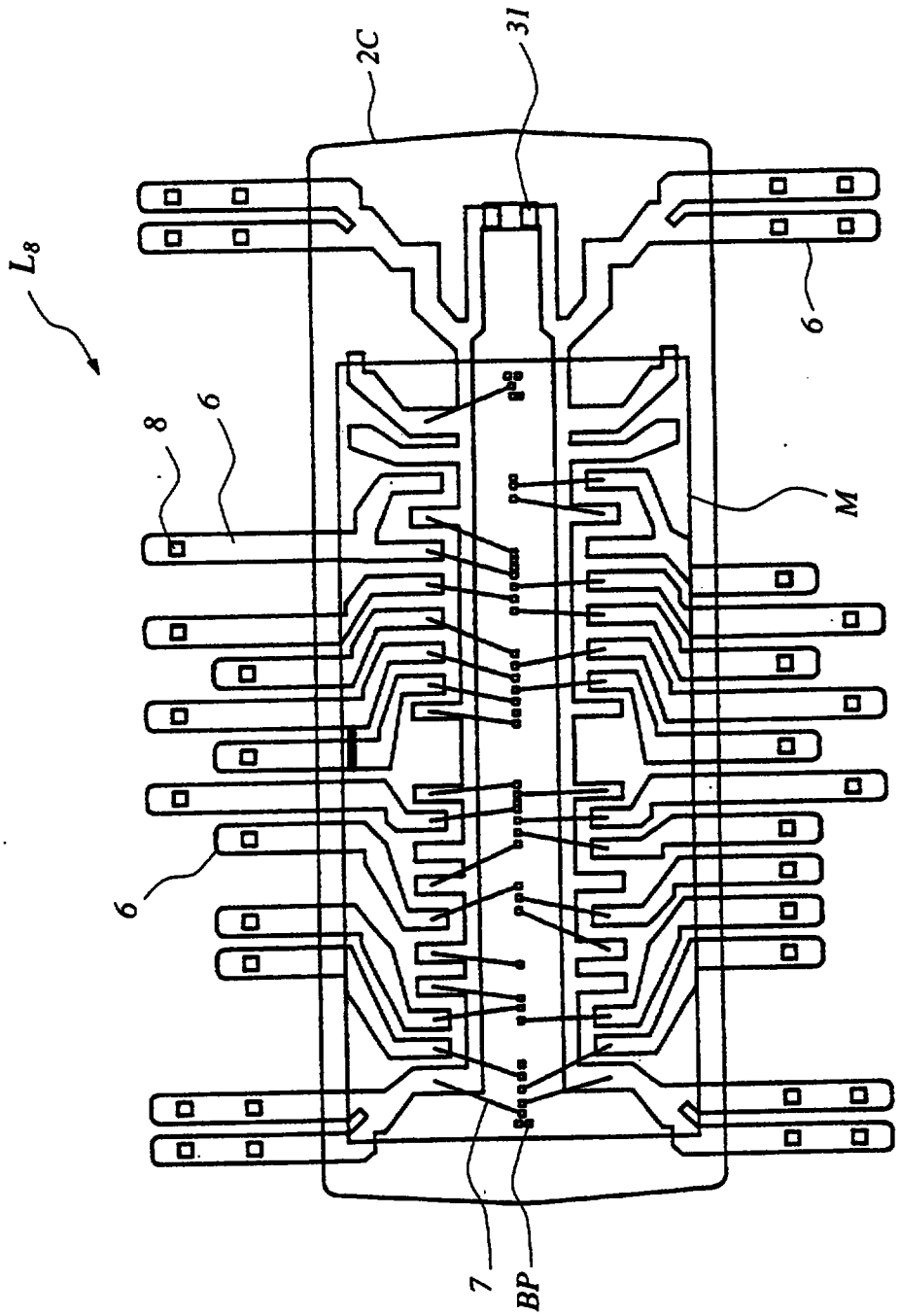
第 61 図



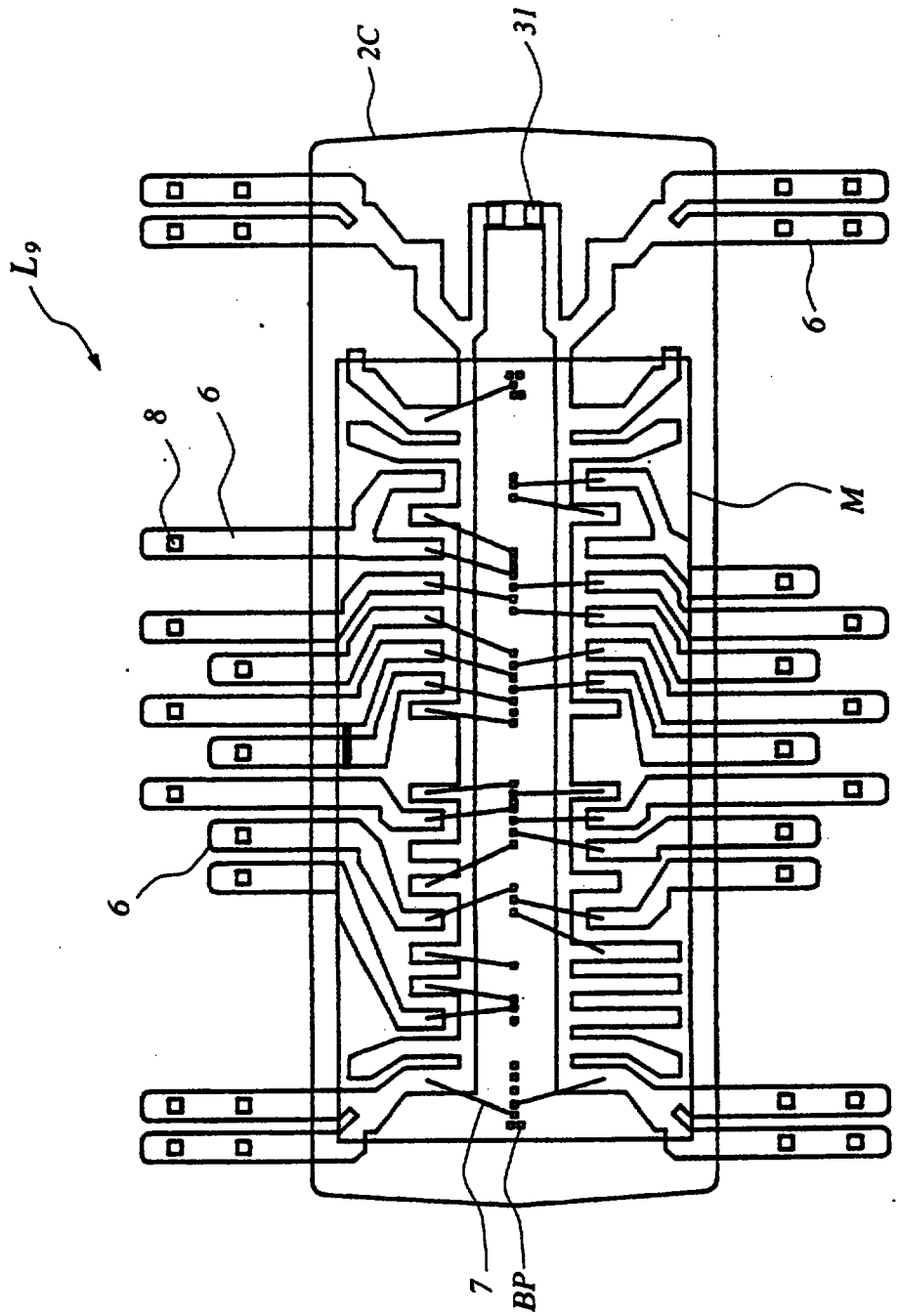
第 62 図



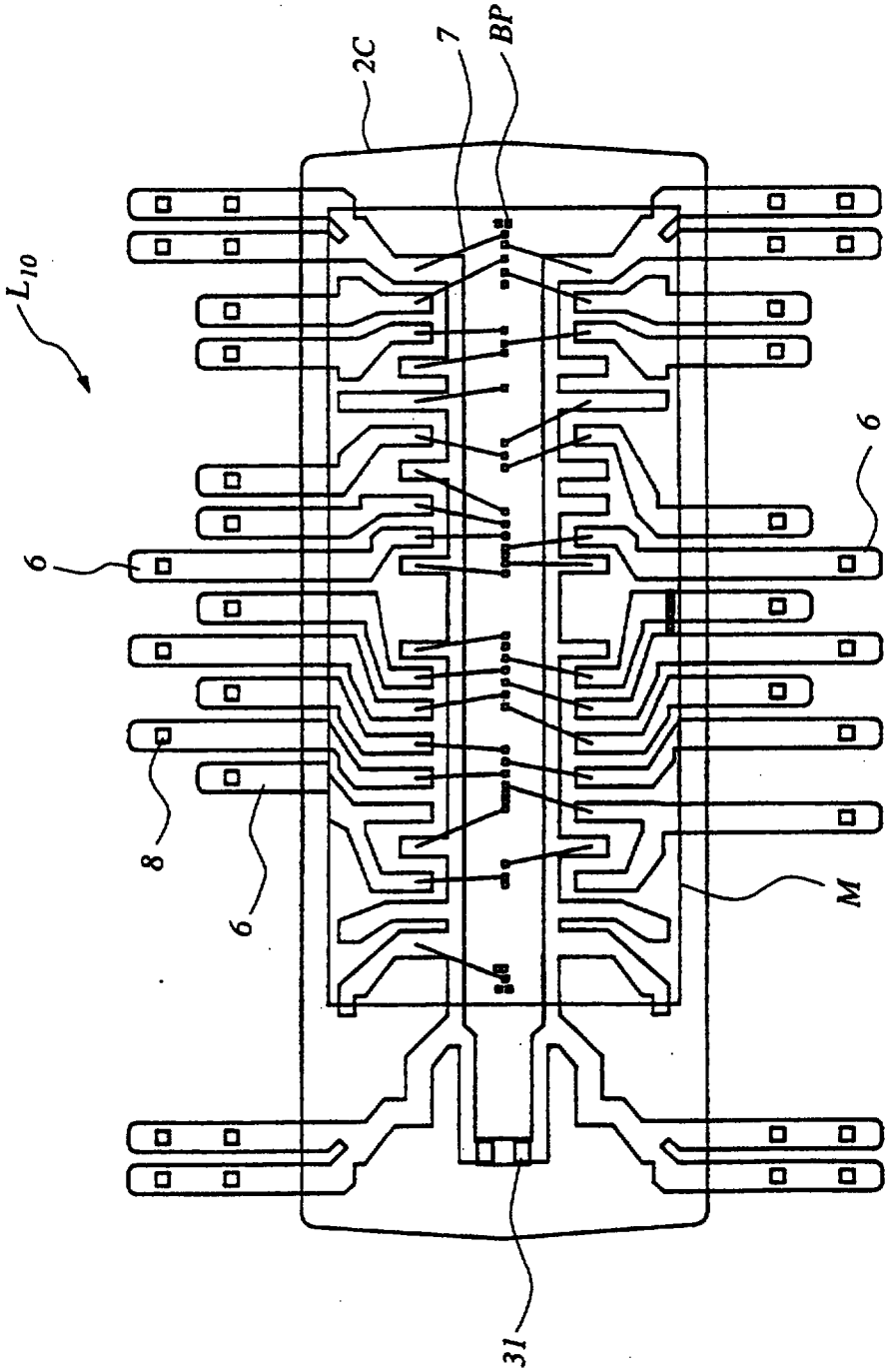
第 63 図



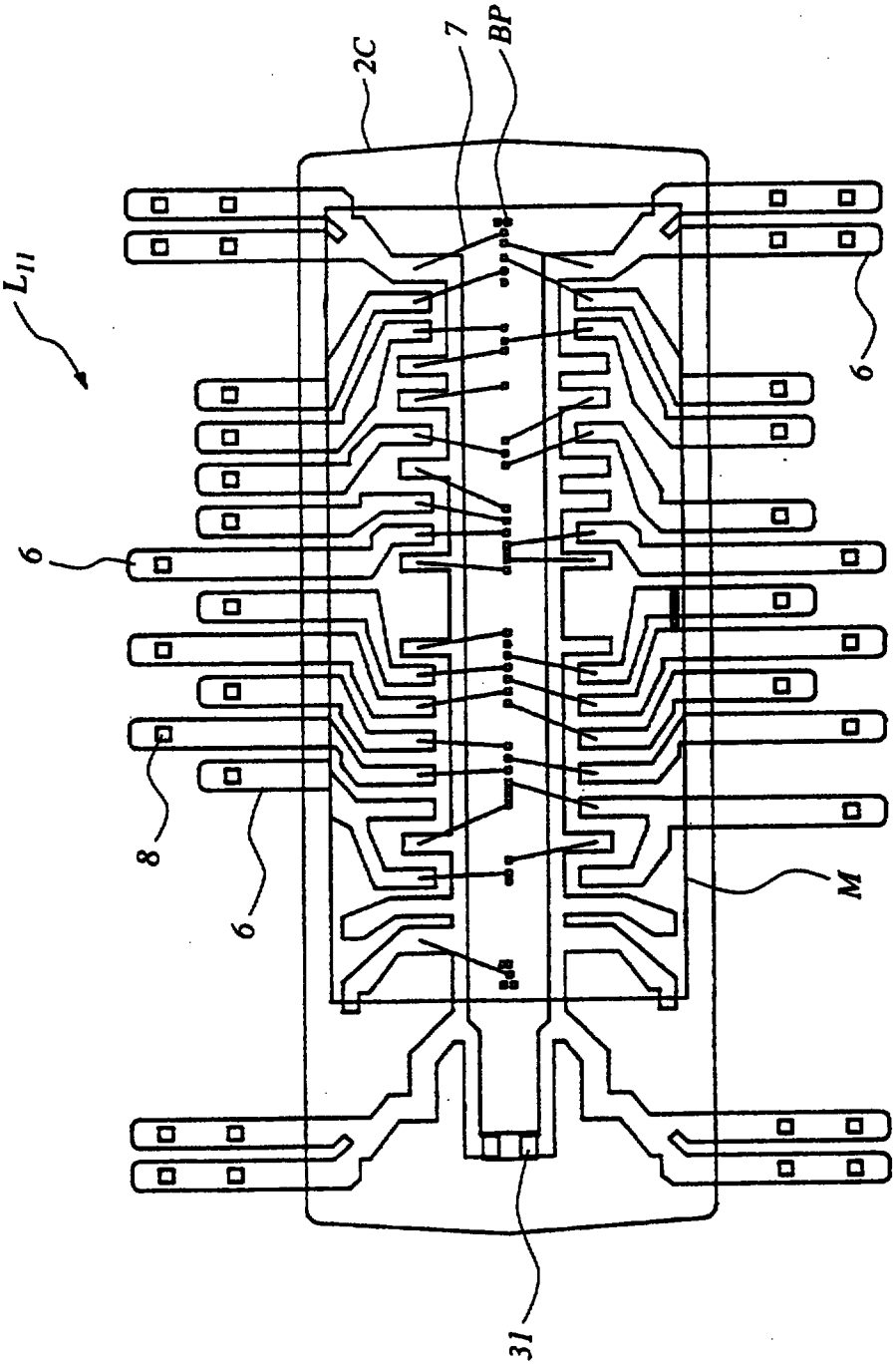
第 64 図



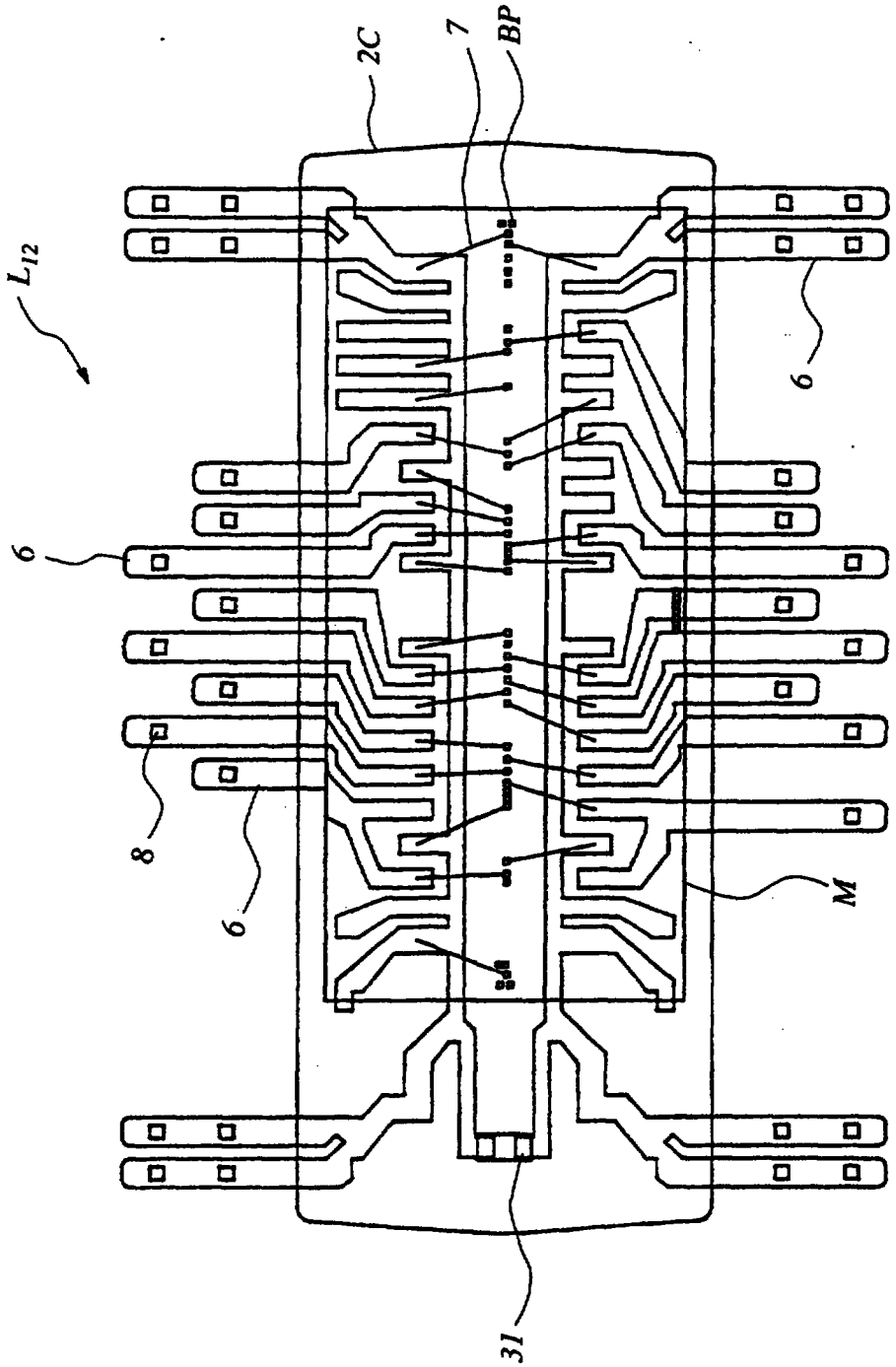
第 65 図



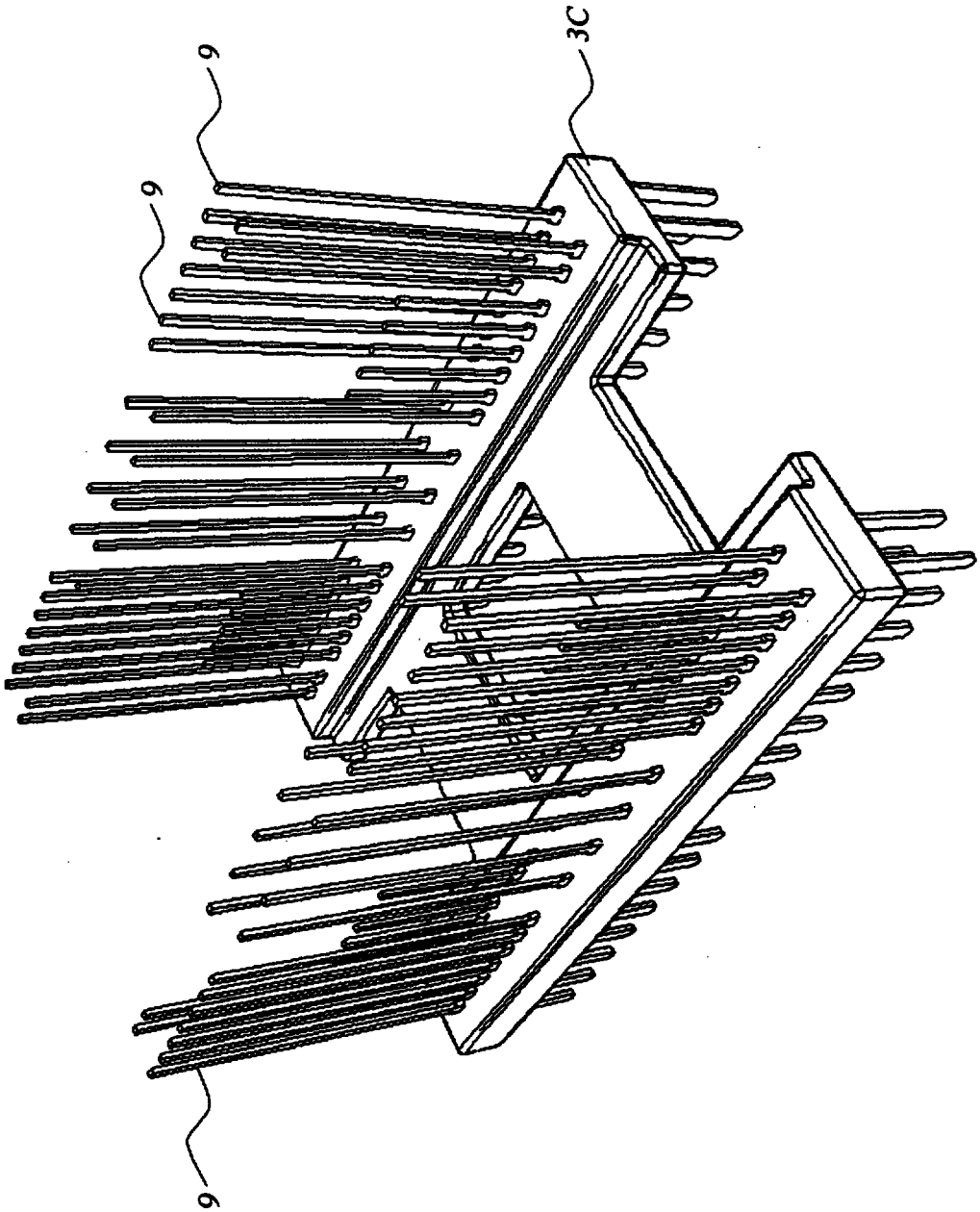
第 66 図



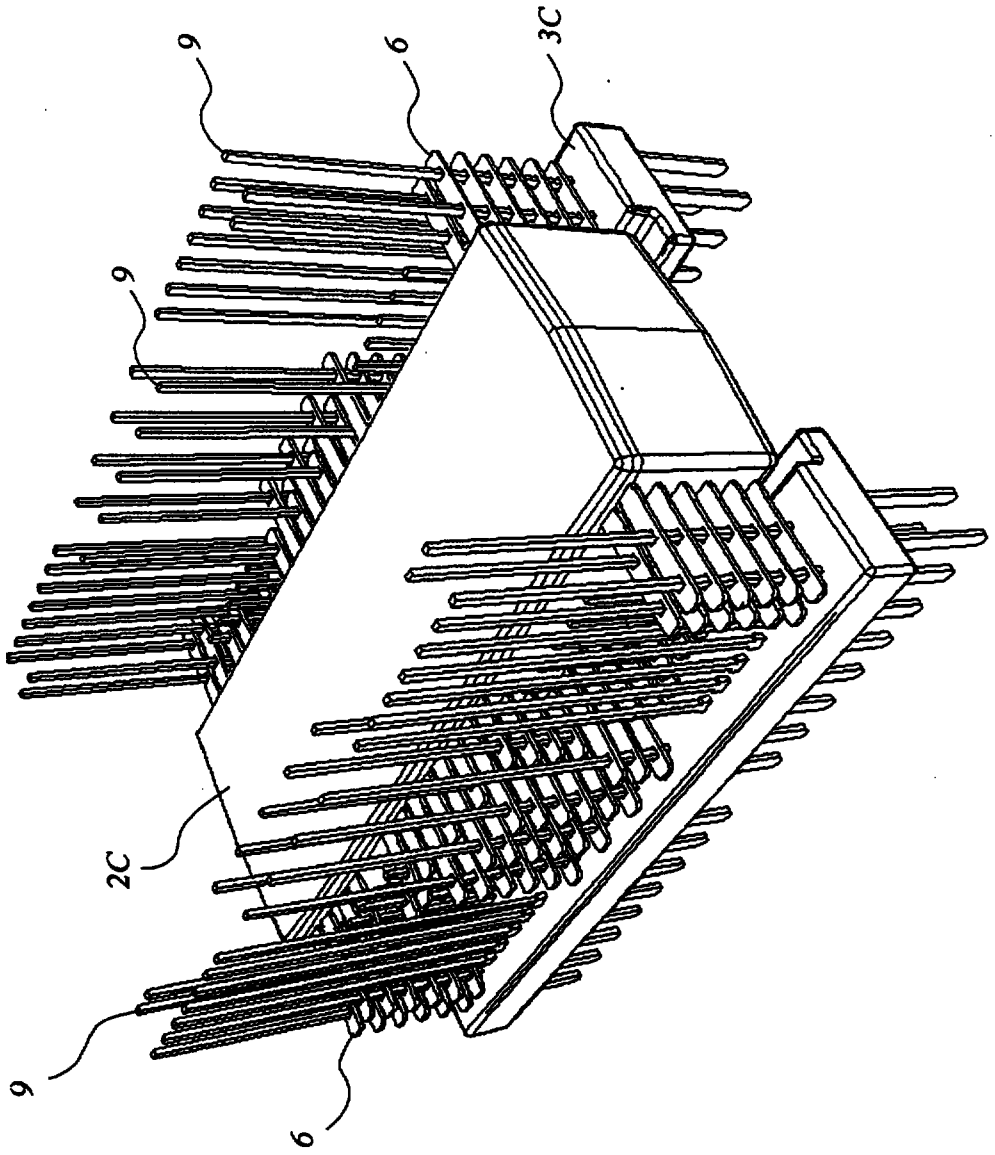
第 67 図



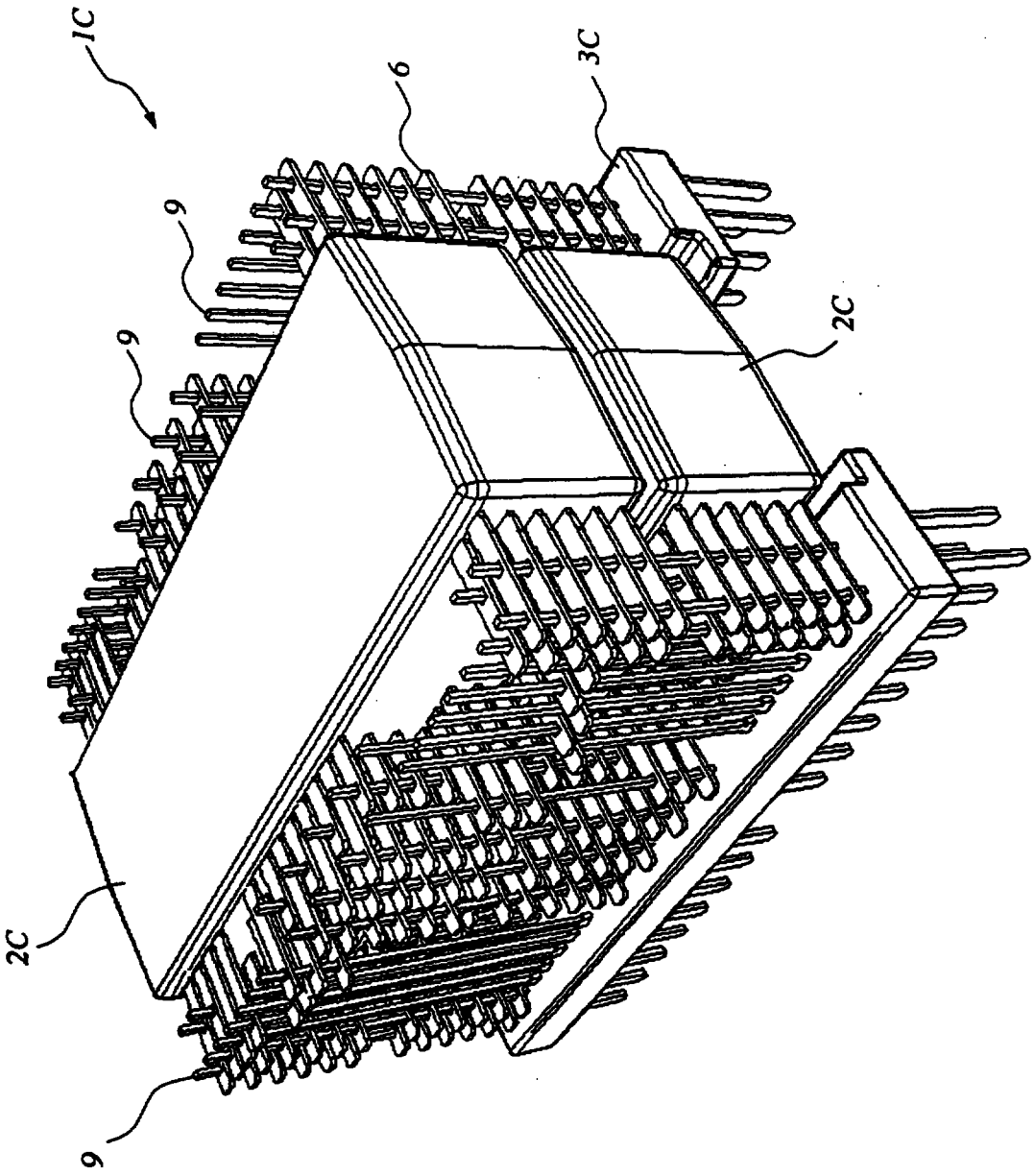
第 68 図



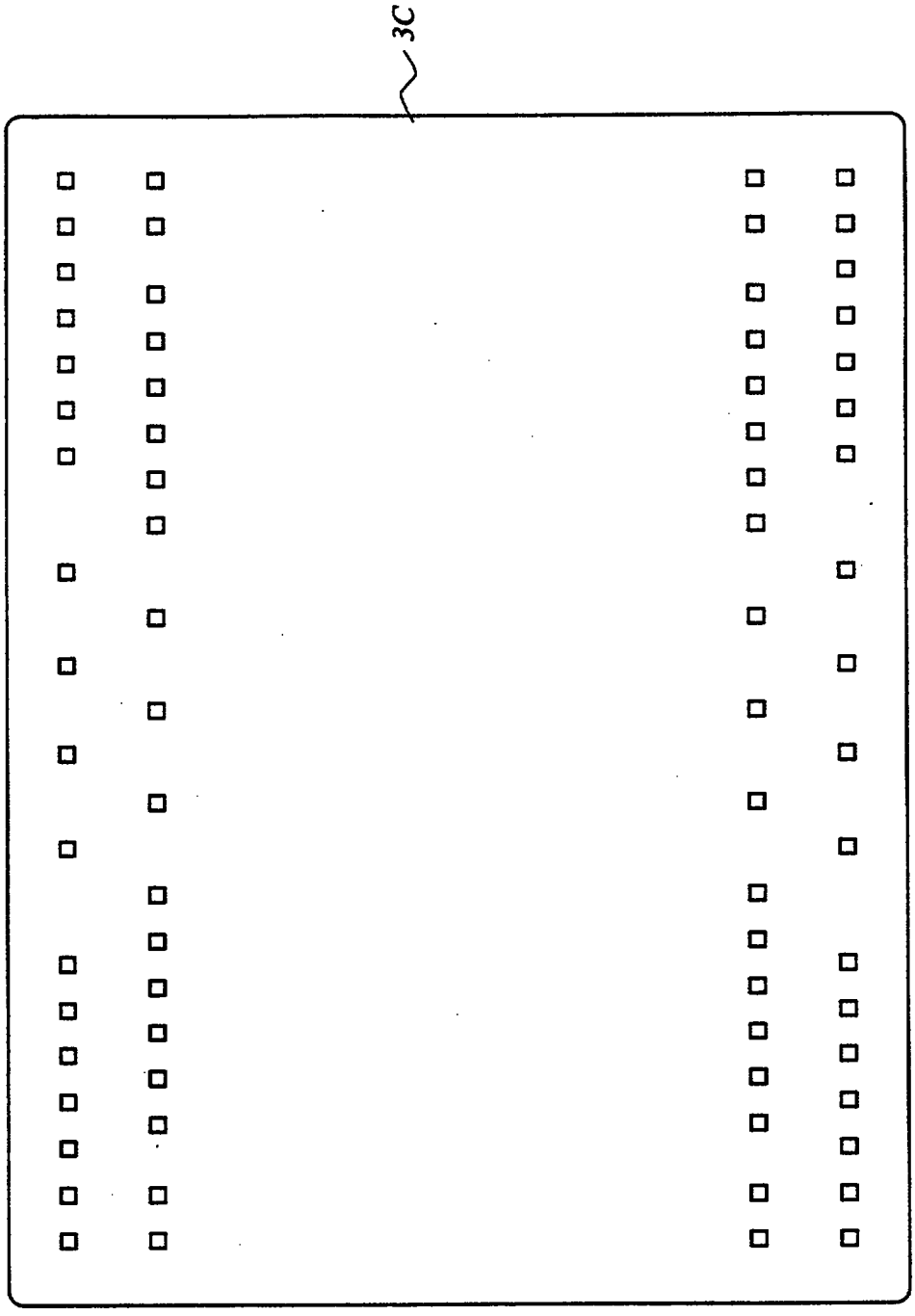
第 69 図



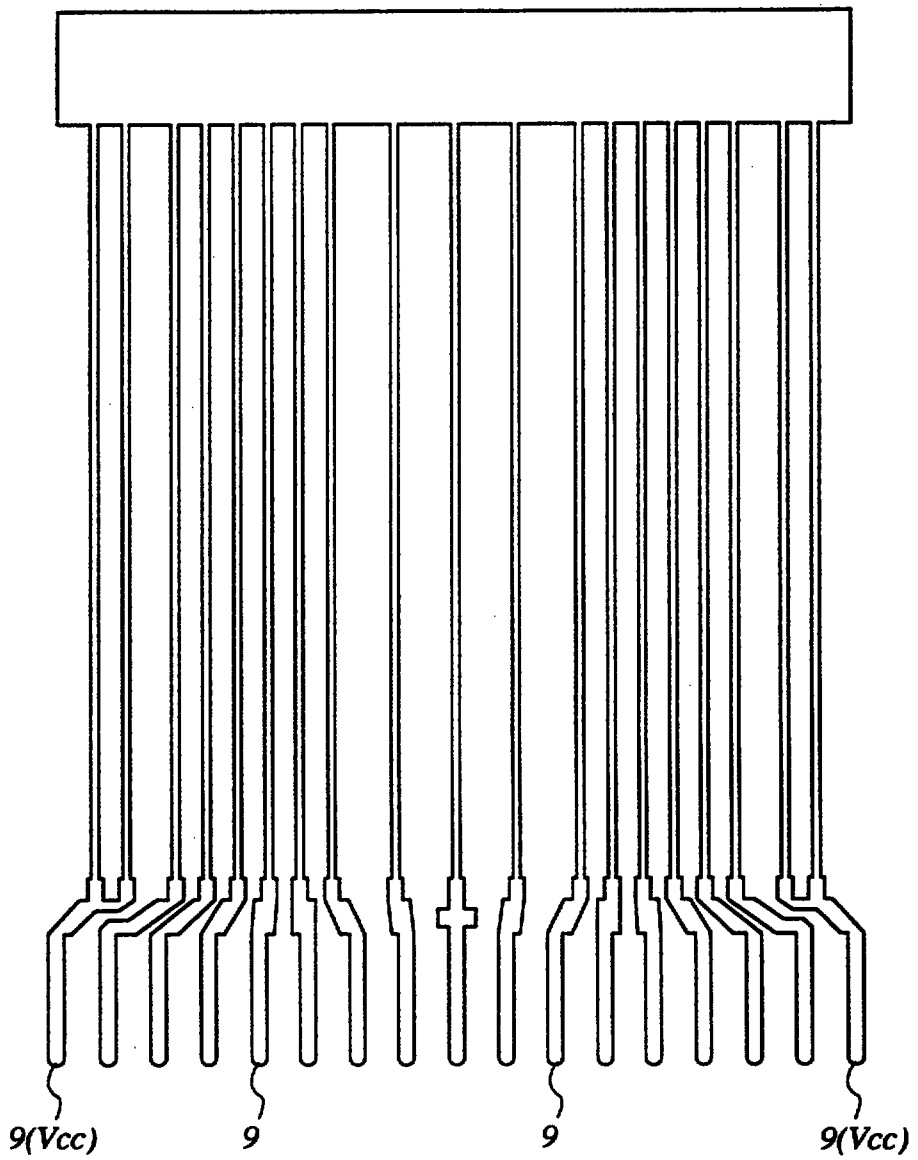
第 70 図



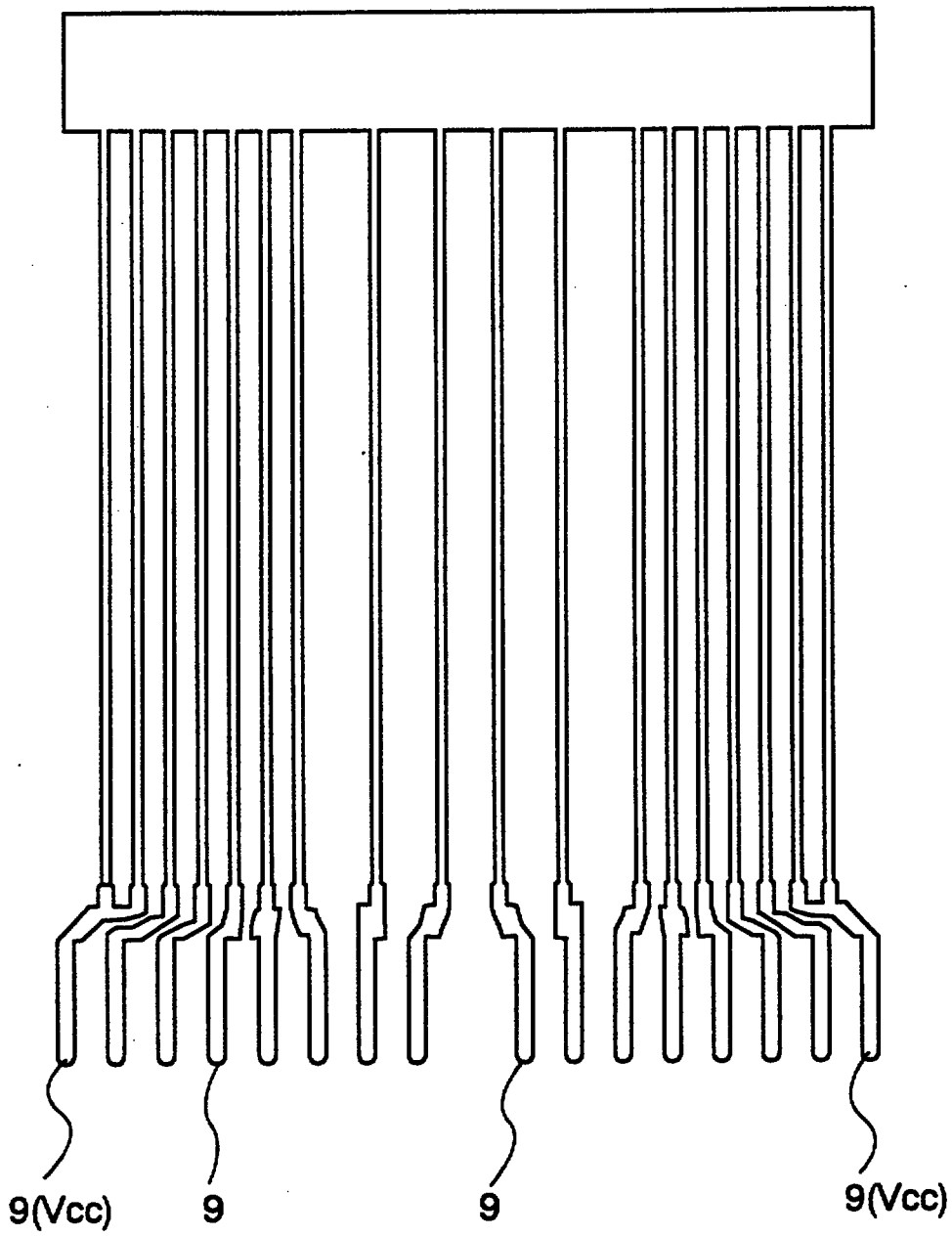
第 71 図



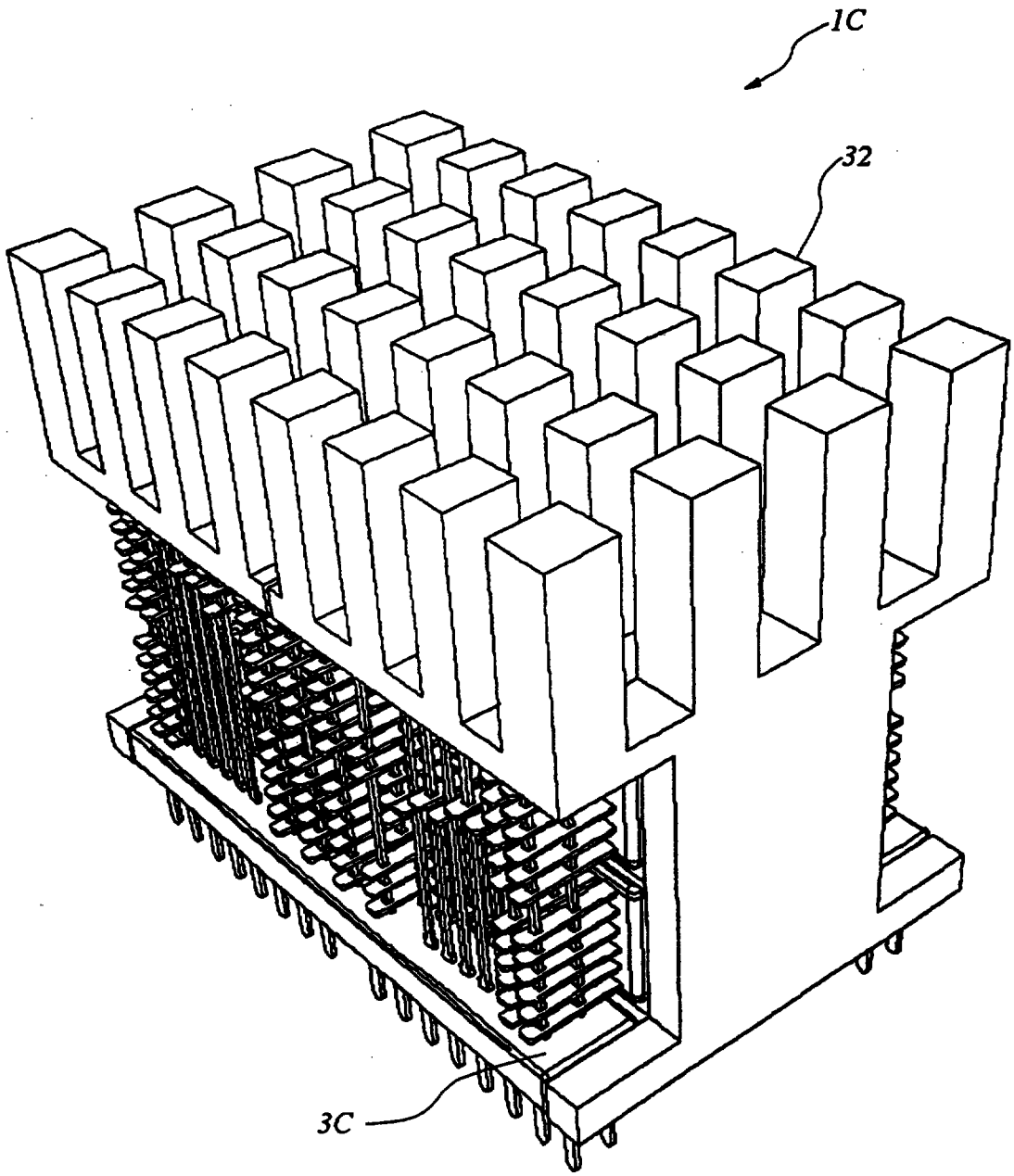
第 72 図



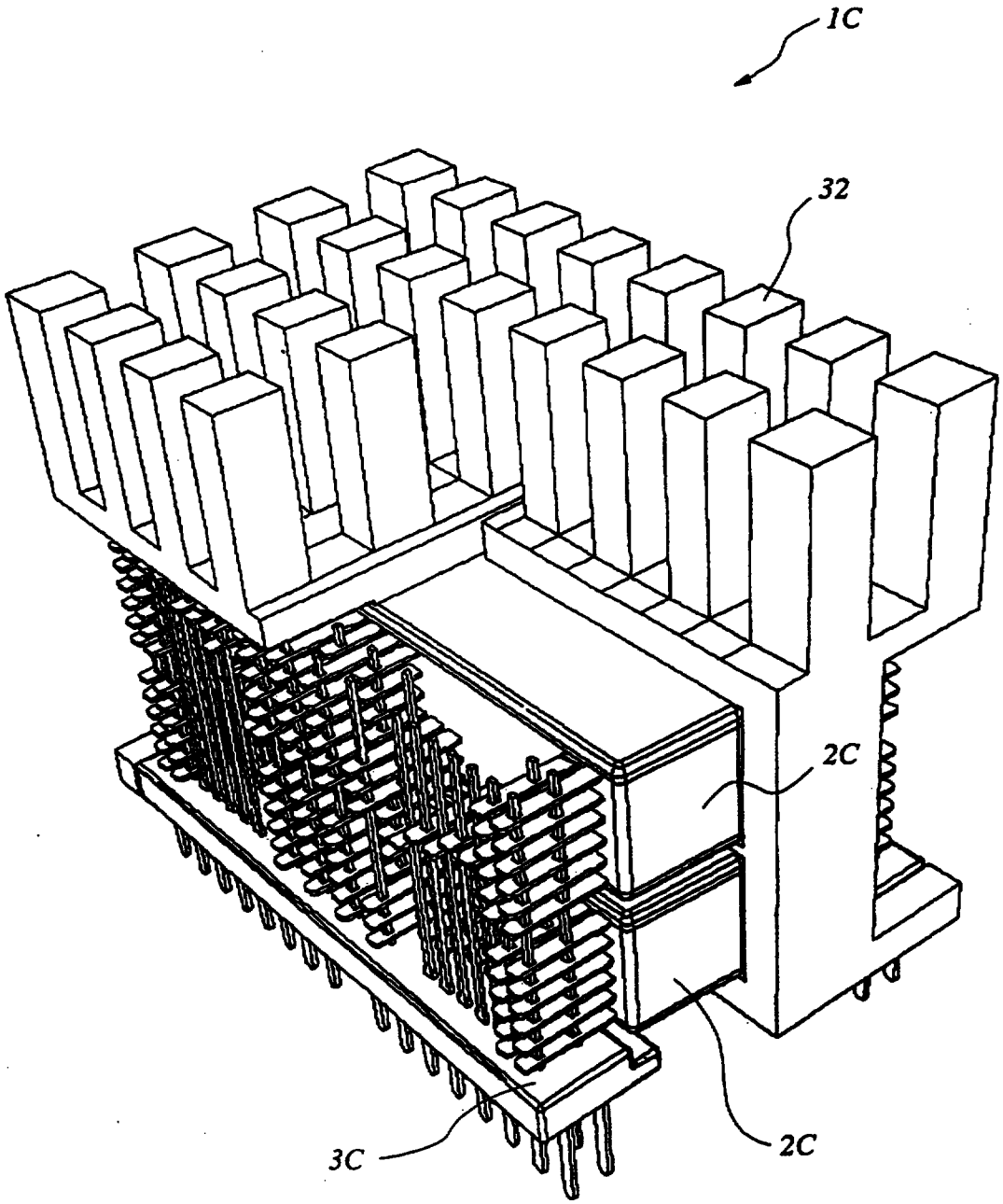
第 73 図



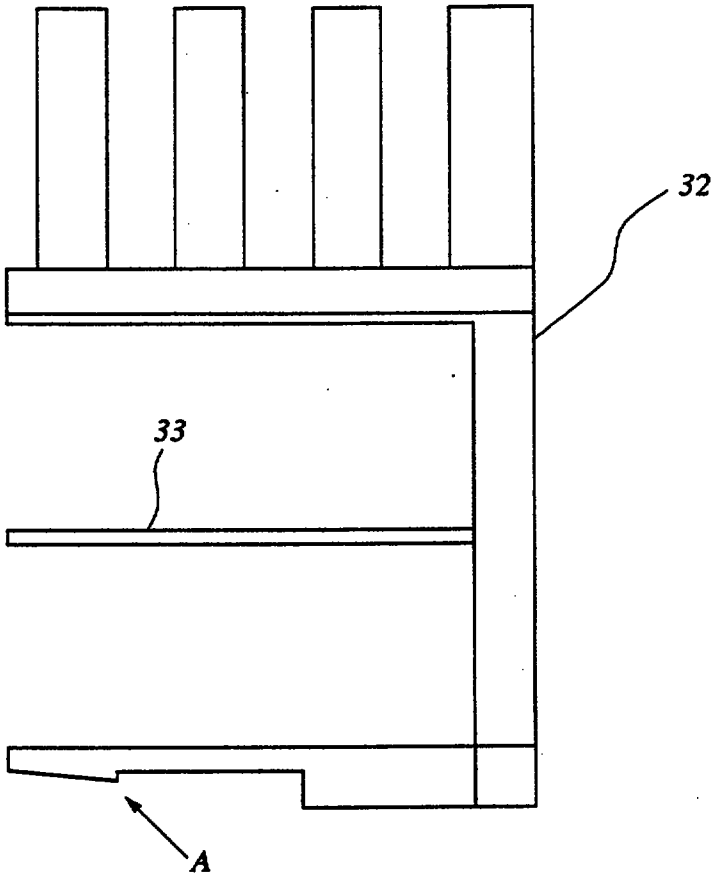
第 74 図



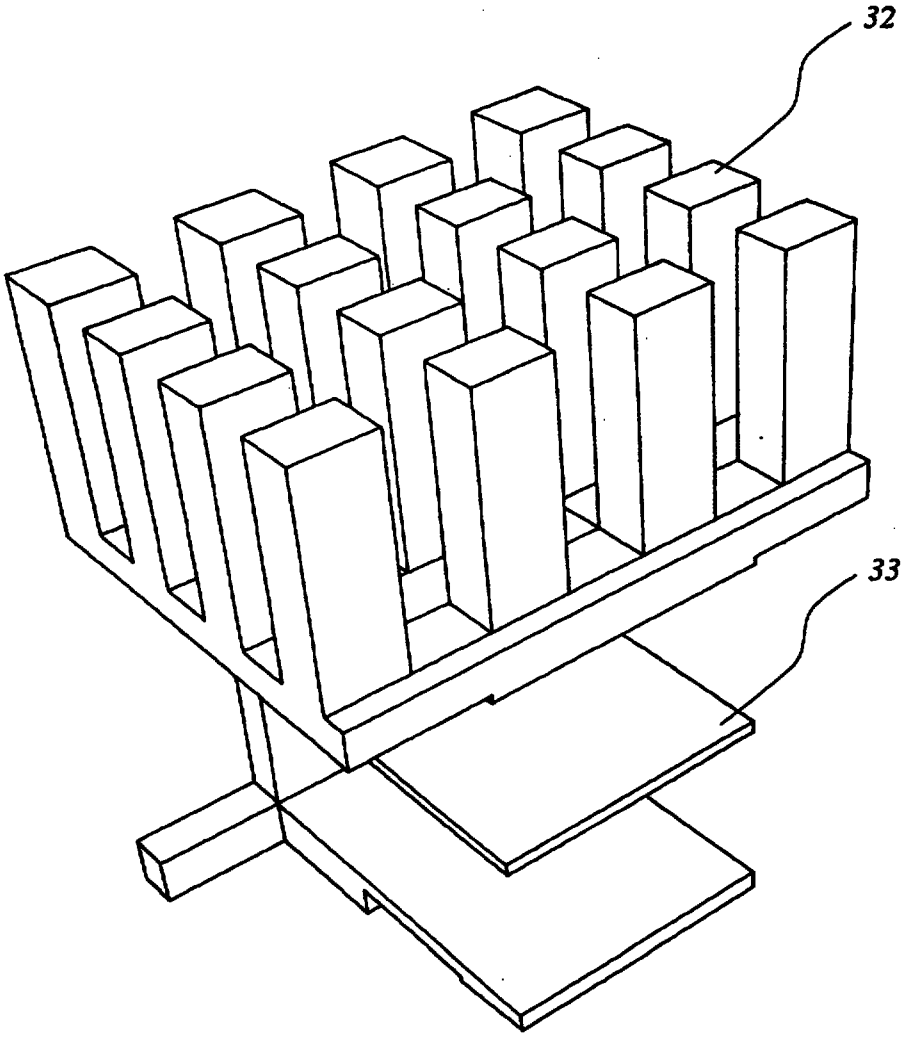
第 75 図



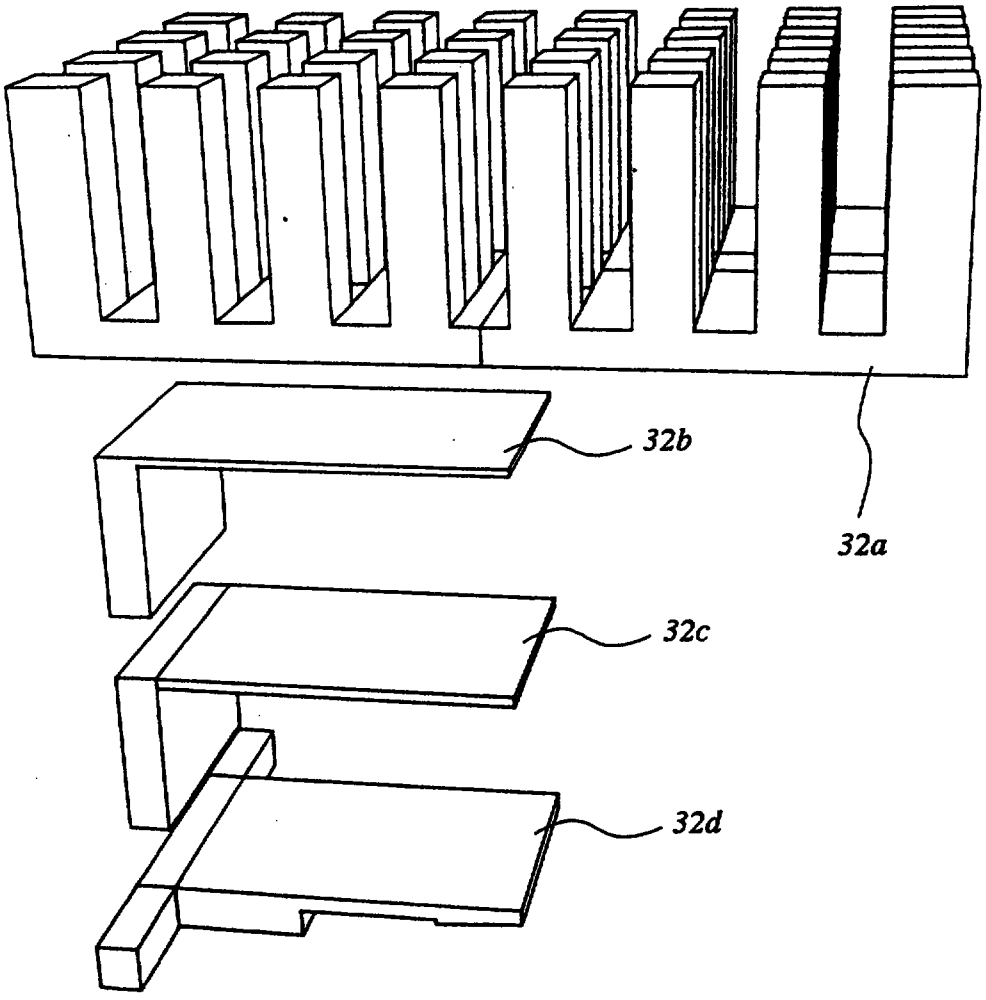
第 76 図



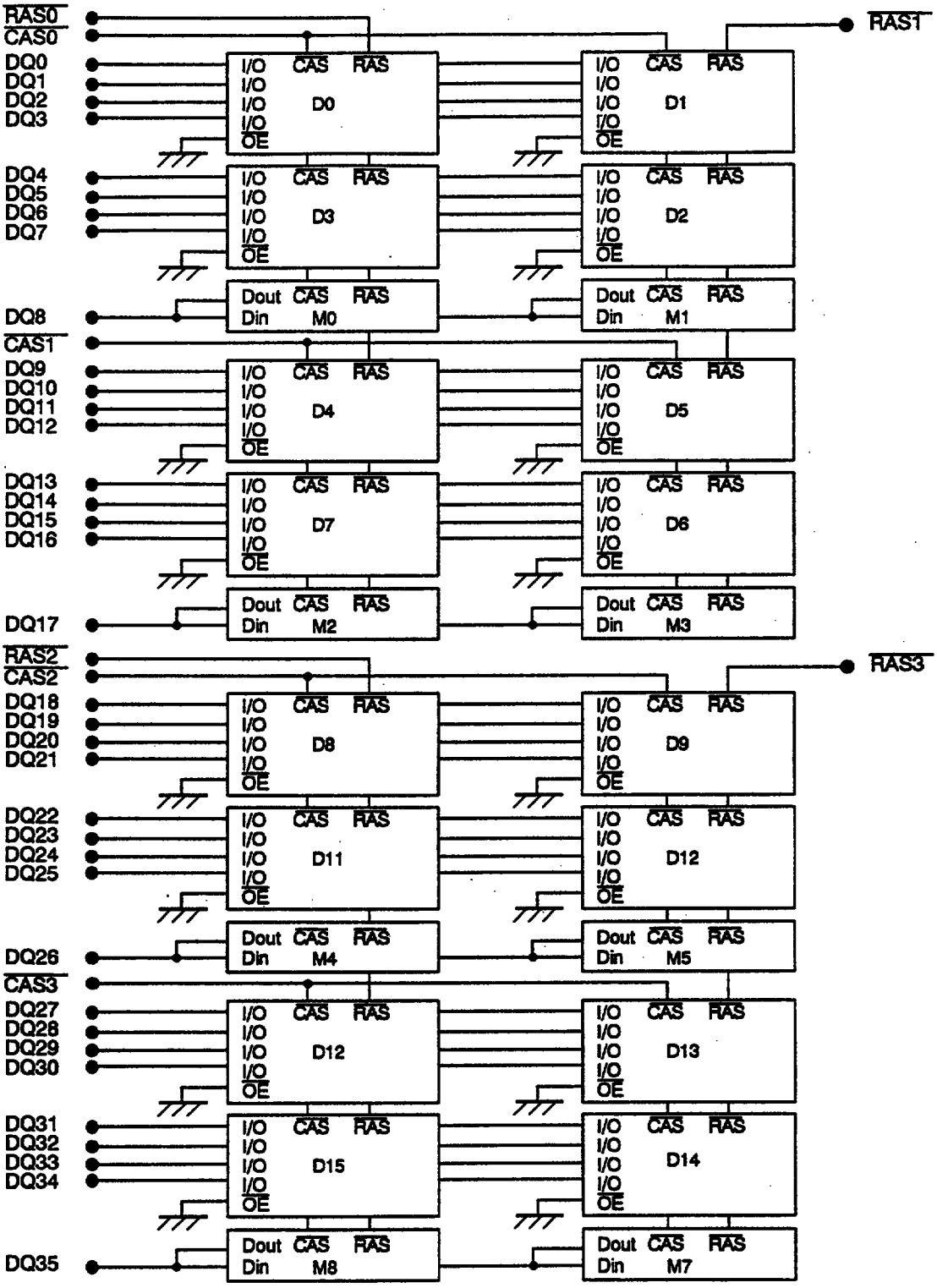
第 77 図



第 78 図



第 79 図



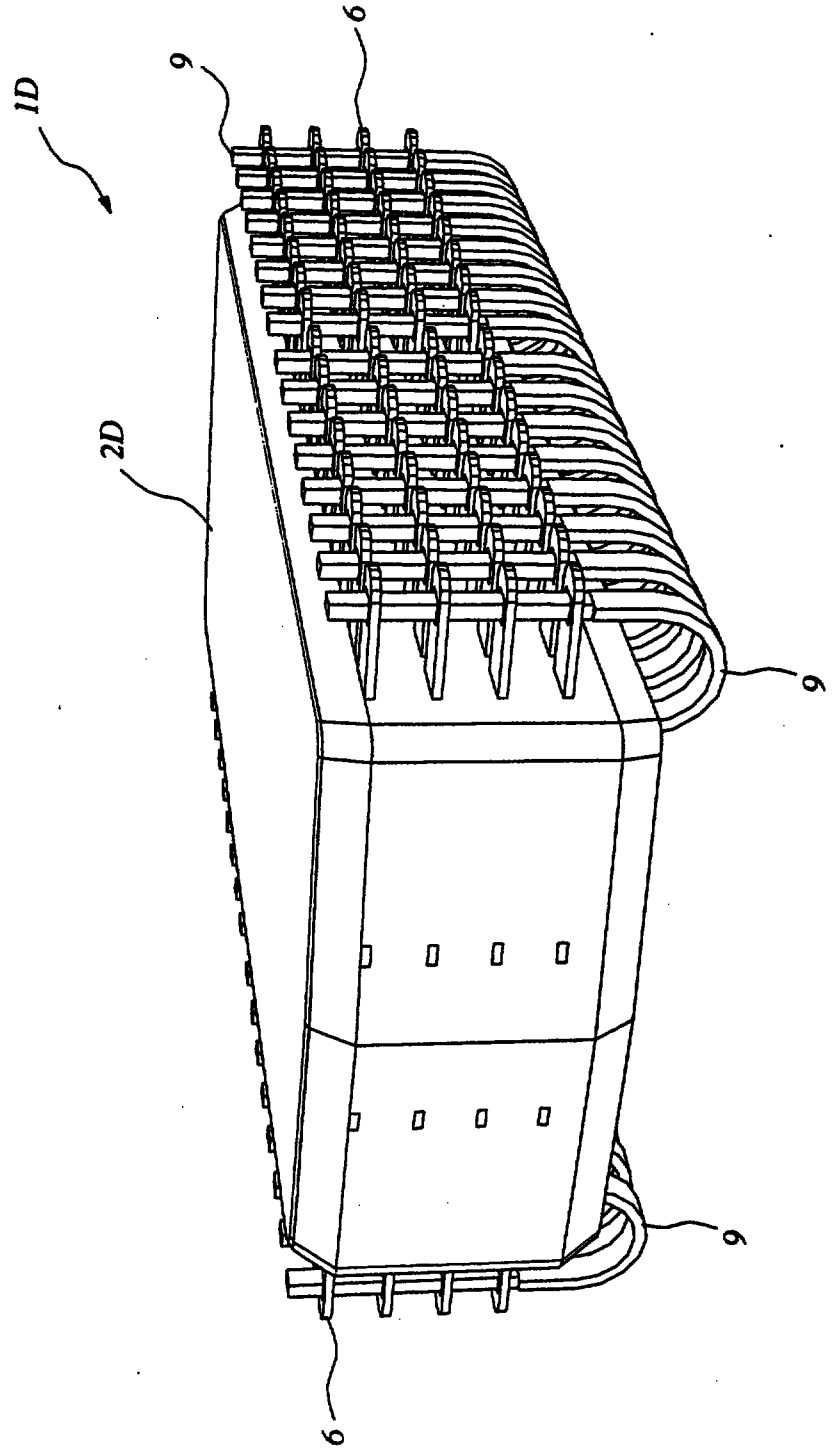
A0~A10 ●——→ D0-D15 , M0-M7

$\overline{WE}$ ●——→ D0-D15 , M0-M7

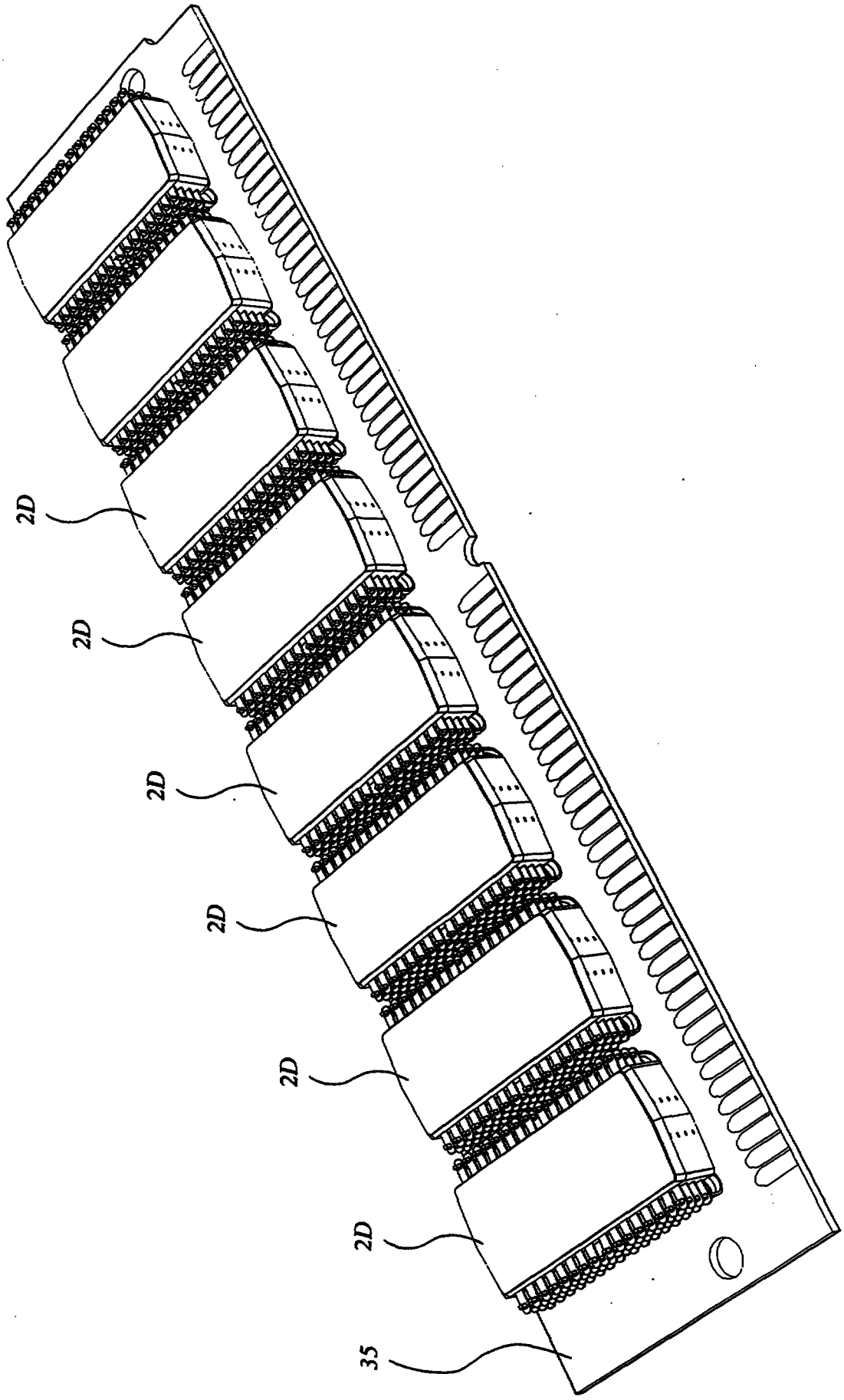
Vcc ●——→ D0-D15 , M0-M7

Vss ●——→ D0-D15 , M0-M7

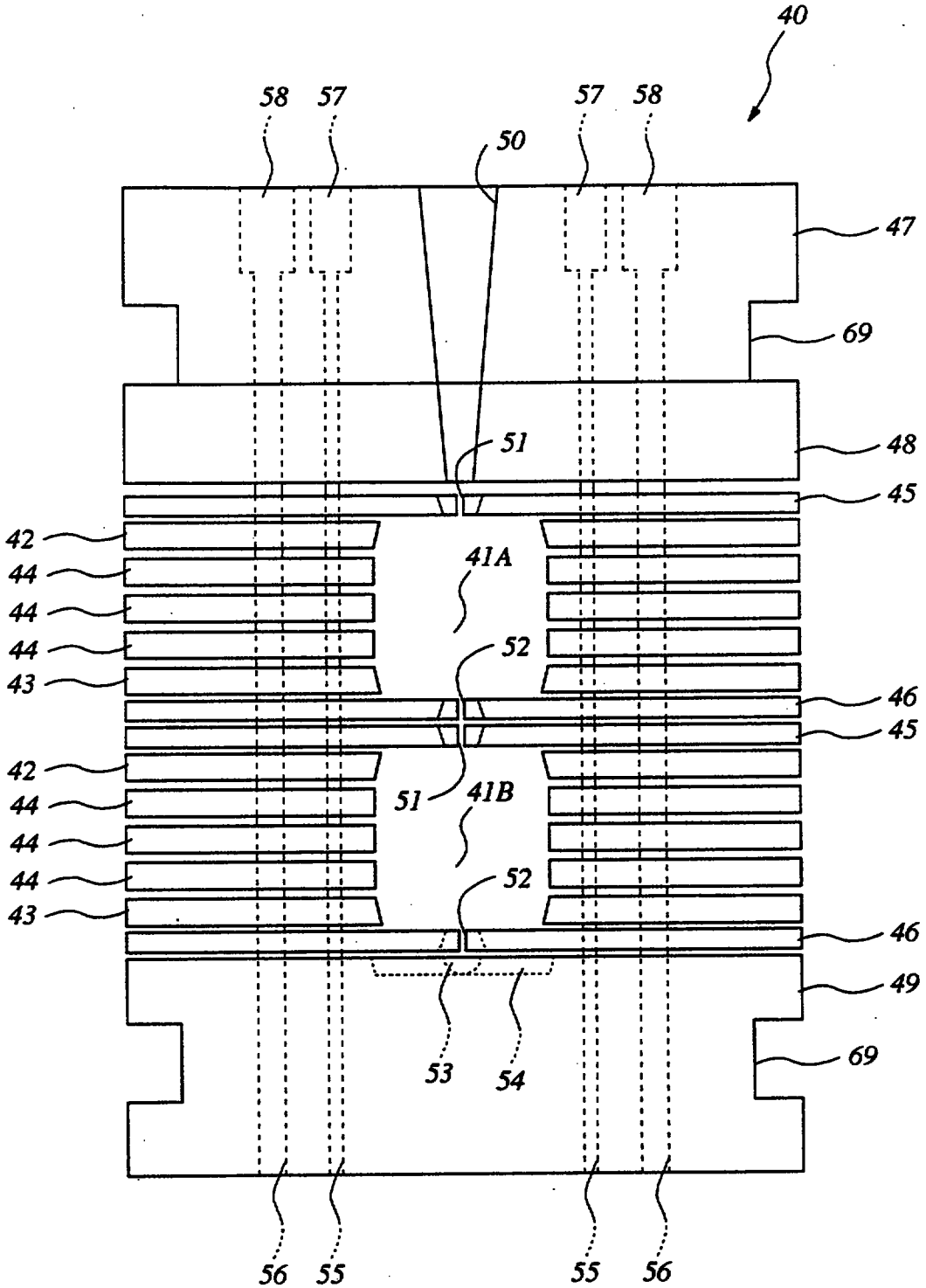
第 80 図



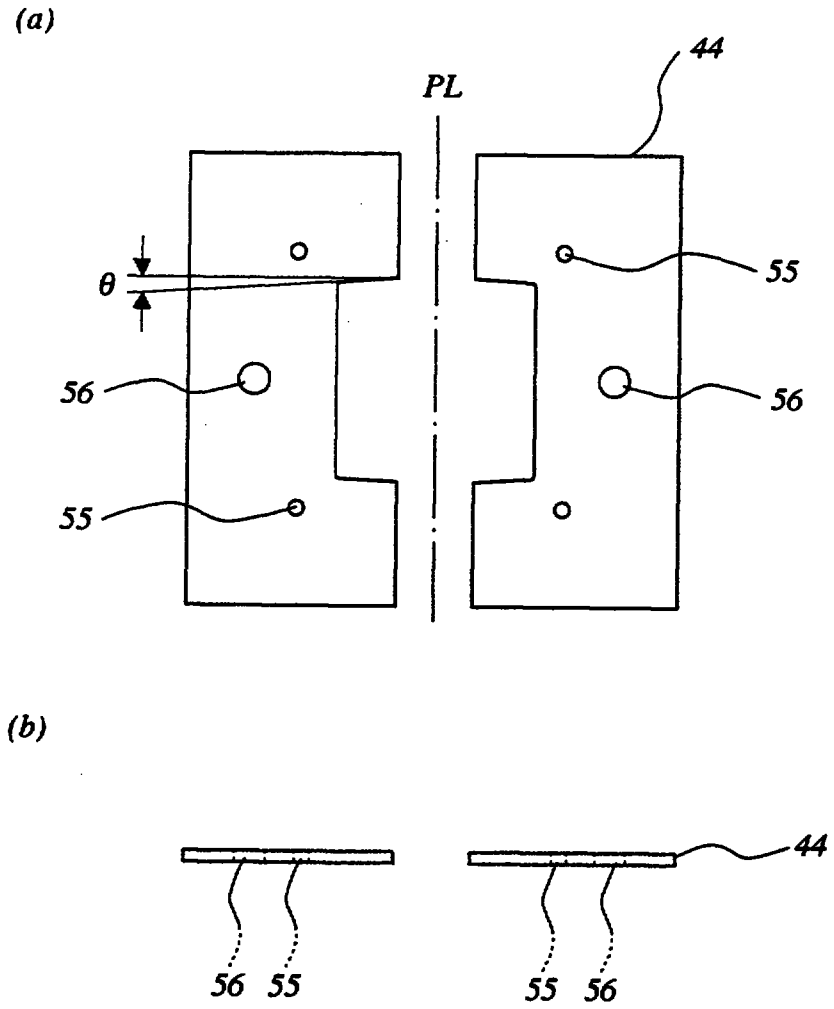
第 81 図



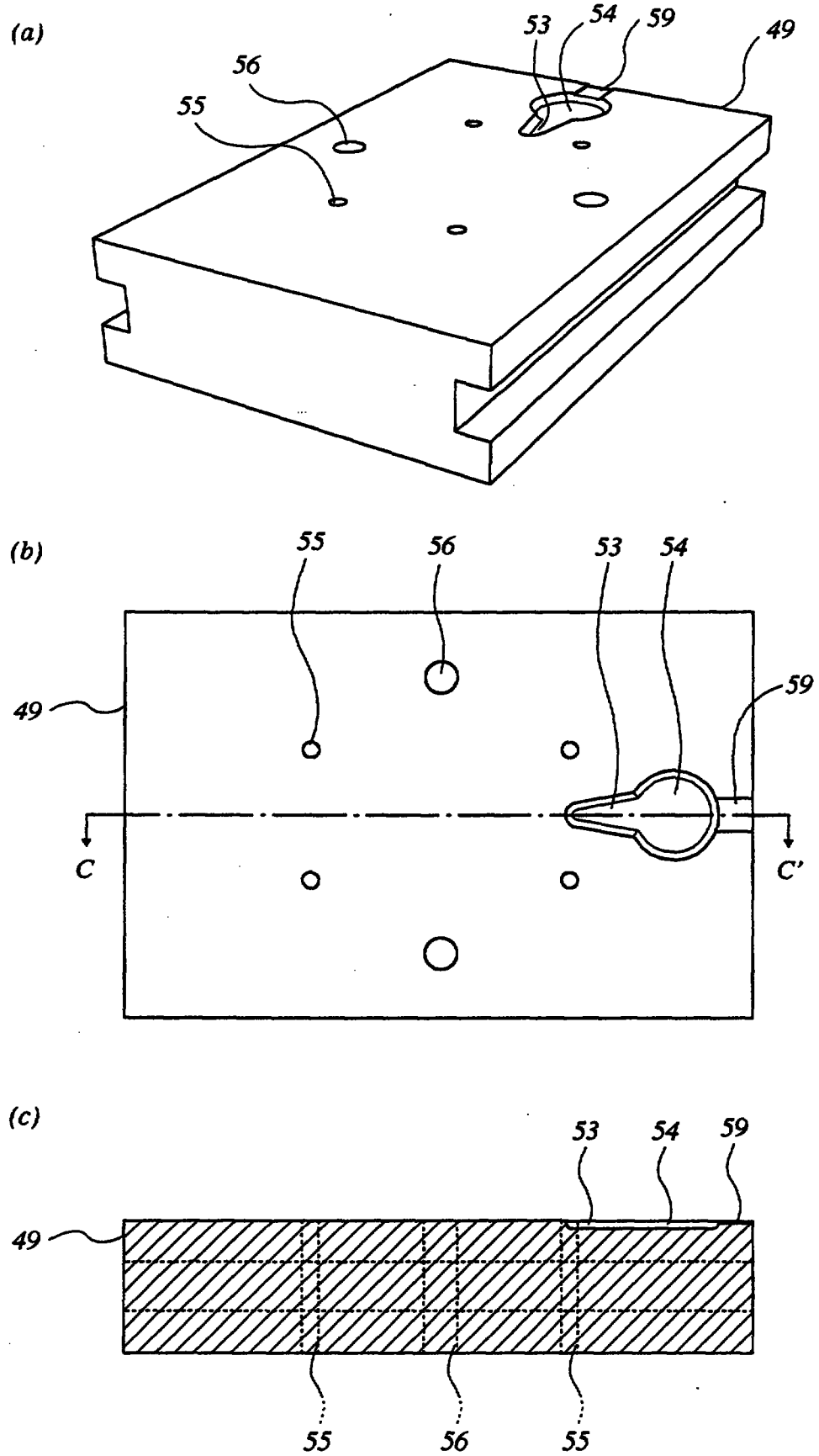
第 82 図


40
58
57
57
58
50
47
69
51
48
45
42
44
44
44
43
41A
52
46
45
42
44
44
44
43
51
41B
52
46
49
69
53
54
56
55
55
56

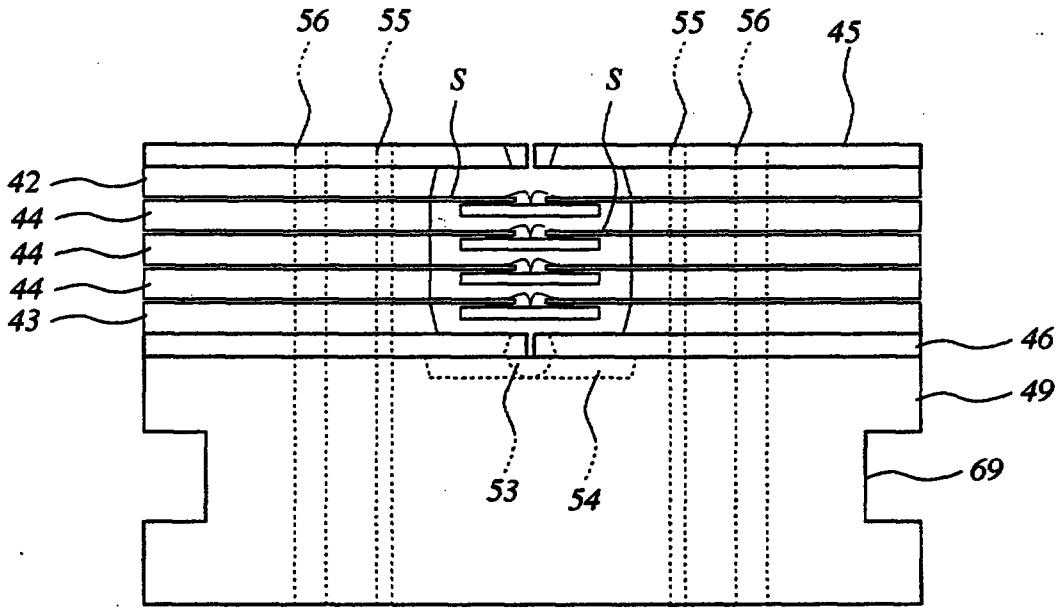
第 83 図



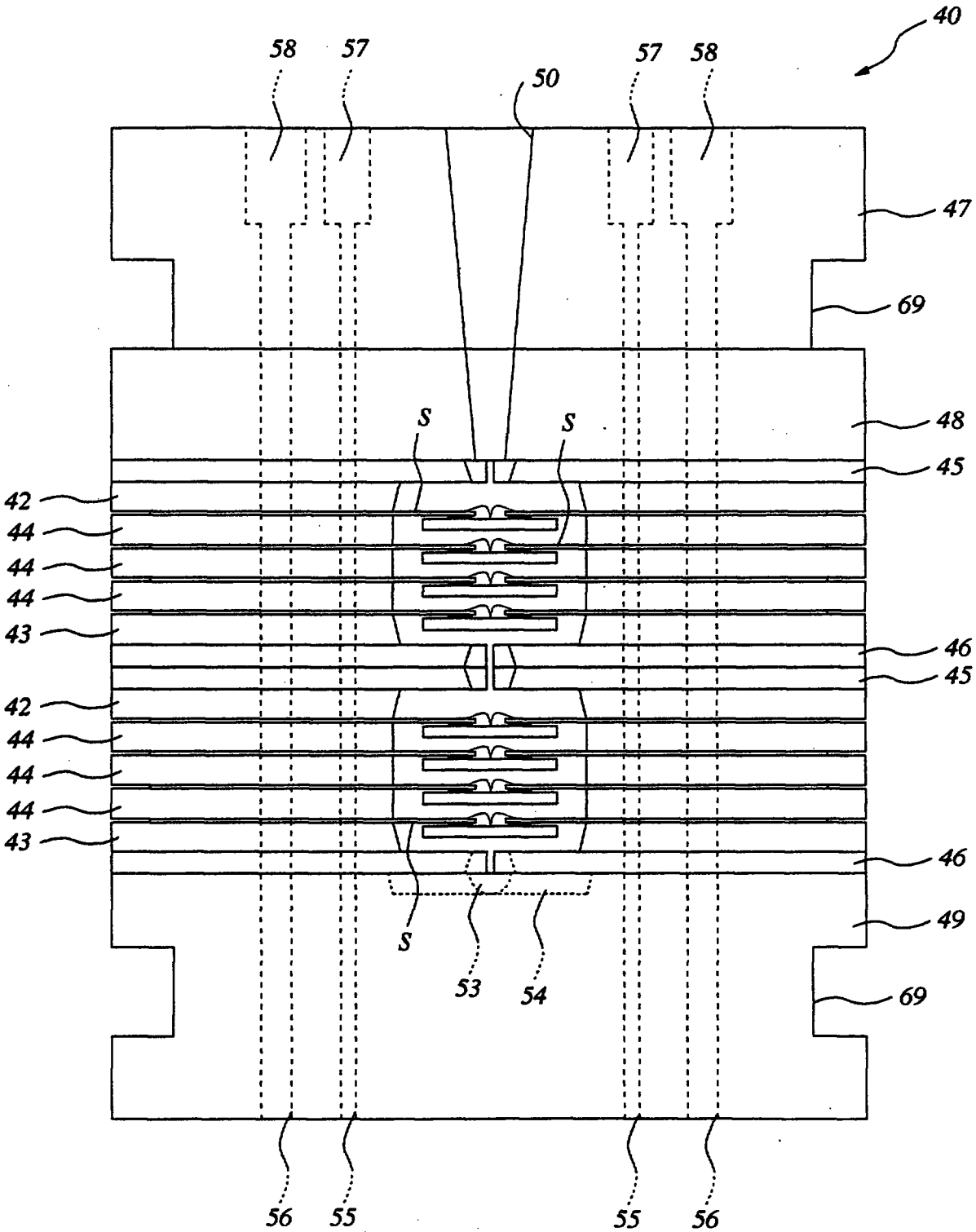
第 84 図



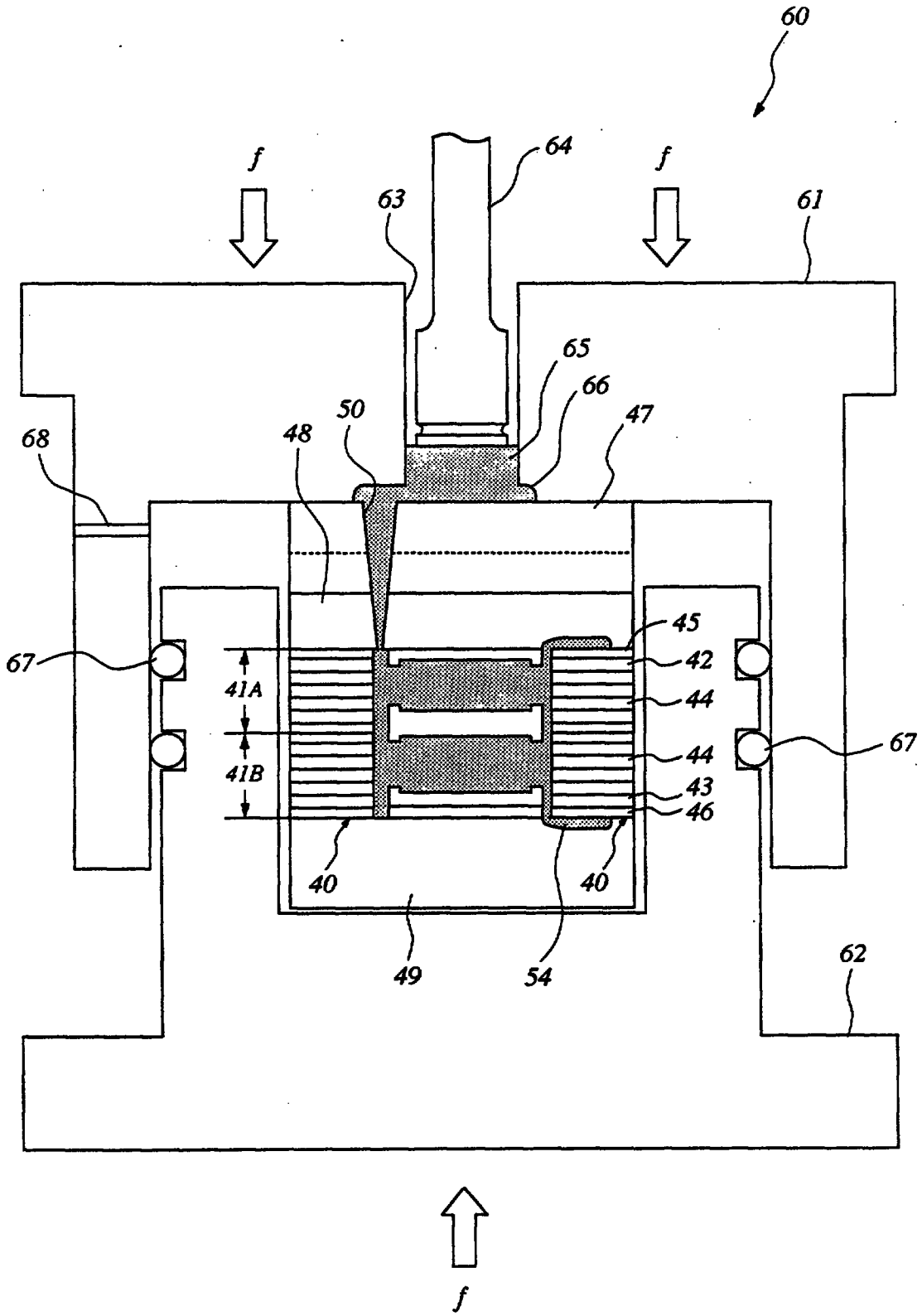
第 85 図



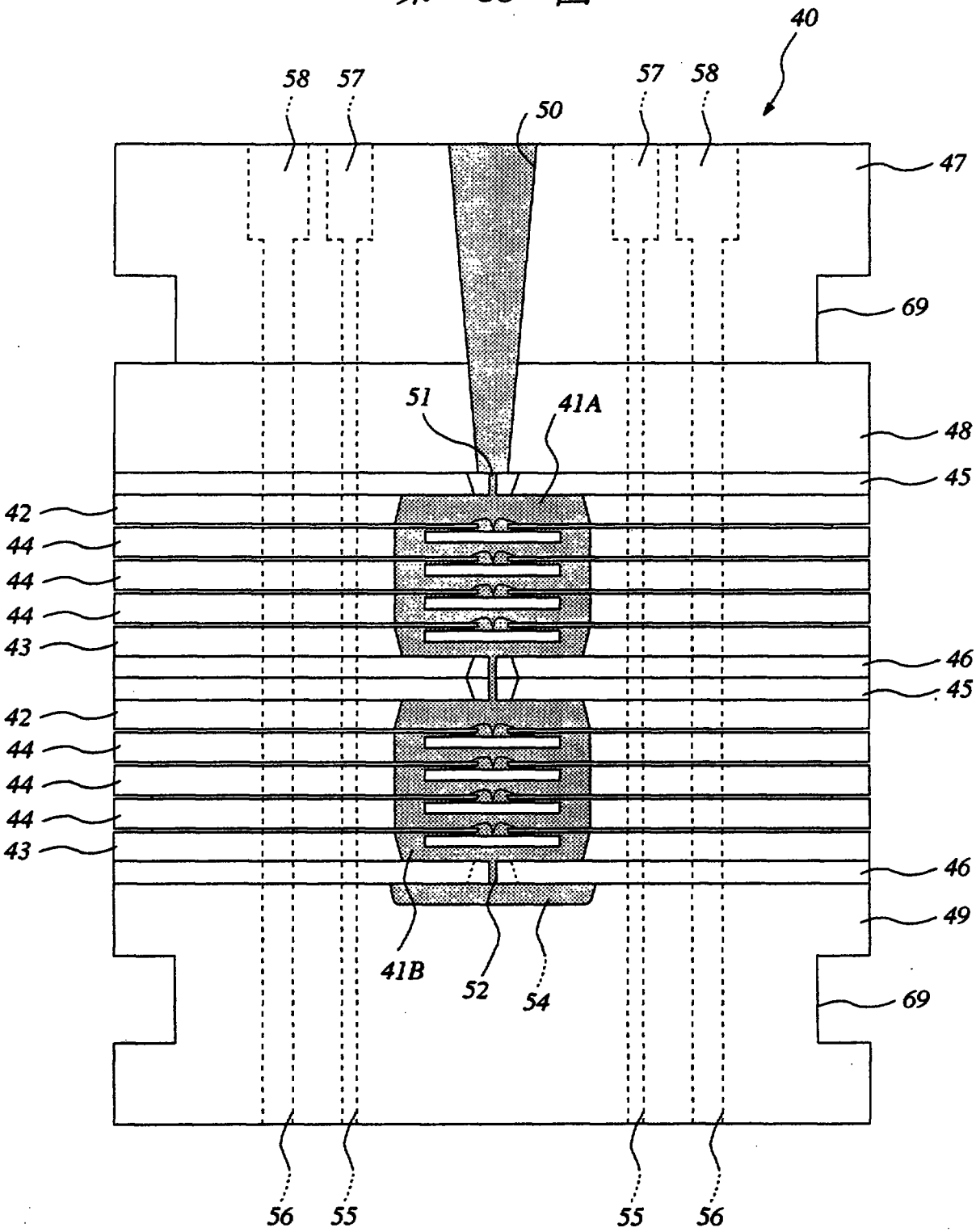
第 86 図


40
58
57
50
57
58
47
69
48
S
S
45
42
44
44
44
43
46
45
42
44
44
44
43
46
49
S
53
54
69
56
55
55
56

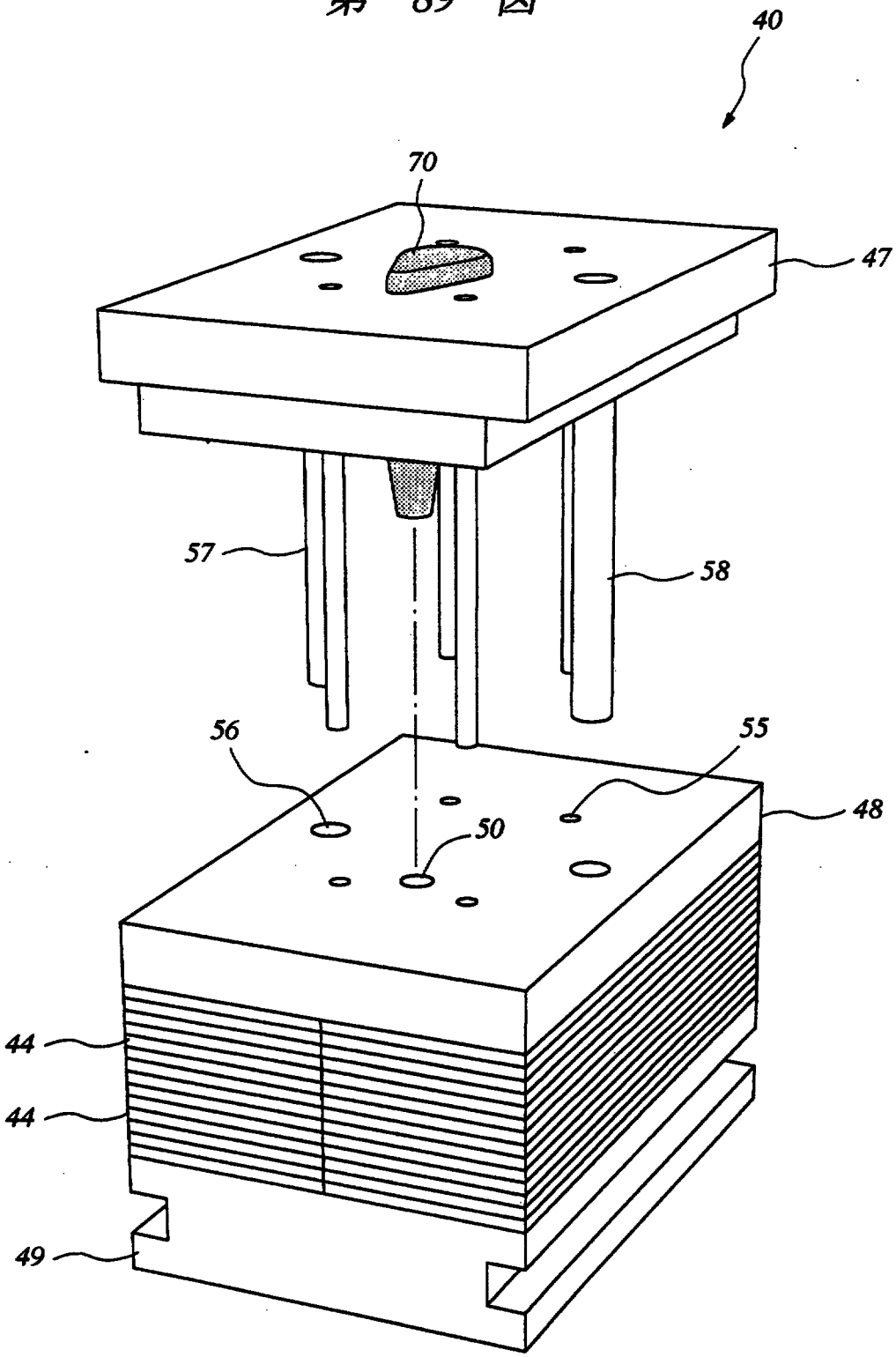
第 87 図


60
f
64
f
63
61
65
66
50
47
68
48
45
67
42
41A
44
41B
44
67
43
46
40
40
49
54
62
f

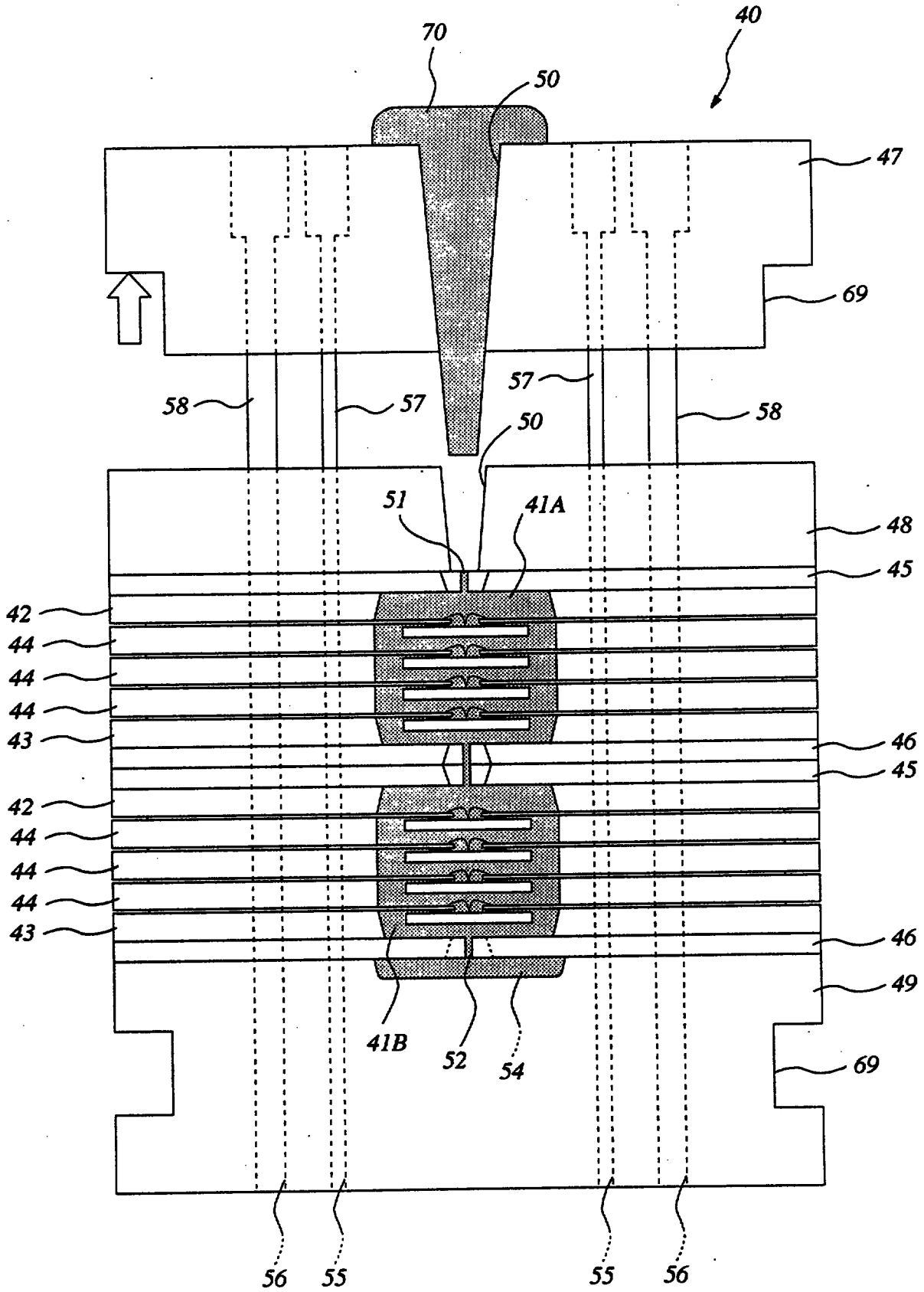
第 88 図


40
58
57
57
58
50
47
69
51
41A
48
45
42
44
44
44
43
46
45
42
44
44
44
43
46
49
41B
52
54
69
56
55
55
56

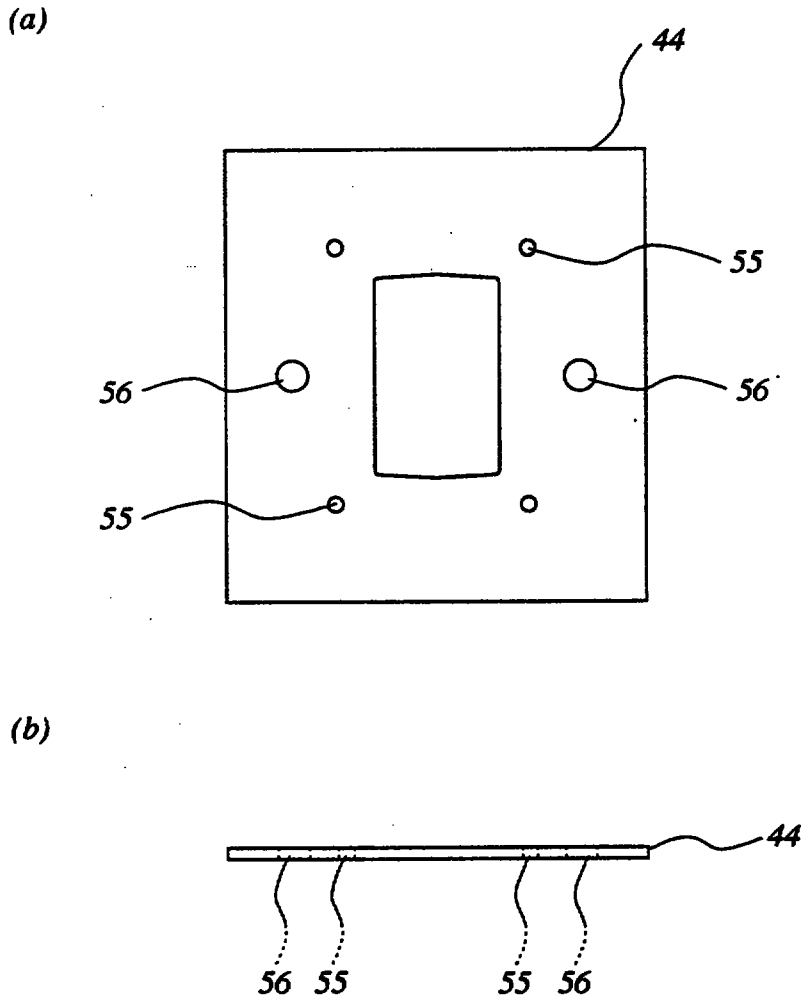
第 89 図



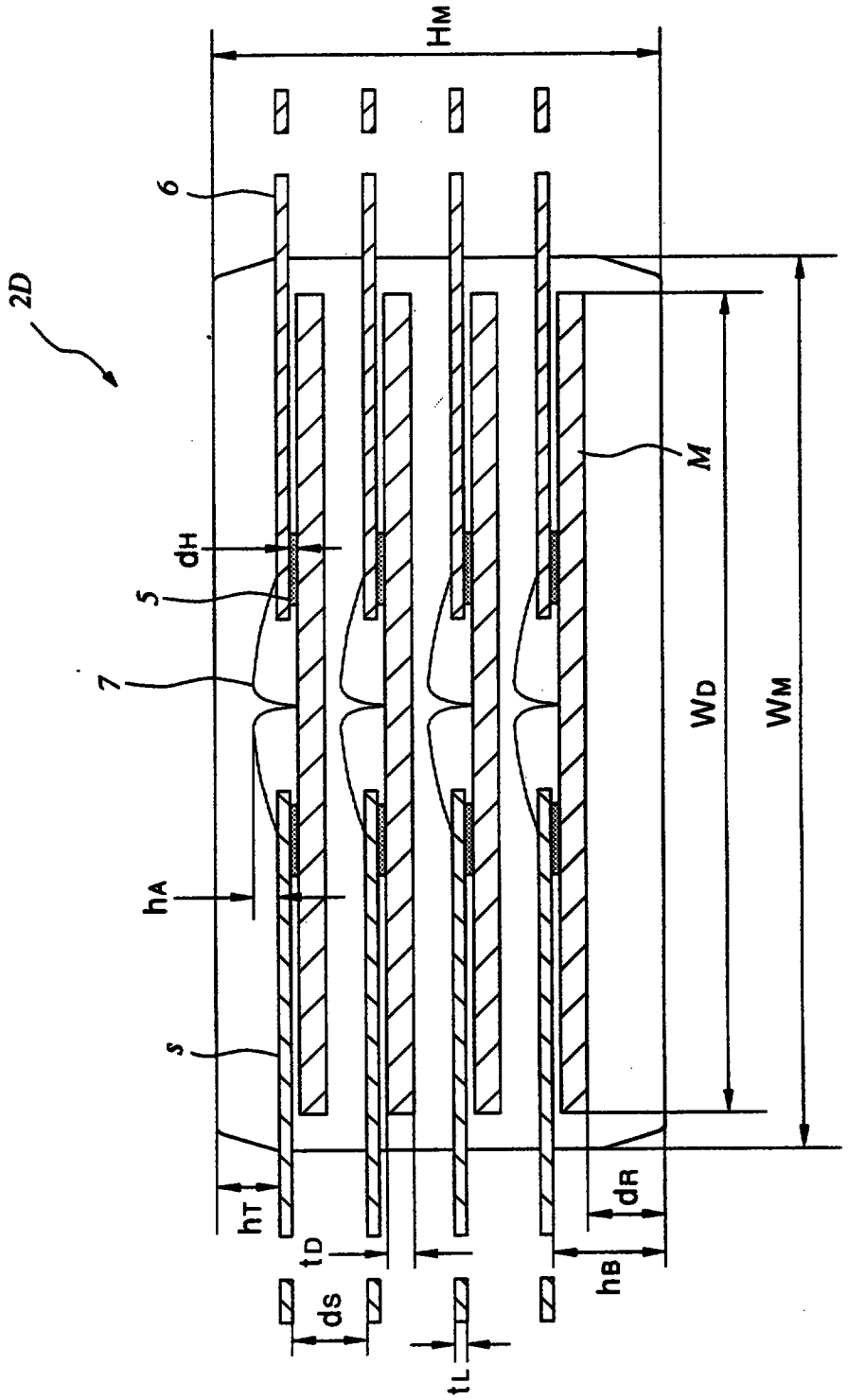
第 90 図


40
70
50
47
69
58
57
57
58
50
51
41A
48
45
42
44
44
44
43
46
45
42
44
44
44
43
46
49
41B
52
54
69
56
55
55
56

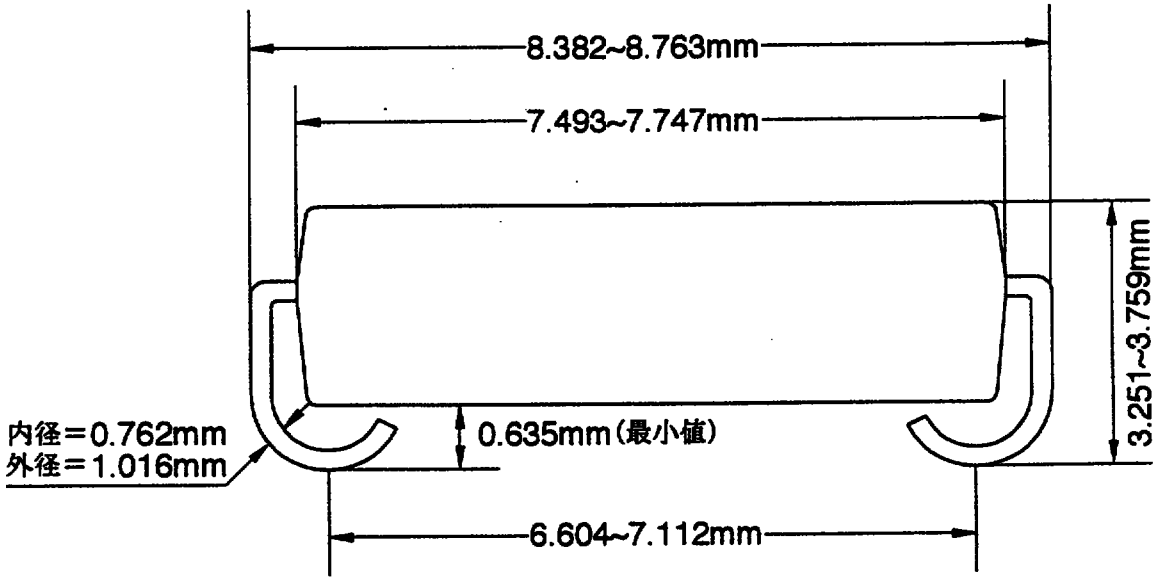
第 91 図



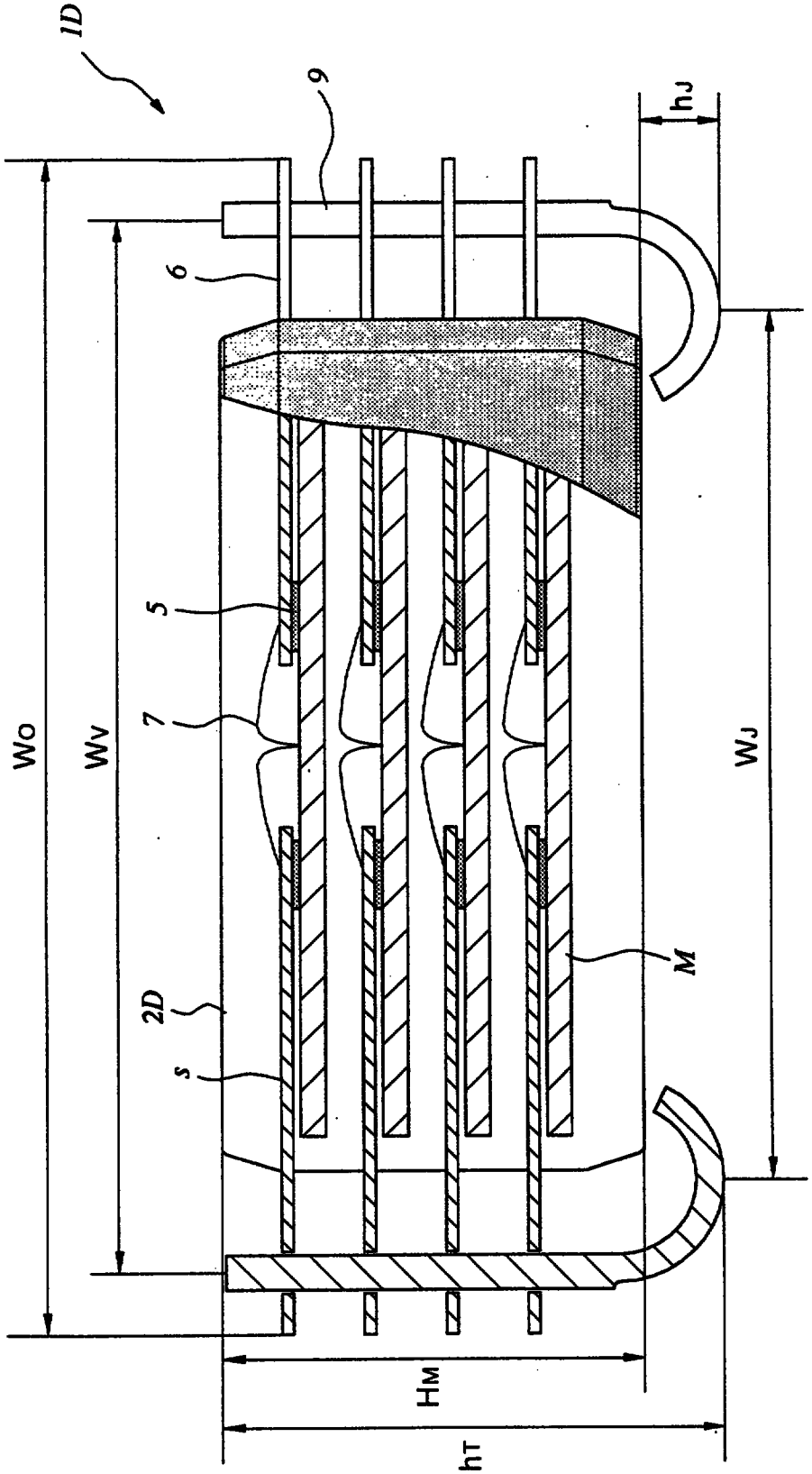
第 92 図



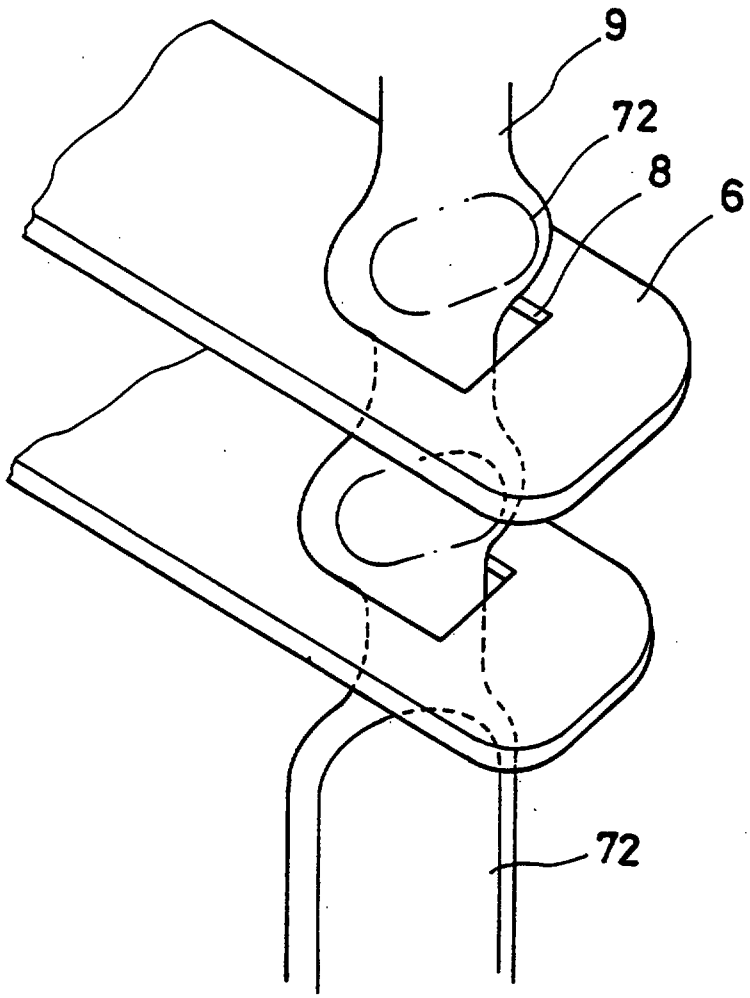
第 93 図


8.382~8.763mm
7.493~7.747mm
3.251~3.759mm
内径＝0.762mm
外径＝1.016mm
0.635mm（最小値）
6.604~7.112mm

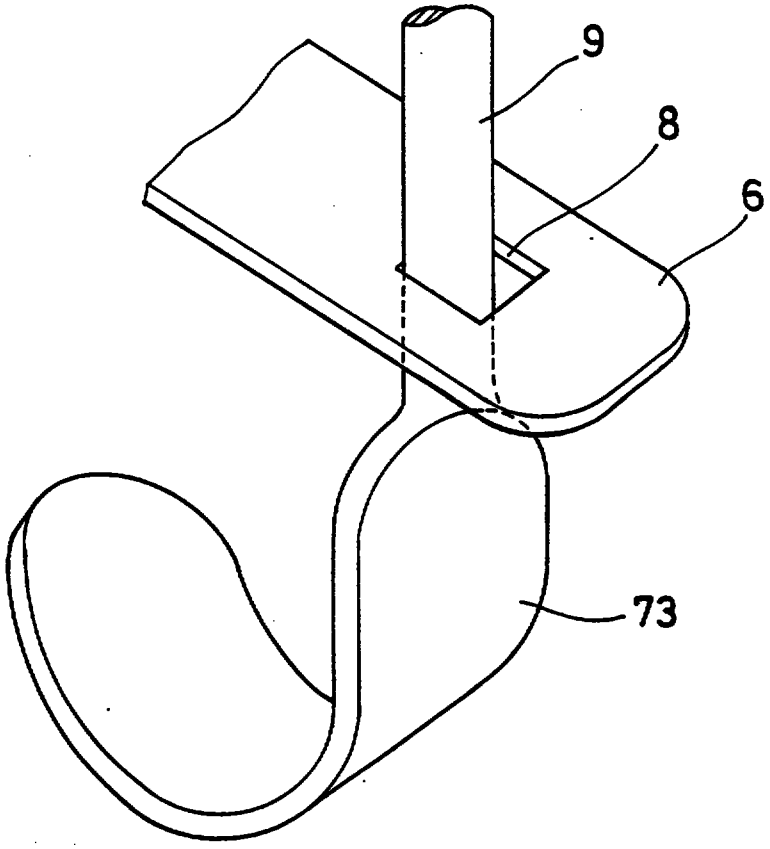
第 94 図



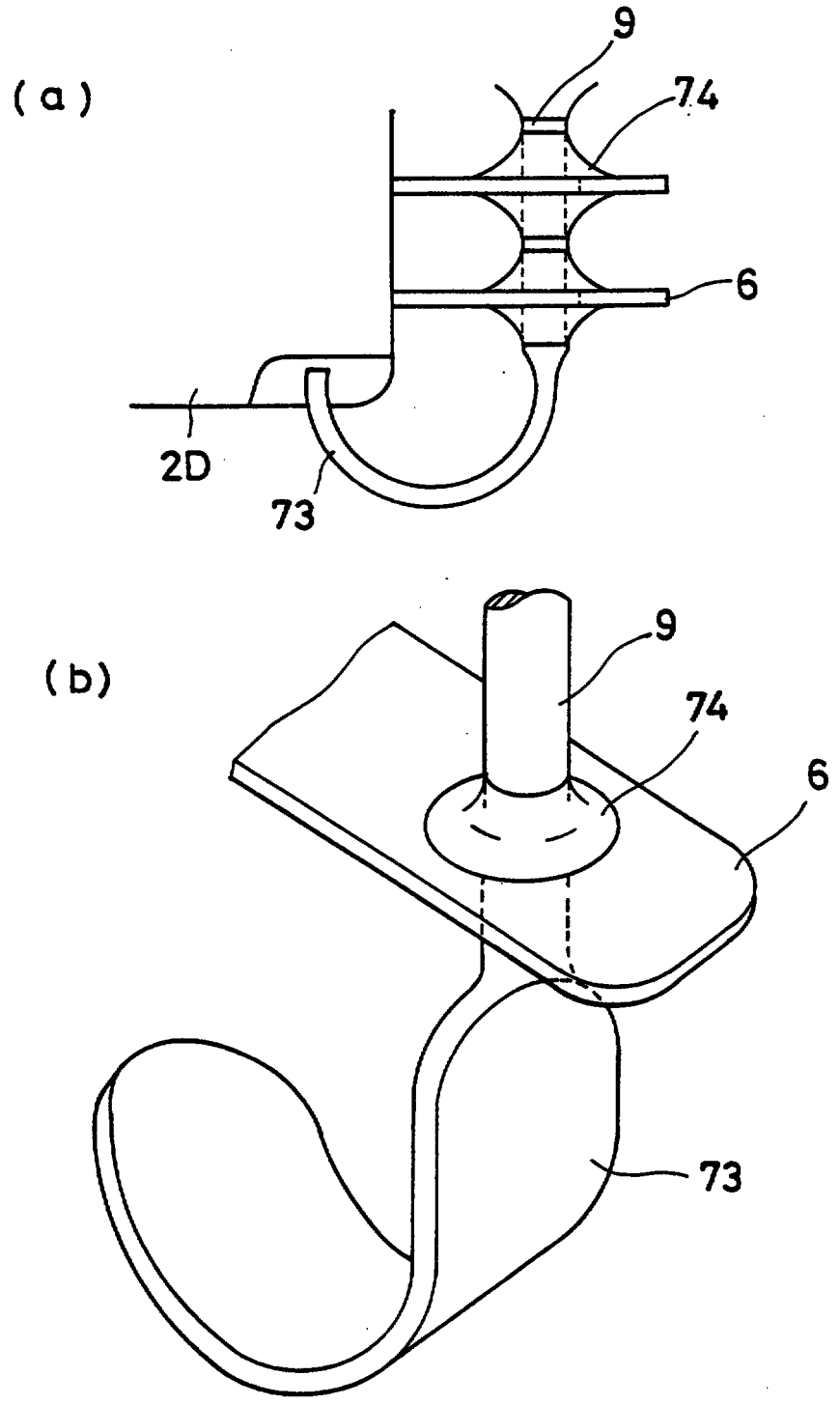
第 95 図



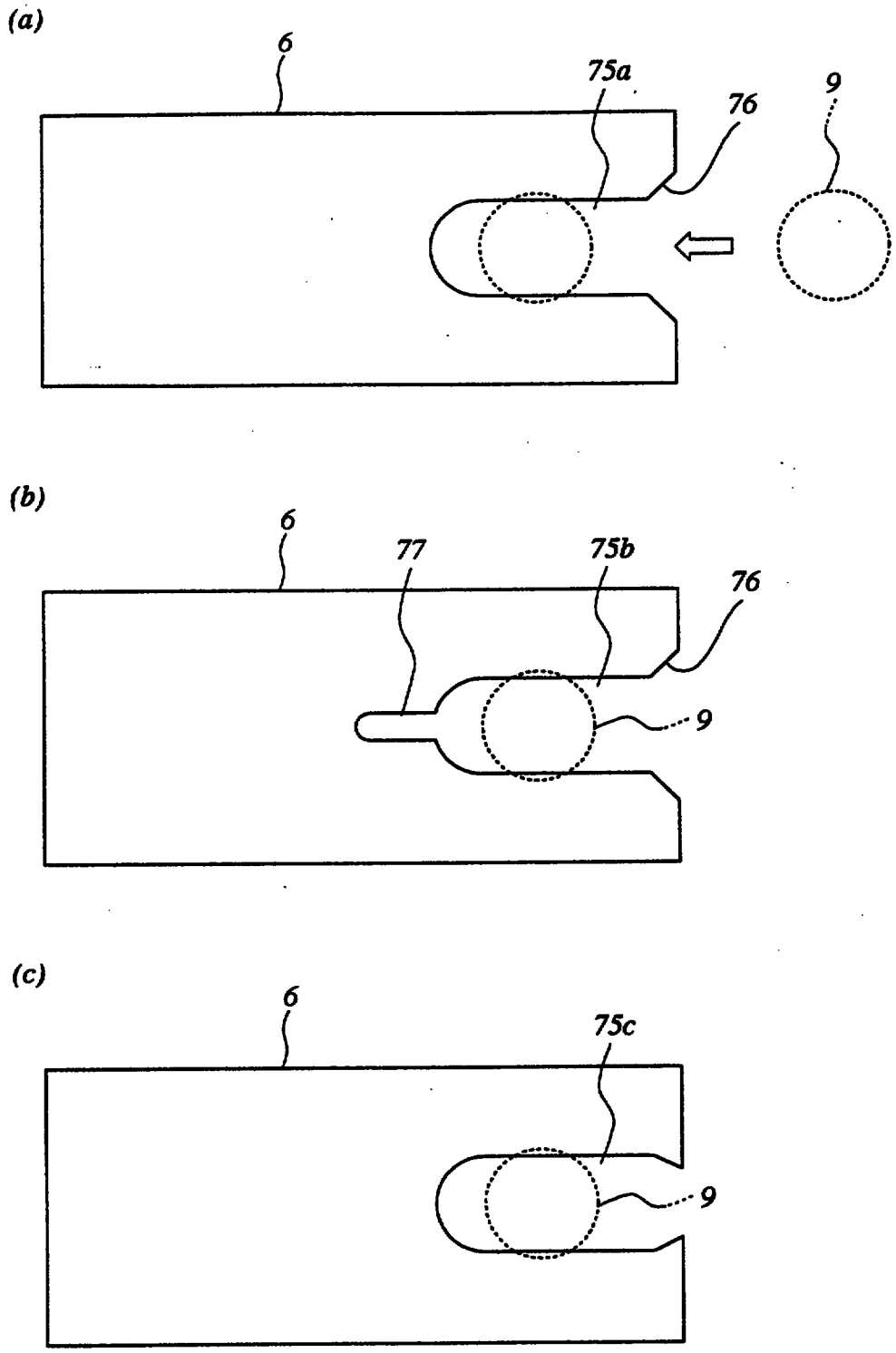
第 96 図



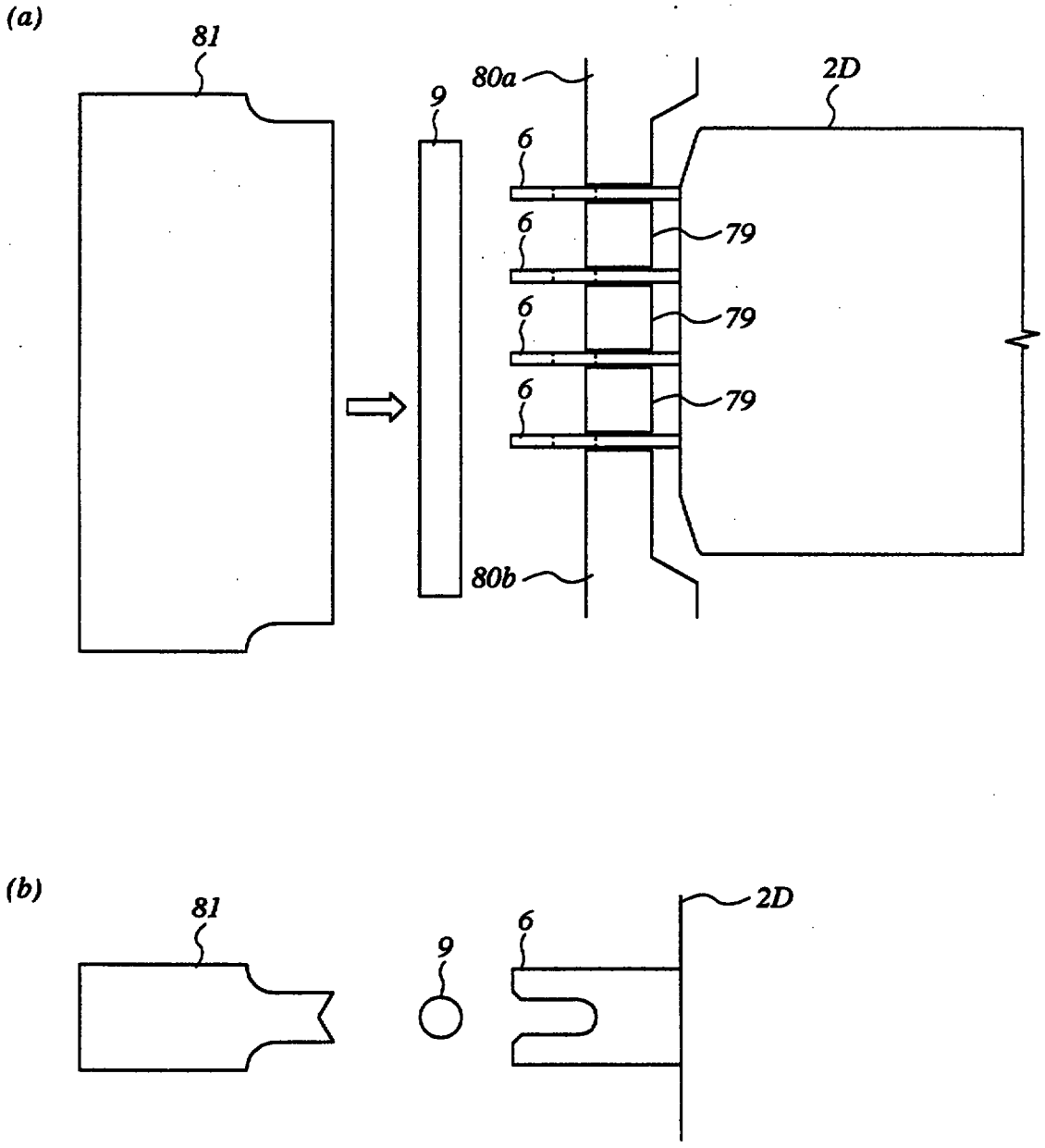
第 97 図



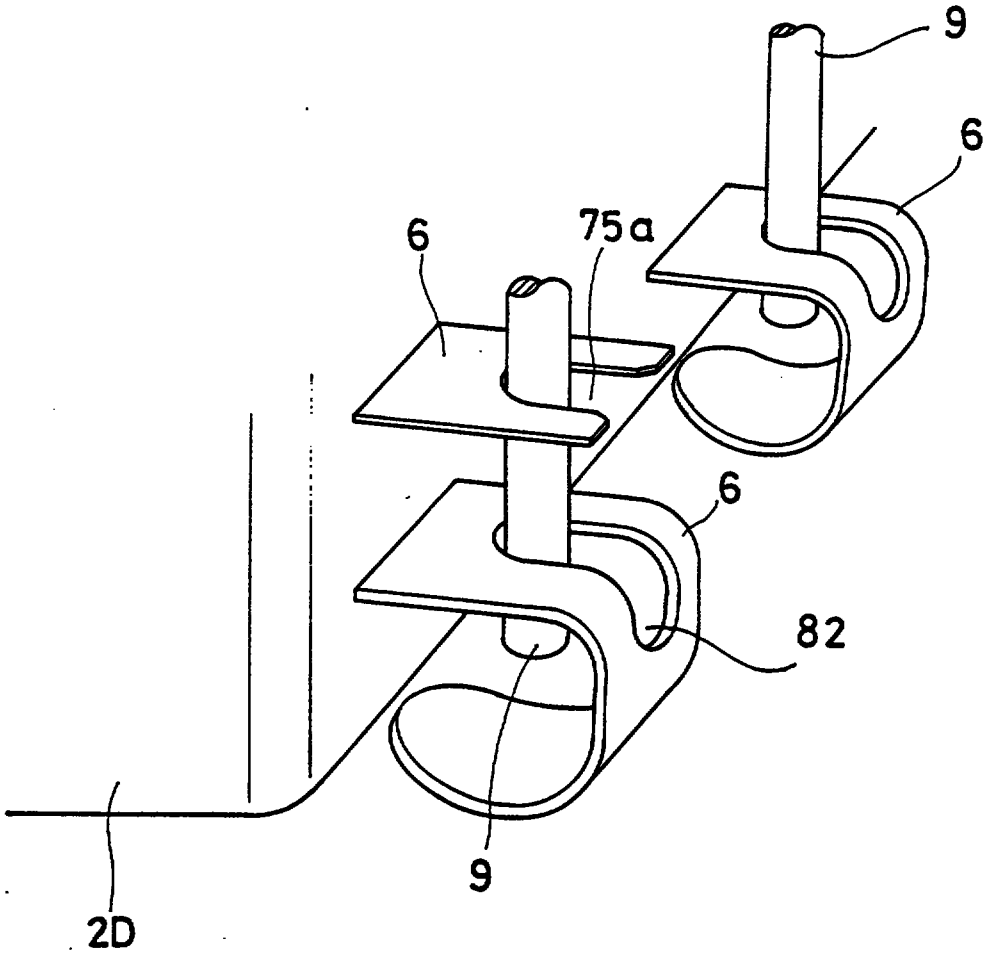
第 98 図



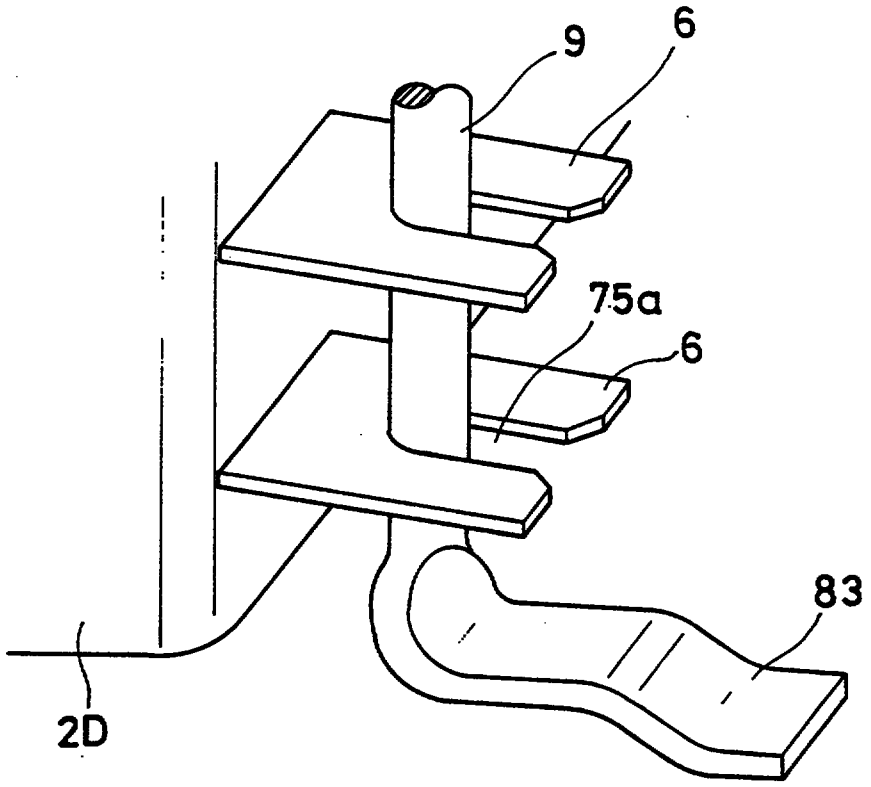
第 99 図



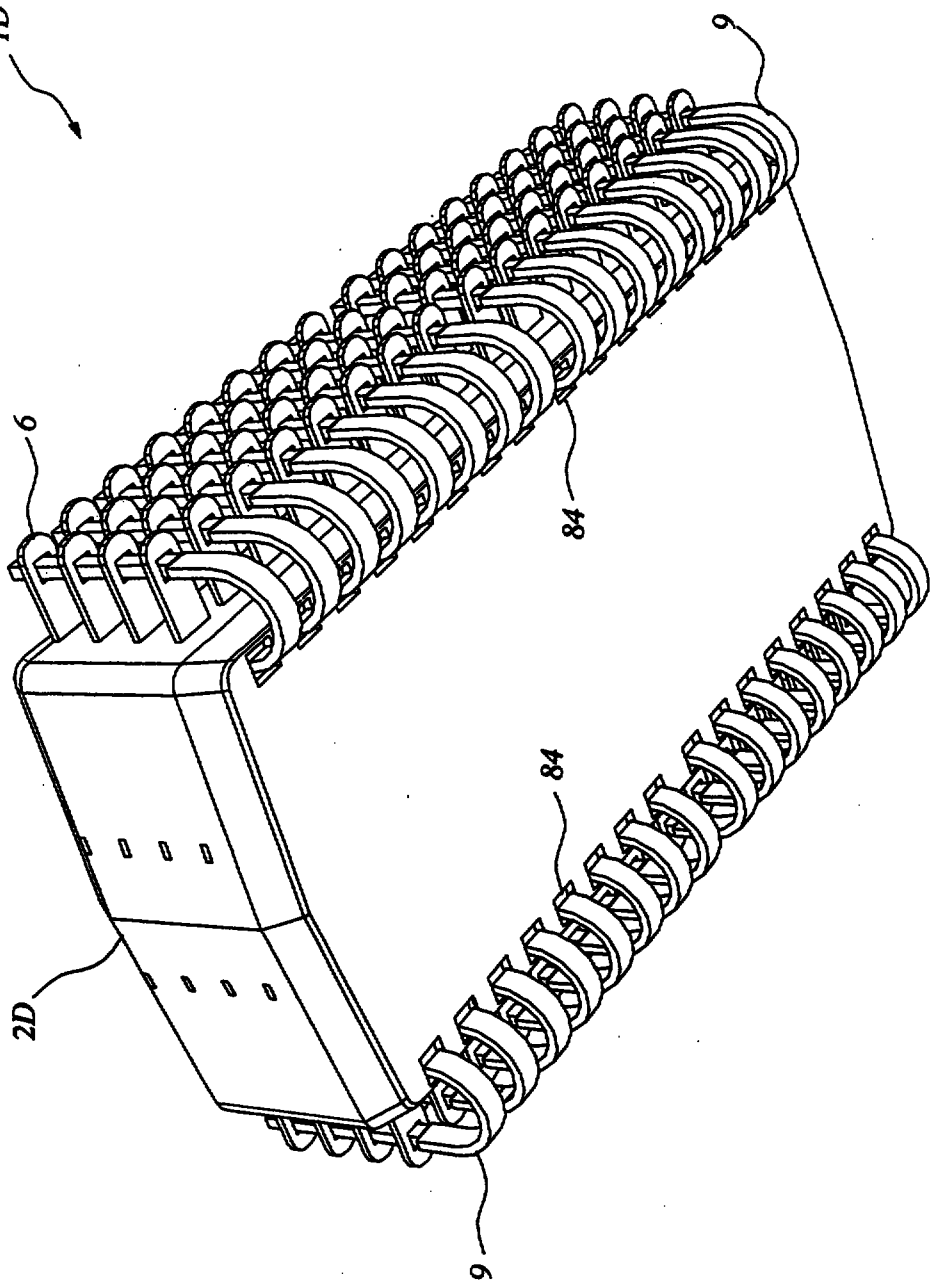
第100図



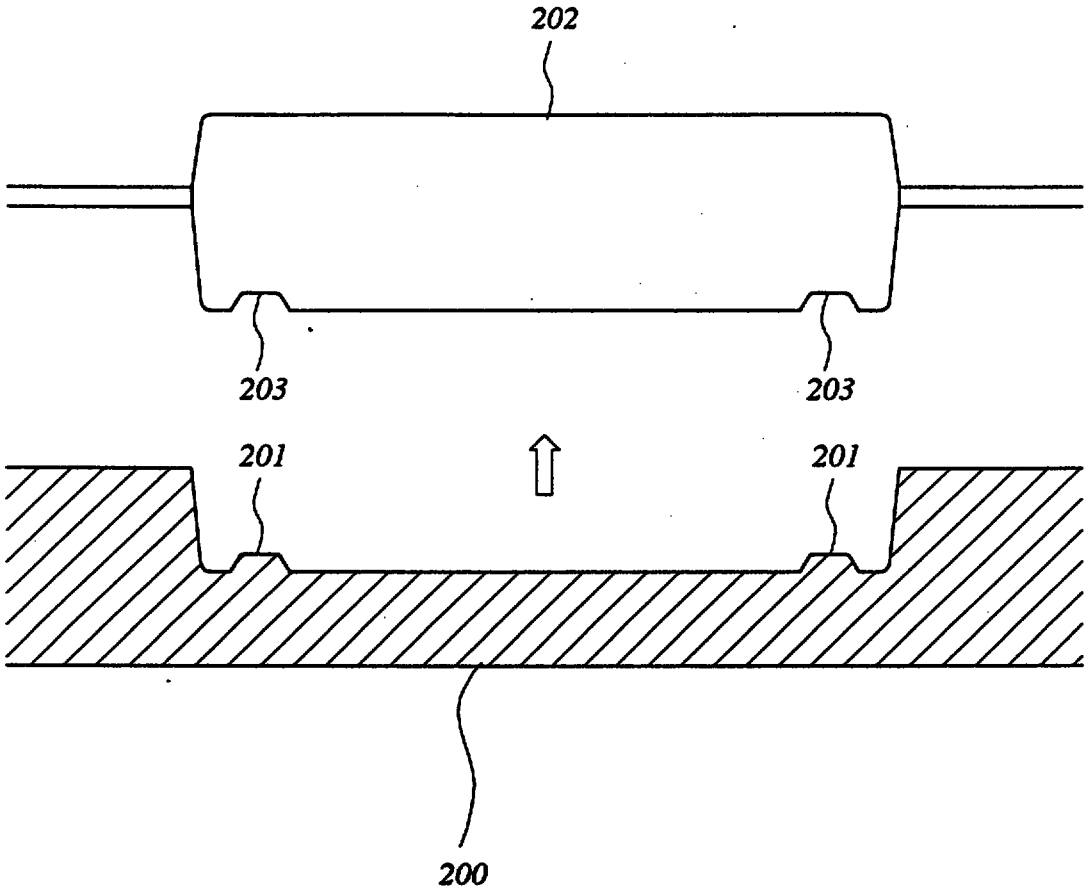
第 101 図



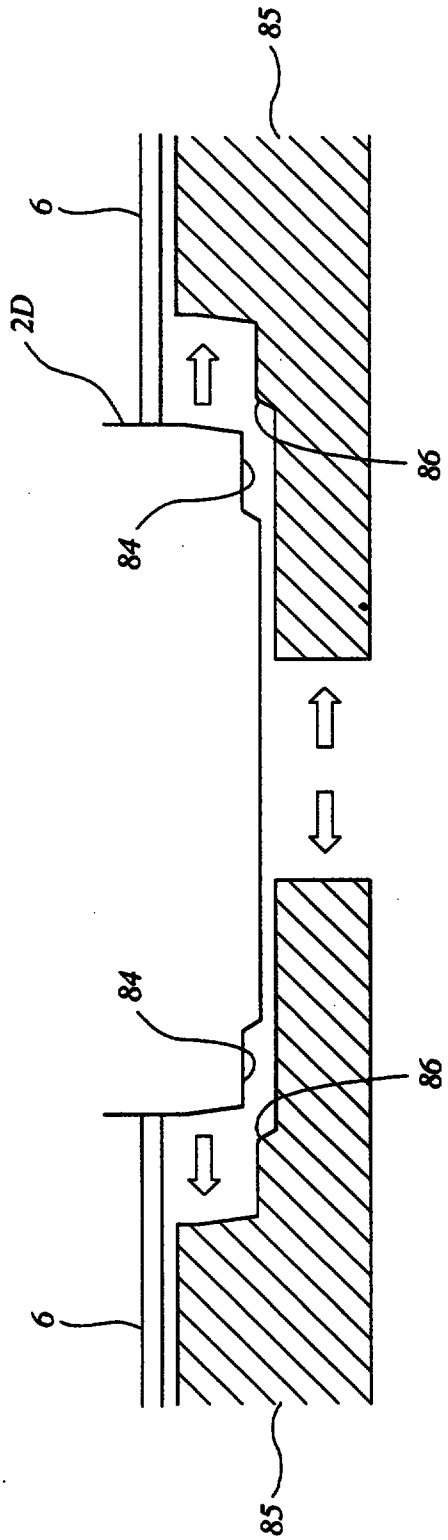
第 102 図



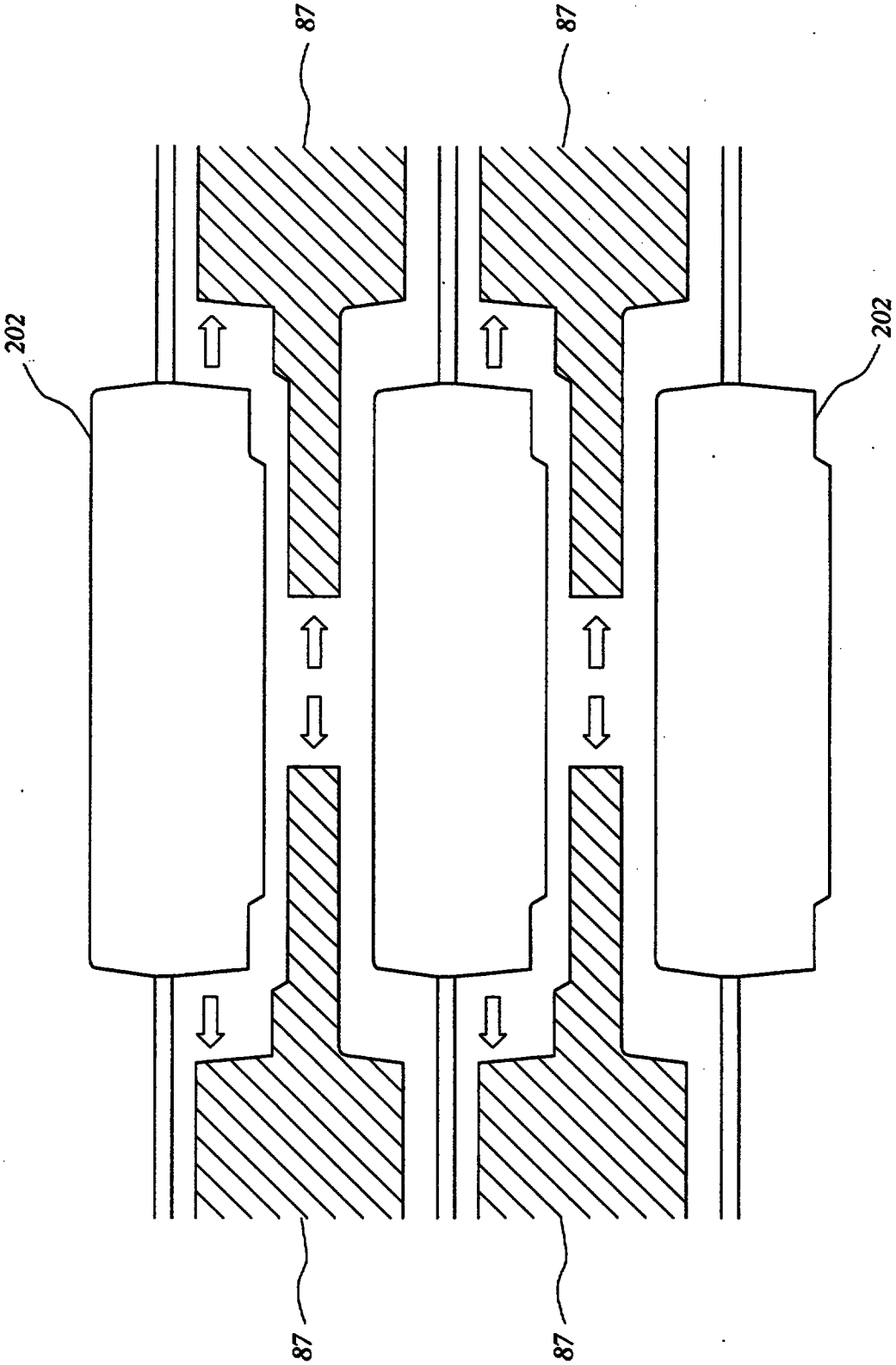
第 103 図



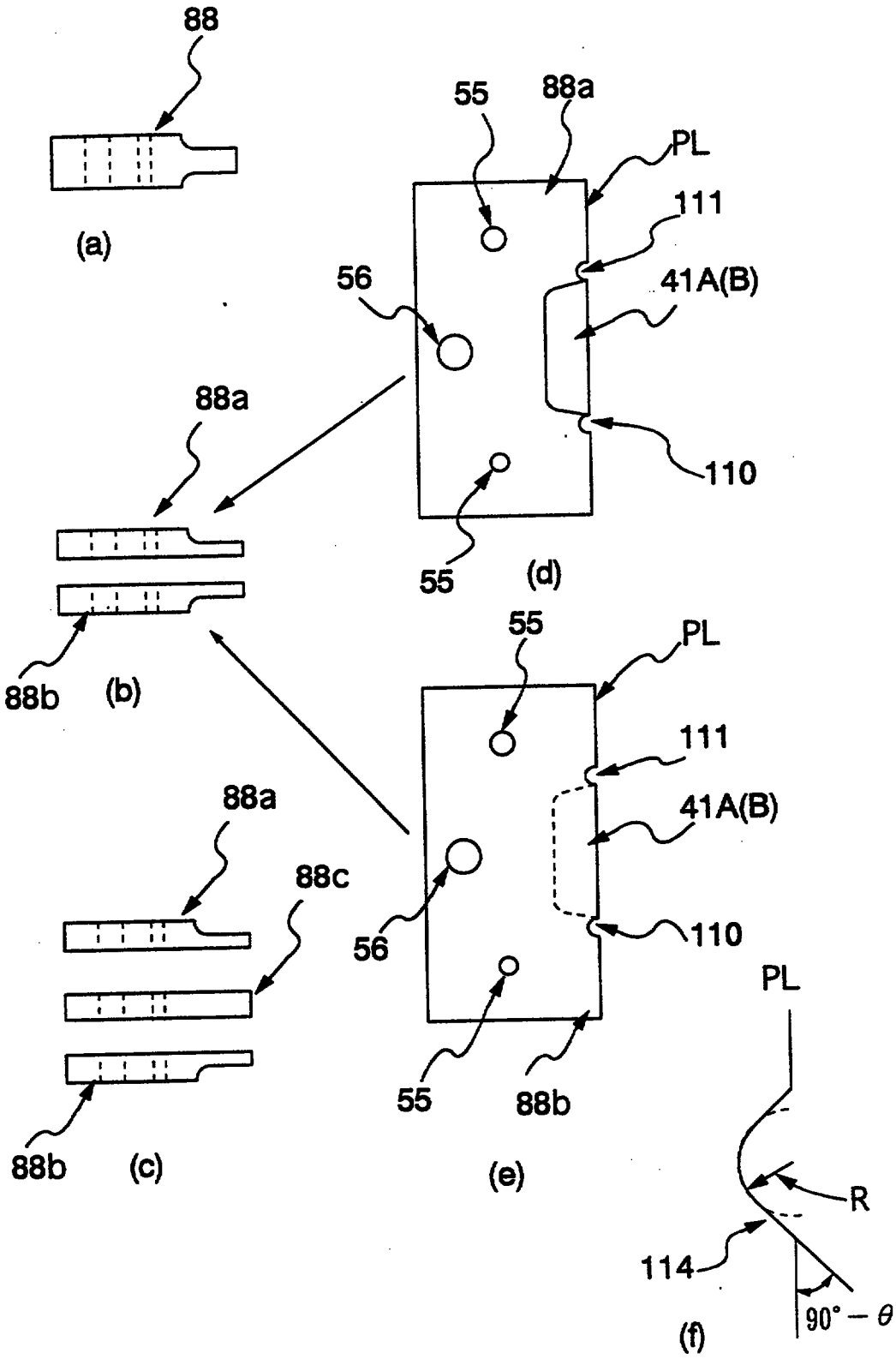
第 104 図



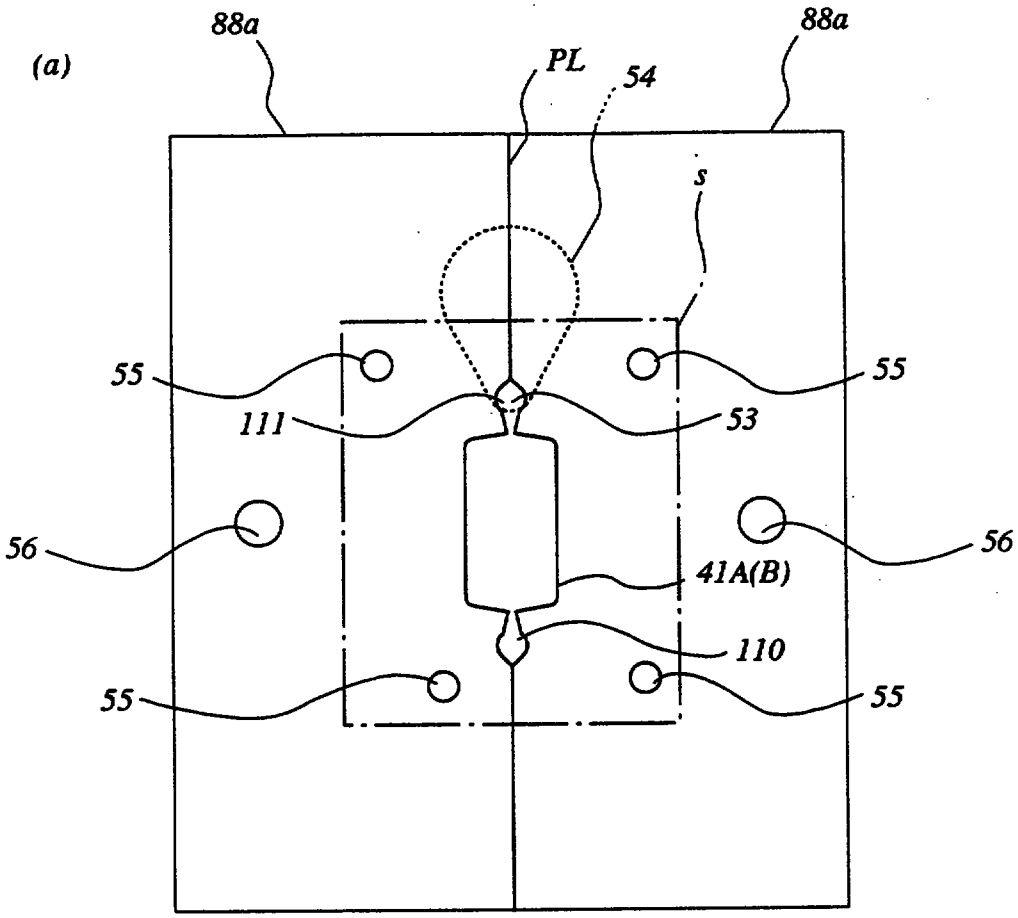
第 105 図

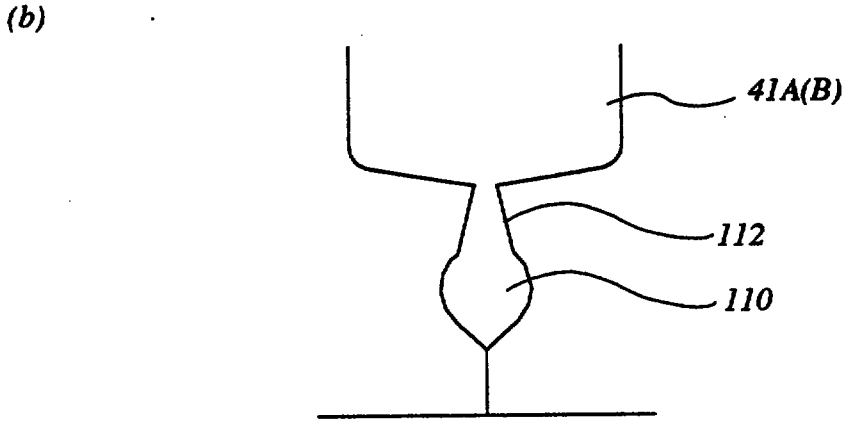


第 106 図

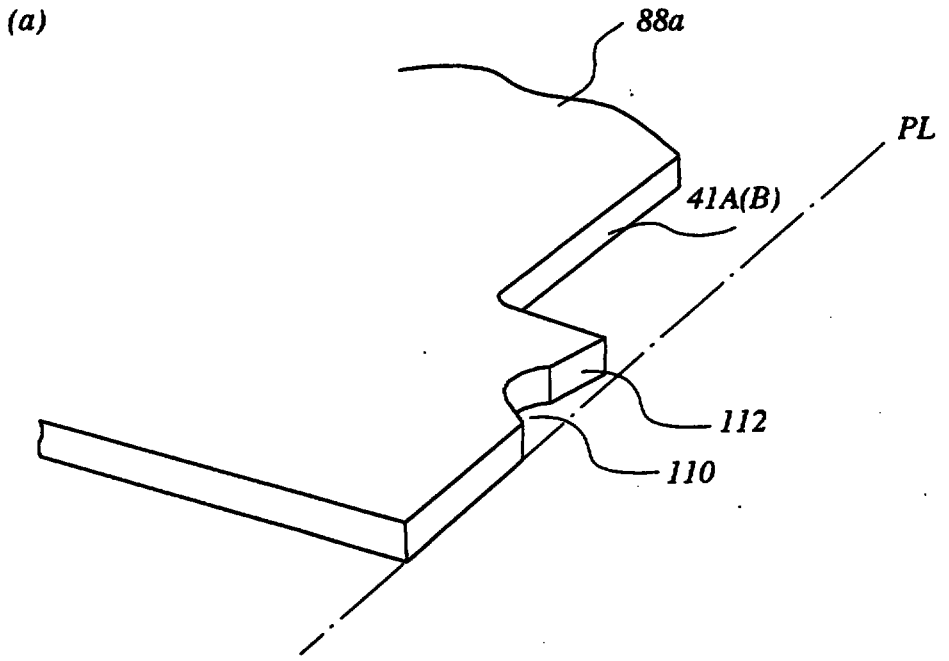

88
(a)
88a
88b
(b)
88a
88c
88b
(c)
55
88a
PL
111
41A(B)
56
110
55
(d)
55
PL
111
41A(B)
56
110
55
88b
(e)
PL
R
114
90° − θ
(f)

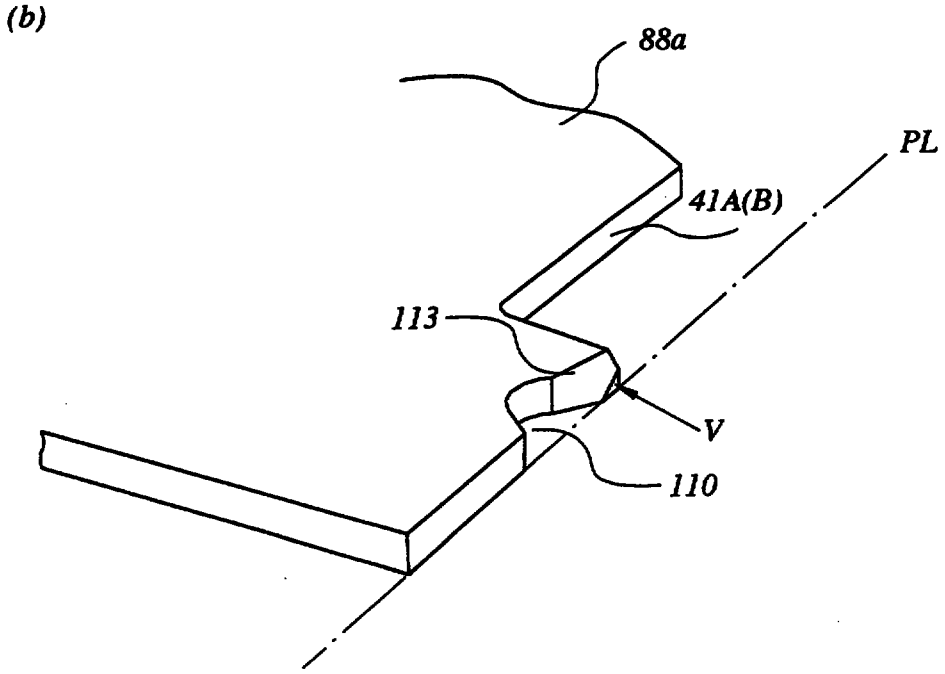
第 107 図



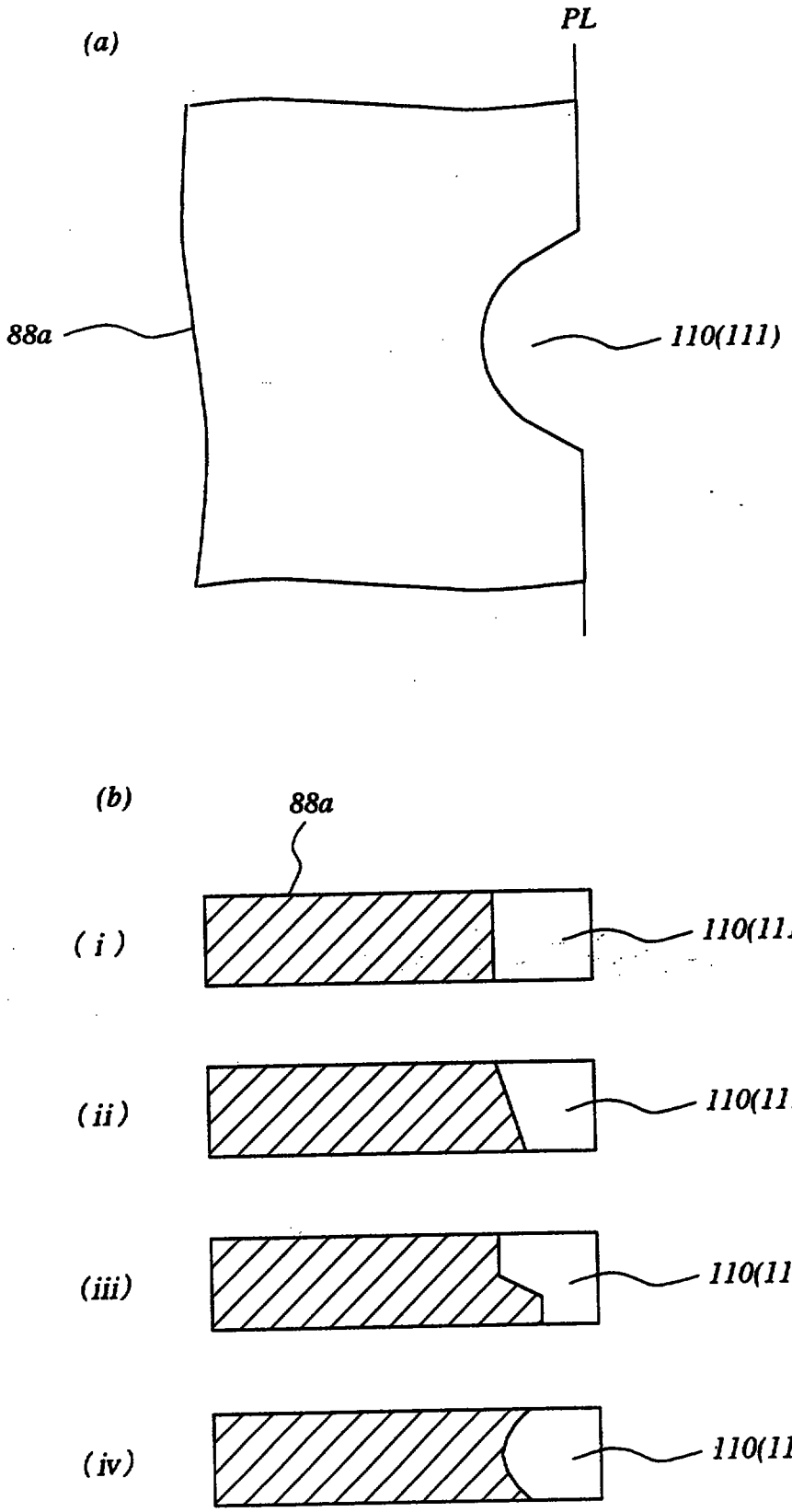


第 108 図

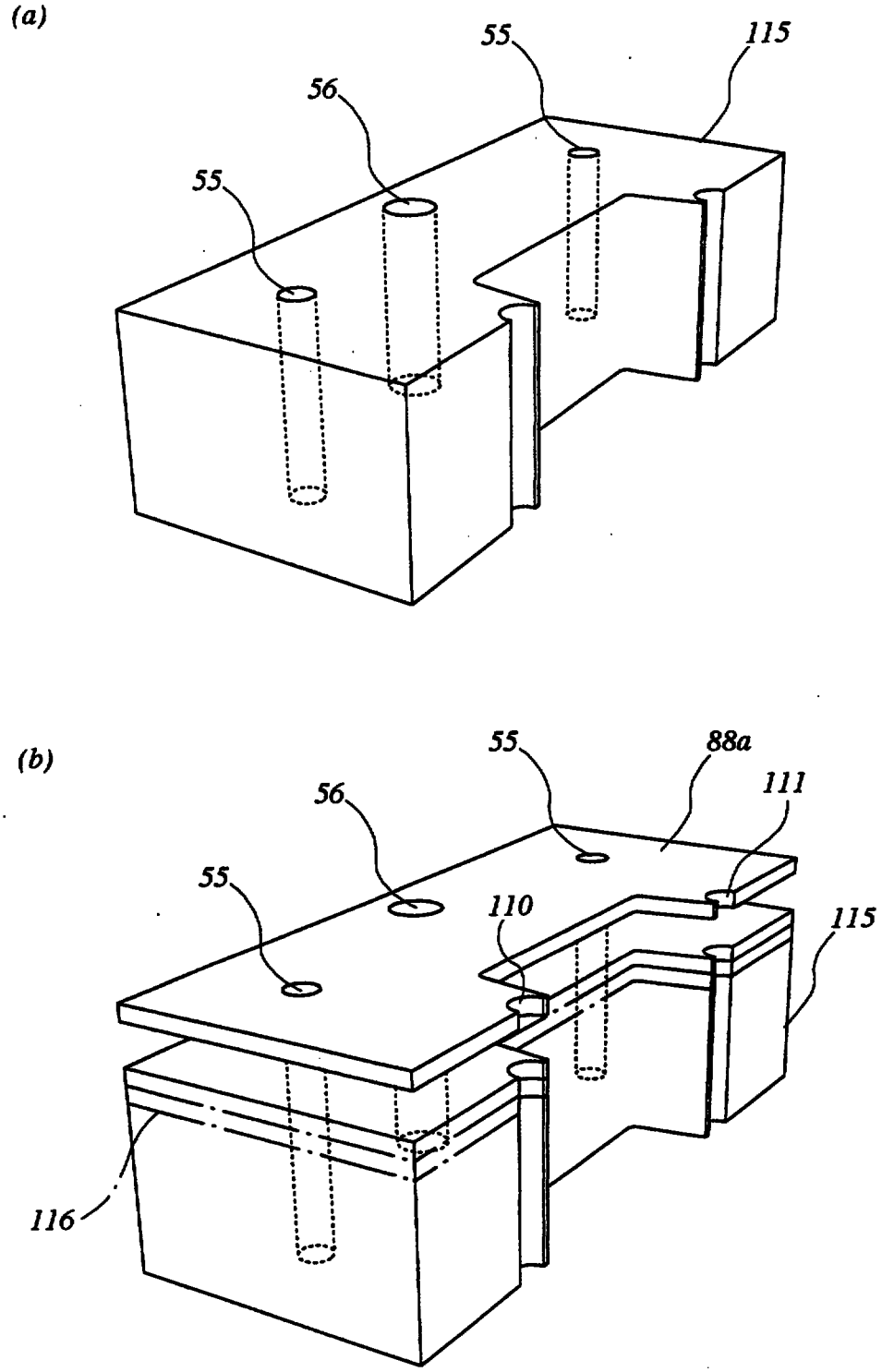




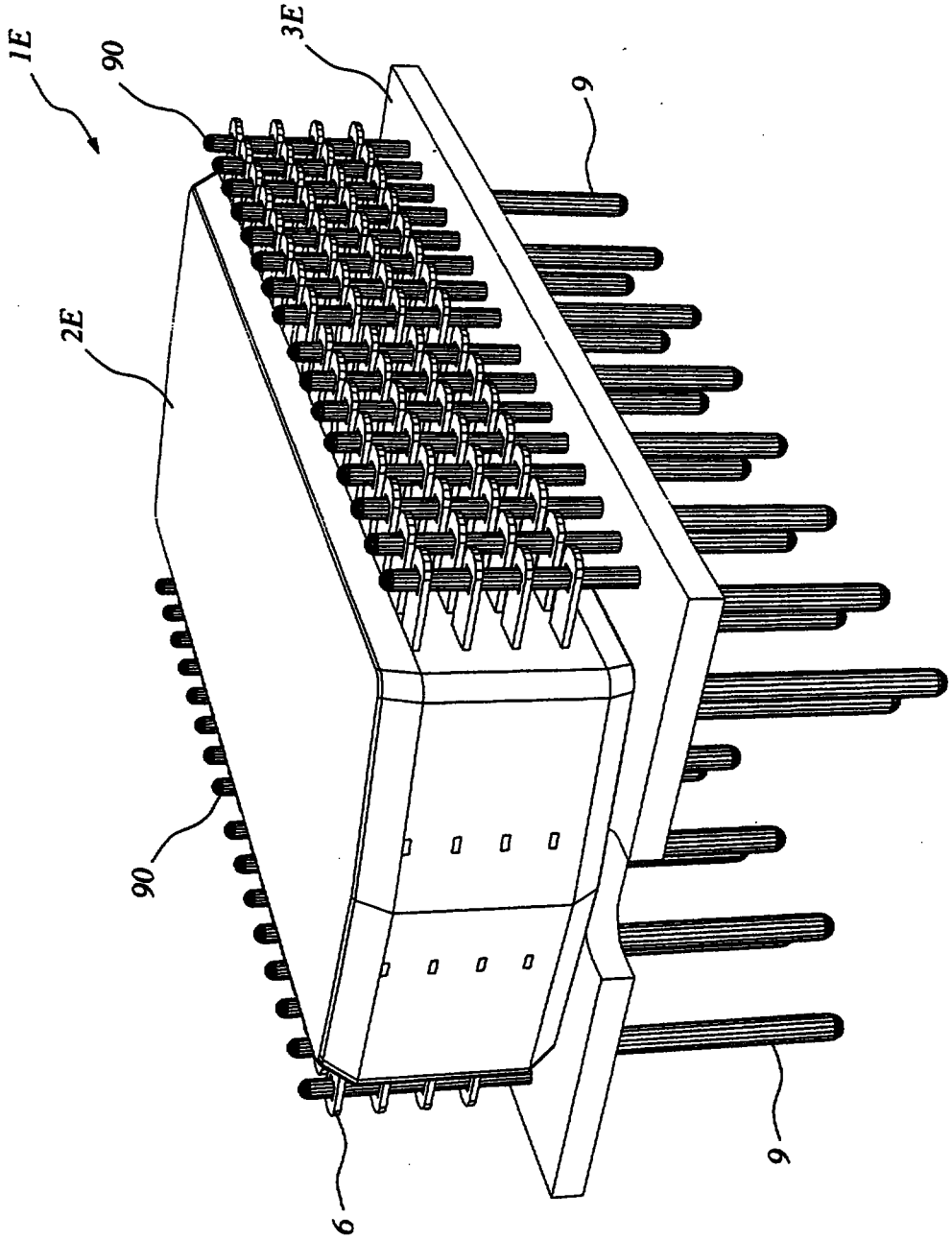
第 109 図



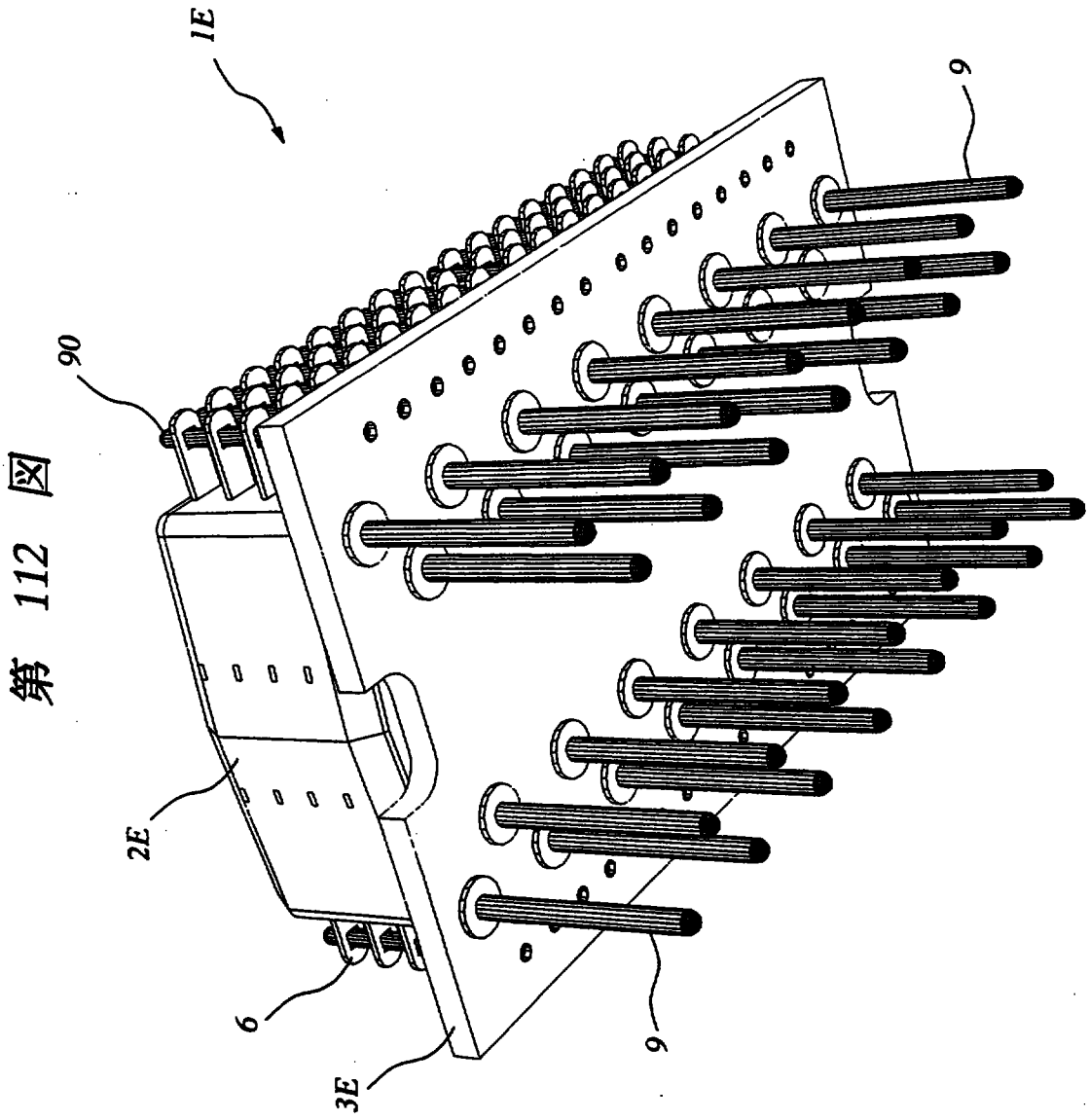
第 110 図



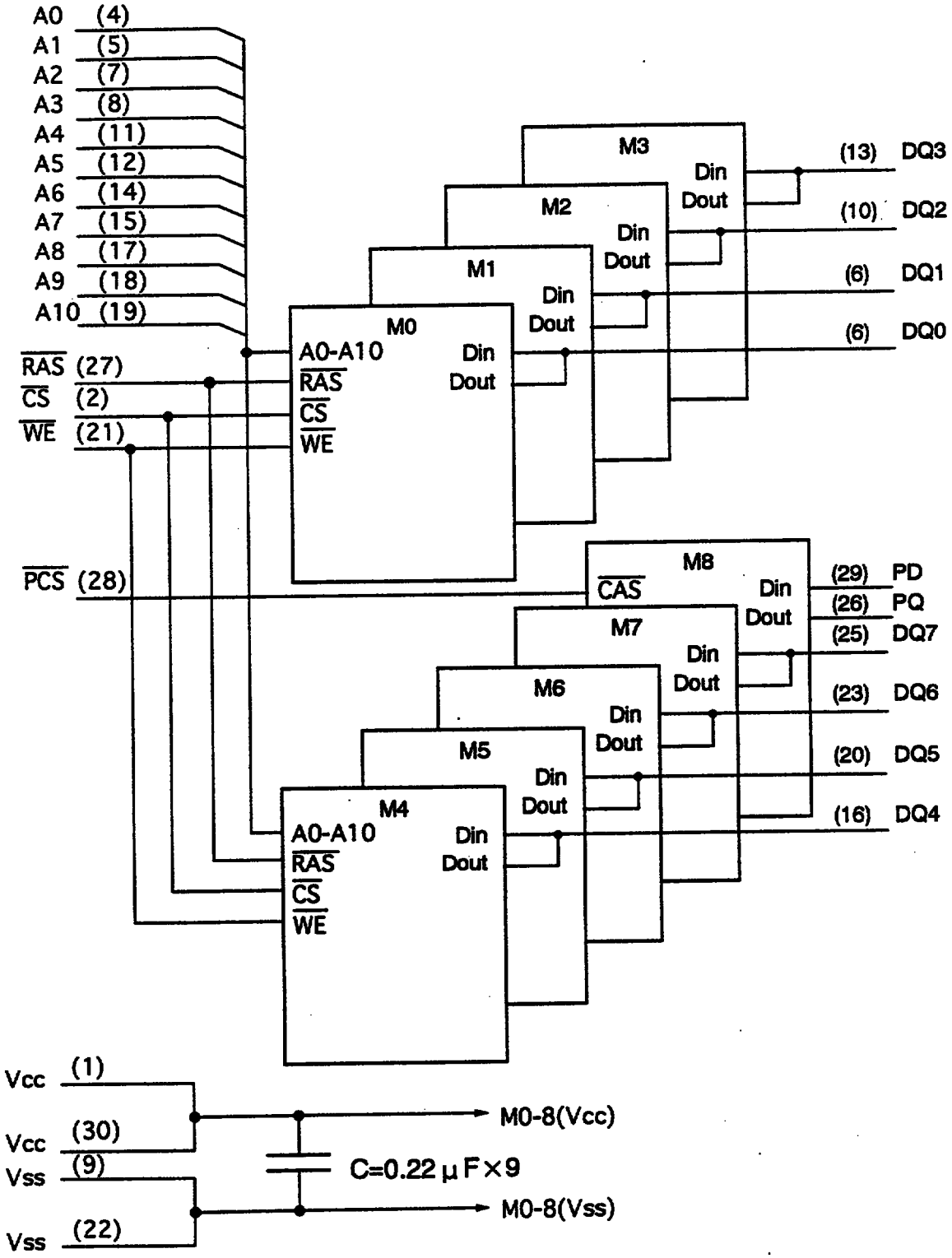
第 111 図



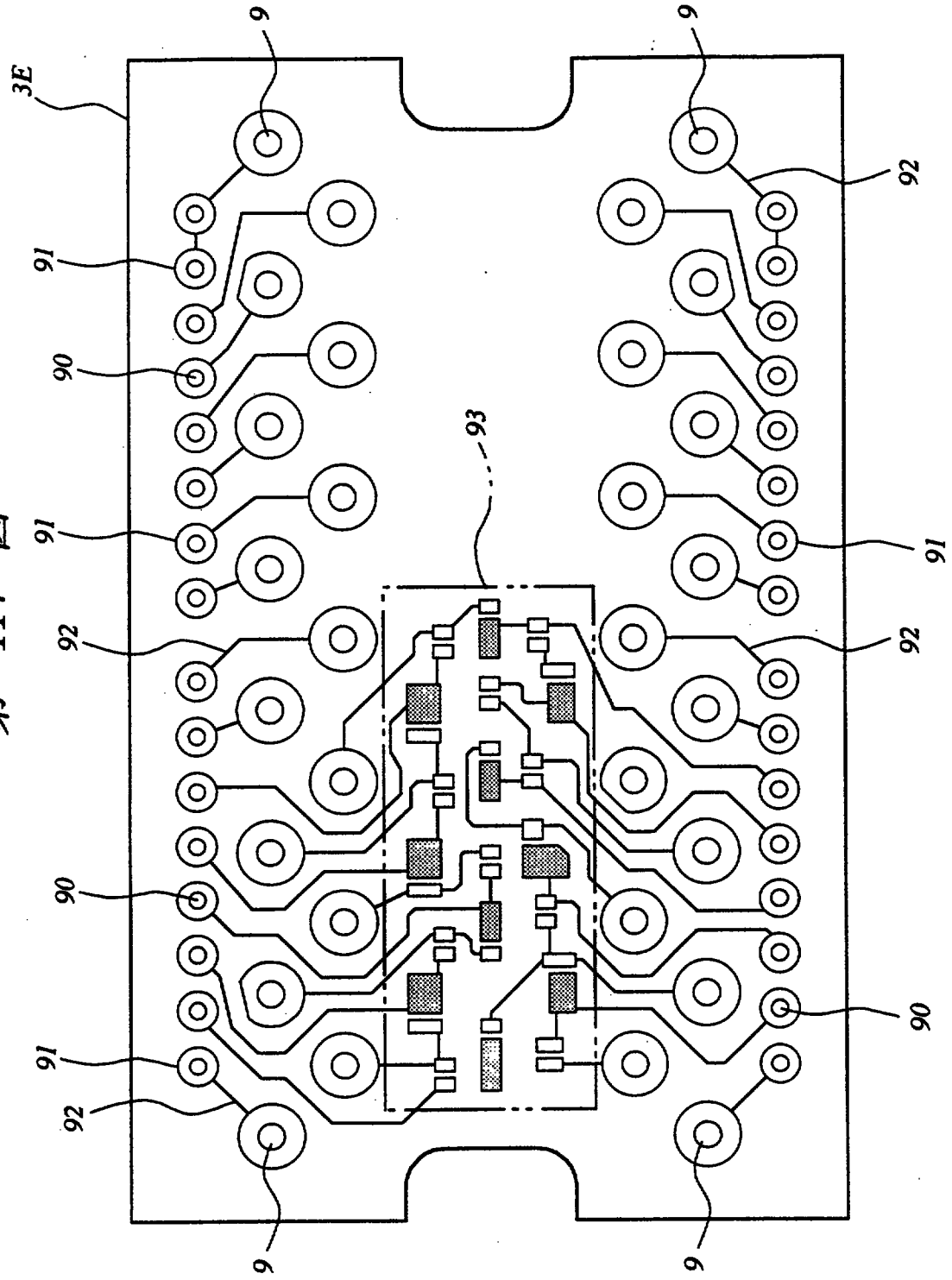
第 112 図



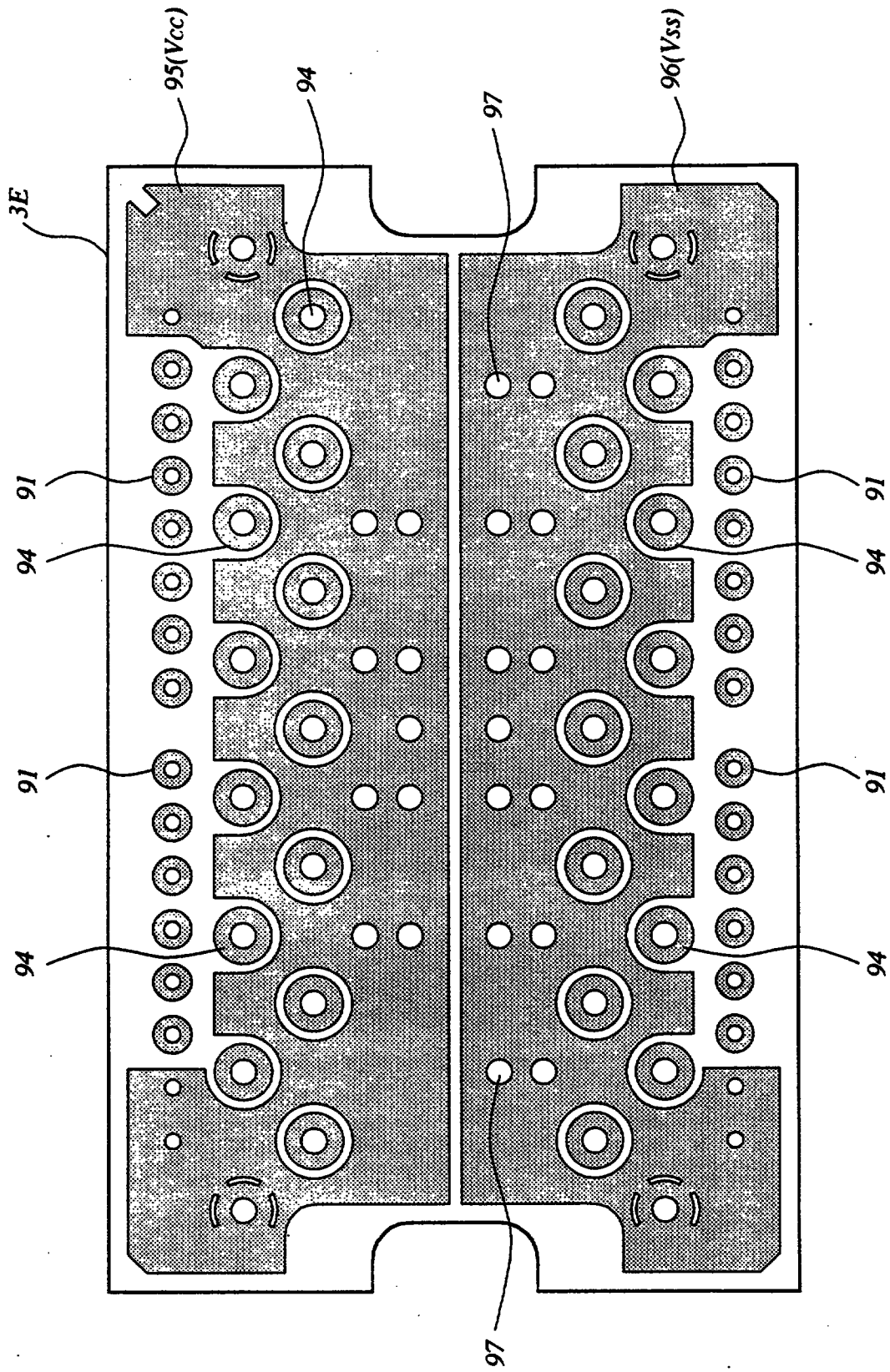
第 113 図


A0 (4)
A1 (5)
A2 (7)
A3 (8)
A4 (11)
A5 (12)
A6 (14)
A7 (15)
A8 (17)
A9 (18)
A10 (19)
RAS (27)
CS (2)
WE (21)
PCS (28)
M0
A0-A10
RAS
CS
WE
Din
Dout
M1
M2
M3
M4
M5
M6
M7
M8
CAS
(13) DQ3
(10) DQ2
(6) DQ1
(6) DQ0
(29) PD
(26) PQ
(25) DQ7
(23) DQ6
(20) DQ5
(16) DQ4
Vcc (1)
Vcc (30)
Vss (9)
Vss (22)
M0-8(Vcc)
C=0.22μF×9
M0-8(Vss)

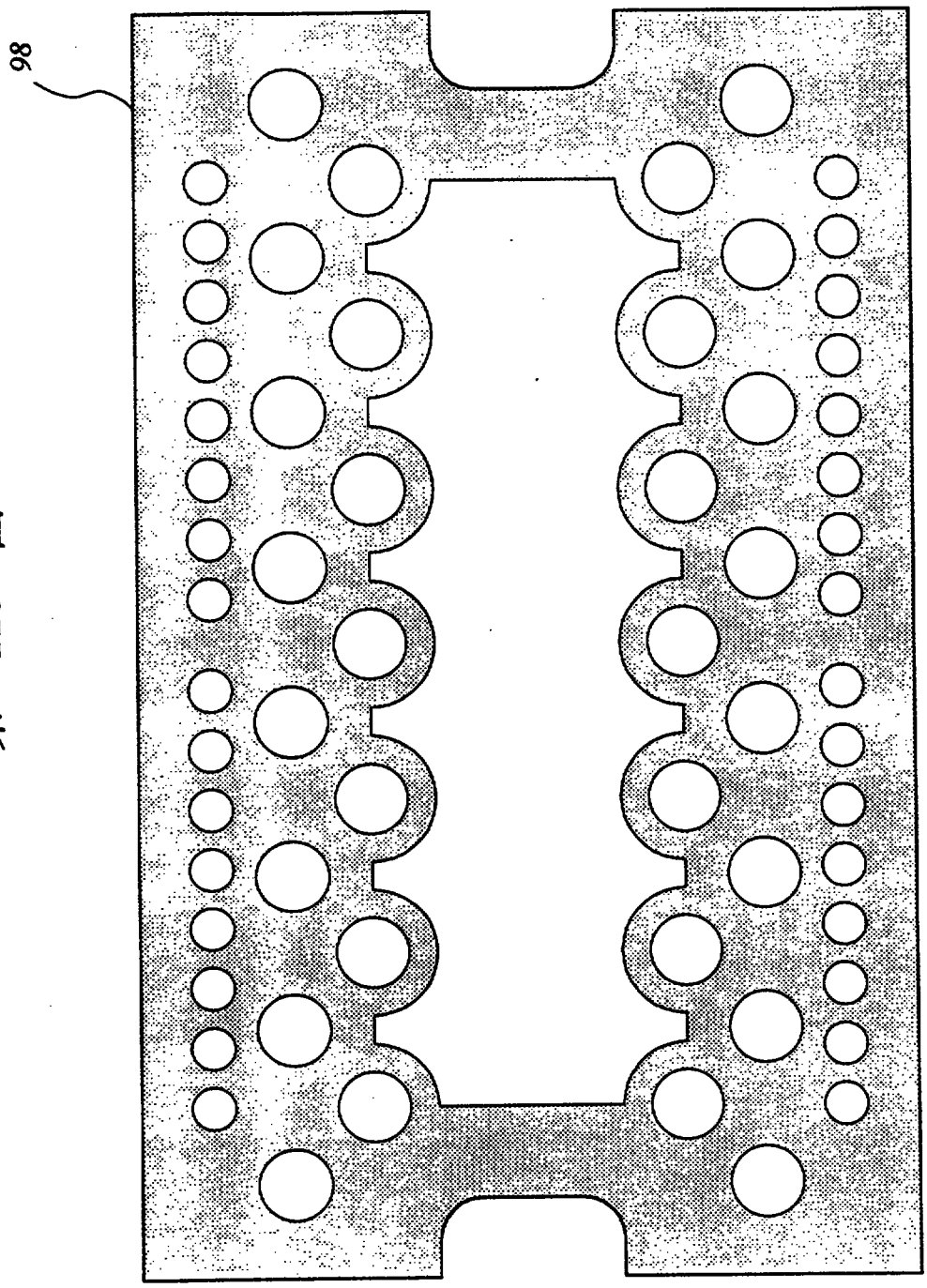
第 114 図



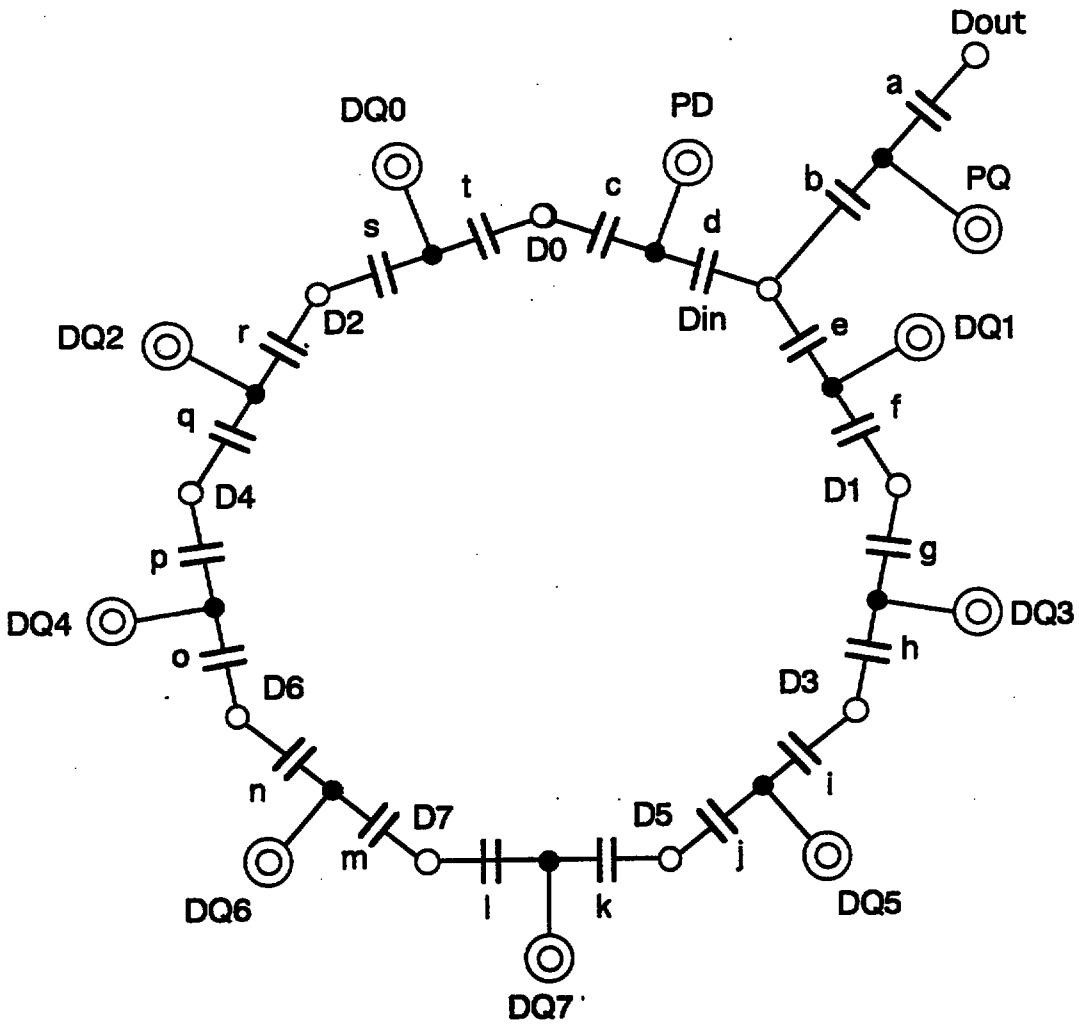
第 115 図



第 116 図

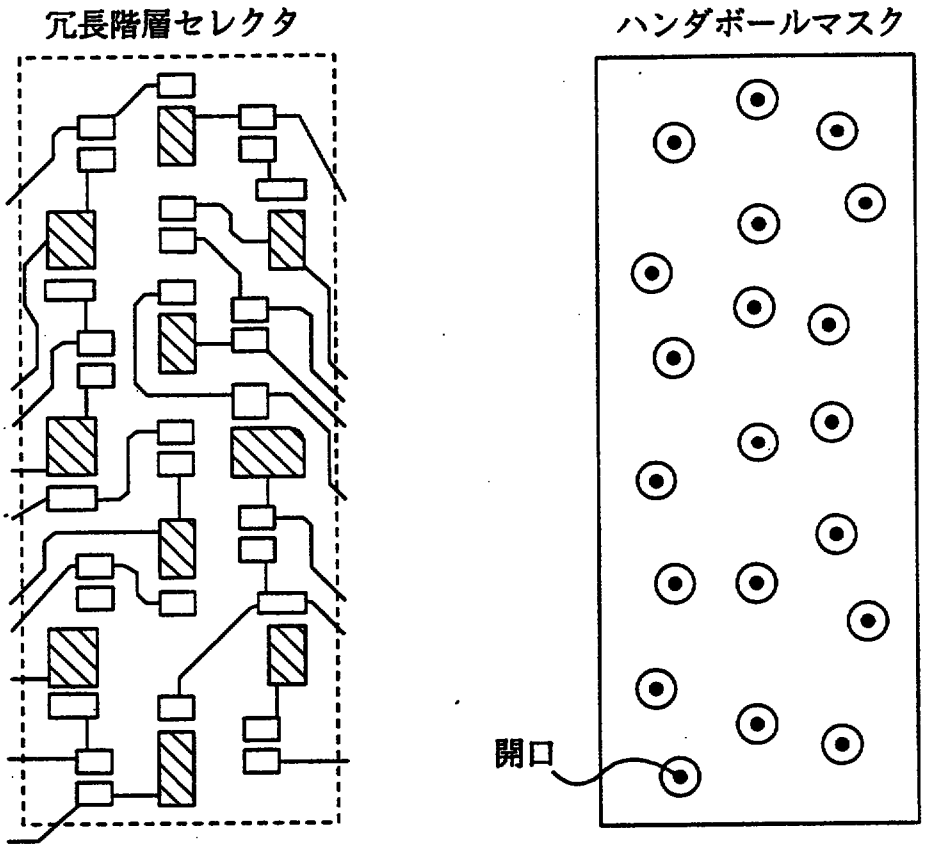


第 117 図

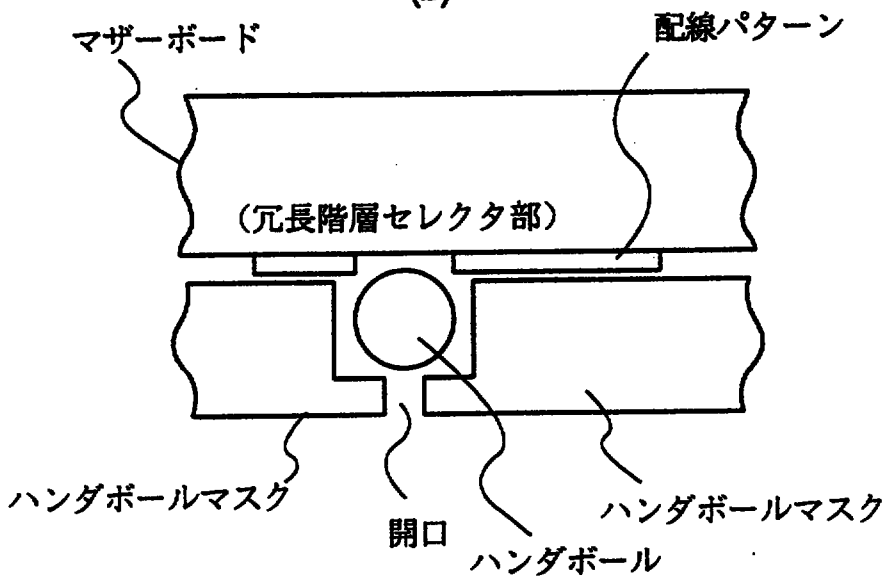

Dout
a
PQ
b
PD
c
DQ0
t
s
D0
d
Din
e
DQ1
f
D1
g
DQ3
h
D3
i
DQ5
j
D5
k
l
DQ7
m
D7
n
DQ6
o
D6
p
DQ4
q
D4
r
D2
DQ2

第 118 図

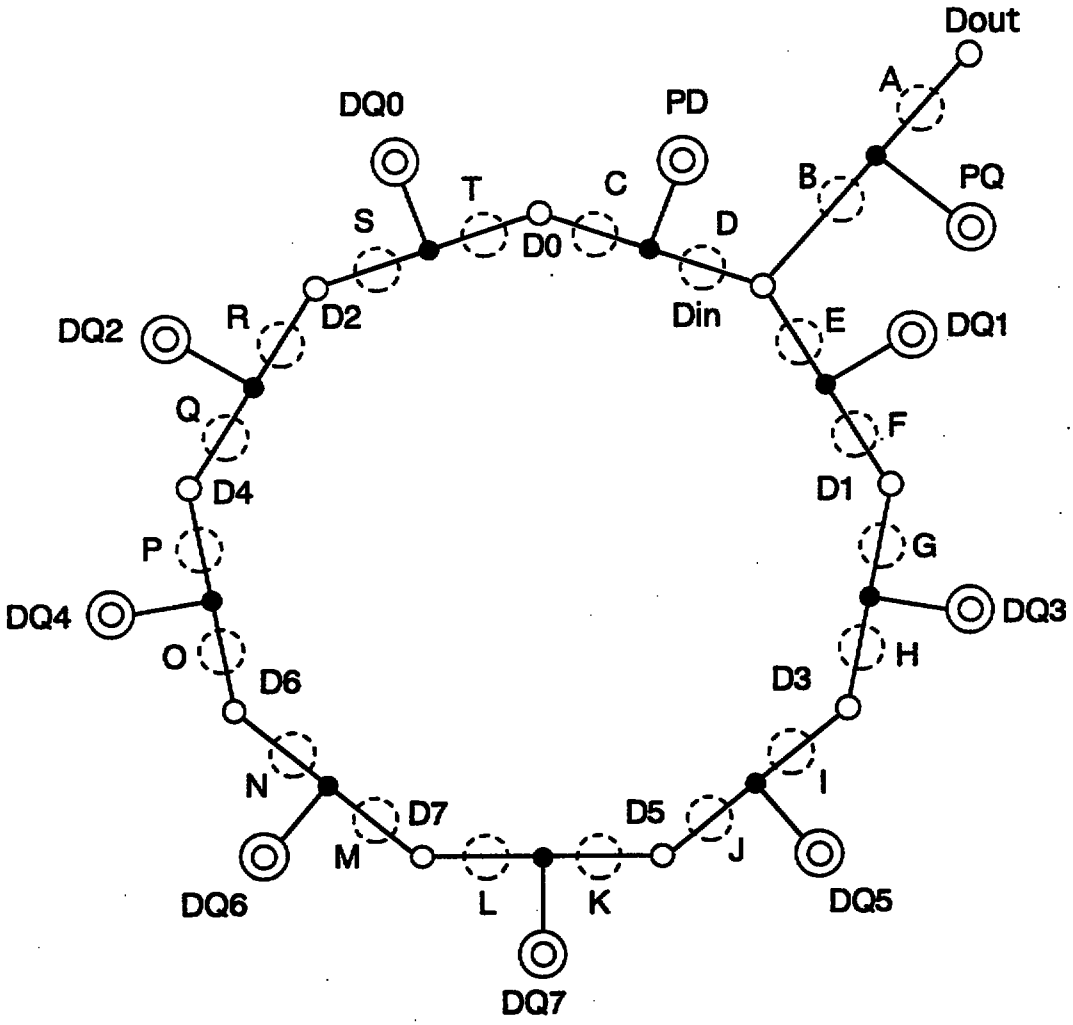
(a)


冗長階層セレクタ
ハンダボールマスク
開口

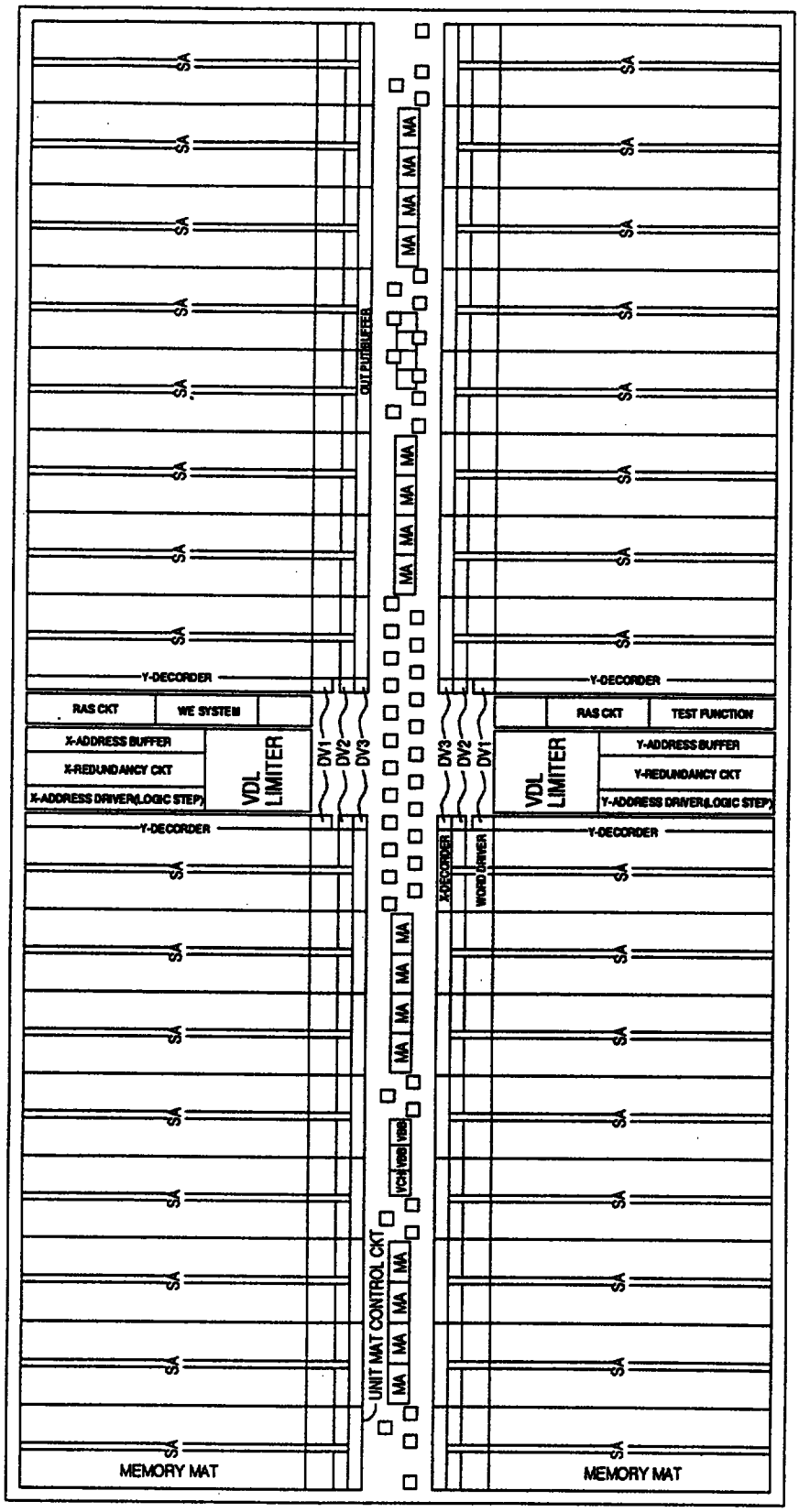
(b)


マザーボード
配線パターン
(冗長階層セレクタ部)
ハンダボールマスク
開口
ハンダボール
ハンダボールマスク

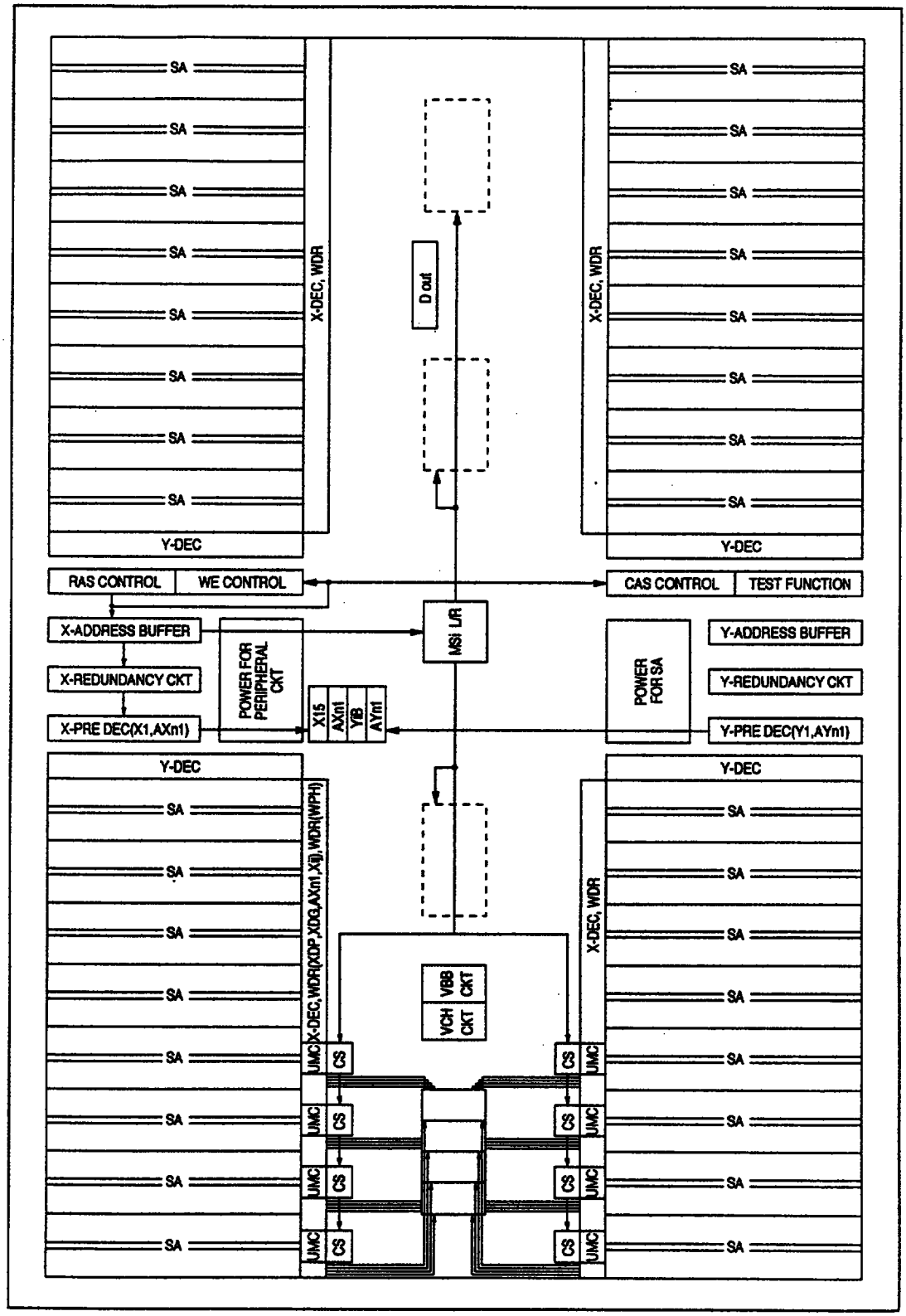
第 119 図


Dout
A
B
PQ
PD
C
D
Din
E
DQ1
F
D1
G
DQ3
H
D3
I
DQ5
J
D5
K
DQ7
L
D7
M
DQ6
N
D6
O
DQ4
P
D4
Q
DQ2
R
D2
S
DQ0
T
D0

第 120 図

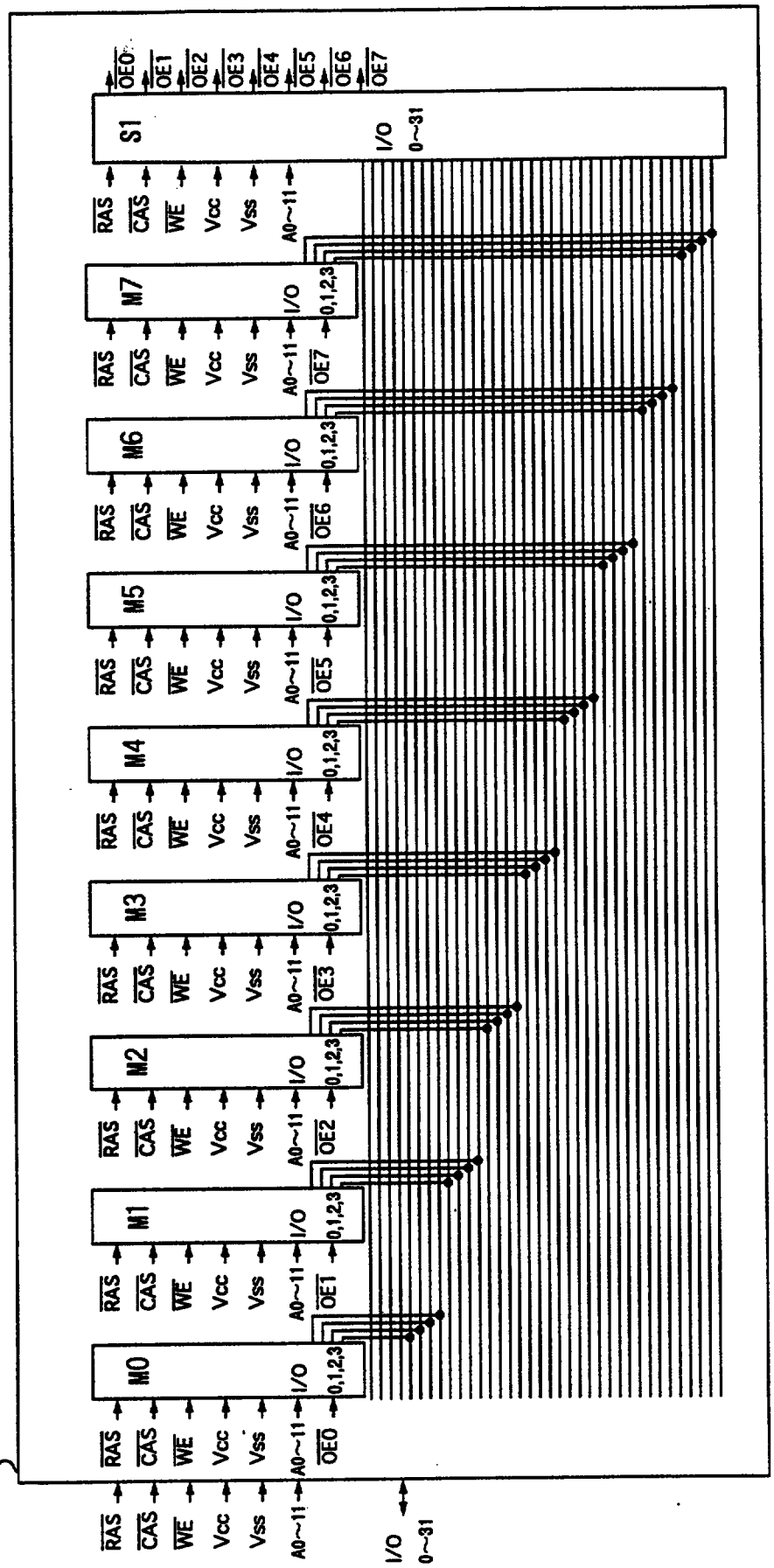

SA
MA
OUT BUFFER
Y-DECORDER
RAS CKT
WE SYSTEM
TEST FUNCTION
X-ADDRESS BUFFER
X-REDUNDANCY CKT
X-ADDRESS DRIVER(LOGIC STEP)
Y-ADDRESS BUFFER
Y-REDUNDANCY CKT
Y-ADDRESS DRIVER(LOGIC STEP)
VDL LIMITER
DV1
DV2
DV3
X-DECORDER
WORD DRIVER
VCH
VSS
UNIT MAT CONTROL CKT
MEMORY MAT

第 121 図

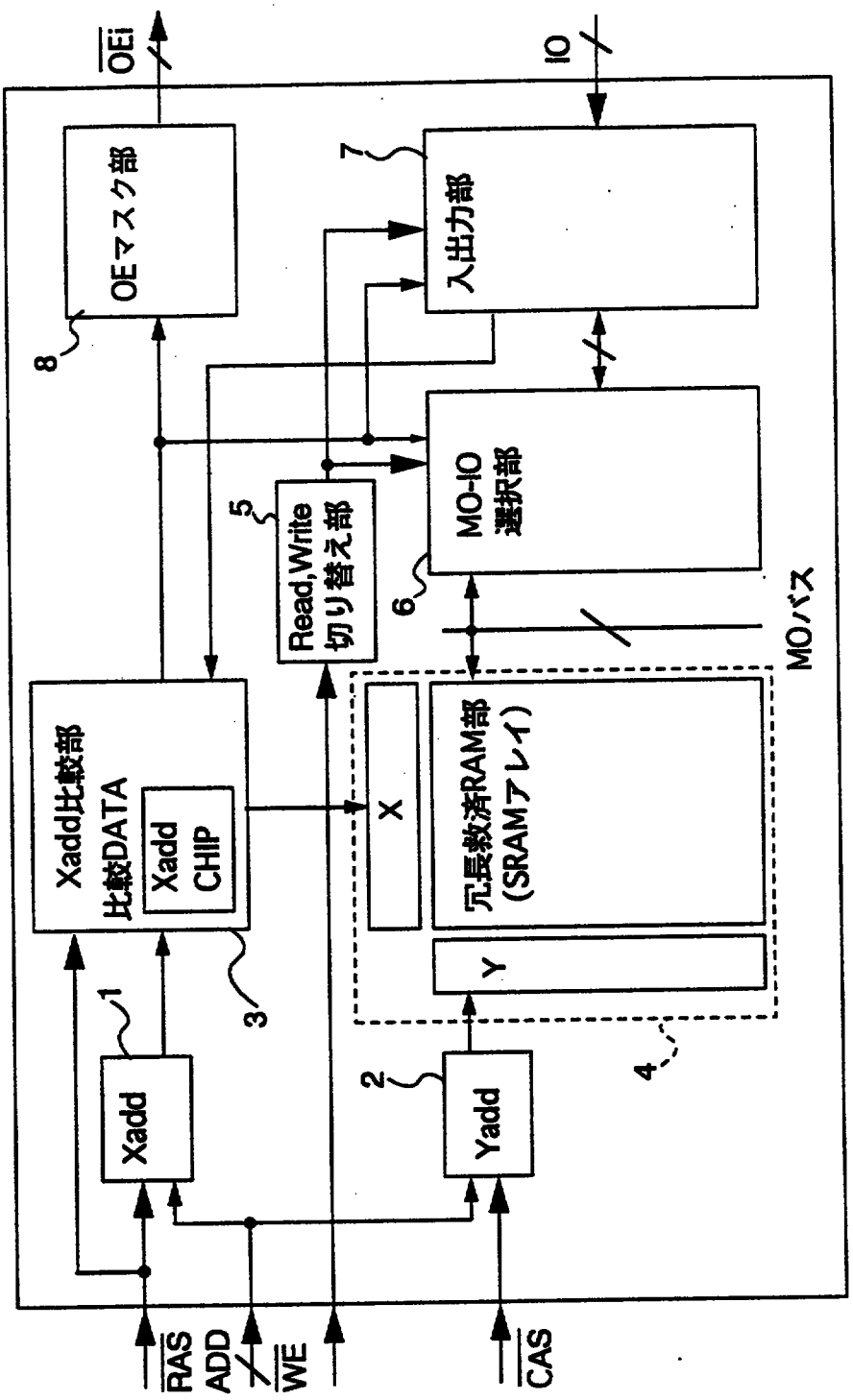

SA
X-DEC, WDR
Dout
Y-DEC
RAS CONTROL
WE CONTROL
CAS CONTROL
TEST FUNCTION
X-ADDRESS BUFFER
X-REDUNDANCY CKT
X-PRE DEC(X1,AXn1)
POWER FOR PERIPHERAL CKT
MSI I/R
X15
AXn1
YB
AYn1
POWER FOR SA
Y-ADDRESS BUFFER
Y-REDUNDANCY CKT
Y-PRE DEC(Y1,AYn1)
X-DEC, WDR(WPH), WDR(XDP,XDQ,AXn1,Xij), WDR(XDP)
VBB CKT
VCH CKT
UMC
CS

第 122 図

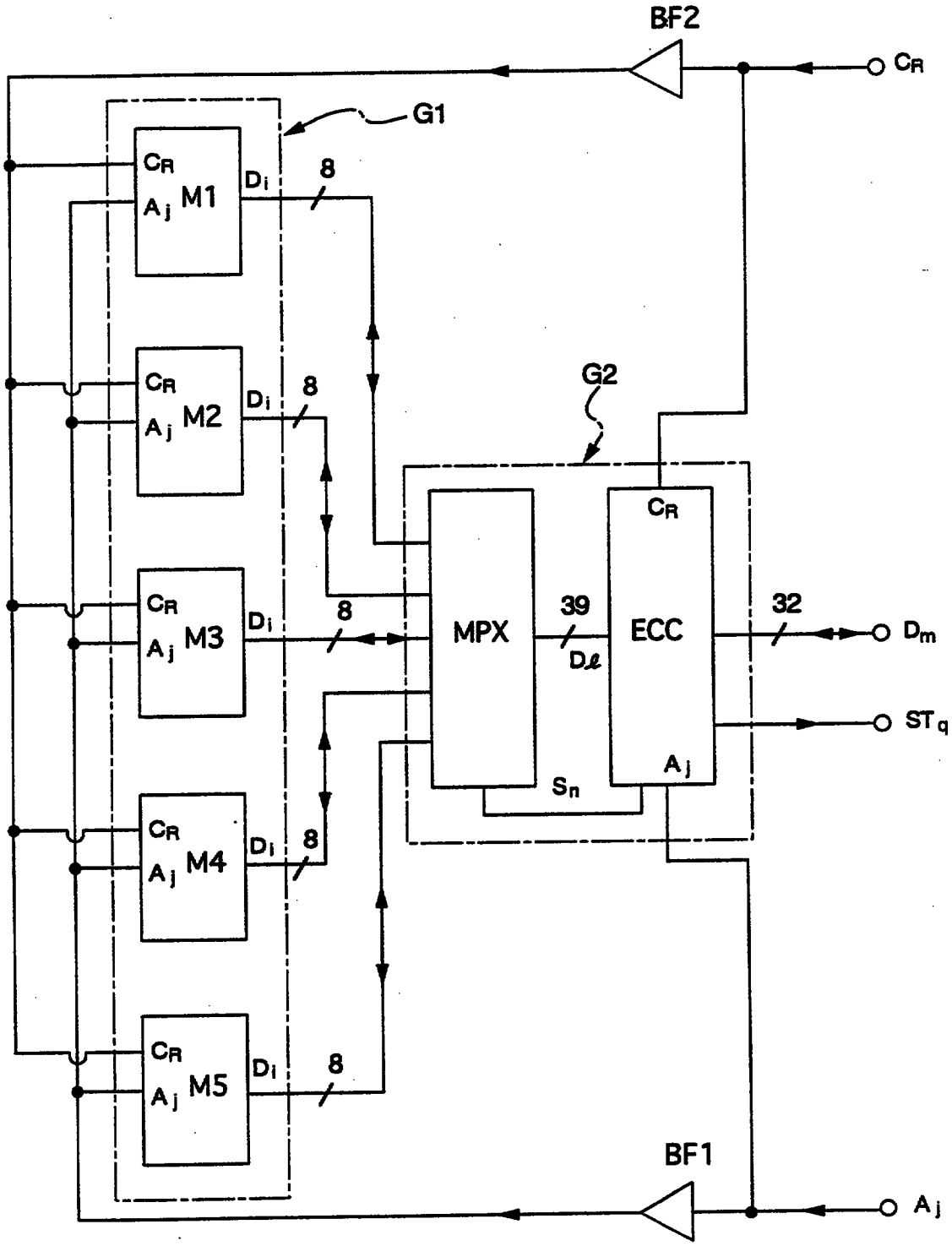
積層LSIモジュール（4Mword×4）×8ケ=16M Byte



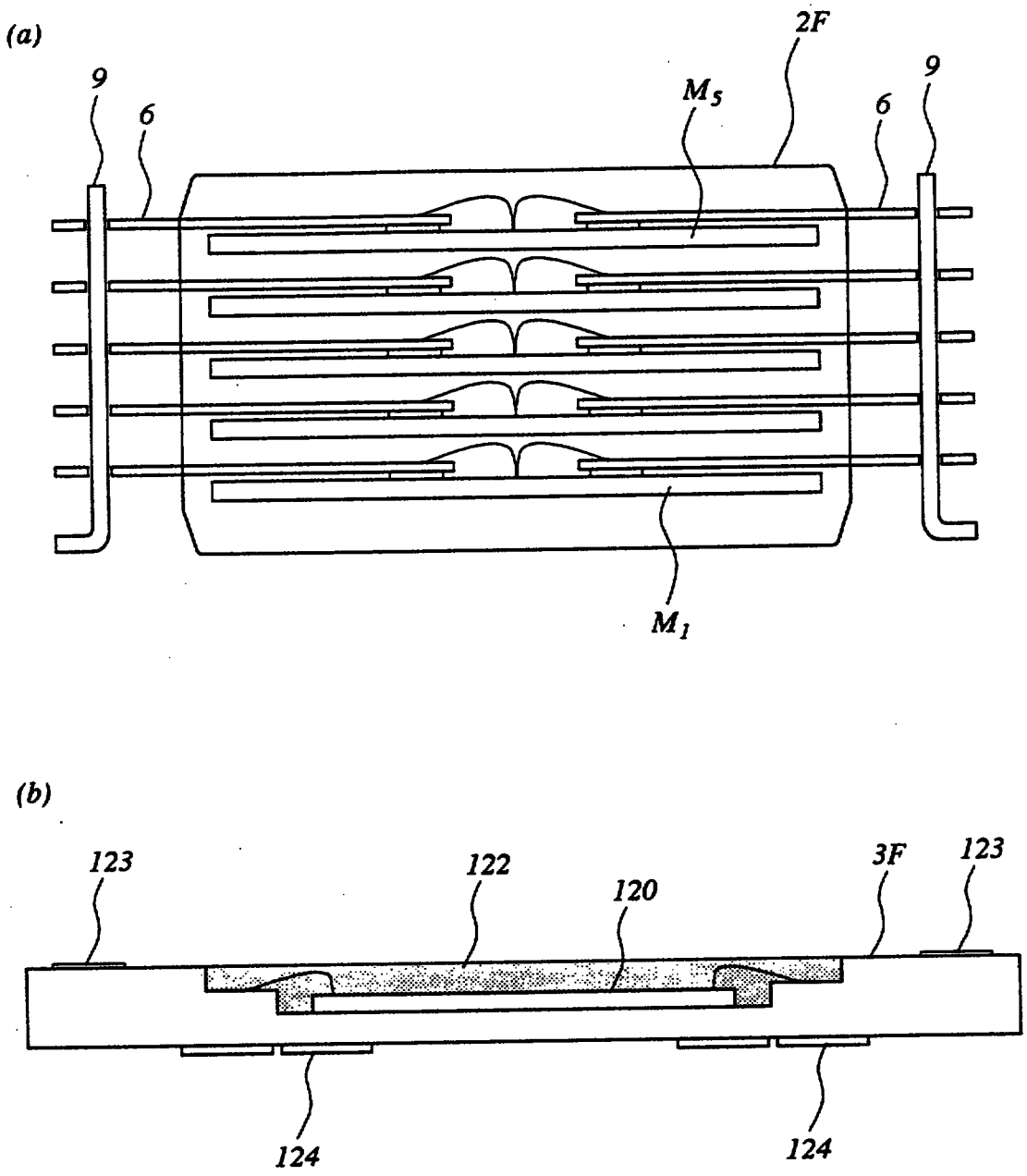
第 123 図


OEi
IO
OEマスク部
8
7
入出力部
MO-IO
選択部
6
5
Read,Write
切り替え部
MOバス
Xadd比較部
比較DATA
Xadd
CHIP
3
X
冗長救済RAM部
(SRAMアレイ)
Y
4
1
Xadd
2
Yadd
RAS
ADD
WE
CAS

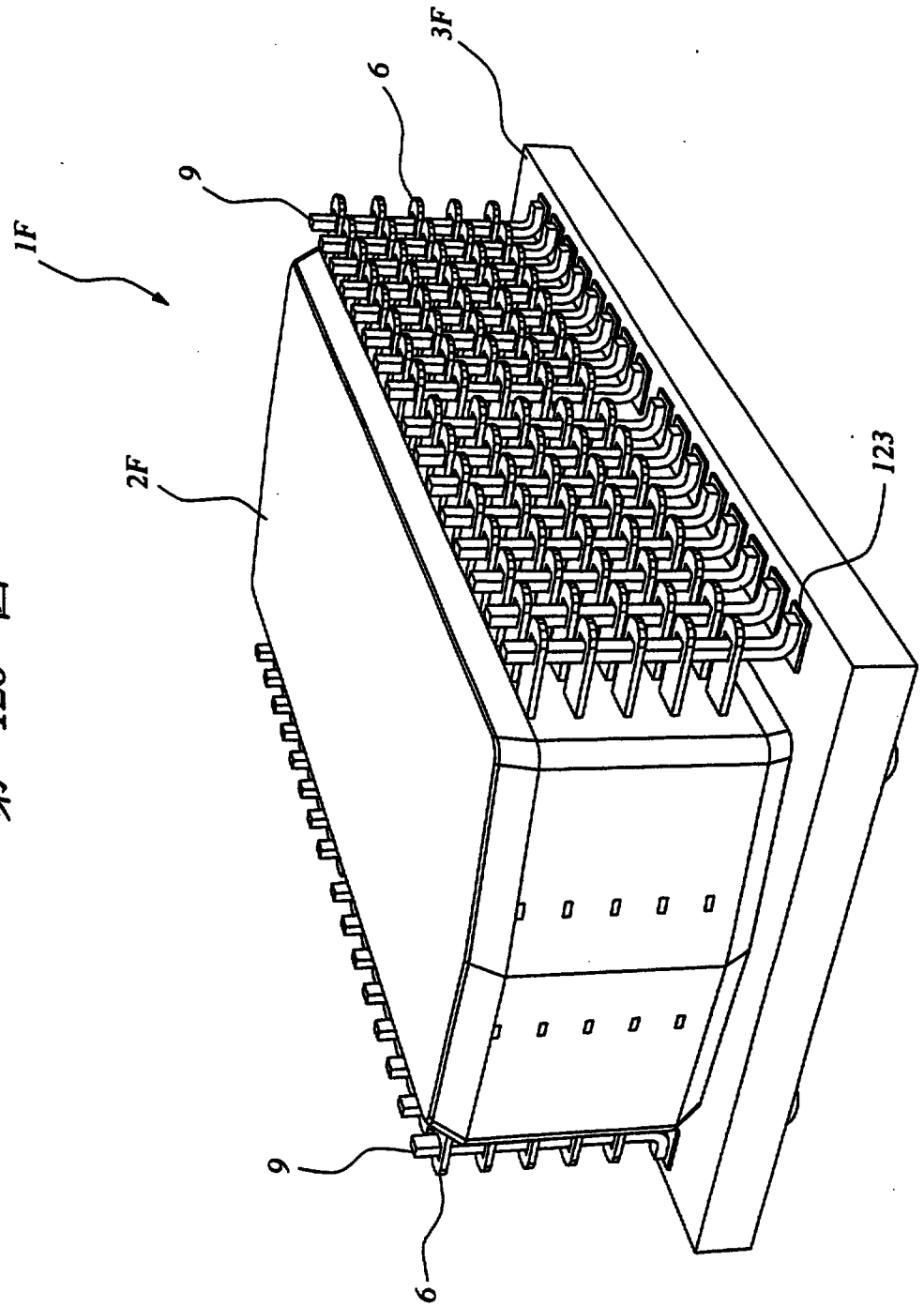
第 124 図


BF2
CR
G1
CR
Aj M1
Di
8
CR
Aj M2
Di
8
G2
CR
Aj M3
Di
8
MPX
39
Dℓ
ECC
CR
32
Dm
STq
Aj
Sn
CR
Aj M4
Di
8
CR
Aj M5
Di
8
BF1
Aj

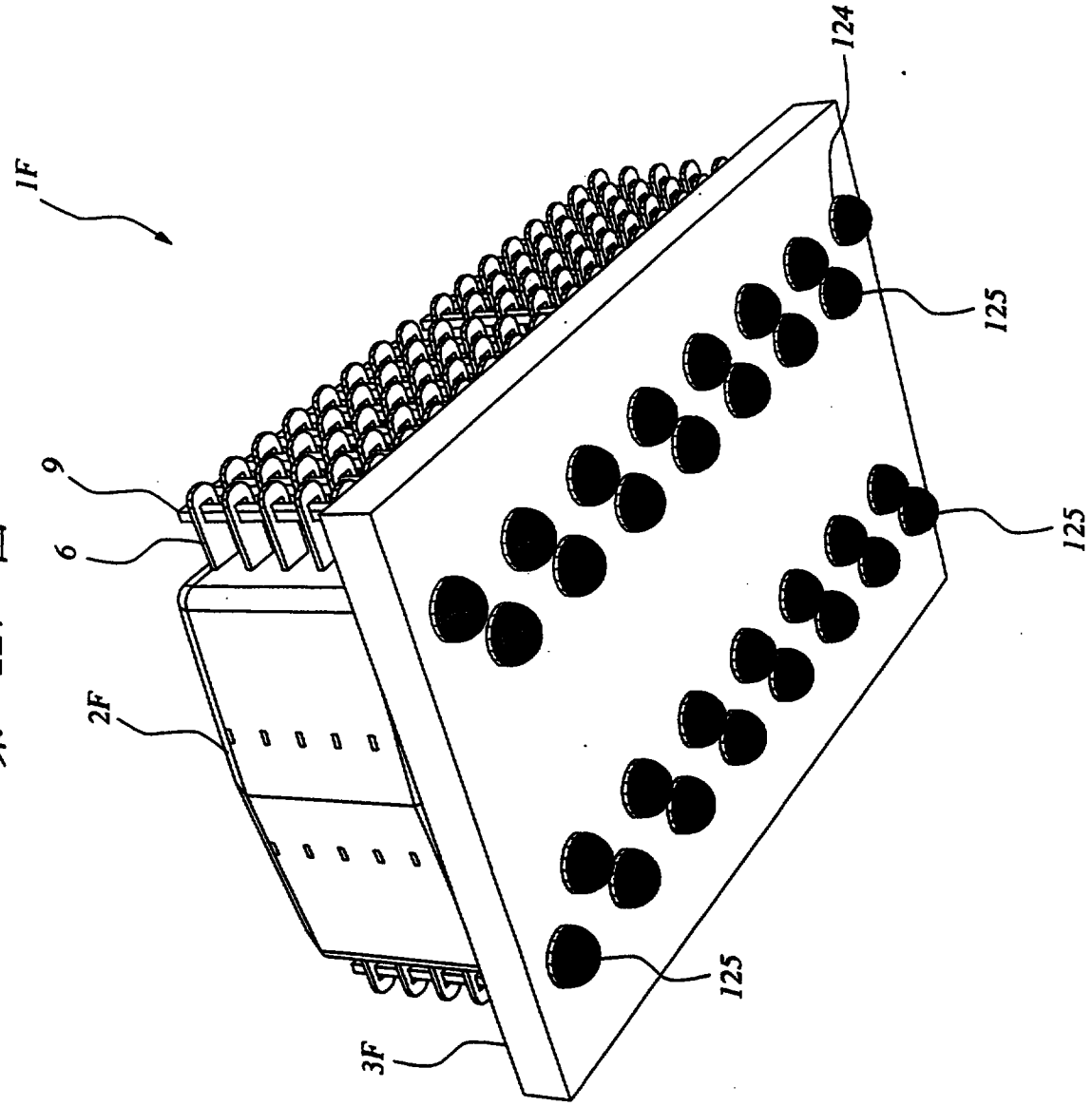
第 125 図



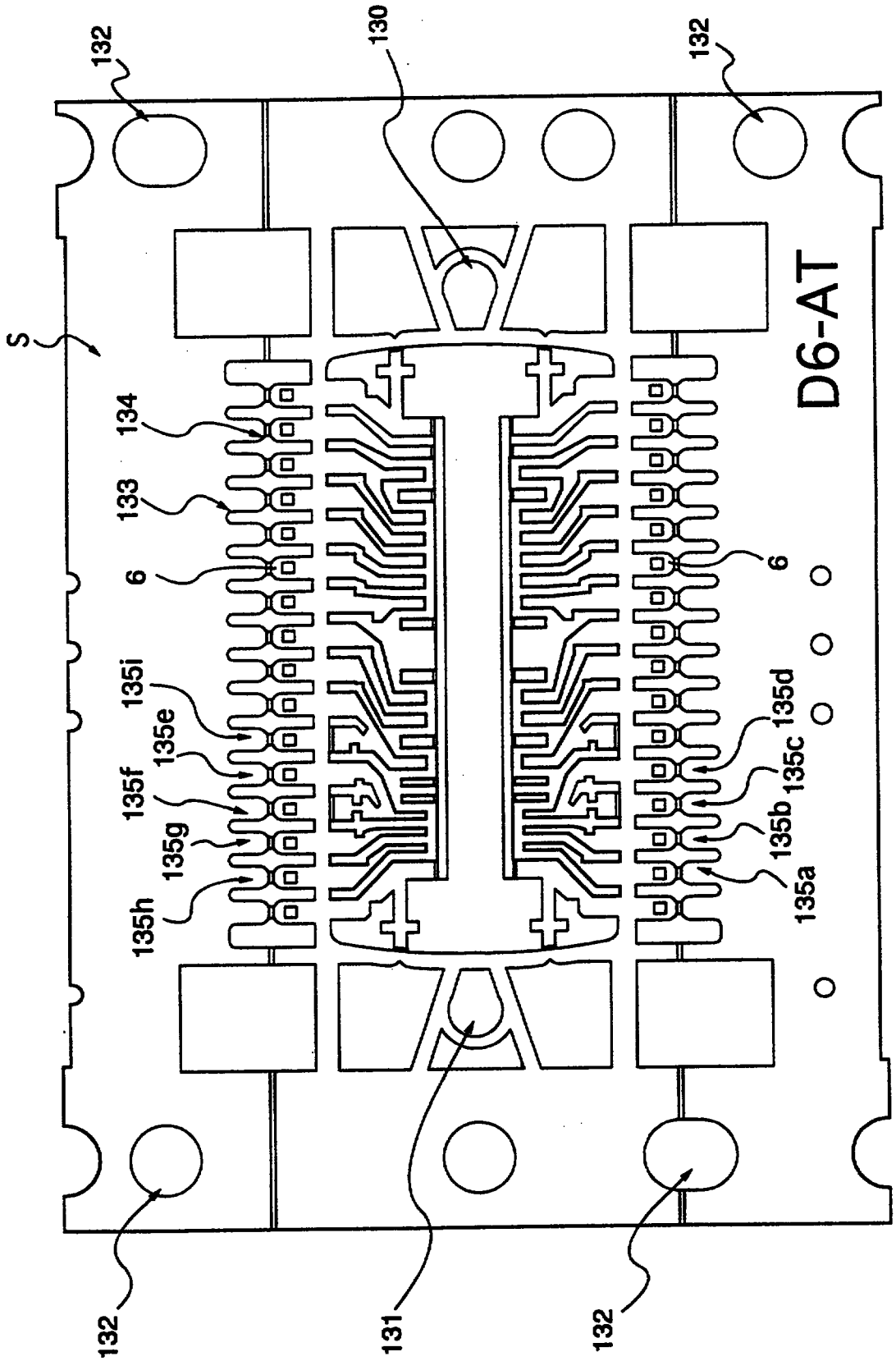
第 126 図



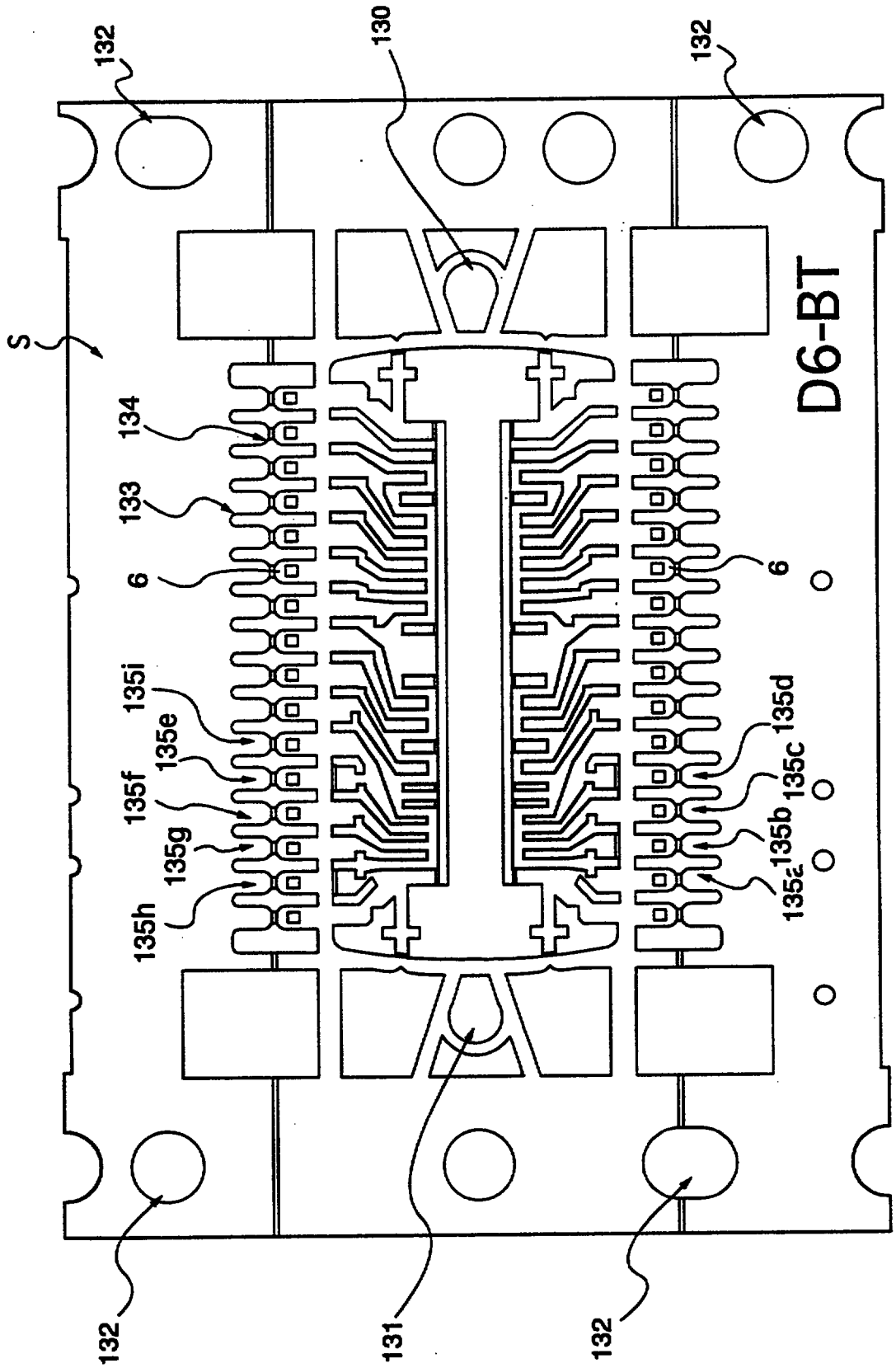
第 127 図



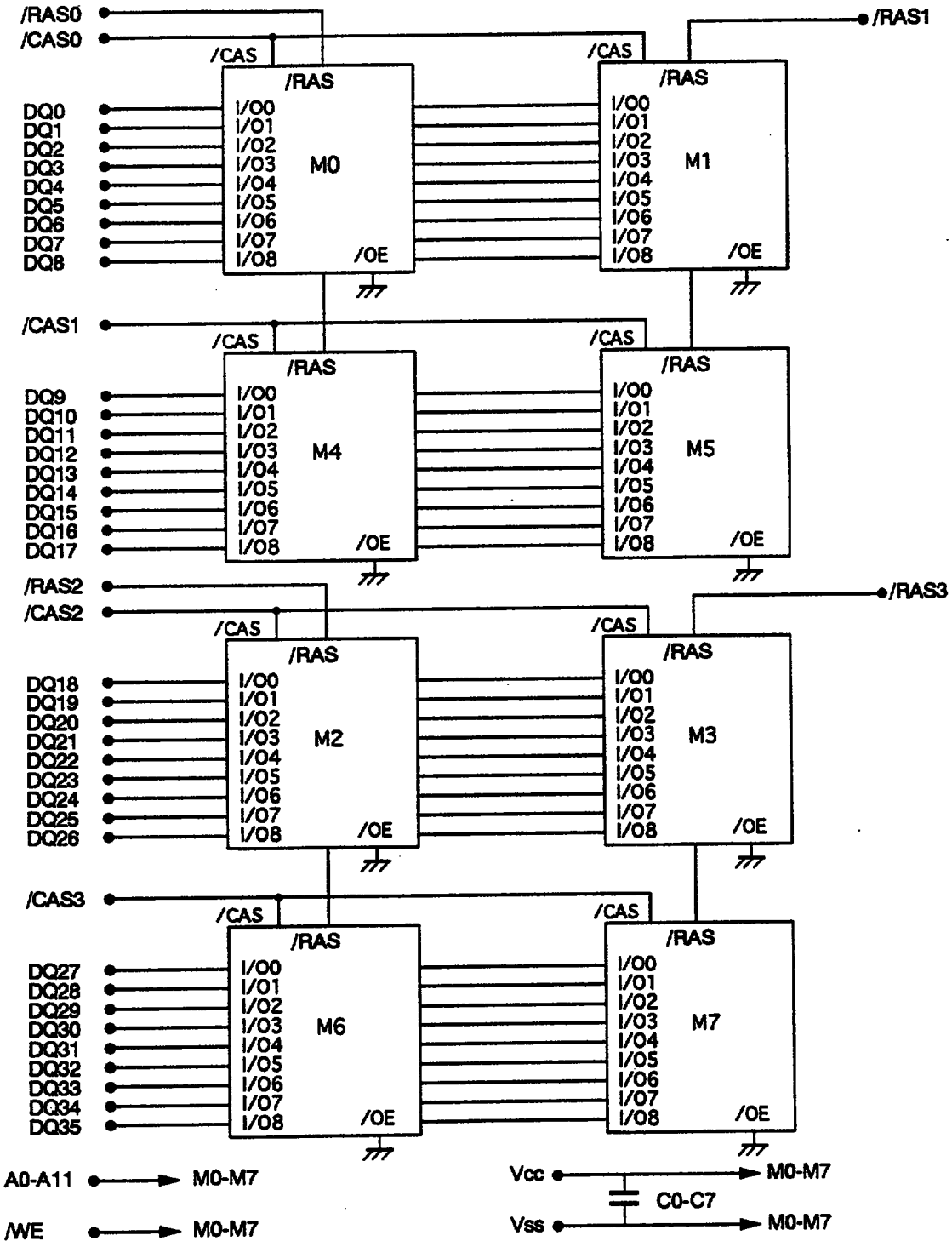
第 128 図


132
130
132
S
134
133
6
135i
135e
135f
135g
135h
6
135d
135c
135b
135a
D6-AT
132
131
132

第 129 図

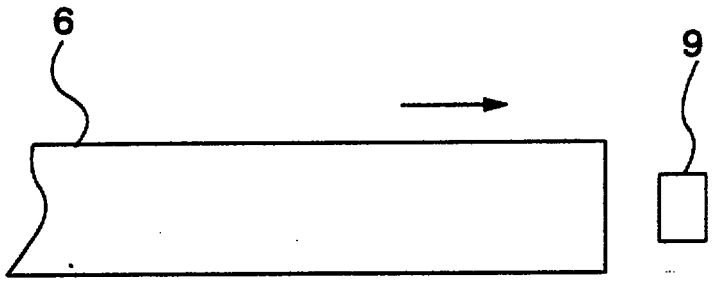

132
130
132
S
134
133
6
135i
135e
135f
135g
135h
6
135d
135c
135b
135a
D6-BT
132
131
132

第 130 図

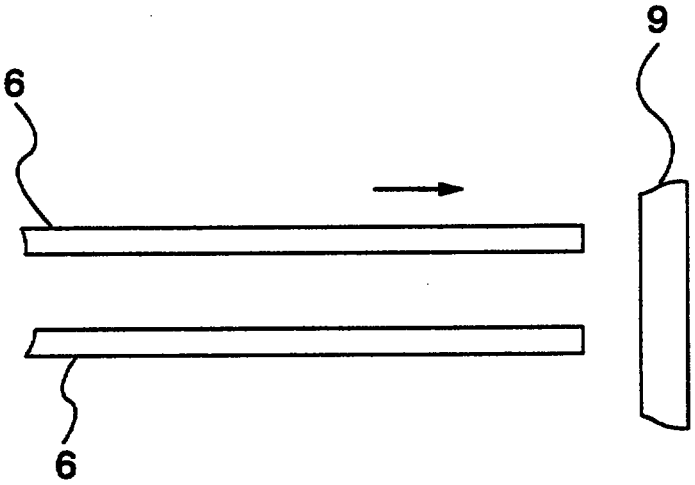

/RAS0
/CAS0
/RAS1
/CAS
/RAS
M0
M1
M2
M3
M4
M5
M6
M7
I/O0
I/O1
I/O2
I/O3
I/O4
I/O5
I/O6
I/O7
I/O8
/OE
DQ0
DQ1
DQ2
DQ3
DQ4
DQ5
DQ6
DQ7
DQ8
/CAS1
DQ9
DQ10
DQ11
DQ12
DQ13
DQ14
DQ15
DQ16
DQ17
/RAS2
/CAS2
/RAS3
DQ18
DQ19
DQ20
DQ21
DQ22
DQ23
DQ24
DQ25
DQ26
/CAS3
DQ27
DQ28
DQ29
DQ30
DQ31
DQ32
DQ33
DQ34
DQ35
A0-A11
/WE
M0-M7
Vcc
C0-C7
Vss

第 131 図

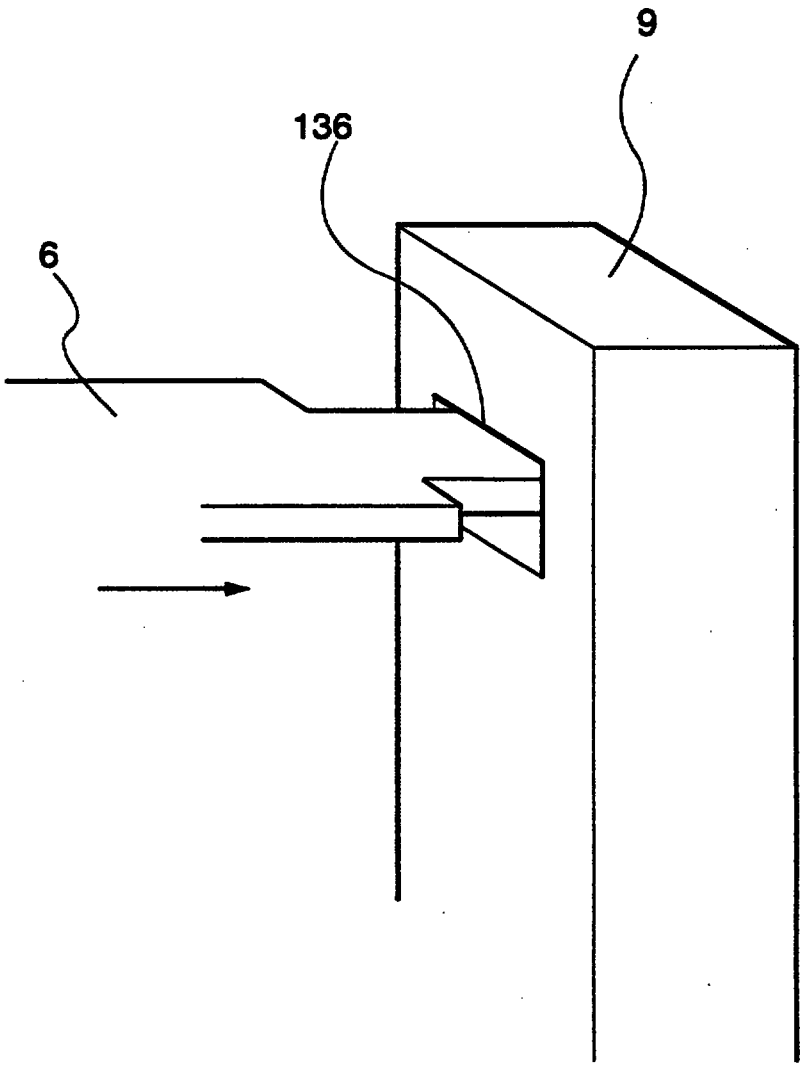
(a)



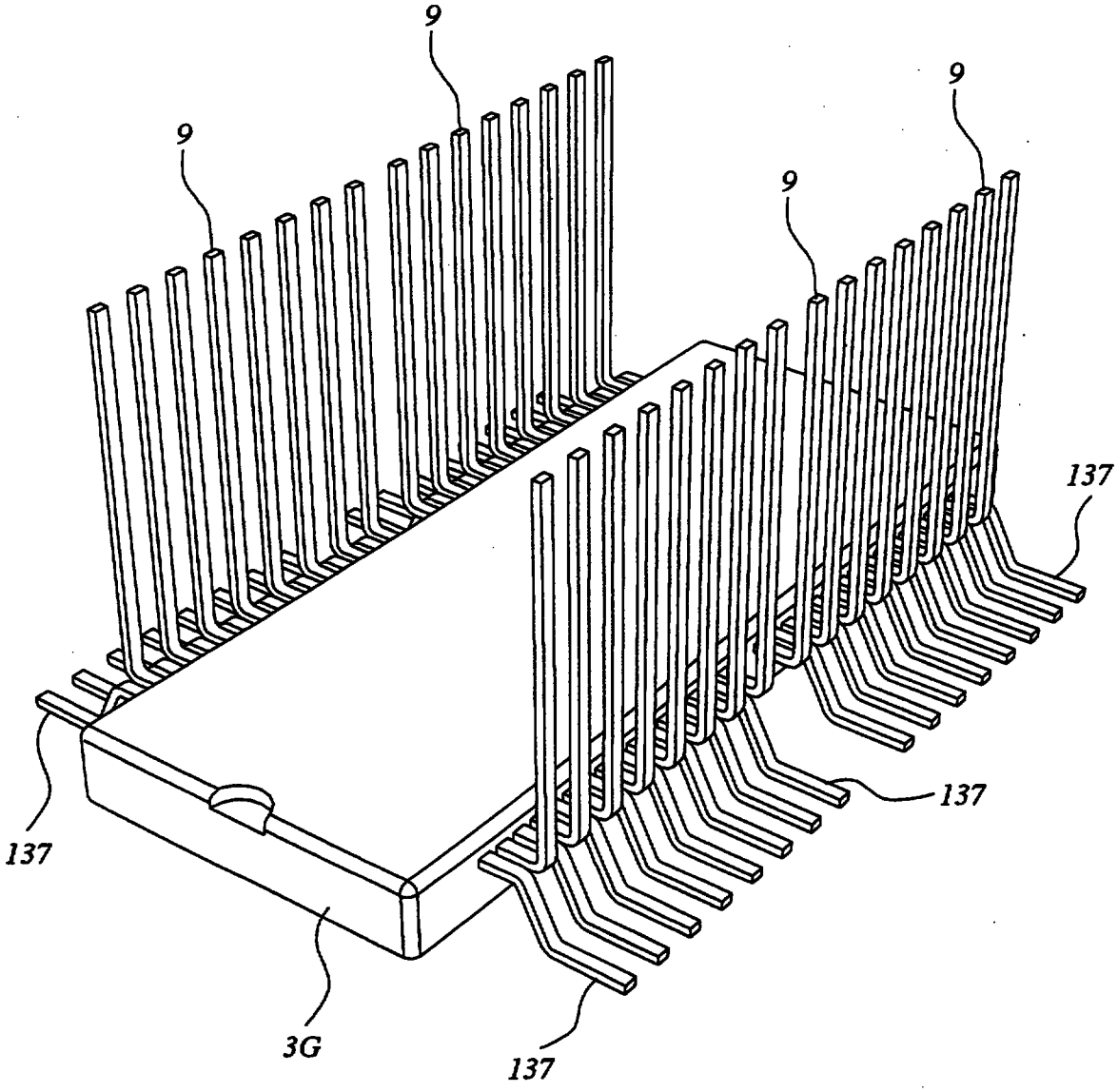
(b)



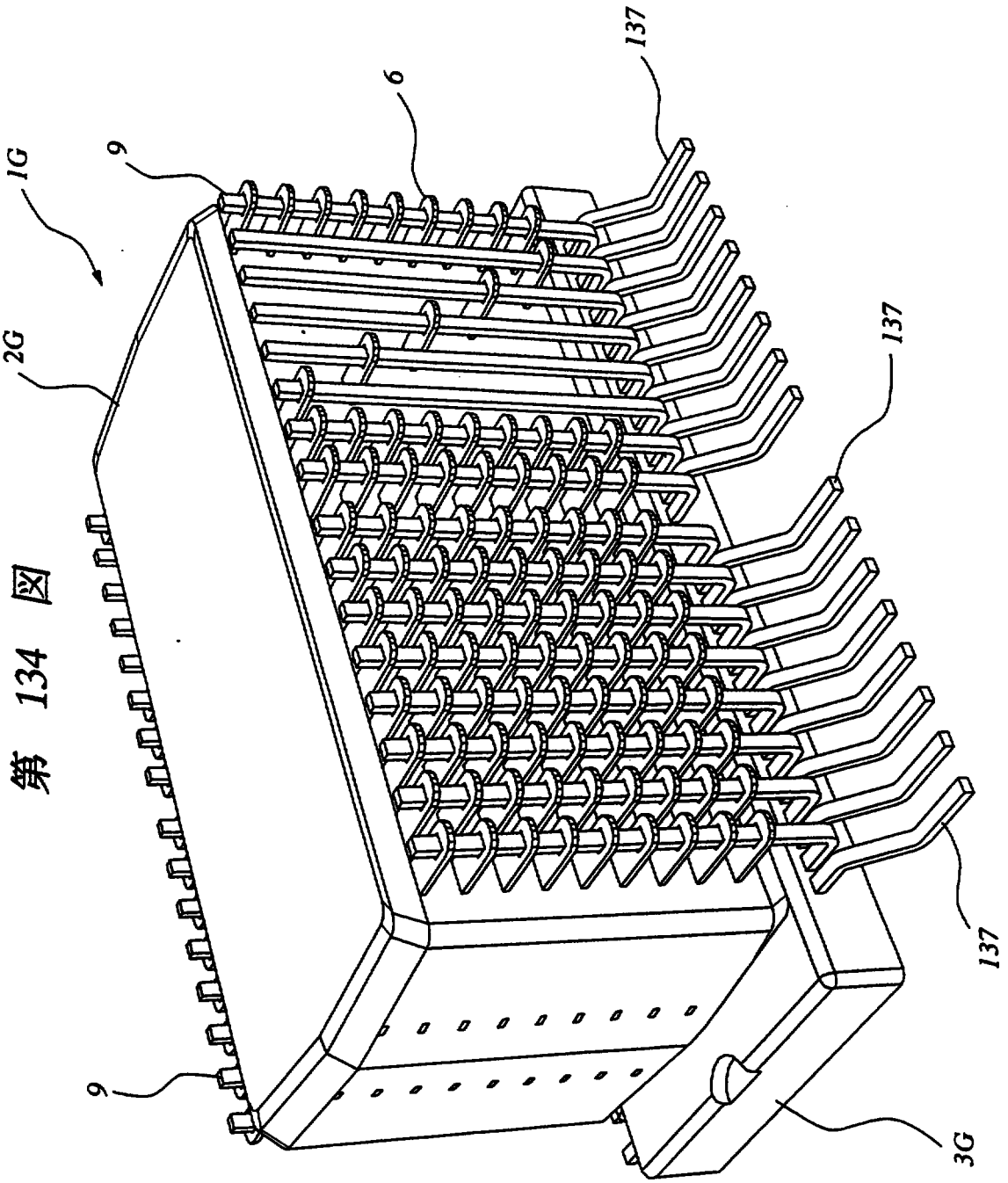
第 132 図



第 133 図



第 134 図



SPECIFICATION

TITLE OF THE INVENTION

Semiconductor Integrated Circuit Device, and Process and Apparatus for Manufacturing the Same

TECHNICAL FIELD

The present invention relates to a semiconductor integrated circuit device and a technique for manufacturing it and, more particularly, to a technique which is effective when applied to a semiconductor integrated circuit device having a small-size/high-performance multi-chip module.

BACKGROUND ART

A memory module, as represented by the SIMM (i.e., Single In-line Memory Module), is widely utilized as a semiconductor memory to be mounted on an engineering workstation (EWS) or a computer. The SIMM is usually given a construction in which a semiconductor chip having a memory LSI such as a DRAM (Dynamic Random Access Memory) or a SRAM (Static Random Access Memory) is packaged into an LSI package such as an SOJ (Small Out-line J-leaded Package) and in which a plurality of semiconductor chips are

mounted on one or both sides of a printed circuit board.

For the EWS or a parallel processing computer of recent years, however, there is required a memory (RAM) of large capacity for processing massive data at a high speed. In order to meet this requirement, therefore, the three-dimensional technique has been investigated for the memory module. This is because the system having the LSI package planarly (or two-dimensionally) over the printed circuit board has the larger size in the printed circuit board as the memory capacity grows the larger.

As a specific example of the three-dimensional memory module, there is known the structure (as disclosed on pp. 33 to 39 of "Electronic Materials" issued on September 1, 1993 by Kogyo Chosakai) in which several layers of very thin LSI packages such as SOP (Thin Small Out-line Package) are stacked, with the printed circuit boards on their two side walls and in which the leads of the TSOP are held by the side boards.

According to the three-dimensional memory module of this kind, more LSI packages can be mounted on the printed circuit board of the same area to realize a small-size/large-capacity memory module. Moreover,

the wiring length for connecting the packages can be made smaller than that of the case that the LSI packages are planarly mounted on the printed circuit board, to raise a great advantage in the aspect of high speed.

However, the three-dimensional memory module of the conventional structure, in which the very thin LSI packages such as TSOP are stacked, has found it difficult to reduce the size of the module and the heat resistance of the package at the same time.

Specifically, when the LSI packages such as TSOP are stacked, the thickness of the resin between the upper and lower semiconductor chips is doubled to increase the heat resistance of the package. In order to lower this heat resistance, therefore, a suitable gap has to be established between the packages so that the external size of the module in the vertical direction is enlarged.

Effective means for reducing the size of the three-dimensional memory module is to package a plurality of semiconductor chips into one package. With this means, the thickness of the resin between the upper and lower semiconductor chips is thinned to reduce not only the external size of the package in the vertical direction but also the heat resistance of

the package.

Merely by packaging a plurality of semiconductor chips simply into one package, however, it is impossible to provide a highly reliable memory module. Specifically, when a plurality of semiconductor chips are packaged into one package, it is anticipated that the temperature difference between the center portion and the peripheral portion of the package may become large to cause a serious heat stress in the package. Hence, it is essential to provide a structure design for dissipating the heat of the central portion of the package quickly to the outside.

When a plurality of semiconductor chips are packaged into one package, their testing, screening and aging methods are serious problems. Specifically for the module in which a plurality of semiconductor modules are packaged into one package, any of semiconductor chips cannot be replaced even if it is found defective after the packaging step. In order to improve the manufacture yield of the module, therefore, after the semiconductor chips are mounted on the lead frames and subjected to the wire bonding, it is necessary to perform the testing, screening and aging steps for confirming whether or not all the semiconductor chips are normally operating,

immediately before the step of packaging the semiconductor chips. In the lead frames before packaged, however, all the leads are electrically connected through tie bars so that the lead frames cannot be tested, screened and aged as they are.

When a plurality of semiconductor chips are packaged into one package, on the other hand, the yield and throughput of the packaging step raise another problem. It is ordinary that the LSI package such as TSOP is molded by the insert molding method of injecting a resin into the gaps between the lead frames sandwiched between the upper part and the lower part. However, when the lead frames mounted with the semiconductor chips are stacked and packaged altogether, it is necessary to eliminate the difficulty which is encountered when parting the package from the conventional mold composed of the top and bottom forces. Other countermeasures are further required against the reluctant flow of the resin into the gaps between the stacked lead frames and against the voids (or clearances).

In the three-dimensional memory module of the conventional structure, on the other hand, all the semiconductor chips are mounted on the lead frames having the same pin array. However, the connections

of the data pins are different for the individual semiconductor chips, the lead frames cannot be simply connected in the vertical direction if they have the same pin array. This makes it necessary to arrange the printed circuit board on both side walls of the stacked LSI packages as in the aforementioned memory module disclosed in the foregoing Publication, so that the reduction in the size of the module is restricted.

Moreover, it is difficult for the three-dimensional memory module having the conventional structure to be adapted to multiple bits. Specifically, a multi-bit device having a large data width such as a memory module of 36 bits has found it difficult to design the lead frames in a small size because of many data lines, so that the package size and the bonding wire length have to be increased. Thus, it has been difficult for the prior art to mount a multi-bit device on a small-sized memory module.

An object of the present invention is to provide a small-size/high-performance multi-chip module and a small-size/large-capacity memory module.

An object of the present invention is to provide a method for manufacturing a small-size/high-performance multi-chip module.

An object of the present invention is to provide

an apparatus for manufacturing a small-size/high-performance multi-chip module.

Another object of the present invention is to provide a technique which can provide the small-size/high-performance multi-chip module at a reasonable cost.

Another object of the present invention is to provide a technique which can reduce the size of the multi-chip module mounted with multi-bit devices.

Another object of the present invention is to provide a technique which can improve the heat radiation properties of the multi-chip module.

The foregoing and other objects and novel features of the present invention will become apparent from the following description to be made with reference to the accompanying drawings.

DISCLOSURE OF THE INVENTION

A semiconductor integrated circuit device according to the present invention is a multi-chip module constructed such that a resin package, in which a predetermined number of lead frames mounted with semiconductor chips are stacked and packaged, is mounted on a socket, and such that the outer leads of the lead frames led from the resin package, and the

leads of the socket extending in the direction perpendicular to the direction in which the outer leads extend, are electrically connected. Using this multi-chip module, the plurality of semiconductor chips are packaged altogether into the package. As a result, the external size can be made far smaller than that of the module in which the LSI packages such as TSOP each having a resin-encapsulated semiconductor chip are stacked in several layers. By connecting the outer leads led from the package and the leads of the socket in a crossing manner, matrix-shaped heat dissipation paths can be formed to dissipate the heat at the central portion of the package quickly to the outside. Since the outer leads are led out from the side walls of the package to provide a leaf spring structure, the vertical expansion of the resin in the gaps between the stacked lead frames can be reduced.

According to the semiconductor integrated circuit device, in the aforementioned multi-chip module, the semiconductor chips encapsulated as a whole into the resin package, individually have multi-bit input/output terminals, which partially have defective terminals not electrically connected to the lead frame, and the resin package has a predetermined number of input/output terminals connected

electrically to the lead frames, in the entirety of the semiconductor chip. As a result, a multi-bit multi-chip module having normal input/output terminals can be realized by bonding only the ordinary input/output terminals of the multi-bit semiconductor chip having a defective terminal partially of the input/output terminals, selectively to the lead frames.

According to the semiconductor integrated circuit device, in the aforementioned multi-chip module, the outer leads of the lead frames led out from the resin packages, and the leads extending in the direction crossing the extending direction of the outer leads are electrically connected, and the lower end portions of the leads are formed into the shape of letter J thereby to construct the external terminals of the resin package. As a result, the leads of the resin package can be connected directly to the printed circuit board so that the socket can be eliminated to reduce the number of parts. As a result, it is possible to lower the cost for the multi-chip module and to reduce the external size.

According to the semiconductor integrated circuit device of the present invention, when the multi-chip module is manufactured, a predetermined number of lead

frames are packaged altogether by using a mold which is composed of top and bottom forces and a predetermined number of movable plates individually halved and inserted into the individual gaps between the predetermined number of lead frames. As a result, the package can be easily parted from the mold after the molding step merely by halving the individual movable plates to the right and left.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a front perspective view showing a DRAM module of one embodiment according to the present invention;

Fig. 2 is a back perspective view showing the DRAM module;

Fig. 3 is a back perspective view showing the DRAM module;

Fig. 4 is a block diagram showing the internal construction of the DRAM module;

Fig. 5 is a top plan view showing a pad layout of the semiconductor chip used in the DRAM module;

Figs. 6 to 14 are top plan views of the nine lead frames mounted with the semiconductor chips;

Fig. 15 is a top plan view showing a lead frame mounted with the semiconductor chip;

Fig. 16 is a perspective view showing a package;

Fig. 17 is a perspective view showing a mother socket for mounting the package;

Fig. 18 is a perspective view showing an insert mold used for molding the package;

Fig. 19 is a perspective view showing a state that the top force of the insert mold is lifted;

Fig. 20 is an exploded perspective showing the insert mold;

Fig. 21(a) is a top plan view of a movable plate of the insert mold and Fig. 21(b) is a side elevation thereof;

Fig. 22 is a perspective view showing another embodiment of the package;

Fig. 23 is a perspective view showing another embodiment of the DRAM module;

Figs. 24 to 32 are top plan views showing another embodiment of the lead frames;

Fig. 33 is a perspective view showing a gate line extending vertically through the inside of the insert mold;

Fig. 34 is a top plan view showing the exploded state of the lead frame;

Fig. 35 is a perspective view showing a pair of movable plates of the mold used for manufacturing the

mother socket;

Fig. 36 is a perspective view showing a pair of center parts of the mold used for manufacturing the mother socket;

Figs. 37 to 39 are top plan views showing lead frames used for manufacturing the mother socket;

Figs. 40 to 49 are top plan views showing another embodiment of the lead frames;

Fig. 50 is a top plan view of the lead frame and shows a state that the outer metal portion holding the leads is separated;

Fig. 51 is a top plan view showing the entirety of one lead frame assembly composed of the nine lead frames shown in Figs. 24 to 32;

Figs. 52 and 53 are top plan views showing dummy lead frames;

Fig. 54 is an equivalent circuit diagram of the DRAM module;

Fig. 55 is a top plan view showing a pin array of the mother socket adapted to a dual in-line structure;

Figs. 56 to 67 are top plan views showing another example of lead frames;

Fig. 68 is a perspective view showing the mother socket of the dual in-line structure;

Fig. 69 is a perspective view showing a state

that one stage of package is mounted on the mother socket;

Fig. 70 is a perspective view showing another embodiment of the DRAM module;

Fig. 71 is a top plan view showing a pin array on the top face of the mother socket;

Figs. 72 and 73 are top plan views showing another embodiment of the mother socket lead frame;

Fig. 74 is a perspective view showing an embodiment in which radiation fins are attached to the DRAM module;

Fig. 75 is a perspective view showing the state in which the radiation fins are partially cut;

Fig. 76 is a side elevation showing the radiation fins;

Fig. 77 is a perspective view showing the radiation fins;

Fig. 78 is a perspective view showing another embodiment of the radiation fins;

Fig. 79 is an equivalent circuit diagram showing another embodiment of the DRAM module;

Fig. 80 is a perspective view showing another embodiment of the DRAM module;

Fig. 81 is a perspective view showing the state in which the DRAM module is packaged over the printed

circuit board of the SIMM;

Fig. 82 is a diagram showing the construction of another embodiment of the insert mold used for molding the package;

Fig. 83(a) is a top plan view of the movable plate, and Fig. 83(b) is a side elevation thereof;

Fig. 84(a) is a perspective view of a bottom force, Fig. 84(b) is a top plan view thereof and Fig. 84(c) is a section thereof;

Figs. 85 and 86 are diagrams showing the construction of the insert mold and show the method of molding the package;

Fig. 87 is a diagram showing the entire construction of a molding apparatus;

Fig. 88 is a diagram of the construction of the insert mold and shows the method of molding the package;

Fig. 89 is a perspective view of the insert mold and shows the method of molding the package;

Fig. 90 is a diagram of the construction of the insert mold and shows the method of molding the package;

Fig. 91(a) is a top plan view showing another embodiment of the moving part, and Fig. 91(b) is a side elevation thereof;

Fig. 92 is a section of the package;

Fig. 93 is an explanatory diagram showing the EIAJ standard of 300 mil-SOJ;

Fig. 94 is a partially broken section showing the DRAM module;

Figs. 95 and 96 are perspective views showing other embodiments of the module lead;

Fig. 97(a) is a side elevation showing a pattern of a solder fillet and Fig. 97(b) a perspective view thereof;

Figs. 98(a) to 98(c) are top plan views showing other embodiments of the leads;

Fig. 99(a) is a side elevation showing a method of connecting the module leads and the leads as a whole and Fig. 99(b) is a top plan view thereof;

Figs. 100 and 101 are perspective views showing other embodiments of the lead;

Fig. 102 is a perspective view showing a state that recesses are formed in the bottom face of the package;

Fig. 103 is an explanatory view showing a method of forming the recesses in the bottom face of the single-layer passage of the prior art;

Figs. 104 and 105 are sections showing other embodiments of the movable plate;

Figs. 106(a) to 106(c) are side elevations showing other embodiments of the movable plate, Figs. 106(d) and 106(e) are top plan views showing the movable plate of Fig. 106(b), and Fig. 106(f) is an enlarged top plan view showing a gate hold of the movable plate;

Fig. 107(a) is a top plan view showing the positional relations among the gate holes and the guide pins of the movable plate and the gate holes of the bottom force, and Fig. 107(b) is a top plan view showing a slit gate;

Fig. 108(a) is an enlarged perspective view showing the slit gate and Fig. 108(b) is an enlarged perspective view showing a pin gate;

Fig. 109(a) presents a top plan view showing the gate hole and Fig. 109(b) is a section showing a modification of the gate hole of Fig. 109(a), taken along line X - X' of Fig. 109(a);

Fig. 110(a) and 110(b) are perspective views showing a method of manufacturing the moving part;

Fig. 111 is a perspective view showing another embodiment of the DRAM module;

Fig. 112 is a perspective view showing the DRAM module from the back;

Fig. 113 is a block diagram showing an internal

construction of the DRAM module;

Fig. 114 is a top plan view showing the bottom face of the mother socket;

Fig. 115 is a top plan view showing the top face of the mother socket;

Fig. 116 is a top plan view showing a solder resist pattern of the top face of the mother socket;

Fig. 117 is an equivalent circuit diagram showing a redundant hierarchy selector disposed on the bottom face of the mother socket;

Fig. 118 is a conceptional diagram for explaining a method of connecting the redundant hierarchy selector selectively;

Fig. 119 is another equivalent circuit diagram showing the redundant hierarchy selector disposed on the bottom face of the mother socket;

Fig. 120 is a block diagram showing a DRAM chip;

Fig. 121 is a block diagram of the DRAM chip noting control signals;

Fig. 122 is a block diagram showing another embodiment of the DRAM module;

Fig. 123 is a block diagram showing one embodiment of a defect relieving LSI;

Fig. 124 is a block diagram showing an intelligent module;

Fig. 125(a) is a diagram of a construction of the package and showing a method of manufacturing the module, in which an error correcting circuit is bult in, and Fig. 125(b) is a diagram of a construction of the mother socket;

Figs. 126 and 127 are perspective views showing the intelligent module;

Figs. 128 and 129 are top plan views showing the lead frame to be used in the intelligent module;

Fig. 130 is an equivalent circuit diagram showing another embodiment of the DRAM module;

Fig. 131(a) is a top plan view showing another embodiment of the method of connecting the leads and the module leads and Fig. 131(b) is a side elevation;

Fig. 132 is a perspective view showing another embodiment of the method of connecting the leads and the module leads;

Fig. 133 is a perspective view showing another embodiment of the mother socket; and

Fig. 134 is a perspective view showing another embodiment of the DRAM module.

BEST MODE FOR CARRYING OUT THE INVENTION

The present invention will be described in more detail with reference to the accompanying drawings.

Fig. 1 is a front perspective view showing a DRAM module of one embodiment according to the present invention; Fig. 2 is a rear perspective view showing the DRAM module; Fig. 3 is a rear perspective view showing the DRAM module; and Fig. 4 is a block diagram showing an internal construction of the DRAM module.

A DRAM module 1A of the present embodiment is constructed of a package 2A or the module body and a mother socket 3A mounted with the package 2A. These package 2A and mother socket 3A are made of a synthetic resin such as an epoxy resin or a heat resistant liquid crystal polymer and is insert-molded by using the later-described mold.

In the package 2A, there are so encapsulated nine semiconductor chips (M_0 to M_8) and totally nine sheets of lead frames mounted with the semiconductor chips (M_0 to M_8) individually that they are stacked vertically into the package 2A. In each of the nine semiconductor chips (M_0 to M_8), encapsulated in the package 2A, there is formed a CMOS-DRAM having a construction of [16777216 words × 1 bit] and a large capacity of 16 Mbits. By connecting these nine semiconductor chips (M_0 to M_8), there is constructed the DRAM module having a construction of [16777216 words × 9 bits], as shown in Fig. 4. In short, the

DRAM module 1A of the present embodiment realizes a large capacity DRAM module for effecting the memory access in units of 9 bits by connecting in parallel the nine DRAM chips (M_0 to M_8) of 16 megabits [Mbits] for effecting the memory access in units of 1 bit.

Fig. 5 is a top plan view showing a pad layout of the aforementioned semiconductor chip (M) having the DRAM of 16 megabits [Mbits]. This semiconductor chip (M) is so constructed that the mode of [4194304 words × 4 bits] and the mode of [16777216 words × 1 bit] are switched by a bonding option. When the semiconductor chip (M) is to be operated in the [16777216 words × 1 bit] mode, the shown FP2 pad is shorted to Vss (or GND). In order to prevent an increase in the number of pins (or terminals), on the other hand, the data input pin Din and the data output pin Dout of the semiconductor chip (M), as shown in Fig. 4, are internally connected to the common lead at the wire bonding time.

Figs. 6 to 14 are top plan views showing the nine lead frames (S_1 to S_9) mounted with the aforementioned semiconductor chips (M_0 to M_8). In each of the lead frames (S_1 to S_9), there are arranged two rows of leads 6 in the long side direction. The number of the leads 6 is thirty two for each row of sixteen leads. The

leading end of each lead 6 has a square opening 8 into which is inserted the module lead of the later-described mother socket 3A. In the outer periphery of the lead frames (S_1 to S_9), there are formed round openings 4, into which are inserted the guide pins of the later-described mold.

The patterns (or pin arrangements) of the leads 6 are individually designed for the lead frames (S_1 to S_9). Specifically, the pins to be commonly connected, including the power (and GND) pins, the address pins and the control signal pins, are commonly arranged among all the lead frames (S_1 to S_9), but the arrangements of the data input/output pins are different among the individual lead frames (S_1 to S_9). The power supply (and GND) pins are constructed as the bus bar lead. The power (and GND) pins are connected at a plurality of positions to the power pads (and GND pads) of the semiconductor chip so as to lower the wiring impedance.

The aforementioned nine lead frames (S_1 to S_9) are stacked such that the lead frame (S_1), as shown in Fig. 6, is arranged in the lowermost layer of the package 2A whereas the eight lead frames (S_2 to S_9), as shown in Figs. 7 to 14, are arranged upwards sequentially in the order of S_2, S_3, - - -, and S_9. These lead frames

(S_1 to S_9) are made of an electrically conductive material such as 42 alloy or covar and given an average thickness of about 0.1 to 0.125 mm.

Fig. 15 is a top plan view showing the lowermost lead frame (S_1) mounted with the semiconductor chip (M_0). The semiconductor chip (M_0) is mounted on the lead frame (S_1) by the LOC (Lead On Chip) method using an insulating tape 5. This insulating tape 5 is inserted between the principal face of the semiconductor chip (M_0) and the lower face of the lead frame (S_1) and is stuck on the lead frame (S_1) by the thermocompression bonding method. The semiconductor chip (M_0) is stuck on the insulating tape 5 by an adhesive. The insulating tape 5 is quardrisected to weaken the thermal stress which will occur in the interface with the synthetic resin making the package 2A. This insulating tape 5 is made of a polyimide resin or a highly heat-resistant and strong liquid crystal polymer (a glass fiber reinforced highly heat-resistant liquid crystal polymer, known under the trade name of "Vectra E130" of Poly Plastic Inc.), and is given an average thickness of about 0.05 to 0.1 mm.

On the principal face of the semiconductor chip (M_0), there are arranged one row of bonding pads (BP) in the long side direction. These bonding pads (BP)

and the corresponding leads 6 of the lead frame (S_1) are electrically connected by the Au wires 7. The connections between the bonding pads (BP) and the leads 6 are carried out by heating them, by using ultrasonic waves, or by using a well-known wire bonding apparatus employing heat or ultrasonic waves. Although not shown, the semiconductor chips (M_1 to M_8) are individually mounted on the remaining lead frames (S_2 to S_9) by the aforementioned method.

Fig. 15 shows an array of the pins (pin 1 to pin 32) of the lead frame (S_1). Fig. 16 shows only the used pads, of which the data output pin Dout is the IO3 pad shown in Fig. 5 whereas the data input Din is a Din pad and is internally connected to the pin 31. Here will be sequentially described the constructions of the pins 1 to 32. The pin 1 is for Vss; the pin 2 is for NC; the pin 3 is for the data 1 of the second-layer lead frame (S_2); the pin 4 is for the data d of the fourth-layer lead frame (S_4); the pin 5 is for the data of the sixth-layer lead frame (S_6); the pin 6 is for the data 7 of the eighth-layer lead frame (S_8); the pin 7 is for a /WE; the pin 8 is for a row address strobe signal /RAS; the pin 9 is for A (address) 11; the pin 10 is for A10; the pin 11 is for A0; the pin 12 is for A2; the pin 14 is for A3; the pin 15 is for

Vcc; the pin 16 is also for Vcc; the pin 17 is for Vss; the pin 18 is also for Vss; the pin 19 is for A4; the pin 20 is for A5; the pin 21 is for A6; the pin 22 is for A7; the pin 23 is for A8; the pin 24 is for A9; the pin 25 is the column address strobe signal /PCAS of the ninth-layer lead frame (S_9) (for the parity) (whereas the first- to eighth-layer lead frames (S_1 to S_8) are connected to the CAS pad used by the pin 26; the pin 26 is the chip select signal (or column address strobe signal) /CAS (excepting the ninth-layer lead frame (S_9)); the pin 27 is for the parity data 8 of the ninth-layer lead frame (S_9); the pin 28 is for the data 6 of the seventh-layer lead frame (S_7); the pin 29 is for the data 4 of the fifth-layer lead frame (S_5); the pin 30 is for the data 2 of the third-layer lead frame (S_3); the pin 31 is for the data 0 of the first-layer lead frame (S_1); and the pin 32 is for the Vss.

Fig. 16 is a perspective view showing the package 2A having the aforementioned internal structure. From the two long side faces of the package 2A, as shown, there are horizontally led out the leads 6 of the aforementioned nine lead frames (S_1 to S_9). Of these leads 6, the leads 6 constructing the power supply (and GND) pin , the address signal pin and the control

signal pin are commonly arranged for all the lead frames (S_1 to S_9) so that they are vertically overlapped at the side faces of the package 2A. Here, the /CAS of the control signal is arranged commonly for the lead frames (S_1 to S_8) excepting the uppermost lead frame (S_9). On the other hand, the leads 6 constituting the data pins are so led out one by one (bit by bit) from the individual lead frames (S_1 to S_9) that they may not overlap one another, because the lead arrangement are different for the lead frames (S_1 to S_9).

Fig. 17 is a perspective view showing the mother socket 3A for mounting the aforementioned package 2A. In the mother socket 3A, as shown, a plurality of module leads 9 extending vertically are arranged row by row along their two long side faces. The arrangement of the module leads 9 corresponds to that of the leads 6 of the lead frames (S_1 to S_9). The individual lower portions of the module leads 9 are extended through the mother socket 3A to the back of the same to construct the external terminals for packaging the DRAM module 1A in the printed circuit board of the SIMM.

In order to mount the package 2A on the aforementioned mother socket 3A, what is required is

to insert the module leads 9 of the mother socket 3A into the openings 8 of the corresponding leads 6 of the package 2A and to fix them by a known means such as soldering, brazing or welding to connect and fix them. When the two are to be connected by soldering, the surfaces of the leads 6 and the surfaces of the module leads 9 are plated with solder, and the module leads 9 are inserted into the openings 8 of the leads 6. After this, the solder is melted in a heating furnace. If, at this time, either the leads 6 or the module leads 9 are plated with a metal such as palladium (Pd) for blocking the solder flow, it is possible to reduce a danger that the leads 6 or the module leads 9 might be shorted through the molten solder.

In a conventional memory module which is constructed by stacking several layers of LSI packages (e.g., TSOP) where only one semiconductor chip is encapsulated, the size reduction in the stack direction is limited by not only the thickness of the resin making the package but also the gaps between the packages so as to promote the heat radiation. In the DRAM module 1A of the present embodiment, on the other hand, the semiconductor chips (M_0 to M_8) are encapsulated altogether into the package 2A so that

the exterior size (or height) in the vertical direction can be reduced far more than that of the aforementioned conventional memory module.

In the DRAM module 1A of the present embodiment, moreover, the use of the lead frames (S_1 to S_9) of the aforementioned structure restricts the planar size of the package 2A to a value slightly larger than the size of one of the semiconductor chips (M_0 to M_8) encapsulated therein. Because of the necessity that the data pins (or leads 6) of the lead frames (S_1 to S_9) are dispersedly arranged without any vertical overlap of the package 2A, however, the number of the leads 6 is larger by about four for each row than that of the ordinary DRAM lead frames so that the size of the package 2A of the long side is accordingly enlarged. However, the increase in the long side size is very small because the pitch of the leads 6 is extremely restricted.

Although the numerous semiconductor chips (M_0 to M_8) are encapsulated into the DRAM module 1A of the present embodiment, the heat resistance of the package 2A is very low. This is partly because the resin the gaps of the semiconductor chips (M_0 to M_8) is remarkably thin. On the other hand, the leads 6, horizontally led from the side faces of the package

2A, are connected to intersect with the vertically extending module leads 9 of the mother socket 3A so that the heat at the central portion of the package 2A can be quickly dissipated to the outside through the leads 6 and the module leads 9.

Moreover, since the numerous leads 6, led out from the side faces of the package 2A, are formed to constitute a leaf spring structure, the DRAM module 1A of the present embodiment is given a structure in which the vertically extending stress of the resin in the gaps between the lead frames (S_1 to S_9) in the package 2A is absorbed and relaxed through the deformation of the leads 6. As a result, interface separation between the resin and the lead frames (S_1 to S_9) and cracks of the resin are suppressed to improve the reliability of the package 2A.

Moreover, since the arrangements of the data pins are changed for the individual lead frames (S_1 to S_9), the DRAM module 1A of the present embodiment can connect the lead frames (S_1 to S_9) directly. In other words, there is separately required no printed circuit board which is intended to connect the lead frames (S_1 to S_9), so that the external size of the DRAM module 1A can be reduced.

Incidentally, in the foregoing description, the

leads 6 constructing the data pins are led out one by one from the individual lead frames (S_1 to S_9), but the dummy leads may be additionally led out. This is exemplified by the lead 6 (for the pin 25), as in the ninth lead from this lefthand side of the aforementioned package 2, as shown in Fig. 16. This pin 25 is the PCAS of the lead frame (S_9) of the ninth layer (uppermost layer) and is intrinsically led from only the ninth-layer lead frame (S_9). As shown in Fig. 16, however, one lead 6 is led out from the same portion of each of the lower lead frames (S_1 to S_8) so that totally eight leads are led out. These eight leads 6 are the dummy leads which are not electrically connected to any of the semiconductor chips (M_0 to M_8).

The heat dissipation paths of the package 2A are increased by leading out those dummy leads from the package 2A and connecting them with the module leads 9 of the mother socket 3, so that the heat resistance of the same can be further reduced. Moreover, the number of the leads 6 to be connected with the module leads 9 of the mother socket 3A can be increased to improve the junction strength between the leads 6 and the module leads 9.

Here will be described a method for manufacturing the DRAM module 1A of the present embodiment.

Usually, the LSI package such as the TSOP is molded by the insert molding method in which the lead frames are sandwiched between the top force and the bottom force and in which the resin is injected into their gaps. When, however, the numerous lead frames (S_1 to S_9) are stacked, packaged and encapsulated as in the package 2A of the DRAM module 1A of the present embodiment, it is difficult to part the package 2A from the mold after the molding operation if a conventional mold composed of top and bottom forces is used.

In the present embodiment, therefore, the insert mold, as shown in Figs. 18 to 20, is used to mold the package 2A. Fig. 18 is a perspective view showing the insert mold; Fig. 19 is a perspective view showing the state that the top force of the insert mold is lifted up; Fig. 20 is an exploded perspective view showing the insert mold; and Fig. 21(a) is a top plan view showing the moving part of the insert mold and Fig. 21(b) is a side elevation.

As shown, an insert mold 10 is constructed of a top force 11, a bottom force 12 and a plurality of movable plates (of spacer type) 13. One movable plate 13 is composed of two sheets and are inserted in set into the gap between the stacked (and chip-bonded)

lead frames (S). When the nine lead frames (S_1 to S_9) are to be encapsulated into the package 2A of the present embodiment, eight movable plates 13 are required. As shown in Fig. 21, each of the movable plates 13 is horizontally halved along the parting line (PL) and is so set with a parting angle (θ) of about 4 degrees on its four sides perpendicular to the parting line (PL) as to facilitate the parting of the package 2A.

By using the movable plates 13 to be inserted into the gaps between the lead frames (S_1 to S_9), the numerous lead frames (S_1 to S_9) can be highly accurately arranged three-dimensionally in the predetermined positions of the insert mold 10 without any special structural reinforcement. After the molding operation, moreover, the package 2A can be easily parted merely by dividing the top and bottom forces 11 and 12 vertically and by halving the individual movable plates 13 horizontally. As a result, the yield and the throughput of the molding step can be improved.

The movable plates 13 have a thickness equal to the sum of the thickness of the semiconductor chip (M), the thickness of the insulating tape 4, the loop height of the wire 7 of the semiconductor chip (M) and

the thickness of the resin in the gaps between the semiconductor chips (M). For example, the movable plates 13 has a thickness of 0.68 mm if the thickness of the semiconductor chip (M) is 0.28 mm, if the thickness of the insulating tape 5 is 0.1 mm, if the loop height of the wire 7 is 0.15 mm and if the thickness of the resin in the gaps between the semiconductor chips (M) is 0.15 mm.

For the thickness of 0.1 mm of the lead frame (S), moreover, the thicknesses of the upper and lower end portions of the package 2A are calculated by setting the thickness of the upper end portion, including the semiconductor chip (M), at 0.58 mm (the thickness of the insulating tape 5 + the thickness of the semiconductor chip (M) + the thickness of the resin = 0.1 mm + 0.28 mm + 0.15 mm) and the thickness of the lower end portion of only the wire 7, not including the semiconductor chip (M), at 0.35 mm (the loop height of the wire 7 + the thickness of the resin = 0.15 mm + 0.2 mm). Then, the external size of the package 2A, in the vertical direction, is the thickness (0.58 mm) of the upper end portion of the package 2A + [the thickness (0.1 mm) of the lead frame (S) × 9] + [the thickness (0.68 mm) of the moving part 13 × 8] + the thickness (0.35 mm) of the lower end

portion of the package 2A.

The aforementioned size (7.27 mm) of the package 2A is smaller by about 27% than that (1.1 mm × 9 = 9.9 mm) of the case in which nine TSOP having a thickness of 1.1 mm are stacked. When the TSOPs are actually stacked, moreover, a gap of about 1 mm has to be provided between the individual TSOPs, considering the heat radiation, so that the size is (1.1 mm × 9) + (1 mm × 8) = about 18 mm. In other words, the external size of the package 2A, in the vertical direction, of the present embodiment is about 40% of that of the module having the stacked TSOPs. By thus molding the package 2A by the aforementioned mold 10 equipped with the aforementioned movable plates 13, the thickness of the resin in the gaps between the semiconductor chips (M_0 to M_8) can be minimized to suppress the temperature rise at the center portion of the package 2A.

In the DRAM module 1A of the present embodiment, the external size of the package 2A can be further reduced by reducing the loop height of the wire 7, the thickness of the insulating tape 5, the thickness of the semiconductor chip (M) and the thickness of the resin in the gaps of the semiconductor chips (M).

When the loop height of the wire 7 is reduced from 0.15 mm to 0.12 mm, the thickness of the

insulating tape 5 from 0.1 mm to 0.05 mm, the thickness of the semiconductor chip (M) from 0.28 mm to 0.1 mm, for example, the thickness of each layer of the lead frame (S) is 0.57 mm for the thickness of 0.1 mm of the lead frame (S). Moreover, when the connection between the semiconductor chip (M) and the lead frame (S) is changed from the wire bonding type to a bump electrode type, the loop height of the wire 7 need not be considered. Then, the thickness of one lead frame (S) can be made as thin as 0.45 mm if the height of the bump is at 0.03 mm.

When each lead frame (S) is thus drastically thinned, the back face of the semiconductor chip (M) may be partially or wholly coated with a thin insulating resin film so as to prevent any short circuit between the back face of the overlying semiconductor chip (M) and the wire 7 of the underlying semiconductor chip (M). In order to prevent this, the back face of the semiconductor chip (M) may be coated with an insulating resin film. When the upper and lower lead frames (S) are very close to each other, the crosstalk noise between the lead frames (S) may be a problem. In this case, the back face of the semiconductor chip (M) may have a shielding layer of Au foil or Aℓ foil.

Fig. 22 is a perspective view showing the package 2B having each lead frame (S) thinned by the aforementioned method, and Fig. 23 is a perspective view showing a very small-size DRAM module 1B having the package 2B mounted on the mother socket 3B. The size of this DRAM module 1B, in the height direction, is far more reduced than that of the aforementioned DRAM module 1A shown in Figs. 1 to 3.

Here will be described the lead frame structure which is improved to raise the yield and throughput of the package 2A at the molding step.

When the aforementioned lead frames (S_1 to S_9) are set in the aforementioned insert mold 10 and encapsulated altogether, the resin is difficult to flow into the narrow gaps between the stacked lead frames (S_1 to S_9) to produce voids (or clearances) in the resin in the gaps if the epoxy resin used has a high viscosity.

In order to prevent this, there are used the lead frames (S_1 to S_9), as shown in Figs. 23 to 32. These lead frames (S_1 to S_9) have individually designed lead patterns (or pin arrangements), like the foregoing lead frames (S_1 to S_9) shown in Figs. 6 to 14, but have a pair of molding gate holes 14 in the outer sides of the two opposed short sides of the square region (or

package region) to be encapsulated with the resin. When the lead frames (S_1 to S_9) having the molding gate holes 14 are used, Similar gate holes are also made in the portions corresponding to the aforementioned insert mold 10.

When the lead frames (S_1 to S_9) having the molding gate holes 14 are stacked and set in the insert mold 10, a pair of cylindrical gate lines 27 and 28 extending vertically through the insert mold 10 are formed, as shown in Fig. 33. As a result, when the molten resin is injected from one gate 15, formed in the top force 11, it flows through one gate line 27 and the cavity is quickly filled with the molten resin. Moreover, the nonuniform resin components including the voids in the insert mold 10 will flow out through the other gate line 28 to a gate 16 formed in the bottom force 12.

By thus using the lead frames (S_1 to S_9) having the aforementioned molding gate holes 14, the narrow gaps between the stacked lead frames (S_1 to S_9) can be fully charged with the resin. As a result, the problem of voids in the gaps can be solved to improve the yield of the step of molding the package 2A.

According to a second feature of the lead frames (S_1 to S_9) shown in Figs. 24 to 32, index holes 17 of

different patterns are formed in the lead frames in the long side direction. As a result, the layer identification number (the pattern of the index holes 17) of the lead frame (S) can be automatically read at the mass production time to easily judge whether or not the lead frames (S_1 to S_9) are stacked in the correct order, so that the yield and throughput of the packaging step of the package 2A can be improved.

In the lead frames (S_1 to S_9) shown in Figs. 24 to 32, on the other hand, there are further formed at the frame portion of the each lead frame (S), in the lower side direction, index holes 18 which are different for the lead frames (S). Thanks to the index holes 18 thus positioned, their layer identification numbers can be easily read out from the side. As a result, even after the lead frames (S_1 to S_9) are set in the insert mold 10, it can be easily judged whether or not the lead frames (S_1 to S_9) are stacked in the correct order.

According to a third feature of the lead frames (S_1 to S_9) shown in Figs. 24 to 32, on the other hand, center holes 26 are formed along the parting line of each lead frame (S). By inserting pins or the like into those center holes 26 to fix the lead frames (S_1 to S_9) in the top force 11 and/or the bottom force 12,

the movement of the package 2A is restricted when the movable plates 13 are extracted so that the parting operation of the movable plates 13 can be carried out within a short time period. It is also possible to prevent the deformation of the leads 6 when the movable plates 13 are extracted.

According to a fourth feature of the lead frames (S_1 to S_9) shown in Figs. 24 to 32, on the other hand, half etch lines 19 are formed partially in the frame supporting the leads 6. These half etch lines 19 are formed simultaneously as the conductive material (or hoop material) for the lead frames are etched to form the pattern of the leads 6, so that they are formed of narrow grooves made half as deep as the thickness of the lead frames (S). When the lead frames (S) are folded along the half etch lines 19, the individual portions of the lead frame (S) can be easily cut off, as shown in Fig. 34. As a result, unnecessary parts of the lead frame (S_1 to S_9) exposed to the outside of the package 2A, can be removed. Moreover, when the unnecessary parts of the lead frames (S_1 to S_9) are removed, the leads 6 are less deformed undesirably.

Here will be described a mold for manufacturing the mother socket 3A, as shown in Fig. 17, in a high dimensional accuracy. This mold is constructed of a

pair of lefthand and righthand horizontally movable plates 21L and 21R, as shown in Fig. 35, and a vertically movable center part 22, as shown in Fig. 36. By using this mold, the mother socket 3A can be manufactured in a high dimensional accuracy by preparing two mother socket lead frames 20, as shown in Fig. 37. One lead frame 20 is set between the movable plate 21L and the center part 22 whereas the other is set between a movable plate 22R and the center part 22. The insert molding is carried out by inserting the guide pins 30 of the center part 22 into the openings formed in the outer periphery of the mother socket lead frame 20.

This mother socket lead frame 20 is made of the same 42 alloy or covar as that of the aforementioned lead frames (S_1 to S_9) and is given an average thickness of about 0.15 mm. The same epoxy resin or heat resistant liquid crystal polymer as that for the package 2A is used for the body of the mother socket 3. In place of two mother socket lead frames 20, as shown in Fig. 37, the module leads 9, cut to a necessary length and connected with the data pins of the package 2A, may be used in a combination as a mother socket lead frame 23L (for the lefthand part), as shown in Fig. 38, and a mother socket lead frame

23R (for the righthand part), as shown in Fig. 39.

In order to mount the package 2A on the mother socket 3A, the module leads 9 of the mother socket 3A are inserted into the openings 8 of the leads 6 of the package 2A, and they are then connected together by using a well-known solder dip apparatus. After this solder dipping, unnecessary solder may be easily removed by a high-speed centrifugal separation so that the module leads 9 and the leads 6 can be connected with a high throughput. Alternatively, the module leads 9 and the leads 6 can also be connected by a reflow soldering method using a solder paste, as will be described hereinafter.

When a large number of semiconductor chips (M) are encapsulated into one package 2A as in the DRAM module 1A of the present embodiment, the thermal expansions of the package 2A may be anisotropic in the vertical and horizontal directions because the epoxy resin has a relatively large coefficient of thermal expansion of about 10 ppm/°C. If this anisotropy occurs, the connection portions between the leads 6 of the package 2A and the module leads 9 of the mother socket 3 are subjected to a thermal stress to cause the open defects between the leads 6 and the module leads 9.

When this defect may occur, the module leads 9 of the mother socket 3A are made of a conductive material such as a copper alloy or phosphor bronze having a coefficient of thermal expansion approximate to that of the epoxy resin in place of the material having a low thermal expansion such as 42 alloy or covar. When a conductive material having a coefficient of thermal expansion approximate to that of the epoxy resin, the module leads 9 can follow the vertical expansion of the package 2A, so that the thermal stress applied to the connection portions between the leads 6 and the module leads 9 can be reduced to lower the degree of occurrence of the open defect. Moreover, the copper alloy is so thermally conductive as to have a high heat radiation, so that it can be used as the material not only for the module leads 9 but also the lead frame (S) to lower the thermal resistance of the DRAM module 1A.

In the aforementioned lead frames (S_1 to S_9), as shown in Figs. 6 to 16 and Figs. 24 to 32, their all leads 6 are electrically conductive through the metal tie bars. This makes it impossible to perform the testing, screening and aging for confirming whether or not all the semiconductor chips (M), mounted on the lead frame (S) and wire-bonded, are normally

operative, immediately before the molding step.

In order to eliminate this difficulty, the tape dam type lead frames (T) having an insulating tape 24 bonded on the mold line, as shown in Fig. 40, is used. The insulating tape 24 is made of a polyimide resin or a high heat-resistant liquid crystal polymer like the aforementioned insulating tape 4 of the lead frame (S). The insulating tape 24 can be formed not only by a bonding method for bonding it to the lead frame (T) with an adhesive but also by an injection molding method of a resin.

Nine tape dam type lead frames (T_1 to T_9) used for manufacturing the DRAM module 1A of the present embodiment are shown in Figs. 41 to 49. Incidentally, the insulating tape is not shown in Figs. 41 to 49.

These lead frames (T_1 to T_9) can bring their individual leads 6 into electrically floating states by cutting the metal portions holding the leads after the semiconductor chips (M_0 to M_8) are mounted and wire-bonded, as shown in Fig. 40, so that, the semiconductor chips (M_0 to M_8) can be tested, screened and aged immediately before the molding step. In these lead frames (T_1 to T_9), the half etch lines 19 are also formed in the corresonding portions, so that the metal portions holding the leads 6 may be easily cut off.

Incidentally, the tie bar cutting step can be omitted if those lead frames (T_1 to T_9) are used.

It is important that the sizes of the lead frames (S_1 to S_9 and T_1 to T_9) used in the DRAM module 1A of the present embodiment should be highly accurately the same. If this dimensional accuracy is poor, a high mechanical stress may be applied to the connection portions between the module leads 9 of the mother socket 3A and the leads 6 of the package 2A to deteriorate the connection reliability.

In the present embodiment, therefore, the aforementioned nine lead frames (S_1 to S_9 or T_1 to T_9) are subjected altogether as a set, when manufactured, to a photo-etching process at a step. Fig. 51 presents an overall top plan view showing the nine lead frames (S_1 to S_9), as shown in Figs. 24 to 32, are prepared as one set.

By molding the package 2A using the aforementioned lead frame set, the openings 8 of the leads 6, vertically overlapped in the side of the package 2A, can be highly accurately aligned to reduce the mechanical stress which is applied to the connection portions between the module leads 9 and the leads 6.

The DRAM module 1A of the present embodiment can

be prepared by encapsulating the nine semiconductor chips (M_0 to M_8) altogether into the package 2A. Despite of this example, however, ten or more semiconductor chips (M) could be encapsulated altogether. However, as the number of the semiconductor chips (M) encapsulated increases to enlarge the vertical size of the package 2A, the module leads 9 of the mother socket 3A is accordingly elongated to raise a problem in deformation.

In order to solve this problem, the dummy lead frame, which is not electrically connected with the semiconductor chip (M) and in which all the pins are in electrically floating states, is arranged between the layers of the lead frames (S_1 to S_9 or T_1 to T_9) or at the uppermost layer and encapsulated altogether. Examples of dummy lead frame are shown in Figs. 52 and 53. The lead frame (S_0) of Fig. 52 is of the metal tie bar type and is used in a combination with the lead frames of Figs. 24 to 32. On the other hand, the lead frame (T_0) of Fig. 53 is of the tape dam type and is used in a combination with the lead frames (T_1 to T_9) of Figs. 41 to 49.

By connecting the leads 6 of the dummy lead frame (S_0 or T_0) with the module leads 9, the number of the leads 6 connected with the module leads 9 increases to

make the module leads 9 hard to deform. Moreover, the heat dissipation paths for the package 2A are increased to lower the heat resistance.

Here will be described an embodiment in which the present invention is applied to the DRAM module having a multi-bit construction of large data width.

In order to realize the DRAM module of multi-bit construction such as x36 bits, the following several methods are conceivable.

(1) A DRAM module having a construction of [4194304 words × 9 bits] is prepared by using nine DRAM chips of 4 Mbits having a construction of [4194304 words × 1 bit], and four DRAM modules are packaged in the printed circuit board of SIMM.

(2) Four DRAM modules having a construction of [4194304 words × 8 bits] by combining eight DRAM chips of 4 Mbits having the construction of [4194304 words × 1 bit] and four SOJs packaging DRAM chips of 4 Mbits having the construction of [4194304 words × 1 bit] are packaged in the printed circuit board of SIMM.

(3) Four DRAM modules having the construction of [4194304 words × 8 bits] by combining eight DRAM chips of 4 Mbits having the construction of [4194304 words × 1 bit] and one SOJ packaging a DRAM chip of 16 Mbits having the construction of [4194304 words × 4 bits]

especially for the parity, in which four CASes and two RASes are independent, are mounted on the printed circuit board of SIMM.

According to these methods, a DRAM module having the construction of [16777216 words × 36 bits] can be realized by preparing the DRAM module 1A of the construction of ×9 bits of the foregoing Embodiment with stacked nine DRAMs of 16 Mbits having a construction of [16777216 words × 1 bit] and by mounting the DRAM module 1A on the printed circuit board of SIMM.

According to the aforementioned methods, however, the mounting density drops because the numerous DRAM modules have to be mounted on the printed circuit board of SIMM. At this time, when the DRAM module having the construction of [4194304 words × 36 bits] is realized, only one DRAM module mounted on the printed circuit board of SIMM is needed to improve the mounting density drastically, if the DRAM module of the construction of x36 bits can be prepared by stacking nine DRAM chips of 16 Mbits having the construction of [4194304 words × 4 bits] in one LSI package.

In the DRAM module having the multi-bit construction, on the other hand, many data lines cause

the data input/output pins to be concentrated in the same direction, if the semiconductor chips are simply stacked, so that the lead frames become difficult to lay out. In the case of the DRAM module having the construction of ×36 bits, for example, the pins are led out in dual in-line to form 18 pins × 2 rows, but the data region for the lead frames is much enlarged if the line/space of the pins are considered. However, the corresponding bonding pad region of the semiconductor chip, i.e., the region having the four bonding pads (BP) IO0 to IO3, as shown in Fig. 5, is very small. As a result, the wiring of the leads is so much elongated that the size of the lead frames and accordingly the LSI package therefor are increased.

The method for realizing a small-size/high-performance DRAM module of multi-bit construction while solving the above-specified problems will be described in the following, taking as an example a method for realizing a DRAM module of a construction of ×36 bits equivalently, as shown in Fig. 54, by stacking twelve DRAM chips having the construction of [4194304 words × 4 bits].

In Fig. 54, the eight semiconductor chips (D_0 to D_7) of the twelve semiconductor chips are DRAM chips of 16 Mbits having the construction of [4194304 words × 4

bits], and the remaining four semiconductor chips (M_0 to M_3) are DRAM chips of 4 Mbits having the construction of [4194304 words × 1 bit]. Incidentally, the description will be simplified by using only one bit of the DRAM chip of 16 Mbits having the construction of [4194304 words × 4 bits] in place of the DRAM chip (M_0 to M_3) of 4 Mbits having the construction of [4194304 words × 1 bit] shown in Fig. 54. This can be easily modified to the layout of the DRAM chip (M_0 to M_3) of 4 Mbits having the construction of [4194304 words × 1 bit].

First of all, the present embodiment is given a dual in-line structure in which the pins are arranged in two rows on one side, when twelve DRAM chips of 16 Mbits having the construction of [4194304 words × 4 bits] are used. In the present embodiment, moreover, when the lead frames mounted with the semiconductor chips are stacked and packaged, some of them are inverted by 180 degrees in a horizontal plane such that the pads of the semiconductor chips mounted on the inverted lead frames and the pads of the semiconductor chips mounted on the non-inverted lead frames are opposed to each other with respect to an axis of inversion. In the present embodiment, still moreover, the twelve semiconductor chips are divided

into two packages each composed of six semiconductor chips, and these two packages are stacked and mounted on the mother socket.

Fig. 55 is a top plan view showing the pin (or the module leads 9) array (the portion to be connected with the printed circuit board of SIMM is viewed from above) of the mother socket 3C corresponding to the aforementioned dual in-line structure.

This pin array is a sixty eight pin structure of 17 pins × 4 rows, and the pin 9 and the pin 60 are given an NC or pin-less structure. The pin pitch is 50 mil (or 1.27 mm) in both the long and short side directions of the mother socket 3B. The Vcc is applied to the pins 1, 17, 18 and 34, and the Vss is applied to the pins 35, 51, 52 and 68, so that the reduction of the impedance at the power supply time is realized by the parallel connections. The correspondences of the address pins are different between the inverted chips and the non-inverted chips, but the ten bits (A0 to A9) to be shared between the X-address and the Y-address are given the one-to-one correspondence. An address pin A10 is different in its arrangement for the inverted chips and the non-inverted chips, so that it can be adaptable to the designations of refresh addresses and the X-address/Y-

address. In the actual use, the address pin (A10) of the inverted chips and the address pin A10 of the non-inverted chips are connected by external or internal wires.

The pin 7 is for the A4 (or A9); the pin 8 is for the A5 (A0); the pin 10 is for the A7 (A2); the pin 11 is for the NC; the pin 25 is for the A8 (A3); the pin 26 is for the A6 (A1); the pin 27 is for the (A10) having no correspondence to the non-inverted chips; the pin 41 is for the A3 (A8); the pin 43 is for the A1 (A6); the pin 44 is for the A10 having no correspondence to the inverted chips; the pin 58 is for the A9 (A4); the pin 59 is for the A0 (A5); the pin 61 is for the A2 (A7); and the pin 62 is for the NC (the parenthesized pins are inverted chips). A /WE is the pin 41 for the non-inverted chips and the pin 24 for the inverted chips. As shown in Fig. 54, the /RAS0, the /RAS2, the /CAS0, the /CAS1, the /CAS2 and the /CAS3 are the pin 28, the pin 45, the pin 6, the pin 29, the pin 57 and the pin 46, respectively. The remaining pins are data pins (DQ0 to DQ35).

The layouts of twelve lead frames (L_1 to L_{12}), as made to correspond to the pin arrangement of the aforementioned dual in-line structure, are shown in

Figs. 56 to 67. In these Figures, moreover, there are shown the contours of the package 2C, the semiconductor chips (M), the bonding pads (BP), the wires 7 and the later-described decoupling capacitors 31. However, the illustration of the insulating tape (5) sandwiched between the semiconductor chips (M) and the lead frames (L) is omitted.

As shown in Fig. 56, the external size of the package 2C is 7.6 mm (the shorter side) × 20.7 mm (the long side). There are two kinds of long and short leads 6 of the lead frame (L), each of which has the openings 8 for inserting the module leads 9 of the mother socket 3C thereinto. The pitches of the leads 6 led out from one side of the package 2C, and the leads 6 led from the other side are 400 mil (10.16 mm) for the short outer leads 6 and 500 mil (12.7 mm) for the long outer leads 6 around the openings 8. These pitches correspond to the pitches of the two rows of pins of the mother socket 3C, as shown in Fig. 55. The individual leads 6 have a width of 0.55 mm, and the openings 8 have a diameter of 0.25 × 0.25 mm, but the leads 6 have a pitch of 0.8 mm smaller than the pin pitch (50 mil (1.27 mm) of the mother socket 3C.

Of the twelve lead frames (L_1 to L_{12}), the three lead frames (L_1 to L_3) shown in Figs. 56 to 58 and the

three lead frames (L_4 to L_6) shown in Figs. 59 to 61, and the three lead frames (L_7 to L_9) shown in Figs. 62 to 64 and the three lead frames (L_{10} to L_{12}) shown in Figs. 65 to 67 are individually arranged and inverted by 180 degrees from each other in a horizontal plane with respect to the axis of inversion or the center line, in the long side direction of the package 2C.

With this arrangement, the bonding pads (BP) of the semiconductor chip (M) mounted on the inverted lead frame (L), and the pad bonding pads (BP) of the semiconductor chip (M) mounted on the non-inverted lead frame (L) are arranged in the opposite directions with respect to the axis of inversion. As a result, the data pins of the lead frames (L_1 to L_{12}) can be prevented from being concentrated in one direction, so that the wiring of the leads 6 can be facilitated to reduce the size of the lead frames (L_1 to L_{12}).

Of the aforementioned twelve lead frames (L_1 to L_{12}), on the other hand, the inverted lead frames (L) and the non-inverted lead frames (L) are symmetric in the pattern of the leads 6 with respect to the axis of inversion. Specifically, the lead frame (L_1) and the lead frame (L_4), the lead frame (L_2) and the lead frame (L_5), the lead frame (L_3) and the lead frame (L_6), the lead frame (L_7) and the lead frame (L_{10}), the lead

frame (L_8) and the lead frame (L_{11}), and the leads 6 and the other leads 6 are arranged such that one is inverted from the other.

Thus, the twelve kinds of lead frames (L_1 to L_{12}) can be reduced, when designed, to one half (six kinds) so that the cost of manufacturing the lead frames (L_1 to L_{12}) can be lowered. Moreover, the aging kinds can be reduced to lower the manufacture cost for the DRAM module.

As shown in Figs. 56 to 67, on the other hand, the semiconductor chips (D_0 to D_7 and M_0 to M_3) mounted on the twelve lead frames (L_1 to L_{12}) are arranged to have their center offset from the center of the package 2C toward the data pins (to the right of the drawings) of the lead frame (L1). This offset is about 1.6 mm.

With this arrangement, the lead frames (L_1 to L_{12}) can have a sufficiently wide layout area even if they have many data pins. As a result, the leads 6 can be easily wired to design the lead frames (L_1 to L_{12}) in a small size.

If the semiconductor chips (M) are offset toward the data pins, there is established a vacant region in the package 2C, on the side opposed to the data pins. In the present embodiment, therefore, one end of the

bus bar lead or the power supply (GND) pin of the lead frames (L_1 to L_{12}) is extended into the vacant region to mount the aforementioned decoupling capacitor 31. This decoupling capacitor 31 has a planar size of about 1 mm × 0.5 mm and a thickness of about 0.5 mm.

By mounting the decoupling capacitor 31 on the lead frames (L_1 to L_{12}), the power supply impedance of when the semiconductor chip (M) is operated can be reduced to operate the DRAM module stably even if supplied with a high current. Incidentally, as a method for reducing the power supply impedance at the power supply time, the method for mounting the aforementioned decoupling capacitor 31 on one end of each of the lead frames (L_1 to L_{12}) may be replaced by another method for mounting the decoupling capacitor 31 in the vicinity of or within the mother socket 3C, or means for extending the one-side ends of the bus bar leads to the outside of the package 2C and mounting the decoupling capacitor 31 on the extension. If this decoupling capacitor 31 has a large external size, it may be mounted on only a portion of the lead frame (L).

If the semiconductor chip (M) is offset toward the data pins, as described above, the flow of the resin may become nonuniform, when the package 2C is

molded, to produce a structural stress in the package 2C. If the aforementioned decoupling capacitor 31 is then disposed in the vacant region formed on the side opposed to the data pins, the resin flow can be uniform to reduce the structural stress in the molded package 2C. Unless the decoupling capacitor 31 is arranged in the vacant region by extending the bus bar leads, the aforementioned disadvantage are avoided by arranging dummy chips. If the decoupling capacitor is mounted not in the vacant region of the package 2C but in the small-size dummy chip, it is possible to reduce both the aforementioned structural stress and the power supply impedance of when power is supplied.

If the number of semiconductor chips (M) packaged in the package 2C is large, a plurality of signal pins at equal levels may be formed, or the chip identifying signals cannot be produced by the restriction upon the structural design and upon the bonding pads of the semiconductor chips (M). In this case, dummy lead frames may be inserted into the gaps of the layers of the lead frames (L_1 to L_{12}) to effect the wiring connection in the package 2C through the dummy lead frames. If the dummy lead frames are used, the number of the leads 6 led out from the package 2C is increased to improve the junction strength between the

module leads 9 of the mother socket 3C and the leads 6. Moreover, the heat dissipation paths of the package 2C can be increased to further reduce the heat resistance.

Fig. 68 is a perspective view showing the mother socket 3C of the aforementioned dual in-line structure. Fig. 69 is a perspective view showing a state that the package 2C is mounted in one stage on the mother socket 3C. Fig. 70 is a perspective view showing a DRAM module 1C having the construction of [4194304 words × 36 bits] made by stacking two packages 2C on the mother socket 3.

In the vicinity of the center of the mother socket 3C, as shown in Fig. 68, there are formed openings for mounting the later-described radiation fins. The six lead frames (L_7 to L_{12}) are encapsulated into the package 2C shown in Fig. 69, and the remaining fix lead frames (L_1 to L_6) are encapsulated into the upper package 2C shown in Fig. 70. The connection between the mother socket 3C and the package 2C may be carried out similarly to the connection of the DRAM module 1A of the foregoing embodiment.

The two rows of data pins and CAS pins (i.e., the pins 19 to 23, the pins 29 to 33, the pins 36 to 40

and the pins 46 to 50, as shown in Fig. 54), inside of the mother socket 3C and opposed to each other, are connected with only the lower package 2C. The back side of the mother socket 3C has the pin array shown in Fig. 55, but the upper side has the pin array shown in Fig. 71.

For changing the pin arrays between the back side and the top side of the mother socket 3C, there are used the mother socket lead frames shown in Fig. 72 and the mother socket lead frames shown in Fig. 73. Fig. 72 shows the lead frame for the two inner opposed rows, and Fig. 73 shows the lead frame for the two outer opposed rows. The module leads 9 of the lead frames have the power pins (Vcc) at their two ends. These power pins (Vcc) are branched into two at their upper portions to increase the number of pins, so that the power supply impedances of the lead frames (L_1 to L_6 and L_7 to L_{12}) in the package 2C may be reduced.

The data pins and the CAS pins of each package 2C are so staggered at their inner (= 0.8 mm pitch) rows and outer (= 0.8 mm pitch) rows that the outer pitches can be alternately arranged at a half (= 0.4 mm pitch) pitch thereby to effect high density mounting. This is because the data pins and the CAS pins of the lower package 2C are terminated at the lower package 2C but

do not extend to the upper package 2C. The data pins and CAS pins of the upper package 2C are connected through the leads 6 of a pitch of 500 mil with the module leads 9 of the outer rows of the mother socket 3C.

Fig. 74 is a perspective view showing an embodiment in which radiation fins 32 are mounted around the two-stage stacked package 2C so as to further reduce the heat resistance of the DRAM module 1C having the aforementioned construction of [4194304 words × 36 bits]. Fig. 75 shows the same example but cuts one quarter of the radiation fins 32 so as to show the internal state more easily. Fig. 76 is a side elevation of the radiation fin 32, and Fig. 77 is a perspective view of the radiation fin 32. Reference numeral 33 designate a heat conduction plate to be inserted into the gaps between the two-stage stacked packages 2C.

As shown in Fig. 75, the radiation fins 32 are so halved in the long side direction of the package 2C that they may be in contact with the two packages 2C and the mother socket 3C with wide areas. The bottom faces (indicated by arrow A in Fig. 76) of the radiation fins 32 contact with the mother socket 3C are formed into a lance shape so as to prevent the

mother socket 3C from coming out.

When the radiation fins 32 are mounted around the package 2C, they are inserted lateraly into the two-stage stacked packages 2C, and their interfaces are filled up with a heat transfer medium such as silicone grease or silicone rubber. After this, the module leads 9 of the mother socket 3C and the leads 6 of the packages 2C are connected by soldering. The method of mounting the radiation fins 32 may be replaced by a method of stacking vertically divided radiation fins 32a to 32d on the package 2C, as shown in Fig. 78. When the radiation fins 32 are inserted sideward, they can be attached after the module leads 9 and the leads 6 have been connected. When the quardrisected radiation fins 32a to 32d are stacked, the uppermost radiation fin 32a may be attached at the final step of the assembling process.

The present embodiment has been described, taking the case that the present invention is applied to the DRAM module having the construction of [4194304 words × 36 bits]. Despite of this description, however, the DRAM module having the construction of [8388608 words × 36 bits], as shown in Fig. 79, can be easily realized by stacking four two packages 2C of the present embodiment, two at the lower stage and two at

the higher stage, and by separating the RAS pins for the packages 2C such that the pins 11 and pins 62, as shown in Fig. 55, may be for the RAS3 and the RAS1, respectively.

In the mother socket 3C of the present embodiment, on the other hand, the module leads 7 of the data pins and the CAS pins in the opposed inner rows are shortened and connected with only the lower package 2C. However, if the leads 6 of the package 2C have such a large space that the module leads 9 of the mother socket 3C may not be in contact with the unnecessary leads 6, the module leads 9 and the leads 6 can be connected without contact with the unnecessary leads. In other words, the lower package 2C and the upper package 2C can be substituted. In this modification, the leads connected with the upper package 2C and module leads 9 of the CAS pins can be shortened.

Here will be described an embodiment in which the present invention is applied to an SOJ (Small Outline J-leaded package) type DRAM module.

Fig. 80 is a perspective view of an SOJ type DRAM according to the present embodiment. This DRAM module ID realizes a DRAM module having a construction of [16777216 words × 4 bits] by stacking four DRAM chips

of 16 Mbits having a construction of [16777216 words x 1 bit] and by encapsulating the stack into a package 2D as a whole.

In this DRAM module 1D, as shown, the lower end portions of the module leads 9 cross-connected to the leads 6 of the package 2D are bent in the shape of letter "J", so that they can be connected directly to the printed circuit board. In this DRAM module 1D, therefore, the package 2D can be mounted on the surface of a printed circuit board 35 of the SIMM, as shown in Fig. 81, by the same method as that of an ordinary SOJ. In short, this DRAM module 1D has no mother socket for mounting the package 2D, so that it can reduce the number of parts, realizing both the low cost and the reduction in the external size.

The package 2D can be molded by using the insert mode 10, as shown in Figs. 18 to 21, but the present embodiment uses a stacking type insert mold 40, as shown in Fig. 82.

As shown, this insert mold 40 has two cavities 41A and 41B which are arranged in a vertical direction. Each of these cavities 41A and 41B is constructed of movable plates 42, 43 and 44. The movable plate 42 forms the uppermost portion of the package 2D, and the movable plate 43 forms the

lowermost portion. The movable plates 44 hold the inter-layer distance of the semiconductor chips at a constant and controls the distance between the bottom face of the upper semiconductor chip and the wires of the lower semiconductor chip, so that it corresponds to the movable plates 13 of the insert mold 10, as shown in Figs. 18 to 21. All of these movable plates 42, 43 and 44 have a structure in which they are halved in a horizontal direction. Four semiconductor chips are encapsulated into the package 2D of the present embodiment, so that three movable plate 44 are required for each of the cavities 41A and 41B.

The individual cavities 41A and 41B are topped with movable plates 45 and bottomed by movable plates 46. These movable plates 45 and 46 are halved in the horizontal direction like the movable plates 42, 43 and 44. The movable plate 45 of the upper cavity 41A is overlaid by top forces 47 and 48, and the movable plate 46 of the lower cavity 41B is underlaid by a bottom force 49. The top force 47 and the bottom force 49 have key ways 69 in their side faces.

A Vertically tapered gate hole 50 is formed in the top forces 47 and 48, and a gate hole 51 is formed just below the gate hole 50 in the movable plate 45. The continuous region, formed of the top forces 47, 48

and movable force 45, corresponds to the top force 11 of the aforementioned insert mold 10, and the gate holes 50 and 51 correspond to the structure in which the gate 15 (as shown in Fig. 33) formed in the top force 11 is turned into the vertical position.

A gate hole 52 is formed in the movable part 46, and a gate hole 53 is formed in the bottom force 49. In the bottom force 49, on the other hand, there is formed a dummy cavity 54 for storing the unnecessary resin which is discharged from a gate hole 53. The region, formed of the movable plate 46 and the bottom force 49, corresponds to the bottom force 12 of the aforementioned insert mold 10. The reason why the top force and the bottom force are constructed of a composite mold having a plurality of parts is to make the parting operation efficient after the molding operation and to reduce the parting damage of the package 2D.

Guide pin holes 55 and 56 are formed in each of the aforementioned top forces 47 48, movable plates 42, 43, 44, 45 and 46 and bottom force 49. At the molding time, a guide pin 57 is inserted into the guide pin hole 55, and a guide pin 58 is inserted into the guide pin hole 56.

As shown Figs. 83(a) and 83(b), the movable

plates 44 (like the movable plates 42, 43, 45 and 46) are halved horizontally along the parting line (PL). A parting angle (θ) of about 4 degrees, for example, is provided in the movable plates 44, perpendicular to the parting line (PL), to facilitate the parting of the package 2D. The movable plate 44 correspond to the movable plates 13 of Fig. 21, and having additional guide pin holes 55 and 56.

Fig. 84(a) is a perspective view of the bottom force 48; Fig. 84(b) is a top plan view of the bottom force 49; and Fig. 84(c) is a section of the bottom force 49, taken along line C - C' of Fig. 84(b). Both the gate hole 53 and the dummy cavity 54 of the bottom force 49 are given a parting angle for facilitating the parting of the resin. As shown, a shallow groove (or air vent) 59 is formed in one end of the dummy cavity 54 to vent the unnecessary air out of the dummy cavity 54. Although not shown, moreover, an ejector pin structure, adopted in an ordinary mold, may be formed to further facilitate the parting of the resin out of the dummy cavity 54.

In order to mold the package 2D by using the aforementioned insert mold 40, the movable plates 46 and 43 of the lower cavity 41B are stacked over the bottom force 49, as shown in Fig. 85. After this, the

lead frames (S) and the movable plates 44, having been subjected to the chip bonding and wire bonding process, are alternately stacked and the movable plates 42 and 45 are laid thereon. By repeating the aforementioned operation, as shown in Fig. 86, the lead frames (S) are stacked over the upper cavity 41A, and the top forces 48 and 47 are stacked thereover. After this, the guide pins 57 and 58 are inserted downward through the guide pin holes 55 and 56. Those guide pins 57 and 58 are further inserted through the openings 4 of the lead frames (S).

The positioning of the lead frames (S) in the stack direction (in the vertical direction) is carried out by the movable plates 42 to 46. On the other hand, the positioning in a horizontal plane is carried out by inserting the guide pins 57 and 58 through from the uppermost top force 47 to the lowermost bottom force 49. The guide pins 57 and 58 restricts the translation and free rotation of the top force 48 and 47, the movable plates 42 to 46, the bottom force 49 and the lead frames (S) in a horizontal plane so that the positions of the lead frames (S) in the stack direction is uniquely determined.

Fig. 87 is a diagram showing the entire construction of a molding apparatus which is provided

with the aforementioned insert mold 40. The best feature of this mold apparatus 60 is that almost all the mold clamping force (f) is applied in series from the uppermost portion (the top force 47 and 48) to the lowermost portion (the bottom force 49), so that its loss is very little. In the insert mold 40, on the other hand, the gate hole 50 for injecting the resin is oriented in the vertical direction, so that the mold clamping force (f) can be utilized very effectively unlike conventional molds in which the gate and the runner are arranged in the horizontal plane. Especially, the aforementioned insert mold 40 has a planar size of several tens cm^2, far smaller than several hundreds cm^2 of conventional molds, and has a small pressure receiving area, so that a very high mold clamping force (f) per unit area can be achieved.

As a result, the aforementioned insert mold 40 can omit the area for concentrating the mold clamping force of a narrow dam shape in the vicinity of the cavity interface, which has been essential for the mold of the prior art, so that the mold can be flattened with a high accuracy and is free from any deterioration due to the deformation of the aforementioned dam-shaped region.

As shown in Fig. 87, the molding apparatus 60 is

constructed of a fixed mold 61 and a movable mold 62. Of these, the fixed mold 61 is a temperature-controlled mold for pressing the insert mold 40 from above and is equipped with a transfer mold pot 63 and a plunger 64. A molding resin or mini tablet 65 is poured into the pot 63 and is then heated and melted until it is injected by the plunger 64 into the cavities 41A and 41B of the insert mold 40.

A cull 66 is formed in the cavity of the fixed mold 61 for facilitating the parting of the resin after molding. Specifically, when the fixed mold 61 and the movable mold 62 are parted after the molding operation, the plunger 64 is moved down in synchronism with the mold opening, if the resin of the cull 66 sticks on the fixed mold 61. As a result, the plunger 64 acts as an ejector to facilitate the parting of the resin.

The fixed mold 61 and the movable mold 62 can slide vertically through O-rings 67 for preventing the air leakage. As a result, even if the number of semiconductor chips to be packaged varies to change the height of the insert mold 40, this change can be followed with a vertically wide stroke. Thus, this molding apparatus 60 can be continuously worked even if the insert molds 40 to be used have different

sizes.

The application of the load to the insert mold 40 is effected by raising a movable mold 89 till a preset clamping force is generated. The unnecessary air, discharged as the plunger 64 moves down, is discharged out through an evacuation hole 68 after the mini tablet 65 is put into the pot 63 and the plunger 64 is then inserted into the pot 63. If no evacuation is required, the hole 68 may be vented to the atmosphere.

If the aforementioned molding apparatus 60 is used, the top force 48 may have the same dummy cavity 54 which is formed in the bottom force 49 of the insert mold 40. By forming the dummy cavities individually in the bottom force 49 and the top force 48, the resin, including air, can be promptly discharged.

The fluid resin, melted in the pot 63, is injected by the plunger 64 to flow in the upper cavity 41A through the vertically tapered gate hole 50 in the top forces 47 and 48 and through the gate hole 51 of the movable plate 45 until it flows into the lower cavity 41B through the gate hole 52 of the movable plate 46 and the gate hole 51 of the movable plate 45. As shown in Fig. 88, the head part of the fluid resin passes through the gate hole 52 of the bottom force 46

in the bottom of the cavity 41B until the molding operation is completed when the head part reaches the dummy cavity 54 of the bottom force 49.

In order to part the package 2D from the cavities 41A and 41B after the molding operation, the uppermost top force 47 of the insert mold 40 is lifted up by making use of the key grooves 69. At this time, the top force 47 acts as the ejector so that the resin in the gate hole 50 is cut at the bottom (the interface between the top force 48 and the movable plate 45) of the gate hole, in which the stress is concentrated to the highest. On the upper face of the top force 47, there is left the resin 70 which is molded at the cull 66 of the molding apparatus 60. This resin 70 can be easily parted either by pushing the resin in the gate hole 50 upward or by applying the angular moment around the gate hole 50 to the interface between the top force 47 and the resin 70.

When the top force 47 is lifted to a sufficient height, the guide pins 57 and 58 are also lifted together. If the top force is divided into two, as designated by 47 and 48, the force necessary to extract the guide pins 57 and 58 is received by the top force 48, so that the cavities 41A and 41B are not subjected to a strong force. As a result, the package

2D in the cavities 41A and 41B receives no strong mechanical stress. The guide pines 57 and 58 may be left inserted in the top force 47. Then, the top forces 47 and 48 can be promptly assembled in the next shot.

Since the top force of the insert mold 40 are thus divided into two 47 and 48, the resin in the gate hole 50 can be easily cut, and the mechanical damage on the package 2D at the mold opening time can be reduced. If the top force 47 and the top force 48 are integrated, on the other hand, the resin in the gate hole 50 is hard to part because no ejector structure is present inside. When the guide pins 57 and 58 are extracted, a strong force is applied to the cavities 41A and 41B, and the package 2D may be mechanically damaged.

The movable plates 42 to 46 forming the cavities 41A and 41B can be easily halved by inserting the pins into the guide pin holes 56 (or 56) and by pulling them in the horizontal direction. When the package 2D sticks to either of the righthand and lefthand movable plates 42 to 46, it can be easily parted by inserting the pins into the openings 4 of the lead frame (s) on the parted side and by pulling them in the horizontal direction.

In the insert mold 40 thus far described, the top force 48 and the movable plate 45 in contact with the former may be integrated, or the top force 48, the movable plate 45 and the movable plate 42 in contact with the former may be integrated so as to reduce the number of parts. This integration can be made for the bottom force 75, too.

The movable plates 42, 43 and 44 may be made of not only an ordinary molding material such as SKD12 or MAS1C but also a synthetic region or paper impregnated with a synthetic resin. If a less expensive synthetic resin or paper than ordinary molding materials is used, it is possible to reduce the cost for manufacturing the movable plates 42, 43 and 44. The movable plates 42, 43 and 44, made of synthetic resin or resin-impregnated paper, are inferior in durability to the metallic parts but they may be replaced by new resin after each molding operation because they can be pulverized after use and re-used many times. At an ordinary molding step, the cavities of the mold have to be periodically cleaned to remove the resin residue. When the movable plates 42, 43 and 44 are replaced with new ones after each molding step, the cavities are always kept clean to require no cleaning operation so that the throughput of the molding step

is improved.

When the movable plates 42, 43 and 44 are replaced with new ones after each molding step of the package 2D, the horizontal half structure may be replaced by the horizontally integral structure, as shown in Fig. 91. In this modification, the package 2D is parted by breaking the movable plates 42, 43 and 44. Since these movable plates 42, 43 and 44 are very thin, they can be easily broken by bending them if they are made of synthetic resin or resin-impregnated paper.

Fig. 92 is a section (taken in the direction of the short side of the package 2D) showing the package 2D in which the four semiconductor chips are encapsulated by the aforementioned method. In Fig. 92, there are shown the dimensions of the individual portions of the package 2D.

Here: symbol hA designates the loop height of the wire, measured from the top face of the lead frame (s); tL the thickness of the lead frame (s); and hT the thickness of the resin from the top face of the uppermost lead frame (s) to the top face of the package 2D and corresponding to the thickness of the movable plate 42. Symbol dH designates the thickness of the insulating tape 5, and dS designates the height

from the top face of the lower lead frame (s) to the bottom face of the upper lead frame (s) and correspond to the thickness of the aforementioned movable plate 44. Symbol dD designates the thickness of the semiconductor chip (M), and hB designates the thickness of the resin from the bottom face of the package 2D to the bottom face of the lowermost lead frame (s) and correspond to the thickness of the aforementioned movable plate 43. Symbol dR designates the thickness of the resin from the bottom face of the package 2D to the bottom face of the lowermost semiconductor chip (M); WD the width of the short side of the semiconductor chip (M); and WM the width of the short side of the package 2D.

At this time, the thickness (HM) of the package 2D is expressed by the following formula:

$$HM = hT + (4 \times tL) + (3 \times dS) + hB \quad - - (1)$$

Here are the following restricting conditions:

(a) Assuming that the wire 7 may not exceed the top face of the package 2D,

$$hT \geqq hA \quad - - - - - - - - - - - - - - - - (2)$$

(b) Assuming that the wire 7 is not in contact with the bottom face of the upper semiconductor chip (M), the thickness dS of the movable plate 44 is given by

$$dS \geqq dH + tD + hA \quad - - - - - - - - - - - (3)$$

(c) Assuming that the bottom face of the lowermost semiconductor chip (M) does not exceed the bottom face of the package 2D:

$$hB \geqq dH + tD + dR \quad \text{- - - - - - - - - - - (4)}$$

$$dR \geqq 0 \quad \text{- - - - - - - - - - - - - - - - - (5)}$$

(d) Assuming that the width of the semiconductor chip (M) does not exceed the width of the package 2D,

$$WM \geqq wD \quad \text{- - - - - - - - - - - - - - - - - (6)}$$

From formulas (1) to (5), therefore, the thickness (HM) of the package 2D is expressed by the following formula:

$$HM \geqq hA + (4 \times tL) + 3 \times (dH + tD + hA) + dH + tD$$
$$= 4 \times (tL + dH + tD + hA) \quad \text{- - - - - - - - (7)}$$

From this formula, the minimum (HMmin) of the thickness of the package 2D is calculated by substituting the minimum values (hA = 0.1 mm, dH = 0.05 mm, tD = 0.2 mm and tL = 0.8 mm) that can be achieved by current techniques, into Formula (7):

$$HMmin = 1.72 \quad \text{- - - - - - - - - - - - - - - - (8)}$$

If dR = 0.1 mm and hT = hA + 0.1 mm are considered, the thickness (HM) of the package 2D is 1.92 mm, i.e., less than 2 mm.

The standards for the dimensions of the individual portions of 300mil-SOJ, determined by the EIAJ (the Electronic Industries Association of Japan)

are shown in Fig. 93. As shown, the standards of the package thickness (HM) of the SOJ are HM $\leqq$ 3.124 mm. Hence, the package 2D of the present embodiment can clear the EIAJ standards of the SOJ sufficiently.

The dimensions of the individual portions for manufacturing the package 2D of the present embodiment massively according to the present technique are: hA = 0.13 mm; tL = 0.125 mm; hT = 0.25 mm; dH = 0.08 mm; dS = 0.54 mm; tD = 0.28 mm; and hB = 0.46 mm. If these values are substituted into the foregoing formula (7), the following value is found:

$$HM = 2.83 \text{ mm} \quad - - - - - - - - - - - - - - - (9)$$

In short, the package 2D of the present embodiment can clear the EIAJ standards (HM üà 3.124 mm) sufficiently even at a mass production level.

The foregoing example is the case in which the four DRAM chips (M0 to M3) are encapsulated as a whole. Generally, the following formula (10) can be obtained by extending the foregoing formula (1):

$$HM = hT + (N \times tL) + \{(N - 1) \times dS\} + hB \quad - - - - - - - - (10)$$

Fig. 94 is a partially exploded section (viewed from the short side of the package 2D) showing a portion of the DRAM module 1D in which the module leads (J leads) 9 are connected to the leads 6 of the

package 2D. In Fig. 94, there are shown the dimensions of the individual portions of the DRAM module 1D.

Here: symbol WJ designates the pitch of the lower end portions of the module leads (J leads) 9 and 9 confronting each other with the package 2D therebetween; WV the pitch of the center portions of the same; WO the pitch of the outer end portions of the leads 6 and 6 confronting each other with the package 2D therebetween; hj the gap between the bottom portions of the package 2D and the lower end portions of the module lead (J leads) 9; RV the diameter of the module leads (J leads) 9; and hT the distance (the entire height of the DRAM module 1D) from the top face of the package 2D to the lower end portion of the module leads (J leads) 9.

According to the EIAJ standards of the aforementioned 300mil-SOJ, as shown in Fig. 93, the following relations hold:

$$3.251 \leqq hT \leqq 3.759 \quad \text{- - - - - - - - - (11)}$$

$$hJ \geqq 0.635 \quad \text{- - - - - - - - - - - - - (12)}$$

$$8.382 \leqq WO \leqq 8.763 \quad \text{- - - - - - - - - (13)}$$

$$6.604 \leqq WJ \leqq 7.112 \quad \text{- - - - - - - - - (14)}$$

From the structural restriction, the relation between the pitch (WO) of the outer end portions of the leads

6 and the width (WM) of the short side of the package 2D is

$$WO \geqq WM + (2 \times RV) \quad \text{- - - - - - - - - - (15)}$$

If, at this time, the thickness (HM) of the package 2D is the value (2.83 mm) of the foregoing Formula (9), the DRAM module 1D satisfies the aforementioned relations (11) and (12).

$$hT \geqq HM + hj = 2.83 + 0.635 = 3.465$$

When WO = 8.7, WM = 7.5, RV = 0.4 and WV = 8.2, therefore, it is possible to provide the DRAM module 1D conforming to the EIAJ standards of 300 mil-SOJ.

The module leads (J leads) 9 of the aforementioned DRAM module 1D may be constructed of an ordinary lead frame, in which the lead pattern is formed by pressing or etching a hoop material, but can be made of a wire having a circular section.

When the module leads 9 are wires, connection of the wires (or module leads 9) and the leads 6 are carried out by a method which is different from the foregoing one. Specifically, the wires and the leads 6 are soldered in a self-alignment manner by inserting the wires into the openings 8 of the leads 6 and by thermally treating the wires to melt the solder plating on the surface. The heat treatment of the wires is carried out by blowing hot nitrogen gas to

the solder plating in the atmosphere of an inert gas, for example, by irradiating the wires with a light beam or a laser beam, or by heating the wires in a reflow furnace shielded from the atmosphere.

When the lead inserting holes 8, formed in the leads 6 of the package 2D, have a square of 0.42 mm × 0.42 mm, the wires used are made of a metal such as phosphor copper, beryllium copper or covar having a diameter of 0.32 mm and are plated with solder of 45 microns composed of 90% of Sn and 10% of Pb or 10% of Sn and 90% of Pb and having a higher melting point than that of an eutectic solder (having a composition of 60% of Sn and 40% of Pb) to have an external diameter of 0.41 mm. By not using eutectic solder melting at a temperature of about 180°C but by using a high-melting point solder melting at 200°C or higher, the solder at the connecting portions between the leads 6 and the module leads 9 can be prevented from being melted again when the module leads 9 are reflow-soldered to the printed circuit board of the SIMM by using the eutectic solder having a low melting point.

If the solder at the connecting portions between the module leads 9 and the leads 6 is melted, the connecting portions are offset to shift the package 2D downward by a certain external force or by the weight

of the package 2D, and the solder at the connecting portions flows to the connecting portions of the underlying leads 6 by the gravity, so that the cracks or the solder-recrystallized regions having a nonuniform composition are formed in the connecting portions to deteriorate the connection reliability of the solder seriously. This is because the fillet shape of the solder cannot be controlled, if the amount of solder at the connecting portions changes, so that the propagation of the cracks in the solder is accelerated by the increased solder stress due to the heat cycle thereby to drop the reliability. Especially if the amount of solder is high, the stress of the thermal expansion or contraction of the solder due to the heat cycle is increased to accelerate the propagation of the solder cracks due to the increase in the plastic deformation.

When, however, the module leads 9 and the leads 6, plated with the high-melting point solder, are soldered at a reflow temperature of 200°C or higher and when the temperature of the reflow furnace for packaging the DRAM module on the printed circuit board of the SIMM is lower than the melting point (e.g., 200°C or lower) of the high-melting point solder, only the low-melting point solder at the connecting

portions between the module leads 9 and the printed circuit board melts in the vicinity of the module leads 9, so that the high-melting point solder at the connecting portions can be prevented from being melted to hold the shape of the DRAM module 1D.

The aforementioned self-alignment solder connecting method is easier in the control of the amount of solder at the connecting portions than the solder dip method. This is because the solder, applied to the surface of the module leads 9 at the intermediate portions between the upper leads 6 and the lower leads 6, is supplied substantially equally to the upper and lower leads 6. In other words, the amount of solder is liable to change in the conventional solder dip method in accordance with the surface state of the metal of the wires, whereas the solder is always supplied at a controlled constant rate in accordance with the self-alignment solder connecting method.

According to the self-alignment solder connecting method, the amount of solder applied to the wires (or module leads 9) is less than that of the jet type solder dip method of the prior art thereby to provide an advantage that solder bridge is hard to occur between the leads 6 and 6 adjoining in the horizontal

direction. Especially in the structure in which the numerous leads 6 and the module leads 9 are cross-connected in the matrix shape as in the DRAM module of the present invention, the surface area is enlarged based upon the same principle as that of the solder sucking wires, so that the solder removability is far worse than that of the structure in which the solder can be removed in one direction as in the QFP (Quad Flat Package) leads formed in the gull-wind shape, and it is very difficult to remove the excess solder. In short, according to the aforementioned self-alignment solder connecting method, the solder bridge defect of the DRAM module of the present invention can be remarkably effectively prevented. If metal burrs are produced on the leads 6 at the press step or at the tie bar cutting step, the burrs catch the molten solder to provide nuclei of the solder bridge, and thereby to sharply increase the degree of occurrence of bridges. Hence, the self-alignment solder connecting method producing little excess solder is effective, from this point, in improving the yield of the solder connecting step.

If the diameter of the module leads 9 is made smaller than that of the openings 8 of the leads 6, the work of inserting the module leads 9 into the

openings 8 can be promptly carried out. In this case, however, the mere insertions of the module leads 9 into the openings 8 will cause the displacement of the module leads 9 due to an external force such as the weight of the package 2D before the solder reflow. As this counter-measure, the module leads 9 may be partially pressed to form wide flattened portions 72, as shown in Fig. 95, to enlarge the widths of the module leads 9 partially thereby to prevent the displacement or the come-off. Alternatively, the module leads 9 may be pressed to enlarge their partial width to a value as large as that of the openings 8 so that the module leads 9 may be press-fitted in the openings 8 by a "caulking" method.

An example, in which the aforementioned method of forming the flattened portions 72 partially on the module leads 9 is applied to the lower end portions (J-bend portions) of the module leads 9, is shown in Fig. 96. In this example, the width of a flattened portion 73 can be freely changed. Another method is that the J-bend of the module lead 9 can be easily formed. When the flattened portion 73 is formed by a press method, the strength of the J-bend portion is raised as a result of hardening the metal to provide another advantage that the module lead 9 is hard to

deform.

Figs. 97(a) and 97(b) show the pattern of a solder fillet 74 when the module lead 9 is a wire plated with solder and has a J-bend molded lower end portion. The pattern and size of the solder fillet 74 can be controlled by the plating specifications of the lead 6. When the lead 6 is plated with Au, the solder wettability of the surface of the lead 6 is improved to enlarge the extension of the solder fillet 74 over the lead 6. When the lead 6 is plated with Pd (palladium), on the other hand, the wettability (extension) of the solder is reduced, so that the solder fillet 74 can be formed with a smaller amount of solder.

By plating the lead frame before it is chip-bonded with Au or Sn/Ni in advance, the leads 6 and the module leads 9 can be connected by the solder reflow without cover-plating the leads 6 after the chip bonding, wire bonding and the stack molding. This is because the Au plating or Sn/Ni plating provides a strong oxidation resistant coating to make the surfaces of the leads 6 suited for the solder reflow. By omitting the cover-plating, the plating cost can be reduced and countermeasures against penetration of the plating liquid into the resin, and

the ion contamination can be taken.

Depending upon the shape of the openings 8 of the leads 6, the aforementioned circular wires can be replaced by wires having a square section. Unlike the circular wires, however, the square wires raises a problem that the leads 6 and the module leads 9 are difficult to connect when the section is rotated by an axial torsion.

Generally speaking, the circular section is advantageous with respect to the torsion of the wires. For the torsional rigidity of the connecting portion (J-bend portion) to the printed circuit board, however, the square column section is more advantageous. When the square wires are used, therefore, their free rotation is prevented by making the openings 8 of the leads 6 square, to prevent the rotation of the J-bend portions of the module leads 9. As a result, even if the temperature in the furnace rises excessively at the reflow step when the DRAM module is mounted on the printed circuit board, the rotation of the J-bend portions of the module leads 9 can be prevented to prevent defective mounting such as the displacement of the module leads 9 in advance.

In order to improve the workability at the time of inserting the module leads 9 of circular wires into

the openings 8 of the leads 6, there can be used the leads 6 in which are formed grooves 75a to 75c, as shown at Figs. 98(a) to 98(c). As shown Fig. 98(a), the groove 75a is opened at its one end so that the module lead 9, shown by broken line, is horizontally press-fitted in the groove 75a. The open end of the groove 75a has tapered guides 76 for facilitating the insertion of the module lead 9. In order to prevent the inserted module lead 9 from coming out, the internal diameter of the groove 75a is made slightly smaller than that of the module lead 9. The groove 75b, as shown Fig. 98(a), has a thin slit 77 on the side opposed to the open end. Thanks to this slit 77, the lead 6 has an enhanced elastic force to reduce the fitting resistance to the module lead 9 inserted into the groove 75b. The groove 75c, as shown in Fig. 98(a), is made diametrically smaller at its open end than at the remaining portions so that the inserted module lead 9 can be reliably prevented from coming out.

When the leads 6 having the aforementioned grooves 75a to 75c are used, they are enabled to fix the module leads 9 merely by press-fitting the module leads 9 so that they can be connected without any solder. As a result, the solder reflow step can be

omitted to reduce the number of steps for the assembly. It is further possible to prevent the open defect between the module leads 9 and the leads 6, as might be caused by solder cracks. When the solder reflow method is additionally used, the connections are retained by the thermocompression bonding effect even if the solder is opened by any cause (e.g., solder cracks), so that the double reliabilities are achieved for the open defects of the module leads 9 and the leads 6.

When the module leads 9 are to be inserted as a whole into the numerous leads 9 stacked vertically of the package 2D as in the DRAM module 1D of the present embodiment, square columns 79 having a size substantially equal to the inter-layer space of the individual leads 6 are inserted at first into the spaces of the leads 6, and pressure jigs 80a and 80b are pushed onto the leads 6 vertically in the two directions, to fix the leads 6. After this, the module leads 9 are press-fitted as a whole into the grooves 75a (or 75b or 75c) of the leads 6 by using a press-fit jig 81. By this press-fitting method, the leads 6 and the module leads 9 can be cross-connected for a short time period. It is also possible to reduce the mechanical damage which is received by the

leads 6 and the package 2D when the module leads 9 are to be press-fitted. It is further possible to prevent the fall or deformation of the leads 6 at the press-fitting time.

The J-Bend portions at the module leads 9 may be replaced by the J-bend portions which are formed at the portions of the leads 6. In Fig. 100, there is shown an example, in which the J-bend portion is formed only in the lowermost one of the leads 6 stacked vertically of the package. The lowermost lead frame to be used in this example has a lead pattern different from those of the overlying lead frames. Alternatively, the cut shape of the leads 6 of the lowermost lead frame may be changed. In the example shown in Fig. 100, the grooves 75a are formed in the leads 6 of the upper lead frames, and openings 82 are formed in the leads 6 of the lowermost lead frame.

Although the J-bend portions may be formed in the module leads 9 and the leads 6 to provide the SOJ type package, an SO type flat package can be provided. In Fig. 101, there is shown, as an application of the flattened portion 73 of Fig. 96, an example in which a flat lead 83 is formed by pressing the lower end of the module lead 9. This structure is advantageous not only in that the flat lead 83 can be easily bent with

excellent workability but also in that only the flat lead 83 is locally heated by the pulse heater method or the optical beam soldering method so that it can be packaged over the printed circuit board. This is because the leading end of the flat lead 83 is apart from the package 2D more than the leading end of the lead 6 of the upper layer so that the flat lead 83 can be exclusively heated without contact with the upper lead 6.

For preventing a disadvantage that the pitches of the module leads 9 are made irregular when the high-melting solder at the connecting portions between leads 6 and the module leads 9 is melted again or when an external force is applied to those connection portions, it is effective to form recesses 84 in the bottom face of the package 2D, as shown in Fig. 102.

In the case of a single-layered package having one semiconductor chip encapsulated as in the ordinary SOJ, a mold having ridges 201 on the top face of a bottom force 200 is used to form recesses 203 in the bottom face of a package 202, as shown in Fig. 103, and the parting operation is carried out by pulling up the package 202 normal to the top face of the bottom force 200. As a result, the recesses 203 are formed apart from the side faces of the package 202.

In the present embodiment, on the other hand, the moving parts to be used are of the horizontally halved type. In order to form the recesses 84 in the bottom face of the package 2D, there is used a movable plate 85 having a sectional construction, as shown in Fig. 104. This movable plate 85 corresponds to the modified movable plate 43 of the aforementioned insert mold 40, in which step portions 86 corresponding to the recesses 84 are formed in the leading end of the movable plate 43. As shown in Fig. 104, the movable plate 85 is halved in parallel with the bottom face of the package 2D so that the recesses 84 are formed to reach the side faces of the package 2D.

The aforementioned movable plate 85 can be used not only when the package 2D of the present embodiment is to be molded but also in case the single-layered package of the prior art of the SOJ or the like is to be molded.

The design of a movable plate 87, as shown in Fig. 105, is changed from the aforementioned movable plate 85 to that for the SOJ such that its top face forms the bottom face of the upper package 202 whereas its bottom face forms the top face of the lower package 202. By using this movable plate 87, a number of single-layered packages of the prior art of the SOJ

can be vertically stacked to improve the throughput of the molding step drastically. According to this molding method of stacking the numerous packages 202 vertically, the distance of the gates connecting the cavities can be remarkably shortened as compared with the conventional molding method of arranging the numerous packages 202 horizontally, so that the useless amount of the resin residing in the gates can be reduced to acquire more packages 202 from the mini-tablet of the same size.

The aforementioned movable plates 85 and movable plates 87 can be modified in various manners according to the molding efficiency, the frictional force at the parting time and the gate cutting procedure.

A movable plate 88, as shown in Fig. 106(a), has molding patterns on both its upper and lower faces. Movable plates 88a and 88b, as shown in Fig. 106(b), are vertically halved from the aforementioned movable plates 88 and have the molding patters individually on the upper face of the movable plates 88a and the lower face of the movable plate 88b. Movable plates 88a to 88c, as shown in Fig. 88(c), are trisected from the aforementioned movable plate 88. Each of these movable plates 88 and 88a to 88c is composed of a pair of righthand and lefthand portions, although only one

side is shown.

Fig. 106(d) is a top plan view showing the movable plate 88a and Fig. 106(e) a top plan view showing the movable plate 88b. Each of the movable plates 88a and 88b has: the guide pin holes 55 and 56 into which are inserted the guide pins for positioning the lead frame; a gate hole 110 for allowing the resin to flow in the stack direction; and a resin flow dummy gate hole 111 having an air vent function to retain the homogeneity of the resin.

As shown in Fig. 106(f), the gate holes 110 and 111 are given a predetermined parting angle (θ) with respect to the parting line PL. This parting angle (θ) is set to $0 < \theta < 30$ degrees. It has been confirmed by our experiment with the parting angle (θ) set to 15 degrees that the parting property and the space factor for the thermoset resin were excellent. For the parting angle (θ) exceeding 30 degrees, the gate region is widened to drop the space factor. For the parting angle (θ) at 0, on the other hand, the parting property is so poor that the resin is liable to reside in the gate holes 110 and 111. With this resin residue, the sectional shape of the gate changes at the next molding step to fluctuate the molding conditions so that a uniform molding cannot be

expected.

The gate holes 110 and 111 may be basically shaped into such a circle as has a radius R and contacts with the parting line PL at an angle of (90 degrees - θ). At this time, the center of the circle need not always be positioned on the parting line PL. If, on the other hand, the radius R is enlarged to position the circle center outside of the parting line PL, a portion of the arc takes the parting angle (θ) so that it can be common with the connection portion of (90 degrees - θ).

The gate hole 110 and the gate hole 111 need not have equal sizes. Since the gate hole 110 is a resin inlet port, the shearing heat rises to increase the fluidicity of the resin if the diameter of the gate hole 110 is decreased. If the gate hole 111 acting as the dummy gate is radially enlarged, on the other hand, the resistance of the air is reduced to facilitate the discharge of the unnecessary air out of the cavity.

The package come into contact with the upper and lower faces of the movable plate 88 so that the frictional force at the parting time increases. The package comes into contact with only one face of each of the movable plates 88a and 88b, halved from the

movable plate 88, so that the frictional force at the parting time can decrease to facilitate the parting of the package. Moreover, the movable plate 88 finds it difficult to cut the resin in the gate holes 110 and 111, connected to the upper and lower packages, at the parting time, but the movable plates 88a and 88b can improve the parting workability because the resin in the gate holes 110 and 111 can be cracked and cut at their interface.

Each of the aforementioned movable plates 88a and 88b is composed of a pair of righthand and lefthand components. If, therefore, the guide pin holes 55 and 56 and the gate holes 110 and 111 are symmetrically arranged in the righthand and lefthand movable plates, these movable plates can be interchanged to improve the workability at the time of stacking a plurality of pairs of movable plates 88a and 88b vertically.

In order to keep the total thickness of the plurality of pairs of movable plates 88a and 88b stacked vertically, however, it is rather advisable that no interchangeability is given to the righthand and lefthand movable plates. This is because the mold clamping forces is not equal at the righthand and lefthand movable plates unless the total thickness of the lefthand stacked movable plates and the total

thickness of the righthand stacked movable plates are equalized highly accurately at the mold preparing time. In other words, even if the vertically stacking order is interchanged between the lefthand movable plates and the righthand movable plates, the total stacking thickness is not changed to keep the mold clamping force constant. If, however, the righthand and lefthand movable plates are made interchangeable so that the righthand and lefthand side movable plates at the mold preparing time are interchanged and stacked, a dispersion arises in the height of the righthand and lefthand movable plates. This dispersion statistically takes the product of the dispersion in the thickness of one movable plate and the root of the number of stacked layers.

This will be described when four packages 2D are to be vertically taken in the present embodiment in which the four semiconductor chips are stacked by using a mold (including the movable plates) having a tolerance of thickness less than ±5 microns by the polishing treatment of high accuracy.

For the four packages to be taken in this case, totally twenty molds are required to molding one package 2D, because totally five molds are required including the three movable plates to be inserted into

the gaps between the four semiconductor chips and the two top and bottom molds. As a result, the statistical height dispersion is the product, i.e., ±22 microns of the tolerance (±5 microns) of the thickness of one mold and the root of the number (= 20) of the molds.

If, calculations are made for the thickness of 0.125 microns of the led frame mounted with the semiconductor chip and for the thickness of 0.65 mm of one mold, the total thickness of the stacked molds is (0.125 × 16) + (0.65 × 20) = 15 mm because the number of lead frames is four for one package 2D and accordingly the total number of 16 for taking the four packages. Hence, a load of 29 Kg is generated per square millimeter if the dispersion (±22 microns) of the height for the total thickness of the stacked molds, that is, the distortion (i.e., 22 microns / 15 mm = 1.46×10^{-3}) is multiplied by the Young's modulus (2×104 Kg/mm^2) of the metal (i.e., iron) making the molds. In other words, the difference between the mold clamping forces to be established at the righthand and lefthand molds reaches as high as 29 × 800 = 23.2 tons even if the molds have a pressure receiving area as small as about 40 mm × 20 mm = 800 mm^2. In short, there arises a phenomenon that the mold

clamping force of 23 tons or more is applied to one of the righthand and lefthand molds whereas no load is applied to the other. From the discussion thus far made, no interchangeability should be given to the righthand and lefthand molds. Without this interchangeability, substantially equal mold clamping forces can be applied to the righthand and lefthand molds.

When a plurality of pairs of movable plates 88a and 88b, as shown in Fig. 106(b), are vertically stacked, the resin flows vertically through the gate holes 110. The other dummy gate holes 111 function as the air vent to discharge the air or the nonuniform resin at the leading end of the resin flow to the outside of the cavity. These dummy gate holes 111 are not indispensable but can be eliminated depending upon the manner to design the air vent or if a highly uniform resin is used.

The aforementioned air vent is a gap of about 1/100 to 3/100 mm, as used in the ordinary mold design, and allows the air but not the resin to pass therethrough. On the other hand, the aforementioned dummy gate holes 111 act to introduce the resin uniformly into the cavity by discharging the unnecessary air in the cavity at the initial stage of

the molding operation. These dummy gate holes 111 have a larger aperture than that of the aforementioned air vent, as used in the ordinary mold design, so that they can discharge the unnecessary air efficiently out of the cavity.

Fig. 107(a) is a top plan view showing the positional relations among the gate holes 110 and 111, the guide pin holes 55 and 56, the gate hole 53 of the bottom force 49, the dummy cavity 54 and the lead frame (S) when the movable plate 88a (in place of the movable plate 43) in the insert mold 40, as shown in Fig. 82. As shown , the gate hole 111 of the movable plate 88a and the gate hole 53 of the bottom force 49 are connected to each other to take the positional relation, as shown. The gate holes 110 and 111 are positioned on the parting line PL. As a matter of fact, what contacts with the bottom force 49 is the movable plate 46, as shown in Fig. 82, but the relative positions are shown by using the movable plate 88a corresponding to the movable plate 43.

Fig. 107(b) shows an example, in which the gate hole 110 of the movable plate 88a and the cavity 41A (or 41B) of the insert mold 40 are connected by a slit gate 112 so as to improve the flow of the resin into the gaps between the semiconductor chip layers. Fig.

108(a) is an enlarged perspective view of the slit gate 112. By forming a similar slit gate 112 in the movable plates 44 and 42 to be stacked over the movable plate 88a, the individual slit gates 112 of the movable plates 88a, 44 and 42 are also connected in the stack direction so that gate lines like the gate lines 27 and 28 of the insert mold 10, as shown in Fig. 33, are formed in the insert mold 40. The slit gate can take a wide opening area to the cavity 41A (or 41B) to reduce the flow resistance to the resin.

The aforementioned slit gate 112 may be replaced by a pin gate 113, as shown in Fig. 108(b). The vertical face (V) of the pin gate 113 is located on the parting line PL so that the resin flows into the cavity 41A (or 41B) through the region which is cut obliquely shown by an arrow. The feature of this pin gate 113 is that the gate lines 27 and 28 can be removed more easily than the aforementioned slit gate 112 and the flow resistance to the resin in the horizontal direction at the molding time can be widely controlled. Depending upon the molding condition, the slit gate 112 and the pin gate 113 may be used separately for the gate hole 110 and the gate hole 111.

The aforementioned gate holes 110 and 111 may be moved into the cavity. In this case, the gate holes 110 and 111 have to be formed in such positions that the gate cut faces may exert no influence upon the surface view of the package and the semiconductor chips.

The sections, which are taken along line X - X' (normal to the parting line PL) of the gate hole 110 or 111, as shown in Fig. 109(a), can be constructed in the various shapes (i) to (iv), as shown in Fig. 109(b). The shape (i) is the simplest vertical section, for which the gate hole 110 or 11 can be easily formed to lower the mold manufacturing cost when the wire discharge machining or the polishing process is used for manufacturing the mold. The shape (ii) is a simple cone, and the shape (iii) is a step. In this shape (iii), the diameter changes so steeply that the stress seriously changes to cut the resin easily. The shape (iv) has a section of an undefinite shape. In this shape (iv), the upper and lower edges of the gate hole 110 or 111 have acute angles so that the stress can be concentrated at the edge portions in the resin.

In the procedure of preparing the movable plate 88a (like the remaining movable plates), first of all,

a block 115 is prepared from a mold block, as shown in Fig. 110(a), by the wire discharge machining, drill machining and polishing processes. Simultaneously with this, the guide pins 55 and 56 are formed to improve the registration of the stacked movable plates. Next, the movable plate 88a is prepared by slicing the block 115 thinly along a cutting line 116, as shown in Fig. 110(b), by using the discharge wire cutting method. At this time, the gate holes 110 and 111 are extended with respect to the wall faces of the block 115 so that the shape (i), as shown in Fig. 109(b), is directly formed. The movable plate 88a, as sliced, is polished by the surface grinder so as to have a highly accurate thickness. A plurality of movable plates 88a having an identical thickness are simultaneously ground "altogether" by the surface grinder so that the relative dispersion can be drastically reduced to arrange their heights highly accurately. By giving the shapes (ii) to (iv), as shown in Fig. 109(b), to the sections of the gate holes 110 and 111, the resin, as left in the gate holes 110 and 111, can be easily cut. In these shapes (ii) to (iv), the sections are partially changed in their internal diameters so that the stress can be concentrated in the resin in the gate holes 110 and

111.

The gate holes 110 and 111 of the movable plates 88a and 88b, as shown in Fig. 106(b), and the movable plates 88a, 88b and 88c, as shown in Fig. 106(c), can adopt any of the shapes (i) to (iv). If the side of the smaller diameter is arranged at the package side when the shape (ii) is adopted, the excess resin is reluctant to reside at the package side so that the workability is improved. In the case of the movable plate 88, as shown in Fig. 106(a), effects similar to the aforementioned ones can be achieved if the shape (iv) is adopted.

Here will be described an embodiment in which a redundancy function to relieve a defective chip is added to the DRAM module of the present invention.

Fig. 111 is a perspective view showing the DRAM module of the present embodiment, viewed from front, and Fig. 112 is a perspective view showing the DRAM module from back. The DRAM module 1E of the present embodiment is constructed of: a package 2E, in which nine DRAM chips of 16 Mbits having a construction of [16777216 words × 1 bit] are stacked and encapsulated as whole; and a mother socket 3E mounted with the package 2E thereon.

The mother socket 3E is constructed of a printed

circuit board made of glass and an epoxy resin, correspondingly to the standard plastic PGA (Pin Grid Array) package. On the top face of the printed circuit board constructing the mother socket 3E, there are arranged connection pins 90 which are cross-connected with the leads 6 of the package 2E. On the back of the printed circuit board, there are mounted the module leads 9 which are electrically connected with the connection pins 90. This printed circuit board is additionally given the following redundancy functions.

Fig. 113 is a block diagram showing an internal construction of a DRAM module 1E of the present embodiment. In the present embodiment, nine DRAM chips (M_0 to M_8) of 16 Mbits are used to make a memory module having a construction of 8 bits with 1 parity bit as a basic construction. Considering the substitution by the memory module of the prior art, moreover, for the data of 8 bits, the individual DRAM chips (M_0 to M_7) are equipped with data input/output terminals DQ0 to DQ7 by sharing data input terminals Din and data output terminals Dout. For the parity bit of the DRAM chip (M_8), on the other hand, the input and the output are separated to provide an input parity terminal PD and an output terminal PQ.

Moreover, the column address strobe terminal /CAS of the DRAM chip (M_8) is for a control signal /PCS.

Address signals of 12 bits are commonly fed through address terminals A0 to A11 to the individual DRAM chips (M_0 to M_8). A row address strobe signal /RAS and a write enable signal /WE are also commonly fed to the aforementioned individual DRAM chips (M_0 to M_8), and a chip select signal (or column address strobe signal) /CS is also commonly fed except the parity memory chip M_8. Moreover, a power supply voltage VCC and a circuit ground potential VSS are further fed commonly to the individual DRAM chips (M_0 to M_8). In this embodiment, in order to reduce the power supply impedance, the DRAM module 1E of the present embodiment is equipped in the individual DRAM chips (M_0 to M_8) with a decoupling capacitor C between the power supply terminals.

The LSI leads thus commonly connected are arranged in the same position with respect to the stack direction of a package 2E shown in Fig. 111 and are connected with each other through the connection pins 90 arranged in the stack direction. On the other hand, the data terminals DQ0 to DQ7, the parity terminals PD and PQ and the control signal /PCS are so led out one by one from the individual layers as to

have no overlap in the stack direction of the package 2E and are individually equipped with the connection pins and led to the mother socket 3E.

Fig. 114 is a bottom view of the aforementioned mother socket 3E. The bottom face of the mother socket 3E is equipped with the module leads 9 which are arranged zigzag on the two sides in the longitudinal direction of the bottom face. The pitch of the module leads 9 in each row is 300 mm. These module leads 9 are lead pins having circular sections as in the PGA terminals used in the ordinary PGA package. When the module leads 9 are such lead pins, a mechanical strength is enhanced better than that which is constructed of the lead frame (e.g., the mother socket lead frame shown in Fig. 72 or 73), so that the handling can be made so easy as to facilitate the automatic packaging on the printed circuit board of the SIMM.

Outside of the module leads 9, connection pin electrodes 91 are densely arranged in one row along the two sides of the long side direction of the mother socket 3E. This electrode 91 is given the through hole structure in which the connection pin 90 is inserted from the top face into the through hole and is electrically by soldering. Of the module leads 9

(or PGA terminals), the address terminals or control signals, as fixedly connected with the package 2E, are connected with the electrodes 91 through wiring lines 92, as shown by solid lines in Fig. 114.

When a plurality of semiconductor chips are integrally encapsulated in a stacked structure, as in the package of the present invention, a defect may occur in the semiconductor chips in the aging or burn-in test for finding out an initial defect. If the package having the encapsulated semiconductor chips is discarded as a defective, the production yield of the DRAM module is deteriorated. If the semiconductor chips having an aging percent non-defective of 92% are simply stacked in nine layers, the aging percent non-defective drops to 50%.

In the DRAM module 1E of the present embodiment, therefore, the basic structure is exemplified by the basic construction of a DRAM module of ×9 bits composed of data of 8 bits and a parity bit of 1 bit. If a defect is caused in one DRAM chip by the aging, the defective DRAM chip is disconnected so that the DRAM module may be used as one only for the data of 8 bits. Then, two kinds of DRAM modules can be provided and the aging percent non-defective can be improved to 80% if the two kinds of DRAM modules are combined even

for the aging percent non-defective of 92%.

For this, a redundant hierarchy selector 93 is interposed between the module leads 9 (PGA terminals) corresponding to the data terminals and the connection pin electrodes 91 corresponding to the data terminals of the package 2E. In the redundant hierarchy selector 93, the hatched electrodes are connected in a one-to-one relation with the connection pin electrodes 91. In short, the connections are fixed in the one-to-one relation with the data input/output leads 6 of the nine DRAM chips. Thus, the hatched electrodes are used for aging or testing the DRAM module 1E according to the present invention.

Fig. 115 is a top plan view showing the top face of the aforementioned mother socket 3E. In the top face of this mother socket 3E, there are shown through hole electrodes 94, into which are inserted the module leads 9, and patterns 95 and 96 of a wide area for supplying the circuit ground potential VSS and the power supply voltage VCC to lower the power supply impedance. These metal patterns 96 and 96 for the power supply are given a function as a radiation plate, and their center portion is formed with through holes 97 for the heat radiation.

In the DRAM module 1E of the present embodiment,

the leads 6 of the package 2E and the module leads 9 of the mother socket 3E are cross-connected to form the matrix-shaped heat dissipation paths. Although the heat resistance of the package 2E is low, therefore, the lowermost DRAM chip (M_0) in the package 2E is in contact with the relatively thick mother socket 3E so that the radiation efficiency is deteriorated. Thus, devices are made to make the heat radiation of the lowermost DRAM chip (M_0) efficient by enlarging the areas of the power supplying metal patterns 95 and 96 to be formed on the surface of the mother socket 3E.

Over the upper face of the mother socket 3E, there is formed a solder resist 98 having the pattern, as shown in Fig. 116. The solder resist 98 is provided to prevent the solder for connections between the module leads 9 and the electrodes 95 and between the connection pins 90 and the electrodes 91 from flowing to short them with other terminals. Considering the heat radiation, the solder resist 98 is not formed over the individual surfaces of the power supplying metal patterns 95 and 96. Incidentally, on the bottom face of the mother socket 3E, there is formed the solder resist which has the pattern corresponding to that of the electrodes 91 and

the wiring 92, although not shown. On the bottom face of the mother socket 3E, there is formed the pattern of the aforementioned redundant hierarchy selector 93. For this selective connection, moreover, there is required a step of thermally treating the solder balls or the solder pattern formed by a printing technique, as will be later described. Thus, the solder resist is required for preventing undesired circuit-short which might be caused by the solder.

Fig. 117 is an equivalent circuit diagram showing the redundant hierarchy selector 93 mounted on the bottom face of the aforementioned mother socket 3E. In Fig. 117, large double circles correspond to the module leads 9, and small circles correspond to the connection pin terminals. Moreover, solid lines show circuit wiring, and portions a to t, at which the circuit wiring is disconnected like the circuit symbols of capacitors, are selector portions for connecting the wiring selectively by the solder or the like.

One module lead DQ7 can be connected with the connection pin terminal D7 or D5 by the two selectors ℓ and k. One connection pin terminal D5, if noted, can be connected with the module lead DQ5 by the selector j which is disposed on the opposite side of

the selector k. The module lead DQ5 can be connected with the connection pin terminal D3 by the selector i which is disposed on the opposite side of the selector j. Likewise, the module leads DQ and the connection pin terminals D are alternately arranged to form a ring shape as a whole.

By using the nine DRAM LSI chips, as described hereinbefore, the present embodiment is used as the DRAM module composed of data of 8 bits and a parity bit of 1 bit, if all chips are non-defective, and as the DRAM module composed of data of 8 bits but no parity, if one DRAM chip is defective.

In order that the aforementioned memory module with the parity bit may be given the same interface as that of the memory module with the parity bit such as the SIMM of the prior art or that the input bits PD and the output bits PQ may be separated, the output parity terminal PQ is omitted from the aforementioned ring shape. In other words, the connection pin terminal Din is exclusively equipped with not only the selectors d and e of the ring but also the selector b to be connected with the aforementioned output parity terminal PQ. With this output parity terminal PQ, there can be connected by the selector a the connection pin terminal which corresponds to the data

output terminal Dout of the aforementioned DRAM chip (M_8).

If all the memory chips are non-defective in the present embodiment, the selectors, marked with ○ in the following Table 1, are connected whereas the selectors, marked with ×, are opened. In other words, the connection pin terminals D0 to D7 are connected with the module leads DQ0 to DQ7, and the connection pin terminal Dout is connected with the module lead PQ whereas the connection pin terminal Din is connected with the module lead PD, so that the DRAM module shown in Fig. 113 is constructed.

[Table 1]

Selector	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t
ON/OFF	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○

[Table 2]

Selector	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t
ON/OFF	○	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	×	○

If a defect occurs in the DRAM chip M_2 to be connection with the connection pin terminal D2, the selectors, marked with ○ in Table 2, are connected,

whereas the selectors, marked with x, are open. At this time, the aforementioned parity bit DRAM chip M_8 is replaced as a redundancy chip by the aforementioned defective DRAM chip.

In the parity bit DRAM chip M_8, the terminals Din and Dout are separated, as described above. In order that the memory chip M8 may be used in the data input/output data terminal DQ1, the selectors a, b and e are connected, as described above, to connect the connection pin terminals Dout and Din with the module lead DQ1.

The connection pin terminal D2 corresponding to the DRAM chip M_2, as found defective, is isolated as a result that the selectors r and s are open (X). In accordance with this, the module leads DQ2 to DQ7 other than the module lead DQ0 and the module lead DQ1 using the DRAM chip M_8 are connected with the selectors in the opposite direction that of Table 1.

If a defect occurs in the DRAM chip M_8 corresponding to the parity bit, the selectors a and d, connected in Table 1, may be opened. If a defect occurs in other DRAM chips M_1 or M_2 to M_7, on the other hand, the defective DRAM chips are not connected with the module leads by the same method as that of Table 2 so that they can be relieved by reversing the

connection of the selectors in the counter-clockwise direction across the defective portions.

Alternatively, the LSI chip may be given a stacked structure of ten layers so that it may be a product of a DRAM module to be accessed to in units of 10 bits if all chips are non-defective, a DRAM module to be accessed to in units of 9 bits if one DRAM chip is defective, or a DRAM module in units of 8 bits if two DRAM chips are defective. In the redundant hierarchy selector of Fig. 117 of this case, the module leads DP and DQ may be the data DQ8 and DQ9 of the ninth bit and the tenth bit. Accordingly, the connection pin terminal Din may be connected with the data input/output lead of the DRAM chip M_8 of the ninth bit, and the connection pin terminal Dout may be connected with the data input/output lead of the DRAM chip M_9 of the tenth bit.

Fig. 118 is a conceptional diagram for explaining one embodiment of a selective connection method of the aforementioned redundant hierarchy selector. As shown in Fig. 118(a), a solder ball mask is provided corresponding to the arrangement pattern of the redundant hierarchy selector. As shown in Fig. 118(b), the solder ball mask has solder ball holes which correspond to the positions of the two

electrodes of the selector. These solder ball holes are opened in their bottom faces. These openings are utilized to position the solder balls and to remove the excess solder which has been melted by the heat treatment.

Solder balls are inserted into the solder ball holes corresponding to the selector portions for the aforementioned connections and are fitted in the solder ball holes corresponding to the selector portions which are left open.

The solder ball mask, in which the solder balls are fitted in the solder ball holes corresponding to the connections/disconnections, is aligned and superposed on the bottom face of the mother socket 3e, as shown in Fig. 118(b). This alignment can be easily and accurately performed by forming the positioning holes in the solder ball mask at the PGA terminals, as described above. After this, the solder balls are melted in a heating furnace for the heat treatment so that the selector portions can be connected by the wiring which is formed in the bottom face of the mother socket 3E. Incidentally, in addition to the method using those solder balls, a solder layer is selectively formed in the aforementioned selector portion by the printing technique so that the solder

can then be melted by the aforementioned heating furnace to connect the wiring patterns of the selector portion.

Fig. 119 is another equivalent circuit diagram showing another embodiment of the redundant hierarchy selector 93 to be mounted on the bottom side of the aforementioned mother socket. In Fig. 119, large double circles correspond to the module leads (PGA terminals) of Fig. 114 like before, and small circles correspond to the connection pin electrodes 91. Moreover, solid lines show the circuit wiring, and dotted circles show the portions to be selectively cut by irradiating them with an energy beam such as a laser beam. In other words, this embodiment is constructed such that all the circuits are formed in a reverse way of that of the foregoing embodiment of Fig. 117 and such that the portions to be cut are cut to make the circuit.

One module lead DQ7 can be connected with the connection pin terminal D7 or D5 by the two cut portions L and K. One connection pin terminal D5, if noted, can be connected with the module lead DQ5 by the cut portion J which is disposed on the opposite side of the cut portion K. The module lead DQ5 can be connected with the connection pin terminal D3 by the

cut portion I which is disposed on the opposite side of the cut portion J. Likewise, the module leads DQ and the connection pin terminals D are alternately arranged to form a ring shape as a whole.

By using the nine DRAM chips, as described hereinbefore, the present embodiment is used as the DRAM module composed of data of 8 bits and a parity bit of 1 bit, if all chips are non-defective, and as the DRAM module composed of data of 8 bits but no parity, if one DRAM chip is defective.

In order that the aforementioned memory module with the parity bit may be given the same interface as that of the memory module with the parity bit such as the SIMM of the prior art or that the input bits PD and the output bits PQ may be separated, the output parity terminal PQ is omitted from the aforementioned ring shape. In other words, the connection pin terminal Din is exclusively equipped with not only the cut portions D and E of the ring but also the cut portion B to be connected with the aforementioned output parity terminal PQ. With this output parity terminal PQ, there can be connected by the cut portion A the connection pin terminal which corresponds to the data output terminal Dout of the aforementioned DRAM chip M_8.

If all the DRAM chips are non-defective in the present embodiment, the cut portions, marked with ○ in the following Table 3, are left connected whereas the cut portions, marked with ×, are cut and opened by irradiating them with an energy beam such as a laser beam. In other words, the connection pin terminals D0 to D7 are connected with the module leads DQ0 to DQ7, and the connection pin terminal Dout is connected with the module lead PQ whereas the connection pin terminal Din is connected with the module lead PD, so that the DRAM shown in Fig. 113 is constructed. By adopting this laser cutting method, the redundancy relief can be facilitated.

[Table 3]

Cuts	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T
ON/OFF	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○

[Table 4]

Cuts	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T
ON/OFF	○	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	×	○

If a defect occurs in the DRAM chip M_2 to be connection with the connection pin terminal D2, the

cut portions, marked with ○ in Table 2, are left connected, whereas the cut portions, marked with ×, are cut and disconnected by irradiating them with the energy beam such as the laser beam. At this time, the aforementioned parity bit DRAM chip M_8 is replaced as a redundant chip by the aforementioned defective DRAM chip M_2.

In the parity bit DRAM chip M_8, the terminals Din and Dout are separated, as described above. In order that the DRAM chip M_8 may be used in the data input/output data terminal DQ1, the cut portions A, B and E are left connected, as described above, to connect the connection pin terminals Dout and Din with the module lead DQ1. The succeeding description is substantially similar to that of the foregoing embodiment, and the description will be omitted.

In order to relieve the defective chip by that laser cutting method, the aging or burn-in process is executed unlike the foregoing embodiment at the stage in which the package 2E is formed. In other words, before the state in which the package 2E is mounted on the mother socket through the connection pins 90, electric connections are made with the leads 6 led out independently from the semiconductor chips of the individual layers by the aging board or the like to

effect the circuit operations.

Fig. 120 is a block diagram showing one embodiment of the DRAM chip having the aforementioned stacked structure. The individual circuit blocks of Fig. 120 are formed over one semiconductor substrate of single crystal silicon by a well-known technique for manufacturing the semiconductor integrated circuit. The individual circuit blocks of Fig. 120 are drawn to conform to the geometrical arrangement in the actual semiconductor chip.

In the present embodiment, in order that the operation speed may be prevented from being delayed by the increase of the various wiring legnths for the control signals or the memory array drive signals as the chip size is enlarged according to the increase in the capacity of the memory, the following devices are made in the arrangements of the memory array units constructing the DRAM and the peripheral portions for screening the addresses of the former. In Fig. 120, there is provided a cross area which is formed to have a longitudinal center portion and a lateral center portion of the chip. The peripheral circuits are arranged mainly in that cross area, and the memory arrays are arranged in the areas, as quadrisected by the cross area. In other words, the cross area is

formed at the longitudinal and lateral center portions of the chip, and the memory arrays are formed in the four quardrisected areas. These four memory arrays are individually given a memory capacity of about 4 Mbits, as will be described hereinafter. Accordingly, the four memory arrays are given a capacity of as large as about 16 Mbits as a whole.

One memory mat MEMORY MAT is so arranged that the word lines may extend laterally and that the paired complementary bit lines (e.g., the data lines or the digit lines), arranged in parallel in the longitudinal direction, may extend. The memory mats MEMORY MATS are arranged laterally in pairs around the sense amplifier SA. This sense amplifier SA is used commonly for the paired memory mats MEMORY MAT, arranged at the right and left sides, to make the so-called "shared sense amplifier".

At the center sides of the four quardrisected memory arrays, there are disposed Y-selectors Y-DECODER. The Y-select lines are extended from the Y-selectors Y-DECODER and over a plurality of memory mats MEMORY MAT of the corresponding memory arrays, to switch the gates of the column switch MOSFET of the individual memory mats MEMORY MAT.

On the lefthand side of the lateral center

portion of the chip, there are disposed: X-circuits including an X-address buffer X-ADDRESS BUFFER, an X-redundant circuit X-REDUNDANCY CKT and an X-address driver X-ADDRESS DRIVER (a logic step LOGIC STEP); a RAS control signal circuit RAS CKT, a WE signal control circuit WE SYSTEM, a data input buffer DIN BUFFER and an internal step-down circuit VCL LIMITER. The aforementioned internal power supply circuit VCL LIMITER is disposed close to the center of the area so that it receives an external power supply voltage VCCE such as about 3.3 V to generate a constant voltage VCL corresponding to the voltage of about 2.2 V to the internal circuit.

On the righthand side of the lateral center of the aforementioned chip, there are disposed: Y-circuits including a Y-address buffer Y-ADDRESS BUFFER, a Y-redundancy circuit Y-REDUNDANCY and a Y-address driver Y-ADDRESS DRIVER (a logic step LOGIC STEP); a CAS control signal circuit CAS CKT; and a test circuit TEST FUNCTION. At the chip center portion, there is disposed an internal voltage step-down circuit VDL LIMITER for generating a power supply voltage VCL for the peripheral circuit such as the address buffer or the decoder.

If the redundancy circuits X- and Y-REDUNDANCY

including the address buffer and the corresponding address comparator and the CAS and RAS control signal circuits RAS and CAS CKT for generating the control clocks are arranged in the concentrated position, a high integration can be achieved by sharing the clock generator and other circuits across the wiring channel, namely, by sharing the wiring channel, and the signals can be transmitted at the shortest and equal distance to the address driver (or logic step) and so on.

The RAS control circuit RAS CKT is used to receive the row address strobe signal RASB thereby to actuate the X-address buffer X-ADDRESS BUFFER. The address signal, taken in by the X-address buffer X-ADDRESS BUFFER, is fed to the X-redundancy circuit X-REDUNDANCY. Here, the comparison with the stored defective address is made to judge whether or not to be switched to the redundancy circuit. This result and the aforementioned address signal are fed to the X-predecoder. Here, a predecode signal is generated and is fed through X-address drivers DV2 and DV3 corresponding to the individual memory arrays, to the individual X-decoders X-DECODER corresponding to the aforementioned memory mats.

On the other hand, the internal signals of the

aforementioned RAS circuits are fed to the WE control circuit WE SYSTEM and the CAS control circuit CAS CKT. By determining the input order of the RASB signal, the column address strobe signal CASB and the write enable signal WEB, for example, the automatic refresh mode (CBR) and the test mode (WCBR) are discriminated. In the test mode, the test circuit TEST FUNCTION is actuated so that the test function is set according to the specific address signals fed at the individual timings in the open/standard modes and in and closed test mode, if necessary.

The CAS control circuit CAS CKT is used to receive the signal CASB thereby to generate various Y-control signals. The address signals, taken in by the Y-address buffer Y-ADDRESS BUFFER in synchronism with the change of the signal CASB to the low level, is fed to the Y-redundancy circuit Y-REDUNDANCY. Here, the comparison is made with the stored address to judge whether or not to switch to the redundancy circuit. The result and the aforementioned address signal are fed to the Y-predecoder. This predecoder generates a predecode signal. This predecode signal is fed to each Y-decoder Y-DECODER through the Y-address driver DV1 which is provided for each of the four memory arrays. On the other hand, the CAS control circuit

CAS CKT receives the RASB signal and the WEB signal, as described above, to determine the test mode from the judgment of the input order, thereby to actuate the adjacent test circuit TEST FUNCTION.

At the portion above the longitudinal center portion of the aforementioned chip, there are arranged totally sixteen memory mats MEMORY MAT and eight sense amplifiers SA, as located laterally symmetrically with the center axis of the area. Of these, for the four sets of right and left memory mats MEMORY MAT and sense amplifiers SA, there are provided four main amplifiers MA. Above this longitudinal center portion, there are further disposed a boosted voltage generator VCH for screening the word lines according to the internal step-down voltage, and an input pad area corresponding to an input signal such as the address signal or the control signal.

In the present embodiment, one block has eight memory mats MEMORY MAT and four sense amplifiers SA, and the sixteen memory mats MEMORY MAT and the eight sense amplifiers SA are assigned laterally symmetrically on the aforementioned longitudinal axis. According to this construction, the amplified signals coming from those individual sense amplifiers SA can be transmitted to the main amplifier MA through the

short signal transmission passages by using as small as four main amplifiers MA.

At the portion below the longitudinal center portion of the aforementioned chip, too, there are arranged totally sixteen memory mats MEMORY MAT and eight sense amplifiers SA, as located laterally symmetrically with the center axis of the area. Of these, for the four sets of right and left memory mats MEMORY MAT and sense amplifiers SA, there are provided four main amplifiers MA.

At the longitudinal center portion, there are further disposed a substrate voltage generator VBB for generating a negative bias voltage to be fed to the substrate according to the internal step-down voltage, input pad areas corresponding to the input signals such as the address signals or the control signals, and a data output buffer circuit OUTPUT BUFFER. Like before, the amplified signals coming from those individual sense amplifiers SA can be transmitted to the main amplifier MA through the short signal transmission paths by using as small as four main amplifiers MA.

Although not shown, there are arranged in the region of the longitudinal center portion a variety of bonding pads. These bonding pads are exemplified by

external power supplying pads. Specifically, the pads for supplying the circuit ground potential to increase the input level margin, that is, to lower the power supply impedance are arranged generally on a straight line by as many as totally ten and several pads. These ground potential pads are connected with the ground potential leads which are formed to extend in the longitudinal direction by the LOC technique. Some of these ground pads are provided for clearing the word lines or for preventing the unselected word lines of the word driver from floating by the coupling, and others are provided mainly for lowering the power supply impedance or for the common source of the sense amplifiers.

As a result, the circuit ground potential can minimize the generation and propagation of noises because the power supply impedance is lowered for the operation of the internal circuit and because the several kinds of ground wiring between the internal circuits are connected by a low-pass filter composed of the LOC lead frame and the bonding wires.

In this embodiment, the pads corresponding to the external power voltage VCC such as about 3.3 V are provided to correspond to the internal step-down circuits VCL, VDL and LIMITER for the aforementioned

voltage transforming operation. These pads are also provided for lowering the power supply impedance and for suppressing the noise propagation of the voltage (e.g., VCL, VDL and VCC) between the internal circuits.

The address inputting pads and the pads for the control signals RAS, CAS, WE and OE are arranged in the area of the aforementioned center portion. In addition, there are provided the data inputting and data outputting pads and the bonding master, monitoring and monitoring control pads, as follows.

For the bonding master, there are the pads for designating the static column mode, the nibble mode and the write masking function of x4 bit construction. For the monitoring operations, there are pads for monitoring the internal voltages VCL, VDL, VL, VBB, VCH and VPL. The VPL monitor judges in the probing whether or not the VPL is correctly adjusted.

The internal step-down circuit VCL LIMITER generates the power supply voltage VCL of about 2.2 V for the peripheral circuits. The internal step-down circuit VDL LIMITER generates the power supply voltage VDL of about 2.2 V to be fed to the memory array or the sense amplifier SA. According to the internal voltage VCL, the booster circuit VCH generates the

boost power supply voltage for screening the select level of the word lines, as boosted to about 3.3 V, that is, the shared switch MOSFET. The plate voltage generator VPL generates the plate voltage of the memory cells.

Fig. 121 is a block diagram noting the control signals in the DRAM chip to which is applied the present invention. Fig. 121 is drawn correspondingly to the layout shown in Fig. 120.

In response to the signal RASB, the RAS control circuit RAS CONTROL (CKT) actuates the X-address buffer X-ADDRESS BUFFER. The address signal, taken in by the X-address buffer X-ADDRESS BUFFER, is fed to the X-redundancy circuit X-REDUNDANCY CKT. Here, a comparison is made with the stored defective address to judge whether or not the redundancy circuit has been switched.

The result and the aforementioned address signal are fed to the X-predecoder X-PRE DEC (X1, AXn1). Here, a predecode signal composed of the Xi and AXn1 is generated and is fed through the X-address drivers XiB and AXn1, provided correspondingly to the individual memory arrays, to the individual X-decoder X-DEC corresponding to the aforementioned memory mat MEMORY MAT. In Fig. 121 only one driver is shown as a

representative, by way of example.

The aforementioned RAS internal signals are fed to the WE control circuit WE CONTROL and the CAS control circuit CAS CONTROL (CKT). From the determination of the input order of the RAS signal, the CAS signal and the wE signal, for example, the automatic refresh mode (CBR) or the test mode (WXBR) is discriminated.

In this test mode, the test circuit TEST FUNCTION is actuated to set the test function in accordance with the specified address signals which are fed when in the open/standard test mode and in the closed test mode.

Of the address signals taken in by the X-address buffer X-ADDRESS BUFFER, the address signal representing the selection of the memory mats is transmitted to the mat select circuit MSiL/R, by which is selected any of the plurality of memory mats MEMORY MAT disposed in the individual memory arrays. Here, the CS corresponding to the memory mat MEMORY MAT is the common source switch MOSFET.

The four main amplifiers MA correspond to the four pairs of complementary data lines (or 4 bits) led from the totally eight memory mats which are disposed laterally symmetrically with respect to those

amplifiers. According to the memory mat select signal MSiL/R, one of the eight memory mats is selected. This screening operation is executed by a unit mat control circuit UMC. In Fig. 121, the four pairs of main amplifiers MA are shown as one set by way of example, the remaining three sets of main amplifiers are shown by broken black boxes.

The mat select circuit MSiL/R generates four kinds of select signals MS0L/R to MS3L/R. If the signal MS0L is generated, for example, the corresponding four memory mats are selected. These four memory mats MS0L individually have input/output nodes of 4 bits so that they individually correspond to the aforementioned four main amplifiers MA.

The CAS control circuit CAS CONTROL (CKT) is used to generate the various Y-control signals in response to the signal CASB. The address signal, taken in by the Y-address buffer Y-ADDRESS BUFFER in synchronism with the change of the signal CASB to the low level, is fed to the Y-redundancy circuit Y-REDUNDANCY CKT. Here, a comparison is made with the stored defective address to judge whether or not the redundancy circuit has been switched.

This result and the aforementioned address signals are fed to the Y-predecoder Y-PRE DEC (Y1,

AYn1). Here is generated the predecode signal which is composed of the Yi and the AYn1. These predecode signals Yi and AYn1 are fed to the individual Y-decoders Y-DEC through the Y-address driver (at the final step) YiB and AYn1 which corresponds to each of the four memory arrays. In Fig. 121, only the Y-drivers YiB and AYn1B are shown as a representative by way of example.

According to the RAS signal and the WE signal, the CAS control circuit CAS CONTROL (CKT) actuates, when it judges the test mode from the determination of the input order, the adjacent test circuit TEST FUNCTION. The bonding pads to be fed with the address signals and the control signals are collected and arranged at the center portion of the chip, although omitted from Fig. 121. Thus, the distances from the individual pads to the corresponding circuits can be shortened to generally uniform values. As a result, by adopting the layout of this embodiment, the take-in of the address signals and the control signals can be executed at a high speed while minimizing the skew which may be caused between the address signals of multiple bits.

As shown in Fig. 121, the power source VDL for the sense amplifiers (SA) and the power source VCL for

the peripheral circuits are also arranged at the center portion of the chip. As a result, the various voltages can be supplied at the equal distances and by the short wires to the circuits which are arranged at the four corners of the chip. Although not shown for the individual circuits, however, the capacitors having relatively high capacitances for the voltage stabilization, i.e., for lowering the power supply impedance are dispersed in the circuit along the individual power supply lines.

Since the bonding pads are collected and arranged at the center portion of the chip, as described above, the data input/output terminals can be easily connected when made into the stacked structure, even if their lead positions are different for the individual layers. Especially, the leads may be shared among the patterns corresponding to the plurality of layers to change them by a bonding option method. Then, the leads can be easily connected while the unnecessary leads being cut or removed by forming the aforementioned slits.

Fig. 122 is a block diagram showing another embodiment of the DRAM module according to the present invention. This embodiment is directed to a mother socket of 72 pins. In other words, eight dynamic RAMs

having a construction of about 4 M (Mega) words x 4 bits are combined to construct a memory module of about 16 Mbytes.

The eight DRAM chips M_0 to M_7 are individually subjected to a memory access in units of 4 bits and are given a storage capacity of about 4 Mwords (or totally about 16 Mbits). Thus, the address signals are composed of A0 to A11 of 12 bits. The data terminals of the stacked LSI module are I00 to I031 of 32 (bits), and the eight dynamic RAMs D_0 to D_7 individually assign 4 bits so that the memory access is executed in units of 32 bits as a whole.

The individual DRAM chips M_0 to M_7 are fed as the memory modules in parallel with the inputted control signals /RAS, /CAS and /WE. Moreover, the power supply voltage VCC and the circuit ground potential VSS are also commonly connected. When the eight dynamic RAMs are accessed in parallel as above, the read signals from the memory chip, in which a defect exists, are masked by utilizing the output enable signals /OE0 to /OE7 which are not used in the memory module of the prior art.

In the memory module having the aforementioned stacked structure, the later-described defect relieving LSI (S1) is used so as to relieve a defect

at the unit of word lines (or refresh addresses) in each DRAM. The defect relieving LSI, deemed as the DRAM module as above, is given the same input interface as that of the dynamic RAM and a data input/output interface corresponding to the data bus of the memory module. Moreover, the output enable signals /OE0 to /OE7, generated in the mask portion of the defect relieving LSI, are fed to the output enable terminals /OE0 to /OE7 of the individual memory chips M0 to M7. The connector electrodes, composed of seventy two pins of the not-shown memory module, are formed in the mother socket similar to the aforementioned PGA.

Fig. 123 is a block diagram showing one embodiment of the aforementioned defect relieving LSI. The individual circuit blocks of Fig. 17 are formed over one semiconductor substrate of single crystal silicon by a technique of manufacturing conventional semiconductor integrated circuits like the DRAMs.

An X-address buffer (Xadd) 1 and a Y-address buffer (Yadd) 2 are made identical to the X-address buffer and the Y-address buffer of the dynamic RAM. In other words, the X-address buffer 1 takes in the X-address signals in synchronism with the row address strobe signal /RAS. The Y-address buffer 2 takes in

the Y-address signals in synchronism with the column address strobe signal /CAS. Here, the symbol / (slash) indicates the over bar representing that the row level is the active level in the drawing. This representation likewise applies to the over bars attached to other signals.

An X-address (Xadd) comparator 3 is given a function to store a defective address and a function to compare the inputted X-address and the stored defective address. In order that the defective address may be easily written in the packaging substrate while realizing those functions with the simple construction, the comparator 3 is constructed of a memory circuit made of a non-volatile storage element. In other words, the memory circuit constructing the comparator 3 stores the data like the EPROM or the flash EPROM in accordance with the amount of the electrons which are stored in the floating gate of the non-volatile storage element having a control gate and the floating gate.

The aforementioned comparator 3 is constructed of a memory circuit. This memory circuit is written with the defective chip address, the relief flag and the X-address of a redundancy relief RAM unit 4 to be used for replacing the defective word lines, by performing

the memory access with the X-address signal. If the data corresponding to the X-address inputted by the memory access are read out to represent that the relief flag is valid, it is judged that the comparison is satisfied, and the X-address read out is fed to the X-selector of the redundancy relief RAM unit 4.

The redundancy relief RAM unit 4 is constructed of an SRAM for screening the word lines with the X-address outputted from the comparator 3 and the Y-line with the Y-address taken in by the Y-address buffer 2. The comparator 3 is fed with the /RAS signal, although not especially limited thereto, and it is operated in synchronism with the operation of the dynamic RAM by making the reading operation effective when the /RAS signal is active.

A read/write switching unit 5 judges that the operation is a write operation, if the write enable signal /WE is at the low level, and a read operation if at the high level, and controls the signal transmission direction of a select unit 6 and an input/output unit 7. The select unit 6 connects an input/output data bus MO of the redundancy relieving RAM unit correspondingly to a data bus IO which is connected with a defective dynamic RAM. The input/output unit 7 has an input/output corresponding

to the data bus, which is connected with a plurality of dynamic RAMs, and selects and actuates the input/output circuit corresponding to the data bus which is connected with the defective dynamic RAM. A mask unit 8 generates the output enable signal /OE for bringing the output circuit of that dynamic RAM to the high impedance state, in accordance with the defective chip address from the comparator 3.

This comparator 3 is constructed of an EPROM array. However, no erasing window is formed for the array unit because an erasure with ultraviolet radiation is not required unlike ordinary EPROMs. In other words, the EPROM array means the use of same memory array as EPROMs, and the erasure is impossible unlike the general EPROM so that substantially only one time is allowed for the writing operation. In the present embodiment, the defective address or the like is stored, and the erasure is rather inhibited.

In the EPROM array acting as the comparator 3, the X-address has 4,096 word lines correspondingly to the refresh address of the DRAM. Moreover, the data line is composed of 32 lines. These 32 data lines have to be electrically written with the defective address or the like so that the write data may be accordingly inputted and so that as many as two word

lines may be relieved at the same X-address.

If the number of redundancy sets is ensured for 128 word lines, it can be designated by the address signal of 8 bits. In order to designate the defective chip of the eight DRAMs, on the other hand, a chip address of 3 bits is required. Moreover, 1 bit is required as a relief flag indicating whether or not a defective address is stored in the read data. In order to relieve the defective word line of one DRAM with the X-address, data of 11 bits are required. However, the writing operation in units of 32 bits is convenient, as described above, and the data are so sufficient that two regions are ensured for relieving the defective word lines of as many as two DRAMs to enhance the relieving ability. Specifically, the data of 32 bits read out are divided into 16 bits, of which 11 bits are validated to output the address signals for the relieving regions 1 and 2 and two sets of the chip address signals.

When the number of redundancy sets is reduced to 64 so that its address signal is composed of 6 bits, the data necessary for relieving one DRAM with the X-address can be reduced to 10 bits. As a result, the maximum 3 sets can be relieved if the memory access of the memory circuit of 32 bits is to be made. In other

words, the maximum three DRAM at the common X-address can be relieved if a defect occurs in the word lines.

The write circuit is provided, although omitted in Fig. 123. In order to take in the data of 32 bits, as described above, the signal of 32 bits is fed as a write signal to the data lines of the EPROM array through the input/output unit. In the non-volatile storage element, a voltage as high as about 12 V is applied to the word lines, and a voltage as high as about 10 V is fed to the data lines to be written, to inject hot electrons near the drain of the storage element into the floating gate.

The redundancy relieving RAM unit 4 has a storage unit composed of an SRAM array. When there are two sets of relief regions, two identical SRAMs are provided to give 128 redundancy word lines at the maximum. In short, the SRAM has 128 word lines, with which are individually connected 4,096 memory cells. As a matter of fact, if the word lines are elongated to increase the memory access time, the word lines can be suitably divided to reduce the number of memory cells to be connected with one physical word line.

In the aforementioned redundancy relieving RAM unit 4, the column screening operation is executed by the Y-address (Yadd) so that the memory access is

performed in units of 4 bits. For this operation, four pairs of common data lines are provided and connected with the MO buses each equipped with the main amplifier. This main amplifier is rendered inoperative, when in the writing operation, to transmit the signals from the MO buses to the common data lines.

The OE mask unit 8 decodes the chip address of 3 bits, read out from the comparator, by a decoder and masks the output enable signal /OE, which is generated by the built-in timing generator, to retain the output enable signal corresponding to the chip of the relieved DRAM, at the high level thereby to change its output into the high impedance state.

The timing generator, as disposed in the OE mask unit 8, lowers the output enable signal /OE to the low level when it is brought into the reading operation by the write enable signal /WE. In the writing operation, therefore, the timing generator leaves the output enable signal /OE at the high level so that the function of the mask unit is substantially stopped. In other words, in the writing operation, the redundancy relieving RAM unit 4 is written, and the DRAM having a defective work line is also written.

A meaningless writing operation is executed for

the defective word line, as described above. In the reading operation, the meaningless writing operation is ignored so that the stored data are outputted with no practical problem from the redundancy relieving RAM unit. Thus, there is required any special control circuit that will stop the memory access of the DRAM having a defective word line in the writing operation thereby to simplify the circuit.

The MO-IO selector 6 connects the input/output lines of the redundancy relieving RAM unit 4 and the input/output unit 7. In other words, over the memory module, the DRAMs M_0 to M_7 are shared by 4 bits over the data bus of 32 bits. As a result, a selector is required for fitting the bits corresponding to the DRAM having a defective word line. Especially when two relief regions are formed in the same X-address, as described above, connections are individually required for the relief of one DRAM and for the relief of two DRAMs.

The MO bus on the redundancy relieving RAM unit 4 side is equipped with the selector for connecting with arbitrary 4 bits of the data terminals to be connected with the input/output terminals of 4 bits of the DRAMs M_0 to M_7. This selector is given a tri-state output function such as that of the clocked inverter circuit

thereby to connect two pairs of MO buses in units of 4 bits with the input/output unit 7 of 4 bits. The aforementioned selector is provided so bidirectionally as to cover both the writing and reading operations. Incidentally, if the CMOS transfer gate circuit is used, no amplifying function is achieved unlike the case of using the clocked inverter circuit. On the other hand, the signals can be bidirectionally transmitted by one selector to simplify the circuit.

In this embodiment, in the aforementioned stacked DRAM module, the defect of each DRAM chip is relieved in units of a word line. The percent defective occurring in each DRAM chip is so small, taken in units of word line, that the percent non-defective can be further increased as the stacked DRAM module.

In the semiconductor chip to be mounted on the DRAM module according to the present invention, the functions of the circuit are tested by the probing to be executed when the circuit is formed over the semiconductor wafer, so that the defective word line and the defective bit line are relieved for the aforementioned structure having the redundancy circuit. Therefore, the defect to be relieved by the redundant hierarchy selector, disposed in the aforementioned mother socket, or by the aforementioned

redundancy relieving LSI is an initial defect to be caused by the aging or burn-in test. Therefore, the percent defective is relatively low so that the percent non-defective can be increased as the DRAM module by the aforementioned relieving method.

As described above, the redundancy relieving RAM unit has an ability to relieve relatively many defective bits. By utilizing this, the chips, judged to be defective by the aforementioned probing, may be combined and relieved by the redundancy relieving RAM unit. In short, the memory module can be formed by using the chip which has been judged to be defective because it cannot be relieved by its own redundancy circuit, so that the substantial production yield can be enhanced.

By making use of this, the DRAM chip for the DRAM module according to the present invention can be simplified by omitting the redundancy function. In other words, the DRAM module may be assembled while leaving the defective bit detected in the probing as it is, so that it may be relieved as a whole together with the defect, as detected after the aging, by the aforementioned redundancy relieving LSI.

The following effects can be obtained from the present embodiment.

(1) The number of DRAM chips stacked is larger by +1 than that of the data input/output bits, and the mother socket has a wiring pattern in a ring shape for one module lead connectable to the input/output leads of two semiconductor chips. When one of the semiconductor chips is defective, the module leads of the mother socket and the input/output leads of each semiconductor chip are connected except the input/output leads corresponding to the defective chip. As a result, the percent non-defective of the DRAM module can be enhanced to a practical level by the simple construction.

(2) The number of DRAM chips is N+1. When all the semiconductor chips are non-defective, the connection pins and the module leads of the mother socket are connected and used as a memory having parity bits so that one bit is used as the parity bit. When one semiconductor chip is defective, the module leads of the mother socket and the input/output leads of each semiconductor chip except the input/output leads corresponding to the defective chip are connected and used as a memory of N bits. As a result, the memory chips in the module can be effectively used while retaining a substantial percent of non-defective.

(3) The number of semiconductor chips stacked is N+1

with respect to the number of bits N of the data input/output bits, N LSI chips out of the semiconductor chips are DRAM chips whereas the remaining one semiconductor chip is a defect relieving chip for relieving the defective bit which occurs in the N DRAM chips. As a result, the percent non-defective of the DRAM module can be enhanced to a practical level.

(4) The aforementioned N DRAM chips have a defect which is within the range of the relieving ability of the defect relieving chip. As a result, the substantial production yield of the DRAM chip can be enhanced.

(5) The aforementioned wiring pattern is a ring-shaped wiring pattern connectable to the input/output signal leads of two semiconductor chips, and the connection of the wiring patterns is effected by soldering. As a result, a flexibility can be given in the redundancy function and in the connection between the leads of the semiconductor chips and the module leads.

(6) The input/output signal leads of each semiconductor chip are arranged in a ring shape in the wiring pattern, and the wiring patterns are selectively cut by irradiating the wiring patterns

suitably with an energy beam so that one input/output leads may be connected to only one module lead. As a result, a flexibility can be easily given in the redundancy function and in the connection between the leads of the semiconductor chips and the module leads.

Here will be described an embodiment of the intelligent module which is prepared by combining the DRAM module of the present invention with either an error correcting circuit chip or an address, clock or I/O buffer chip.

Fig. 124 is a block diagram of the intelligent module of the present embodiment and shows the case using a DRAM chip of 64 Mbits having a construction of [8388608 words × 8 bits]. Generally speaking, when defects of 2 bits are simultaneously detected by an error correcting circuit of a simultaneous defect of 1 bit, the bit number is 5 bits for a data length of 8 bits, 6 bits for a data length of 16 bits, and 7 bits for a data length of 32 bits. Here will be described the case of 8388608 words × 32 bits.

In Fig. 124, reference symbols M1 to M5 designate DRAM chips of 64 Mbits having a construction of [8388608 words × 8 bits]. These five DRAM chips are encapsulated as a whole into one package to construct a block G1. Each of the DRAM chips (M1 to M8) has

eight bidirectional I/O (Di), the total number of which is 40 bits. Each of the DRAM chips (M1 to M5) is connected through a buffer BF1 with an address signal (Aj) and further through a buffer BF2 with a clock signal (Ck). These buffers BF1 and BF2 may be conveniently contained in a later-described block G2, although they can be omitted.

The I/O of 40 bits is connected to an I/O selector MPX in the block G2 so that an I/O of 40 bits matching the error correcting circuit can be arbitrarily selected. This I/O selector MPX may be constructed of the FPGA (Field Programmable Gate Array) using the EEPROM (Electrically Erasable PROM) technique, and selects thirty nine (D1) of the forty I/O terminals, in which no two bit defects simultaneously occur, on the basis of the testing result of the block G1 while using the remaining one I/O terminal for the redundancy.

The bidirectional I/O selector MPX is connected with an error correcting (parity code generating or restoring) circuit ECC to use the number of data + the number of parities = 32 bits + 7 bits. This number is inputted/outputting as the error-corrected 32 bits I/O (Dm) for the outside. There may be provided, if necessary, a status output terminal (STq) for

reporting the presence or absence of an error from the error correcting circuit ECC, an error detection of 1 bit and an error detection of 2 bits.

In order that a change in the address may be detected to accelerate the access by doing the interface of each clock, the address (Aj) and the clock (Ck) are connected in the block G2. Moreover, the I/O selector MPX and the error correcting circuit ECC are controlled using a control signal (Sn).

According to the system thus far described, the DRAM chips (M1 to M5) of the block G1, encapsulated into the package, can use either non-defective chips with no burn-in test or a defective chip. Specifically, when the block having five stacked and encapsulated non-defective chips is subjected to the burn-in test, a chip partially having a defective bit appears. In the case of the present embodiment, the defect can be corrected if only 1 bit of 39 bits is simultaneously defective. Even if, moreover, the defective chip is used under the aforementioned condition, the error is corrected so that the correct data of 32 bits can be inputted/outputted at all times. This means that a sudden alpha ray error or a refresh margin defect in the memory mat can also be corrected.

When the module having the aforementioned error correcting circuit is to be manufactured, the five DRAM chips (M1 to M5) constituting the block G1 are encapsulated at first into the package 2F, as shown in Fig. 125(a), by using the insert mold 40 of the foregoing embodiment, and the leads 6 and the module leads 9 are connected by soldering. Next, the package 2F is subjected to the burn-in test to determine 39 bits in the 40 bits. The burn-in test of the package 2F may be carried out before the connection of the leads 6 and the module leads 9.

As shown in Fig. 125(b), on the other hand, the I/O selector MPX and the error correcting circuit ECC, constituting the block G2, are formed in another semiconductor chip 120 and are packaged in a mother socket 3F by using the wire bonding method or the like. This mother socket 3F is constructed of a printed circuit board for the BGA (Ball Grid Array) made of a BT resin. The semiconductor chip 120 is encapsulated with a potting resin 122 after wire-bonded. This block G2 is also subjected to the burn-in test and selected separately from the package 2F (the block G1).

Next, terminals of the pogo pin type are applied to the electrodes 123 and 124 of the mother socket 3F

so that the data of the block G1 are programmed in the semiconductor chip 120. For this, there are formed in the semiconductor chip 120 a PLD (Programmable Logic Device) having the ROM function such as an EEPROM or a flash memory, or an FPGA.

After this, the package 2F is mounted on the mother socket 3F, as shown in Figs. 126 and 127, to complete the intelligent module 1F of the present embodiment. The connection between the module leads 9 of the package 2F and the electrodes 123 of the mother socket 3F are carried out by irradiating them with a laser beam or a light beam or by blowing hot air locally. As a result, it is possible to prevent the thermal stress upon the semiconductor chip 120 which is programmed with the data of the block G1. The application of solder bumps 125 to the electrodes 124 on the back of the mother socket 3F is carried out before the semiconductor chip 120 is programmed with the data of the block G1. As a result, it is possible to prevent the thermal stress upon the semiconductor chip 120 which is programmed with the data of the block G1.

Here will be described another example in which the DRAM module structure of the present invention is applied to an incomplete product of the 16M-DRAM.

Usually, the I/O 4-bit product of the 16M-DRAM has a construction of [4194304 words × 4 bits]. During the LSI manufacture, the I/O of 4 bits becomes partially defective so that the DRAM manufactured is incomplete to have non-defective constructions of [4194304 words × 3 bits], [4194304 words × 2 bits] and [4194304 words × 1 bit]. These are usually handled as defective products so that they have a low commercial value. If they are brought into the market, on the other hand, the market is troubled in terms of the terminal array, the stable supply and the bit price.

Thus, here will be described the method of arraying those incomplete DRAM with the complete terminals by applying the present invention. Here is presented the case in which three layers of incomplete DRAMs having the construction of [4194304 words × 3 bits] are stacked to make the DRAM module having a constant terminal array of [4194304 words × 9 bits].

The lead frame (S) to be used has gate holes 130 and 131 and guide pin holes 132, as shown in Figs. 128 and 129. In order to prevent the deformation of the lead frame in the mold, moreover, tie bars 133 for enhancing the structural strength are connected to the leading ends of the individual leads 6. In order to facilitate the cutting of the unnecessary portions

after the molding step, grooves 134 are formed by the aforementioned half-etching method.

There are nine I/O terminals of each lead frame (S), designated by 135a to 135i. The I/O terminals 135c, 135f and 135i of Fig. 128 make use of the half-etched grooves 134, formed in the tie bars 133, and are removed after the tie bars are cut. The I/O terminals 135a, 135d, 135h and 135e of Fig. 129 are likewise removed.

Since each DRAM chip has three I/O terminals, the first-layered lead frame is, a lead frame (S) shown in Fig. 128, and a non-defective I/O is bonded to the I/O terminals 135b, 135h and 135e. The second-layered lead frame is a lead frame (S) shown in Fig. 129, and a non-defective I/O is bonded to the I/O terminals 135c, 135f and 135i. The third-layered lead frame is a lead frame (S) shown in Fig. 128, and a defective I/O is bonded to the I/O terminals 135a, 135d and 135g. The defective I/O pad is not bonded.

When the three lead frames (S) are stacked, the I/O terminals of 9 bits 135a to 135i are led out. Specifically, the incomplete DRAM chip of [4194304 words × 3 bits] are bonded selectively at only the non-defective I/O to the lead frames (S) so that a DRAM module of [4194304 words × 9 bits] having the

complete I/O terminals can be manufactured after stacked.

The three-layered mold package of the present embodiment is thinner than the SOJ package and has an integration of 36 Mbits so that the 72-pin SIMM module having a construction of [8388608 words × 35 bits] or [4194304 words × 36 bits] can be small-sized. In other words, the construction of [4194304 words × 35 bits] usually has to be prepared by packaging totally twelve, i.e., eight DRAM chips of [4194304 words × 4 bits] and four DRAM chips [4194304 words × 1 bit], but the DRAM module of the present embodiment can be realized by packaging four. Likewise, totally twenty four chips are usually required for the construction of [8388608 words × 36 bits], but only eight is sufficient for the DRAM module of the present embodiment. Moreover, the DRAM module of the present embodiment can reduce the number of wires on the printed circuit board of the SIMM to reduce the noise such as the crosstalk between the wires.

Fig. 130 is an equivalent circuit diagram of the DRAM module having the construction of [8388608 words × 36 bits] when eight DRAM chips (M0 to M7) of [4194304 words × 9 bits] are used. This diagram presents the equivalent circuit of the DRAM module of

[4194304 words × 36 bits] when the shown DRAM chips (M1, M5, M3 and M7) are not mounted.

The DRAM module of [4194304 words × 8 bits] can be realized by stacking two DRAM chips of [4194304 words × 3 bits] and one DRAM chip of [4194304 words × 2 bits]. In addition, the number stacked chips may be changed to the number of bits of the same I/O by using the DRAM chip of [4194304 words × 1 bit]. As another method for achieving the [4194304 words × 9 bits], for example, three [4194304 words × 2 bits] and one [4194304 words × 3 bits] may be combined and stacked to the four layers.

In order to share the lead frame of each layer in the stacked module, the bonding regions or the outer leads are provided, as in the lead frame shown in Fig. 128, so that they may be used by the plurality of layers. When the nine I/O 135a to 135i are led out completely independently, for example, the module having the construction of ×9 bits can be applied, using one kind of lead frame, to the individual layers regardless of the number of stacked layers. Then, the assembling steps can be drastically decreased to lower the cost manufacturing for the DRAM module remarkably.

Although our invention has been specifically described in connection with its embodiments, it

should not be limited thereto but can naturally be modified in various manners without departing from the gist thereof.

In the foregoing embodiment, the leads of the package are connected to the module leads of the mother socket by inserting the module leads into the openings of the outer leads. These connections can be effected by a variety of methods such as the method of connecting the leading end of the lead 6 in abutment against the side wall of the module lead 9, as shown in Fig. 131(a) (a top plan view) and Fig. 131(b) (a side elevation), or the method of inserting the lead 6 into the opening 136 formed in the module lead 9, as shown in Fig. 132.

In the foregoing embodiment, a predetermined number of semiconductor chips are encapsulated into one or two package. However, the semiconductor chips can be encapsulated into three or more packages, as included in the present invention. When the semiconductor chips are grouped and packaged in a plurality of packages, there can be selected one of a variety of combinations such as four layers + five layers, three layers + three layers + three layers, or four layers + four layers + one layer (especially for the parity). In this modification, moreover, the heat

radiation efficiency can be improved by sandwiching heat radiation sheets of Aℓ or Cu alloy having a high heat conductivity in the gaps between the separated packages.

The method of dividing the semiconductor chip into a plurality of packages and packaging them achieves marked effects if applied to the DRAM module of multi-bit construction, as described in connection with embodiment, or the SRAM module of high power consumption. There can also be conceived a method of decreasing the number of layers of the semiconductor chip in a region of low radiation efficiency and increasing the number of layers in a region of high radiation efficiency. When the lower package has a lower radiation efficiency than that of the upper package, for example, there can be adopted a structure in which four semiconductor chips are packaged into the upper package whereas two semiconductor chips are packaged into the lower package and in which the aforementioned radiation fins are attached between the packages and to the top and bottom portions of those packages.

In the aforementioned embodiment, there are buried in the mother socket of the DRAM module the semiconductor chips which have the error correcting

circuit or the address, clock or I/O buffer circuits. In addition, semiconductor chips having DRAM controllers, memory managements and CPU may be mounted in the mother socket of the DRAM module and electrically connected with the semiconductor chips in the package through the module leads of the mother socket. The DRAM module itself of the present invention can be made very small so that the numerous microcomputers can be combined to assemble a high-performance computer system over one package substrate which can distributedly process the data discretely. In this modification, the address terminals and the data terminals can be shared by the connection pins, as described above, and used as a portion of the address bus or the data bus.

Fig. 133 is a perspective view of a mother socket 3G capable of packaging the aforementioned semiconductor chips. This mother socket 3G is equipped with the module leads 9 to be connected to the leads of the package, and a gull wing leads 137 connected to the printed circuit board. Fig. 134 is a perspective view showing a DRAM module 1G mounted with the package 2G on the mother socket 3G. This DRAM module 1G can be easily enabled merely by replacing the mother socket 3G to extend its functions, to

improve the input impedance of the package 2G and to improve the driver ability of the output.

The foregoing embodiments have been described, taking the case in which the present invention is applied to the DRAM module. The module structure of the present invention can also be widely applied to a multi-chip module using another memory such as an SRAM or a flash memory or to a multi-chip module having a memory chip and a logic chip together.

As has been described hereinbefore, the stacked package of the prior art has a package unit structure in which, for example, package / an adhesive layer / a package / an adhesive layer - - - are stacked. The presence of the adhesive layers increases the heat resistance, and the resin thickness of the package is doubled to further increase the heat resistance.

On the contrary, the encapsulated mold structure of the present invention can reduce the heat resistance sufficiently because the stacked semiconductor chips are jointed through only thin uniform resin layers. By adding a high heat conductive filler such as silica to the resin, moreover, the heat conduction between the semiconductor chips or between the lead frames can be raised to further improve the reliability of the

package.

INDUSTRIAL APPLICABILITY

As has been described hereinbefore, the multi-chip module of the present invention can realize a small-size/large-capacity memory module so that it finds a suitable application to the SIMM for an engineering workstation (EWS) or a personal computer requiring a memory of large capacity.

* C L M S *

(Claims)

Claim 1. A semiconductor integrated circuit device characterized in that: a resin package in which a predetermined number of lead frames mounted with semiconductor chips are stacked and packaged is mounted on a mother socket; and the leads of said lead frames led out from said resin package, and the module leads of said mother socket extending in the direction perpendicular to the direction in which said leads extend are electrically connected.

Claim 2. A semiconductor integrated circuit device according to claim 1, characterized in that: some of the leads corresponding to each semiconductor chip, which are commonly connected, are connected to connection pins having an identical pattern; and the leads of each layer independently led out are separately arranged in the stack direction and are connected to said module leads.

Claim 3. A semiconductor integrated circuit device according to claim 2, characterized in that: said semiconductor chips constitute a semiconductor memory; the commonly connected leads are leads for address signals and control signals; and the leads

* C L M S *

independently led out are data input/output signal leads.

Claim 4. A semiconductor integrated circuit device according to claim 2, characterized in that: the number of said semiconductor chips are larger by +1 than that of said data input/output bits; said mother socket has a wiring pattern of a ring shape for one module lead which can be connected to the input/output leads of two semiconductor chips; and when one of said semiconductor chips is defective, the module leads of said mother socket and the input/output signal leads of each semiconductor chip are connected except the input/output signal leads corresponding to said defective chip.

Claim 5. A semiconductor integrated circuit device according to claim 4, characterized in that: the number of said semiconductor chips are N+1; when all the semiconductor chips are non-defective, said leads and the module leads are connected and used as a memory having parity bits, so that one bit may be used as the parity bit; and when one semiconductor chip is defective, the leads and the module leads are connected by the input/output signal leads

corresponding to said defective semiconductor chip and used as a memory of N bits.

Claim 6. A semiconductor integrated circuit device according to claim 2, characterized in that: the number of said semiconductor chips are N+1 with respect to the bit number N of said data input/output bits such that N semiconductor chips out of said semiconductor chips are memory chips whereas the remaining one semiconductor chip is a defect relieving chip for relieving the defective bit which occurs in said N memory chips.

Claim 7. A semiconductor integrated circuit device according to claim 6, characterized in that: said N memory chips have such a defect as can be relieved by said defect relieving chip at the instant before they are assembled.

Claim 8. A semiconductor integrated circuit device according to claim 6, characterized in that said N memory chips are DRAM chips.

Claim 9. A semiconductor integrated circuit device according to claim 1, characterized in that each of

* C L M S *

said lead frames are patterned altogether as one assembled lead frame at the same step.

Claim 10. A semiconductor integrated circuit device according to claim 1 characterized in that said lead frames are of the tape dam type in which an insulating tape is bonded to a mold line.

Claim 11. A semiconductor integrated circuit device according to claim 1, characterized in that each of said lead frames has a pair of molding gate holes in their identical portions.

Claim 12. A semiconductor integrated circuit device according to claim 1, characterized in that the frame portion of each of said lead frames partially has index holes of different patterns for the individual lead frames.

Claim 13. A semiconductor integrated circuit device according to claim 1, characterized in that each of said lead frames partially has a half etch line for separating its individual portions.

Claim 14. A semiconductor integrated circuit device



according to claim 1, characterized in that: the power supplying lead of each of said lead frames is equipped with a decoupling capacitor for reducing the power supply impedance.

Claim 15. A semiconductor integrated circuit device according to claim 1, characterized in that: the leads of said lead frames led out from said resin package, are given a leaf spring structure having an optimum length extending from said resin package so as to balance the vertical thermal deformation.

Claim 16. A semiconductor integrated circuit device according to claim 1, characterized in that a dummy lead frame is encapsulated in said resin package.

Claim 17. A semiconductor integrated circuit device according to claim 1, characterized in that said semiconductor chip is mounted on said lead frame by a lead-on-chip method.

Claim 18. A semiconductor integrated circuit device according to claim 1, characterized in that said semiconductor chip is so arranged that its center is closer to the data input/output signal leads of said



lead frame than the center of said resin package.

Claim 19. A semiconductor integrated circuit device according to claim 18, characterized in that the dummy semiconductor chip is mounted on the lead frame on the side opposed to said data input/output signal leads.

Claim 20. A semiconductor integrated circuit device according to claim 18, characterized in that: the power supplying lead of each of said lead frames, on the side opposed to said data input/output signal leads, is equipped with a decoupling capacitor for reducing the power supply impedance.

Claim 21. A semiconductor integrated circuit device according to claim 18, characterized in that: the power supplying lead of each of said lead frames, on the side opposed to said data input/output signal leads, is equipped with a dummy semiconductor chip having a decoupling capacitor for reducing the power supply impedance.

Claim 22. A semiconductor integrated circuit device according to claim 1, characterized in that: said lead frame includes a plurality sets of lead frames having

* C L M S *

identical lead patterns; and said lead frames of each set are inverted by 180 degrees in a horizontal plane from the others.

Claim 23. A semiconductor integrated circuit device according to claim 4, characterized in that: said wiring pattern is a ring-shaped wiring pattern connectable to the input/output signal leads of two semiconductor chips; and in that the connection of said wiring patterns is effected by means of solder.

Claim 24. A semiconductor integrated circuit device according to claim 4, characterized in that: said wiring patterns have a ring shape in the input/output signal leads of each semiconductor chip; and said wiring patterns are selectively cut by irradiating said wiring patterns suitably with an energy beam so that one input/output leads is connected to only one module lead.

Claim 25. A semiconductor integrated circuit device according to claim 1, characterized in that the module leads of said mother socket are made of an electrically conductive material having a coefficient of thermal expansion substantially equal to that of

* C L M S *

said resin package.

Claim 26. A semiconductor integrated circuit device according to claim 1, characterized in that the module leads of said mother socket are arranged in two rows along the two opposed sides of said mother socket.

Claim 27. A semiconductor integrated circuit device according to claim 1, characterized in that a semiconductor chip which has a function to extend or change the module function of said resin packages is mounted in said mother socket.

Claim 28. A semiconductor integrated circuit device according to claim 1, characterized in that said mother socket is a pin grid array substrate.

Claim 29. A semiconductor integrated circuit device according to claim 1, wherein said mother socket is a ball grid array substrate.

Claim 30. A semiconductor integrated circuit device characterized: in that the leads of lead frames led out from a resin package in which a predetermined number of lead frames mounted with semiconductor chips

are stacked and encapsulated, and the module leads extending in the direction perpendicular to the direction in which said leads extend are electrically connected; and that the lower end portions of said module leads are so molded that they can be mounted on a printed circuit board.

Claim 31. A semiconductor integrated circuit device according to claim 30, characterized in that: four or more semiconductor chips are encapsulated in said resin package; and said resin package and said module leads have individual sizes within the range of the EIAJ standards of 300 mil-SOJ.

Claim 32. A semiconductor integrated circuit device according to claim 30, characterized in that said module leads are wires having circular sections.

Claim 33. A semiconductor integrated circuit device according to claim 30, characterized in that the lower end portions of said module leads are formed into a J-bend shape.

Claim 34. A semiconductor integrated circuit device according to claim 30, characterized in that the lower



end portions of said module lead are formed into flat leads.

Claim 35. A semiconductor integrated circuit device according to claim 30, characterized in that said module leads and said leads are connected by inserting one into the openings formed in the other.

Claim 36. A semiconductor integrated circuit device according to claim 30, characterized in that said module leads and said leads are connected by press-fitting one into the grooves formed in the other.

Claim 37. A semiconductor integrated circuit device according to claim 30, characterized in that said module leads and said leads are connected by melting the solder deposited by plating on their individual surfaces.

Claim 38. A semiconductor integrated circuit device according to claim 30, characterized in that the diamer of a portion of each of said leads is larger than that of the other portion.

Claim 39. A semiconductor integrated circuit device

* C L M S *

characterized in that: the leads of lead frames led out from a resin package in which a predetermined number of lead frames mounted with semiconductor chips are stacked and encapsulated, and the module leads extending in the direction perpendicular to the direction in which said leads extend, are electrically connected; and the lowermost lead of said leads are so formed that they can be mounted on a printed circuit board.

Claim 40. A method for manufacturing a semiconductor integrated circuit device, comprising:

a first step of using a top force, a bottom force and movable plates corresponding to individual layers, movable in horizontal directions with respect to the stack direction and having a height corresponding to the thickness of lead frames, the thickness of an insulating tape for connecting semiconductor chips to the lead frames, the loop height of bonding wires and the thickness of resin layers between the layers, stacking said bottom force, a first-layer lead frame, the first-layer movable plate, a second-layer lead frame and the second-layer movable plate sequentially in the order and placing said top force over the uppermost lead frame;



a second step of injecting a resin through a gate hole which is formed in said top force or said bottom force;

a third step of forming a resin package by cutting and eliminating the unnecessary portion of the lead frames after said resin is cured, by moving said top force and said bottom force relatively in the vertical direction, and by moving and separating said movable plates relatively in the stack directions; and

a fourth step of connecting the leads of said lead frames led out from said resin package, and the module leads of the mother socket extending in the direction perpendicular to the extending direction of said leads, and mounting said resin package on said mother socket.

Claim 41. A method for manufacturing a semiconductor integrated circuit device according to claim 40, characterized in that: the semiconductor chips constitute a semiconductor memory; the leads for address signals and control signals are commonly connected at said fourth step; the leads for the data input signals or the data output signals are connected to the common module leads of said mother socket; and a step is executed of selectively connecting a



redundant hierarchy selector in which a wiring pattern connected to the input/output signal leads of two semiconductor chips with respect to one module lead of said mother socket, in accordance with the results of an aging or burn-in process for detecting an initial defect of the semiconductor memory after said fifth step.

Claim 42. A method for manufacturing a semiconductor integrated circuit device according to claim 40, characterized in that: the semiconductor chips constitute a semiconductor memory; the aging or burn-in process for detecting the initial defect of said memory is executed after said third step; and a step is executed of selectively cutting the ring-shaped wiring pattern which is formed in said mother socket by irradiating it with an energy beam in accordance with the aging or burn-in process.

Claim 43. An apparatus for manufacturing a semiconductor integrated circuit device, comprising: a top force; a bottom force; and movable plates corresponding to individual layers, movable in horizontal directions with respect to a stacking direction, and having a thickness corresponding to the

thickness of lead frames, the thickness of an insulating tape for connecting semiconductor chips to the lead frame, the loop height of bonding wires and the thickness of resin layers between the layers.

Claim 44. An apparatus for manufacturing a semiconductor integrated circuit device according to claim 43, characterized in that one and the other of said horizontally bisected movable plate with respect to the stack direction are asymmetric.

Claim 45. An apparatus for manufacturing a semiconductor integrated circuit device according to claim 43, characterized in that said movables are made of a resin or resin-impregnated paper.

Claim 46. An apparatus for manufacturing a semiconductor integrated circuit device according to claim 43, characterized in that a plurality of cavities each formed of said top force, said bottom force and said movable plates are arranged in the stack direction so that the resin is injected into said cavities through the gate hole which is formed in the uppermost cavity.

* C L M S *

Claim 47. A semiconductor integrated circuit device of resin-encapsulation type, in which a plurality of lead frames stacked with a spacing between then are encapsulated with a resin, characterized in that the thickness of said resin capsule, in the stacking direction, is 3.759 mm or less.

Claim 48. A semiconductor integrated circuit device according to claim 47, characterized in that a connection conductor connecting the leads of different layers led out to the outside of said resin capsule is provided.

Claim 49. A semiconductor integrated circuit device according to claim 47, characterized in that said resin-encapsulated semiconductor integrated circuit device is a DRAM.

Claim 50. A semiconductor integrated circuit device according to claim 48, characterized in that said resin-encapsulated semiconductor integrated circuit device is a DRAM.

Claim 51. A semiconductor integrated circuit device characterized in that a plurality of lead frames

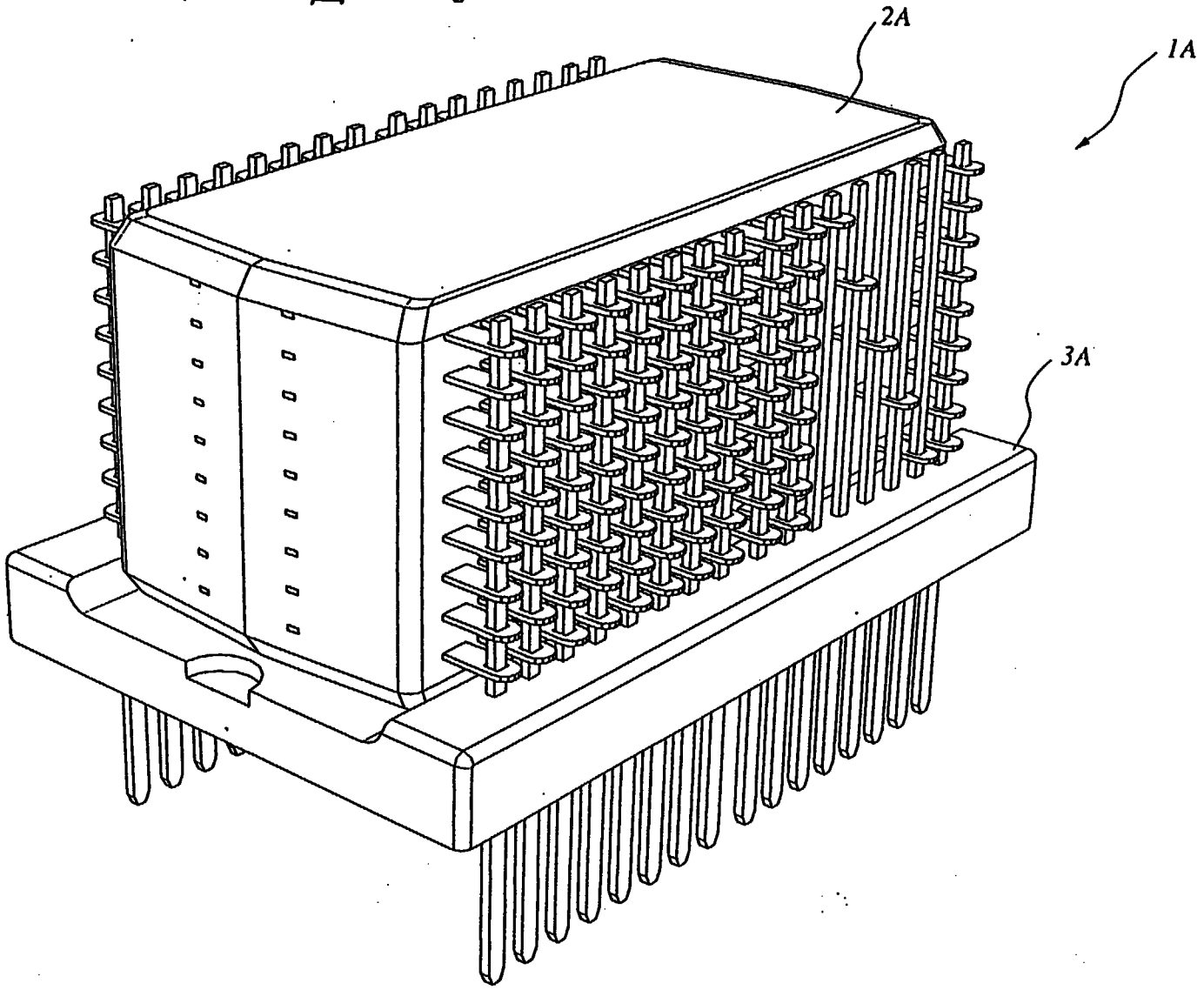


stacked with a spacing between them are encapsulated with a resin.

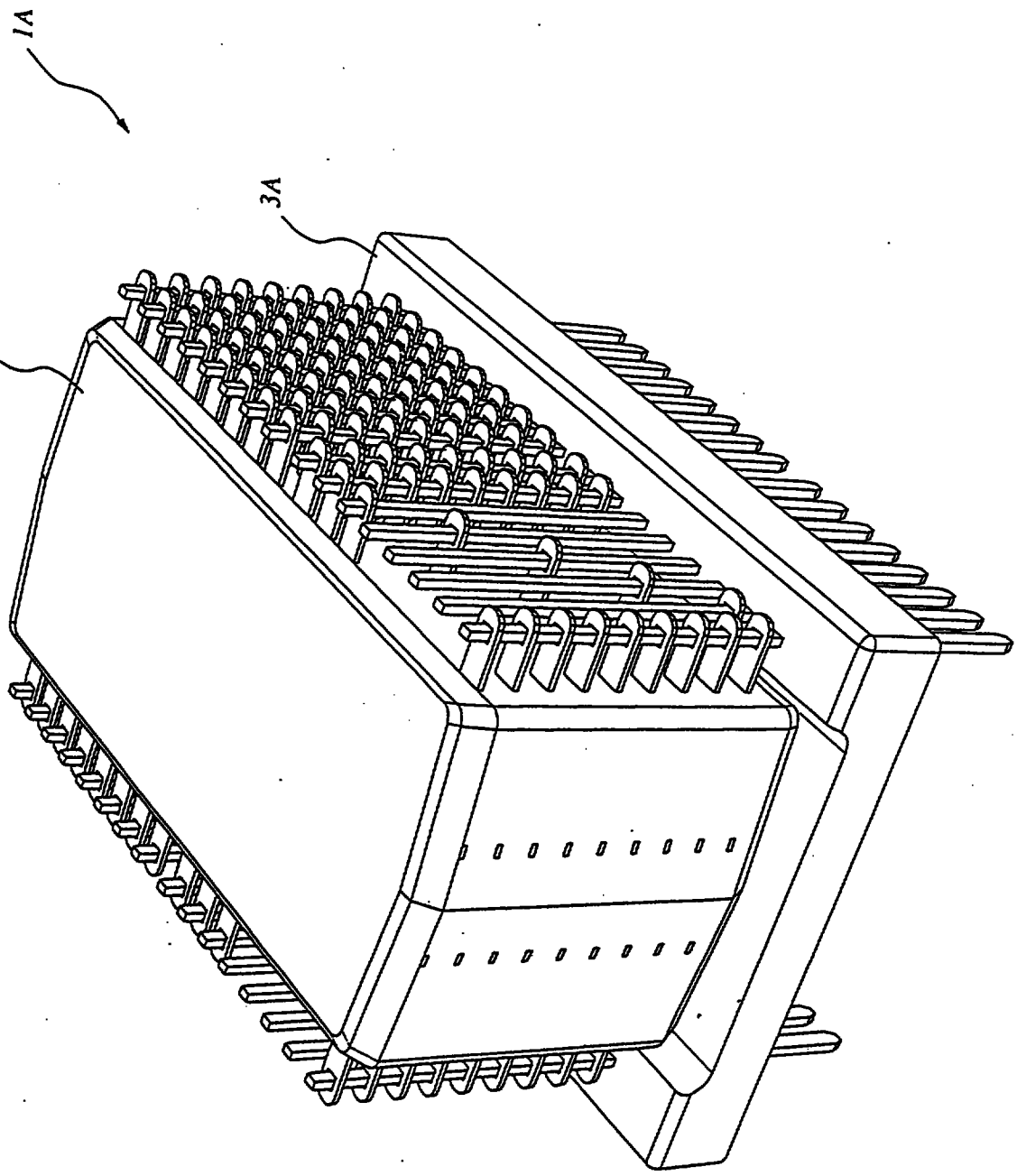
Claim 52. A method for manufacturing a semiconductor integrated circuit device by stacking a plurality of lead frames with a spacing between them and by encapsulating the stacked lead frames with a resin, characterized in that a resin injection port is formed in each of said lead frames so that the resin is injected from one side face of a resin-encapsulated cavity.

〔Designation of Document〕 Drawings

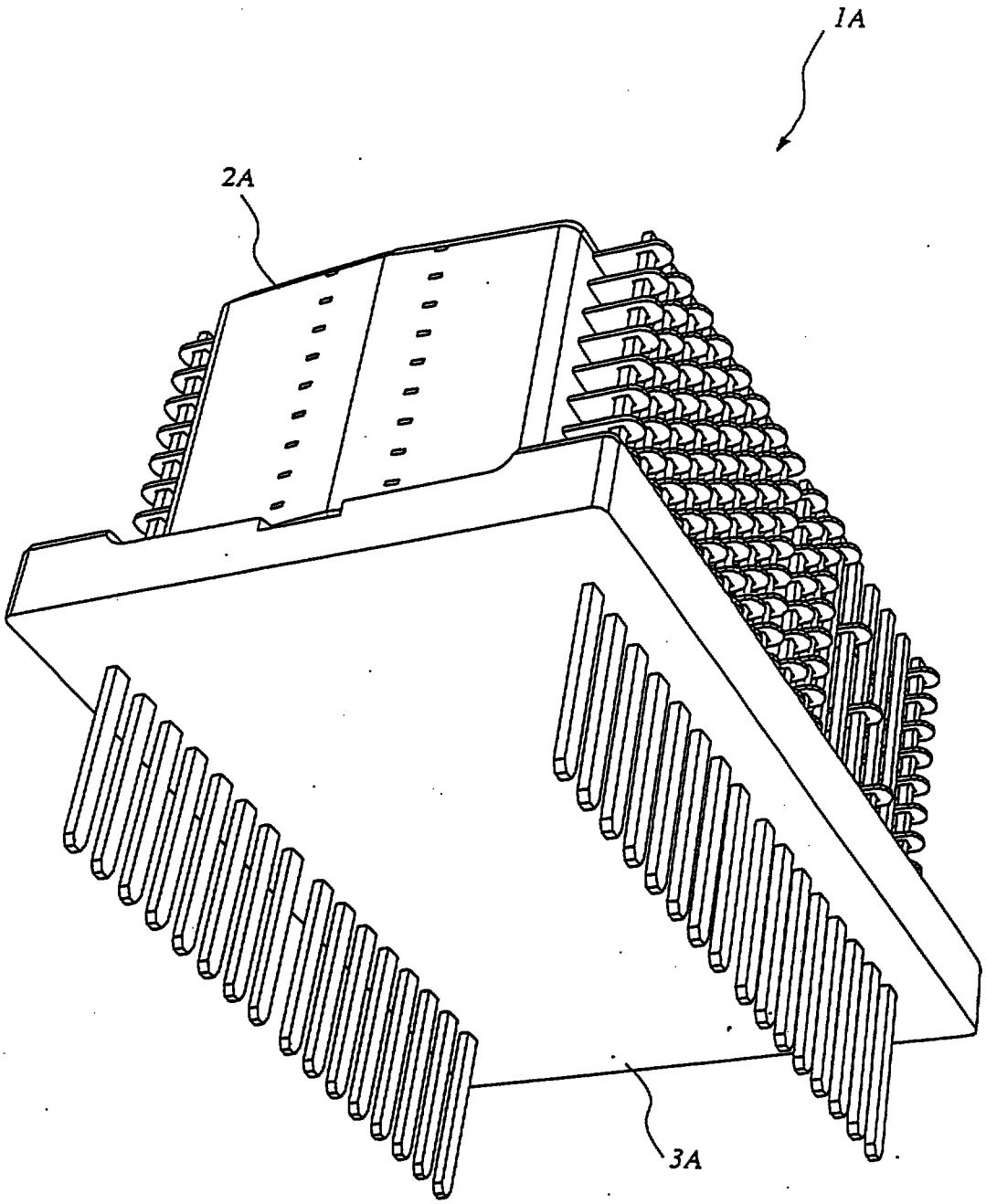
第 1 図 Fig.1



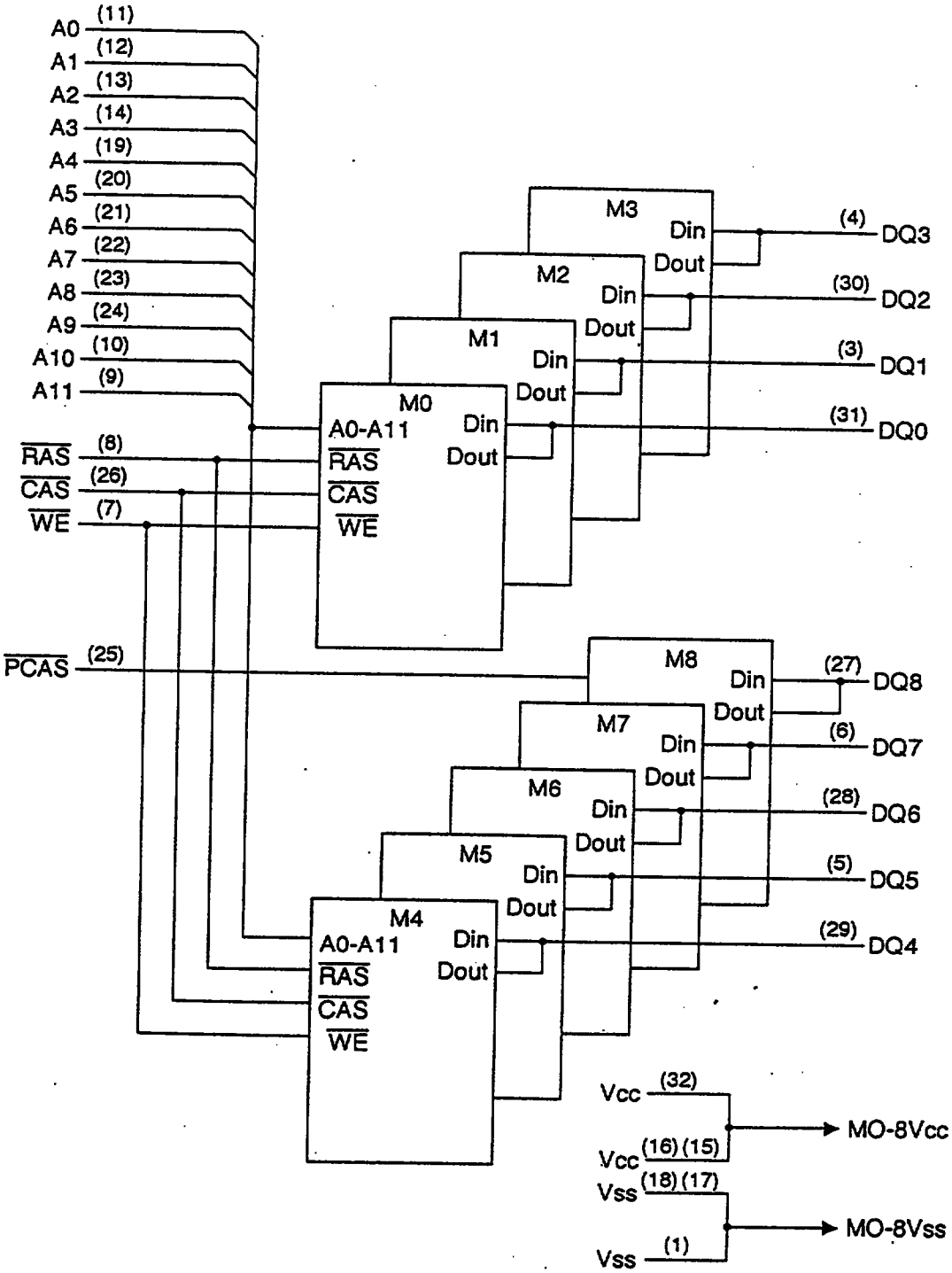
第 2 図　Fig.2



第 3 図　Fig.3

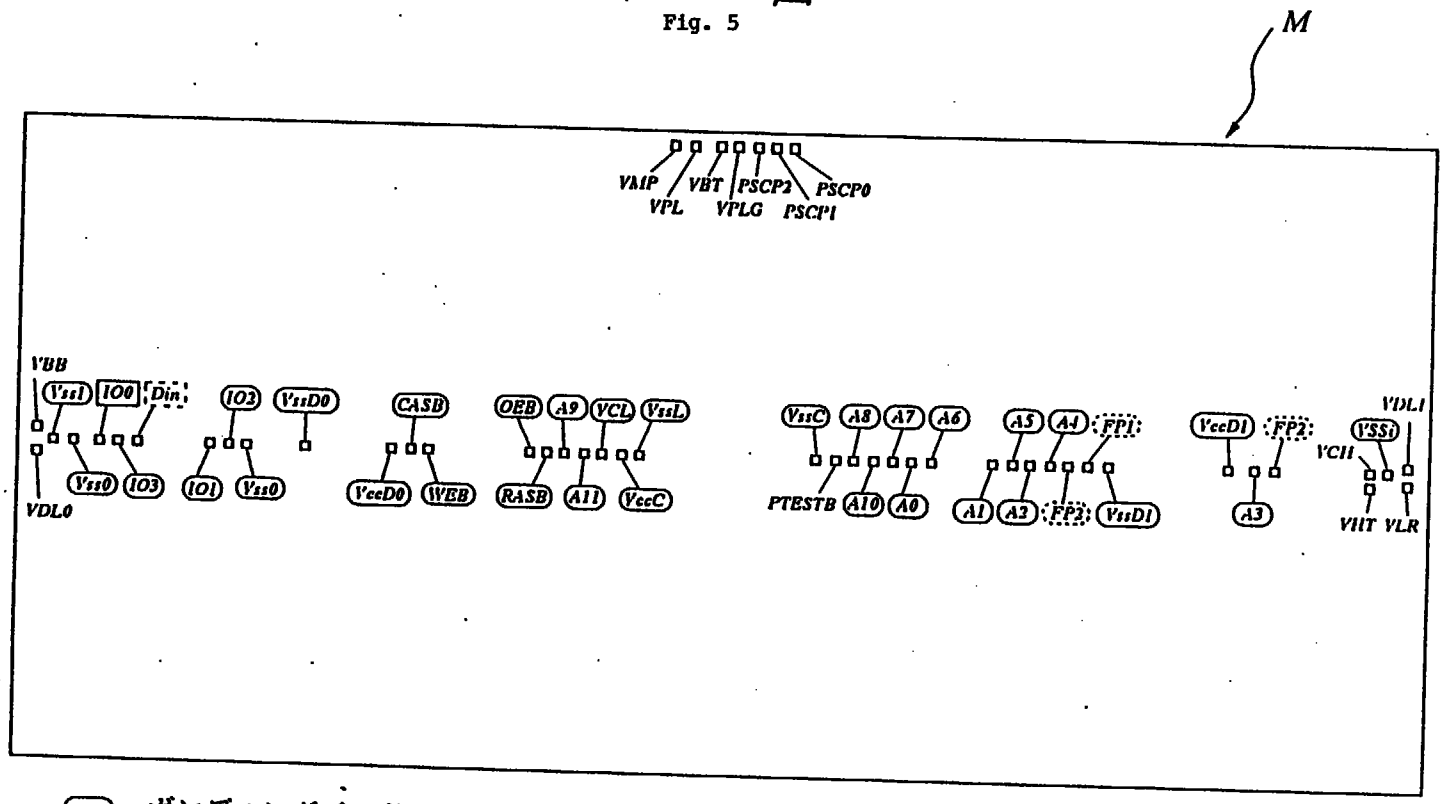


第 4 図 Fig.4


A0 (11)
A1 (12)
A2 (13)
A3 (14)
A4 (19)
A5 (20)
A6 (21)
A7 (22)
A8 (23)
A9 (24)
A10 (10)
A11 (9)
RAS (8)
CAS (26)
WE (7)
PCAS (25)
M0
A0-A11
RAS
CAS
WE
Din
Dout
M1
M2
M3
M4
M5
M6
M7
M8
(4) DQ3
(30) DQ2
(3) DQ1
(31) DQ0
(27) DQ8
(6) DQ7
(28) DQ6
(5) DQ5
(29) DQ4
Vcc (32)
Vcc (16) (15)
Vss (18) (17)
Vss (1)
MO-8Vcc
MO-8Vss

第 5 図

Fig. 5



ボンディングパッド Bonding Pads

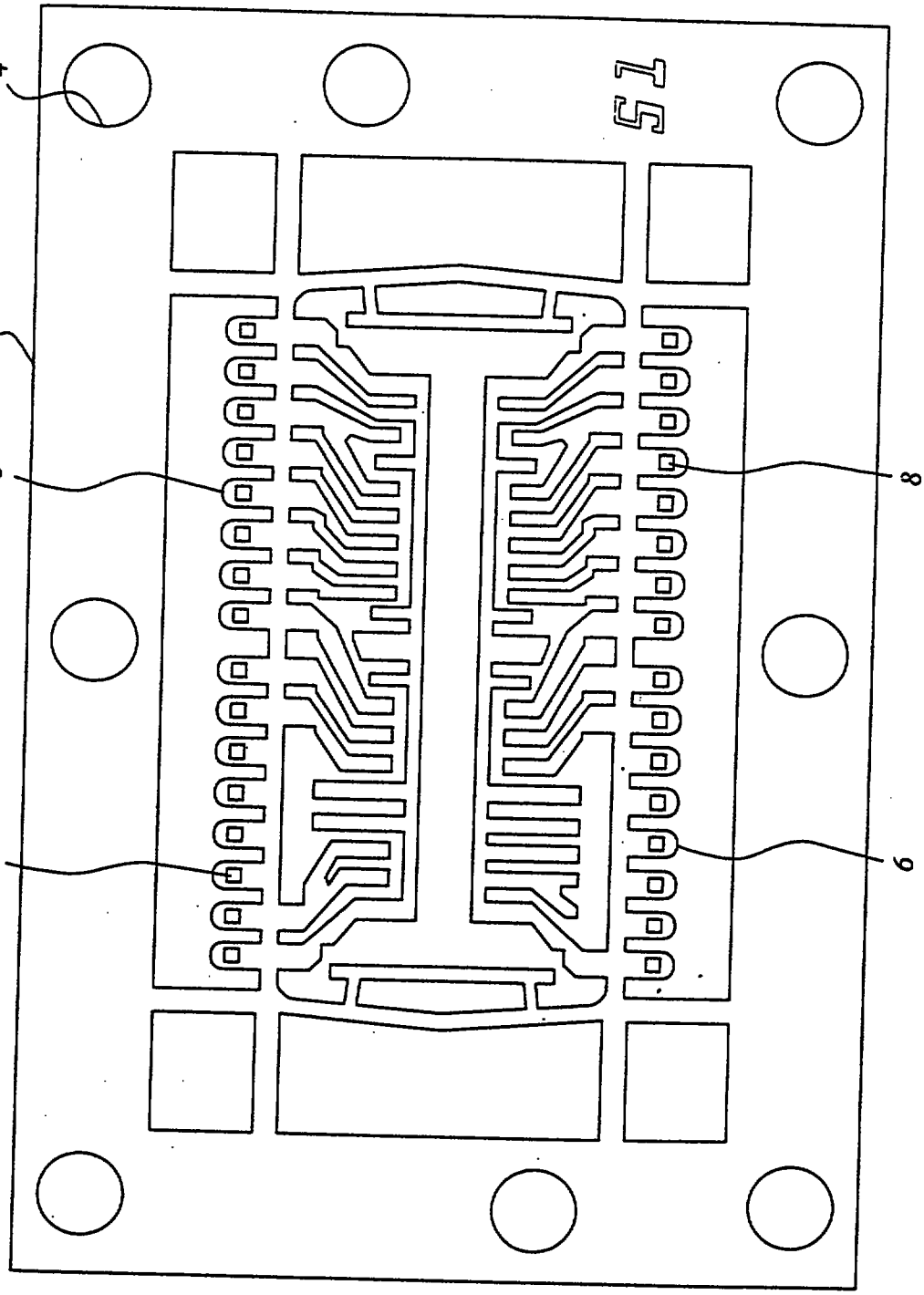
×4時 ボンディングパッド Bonding Pads used when X 4

×1時 ボンディングパッド Bonding Pads used when X 1

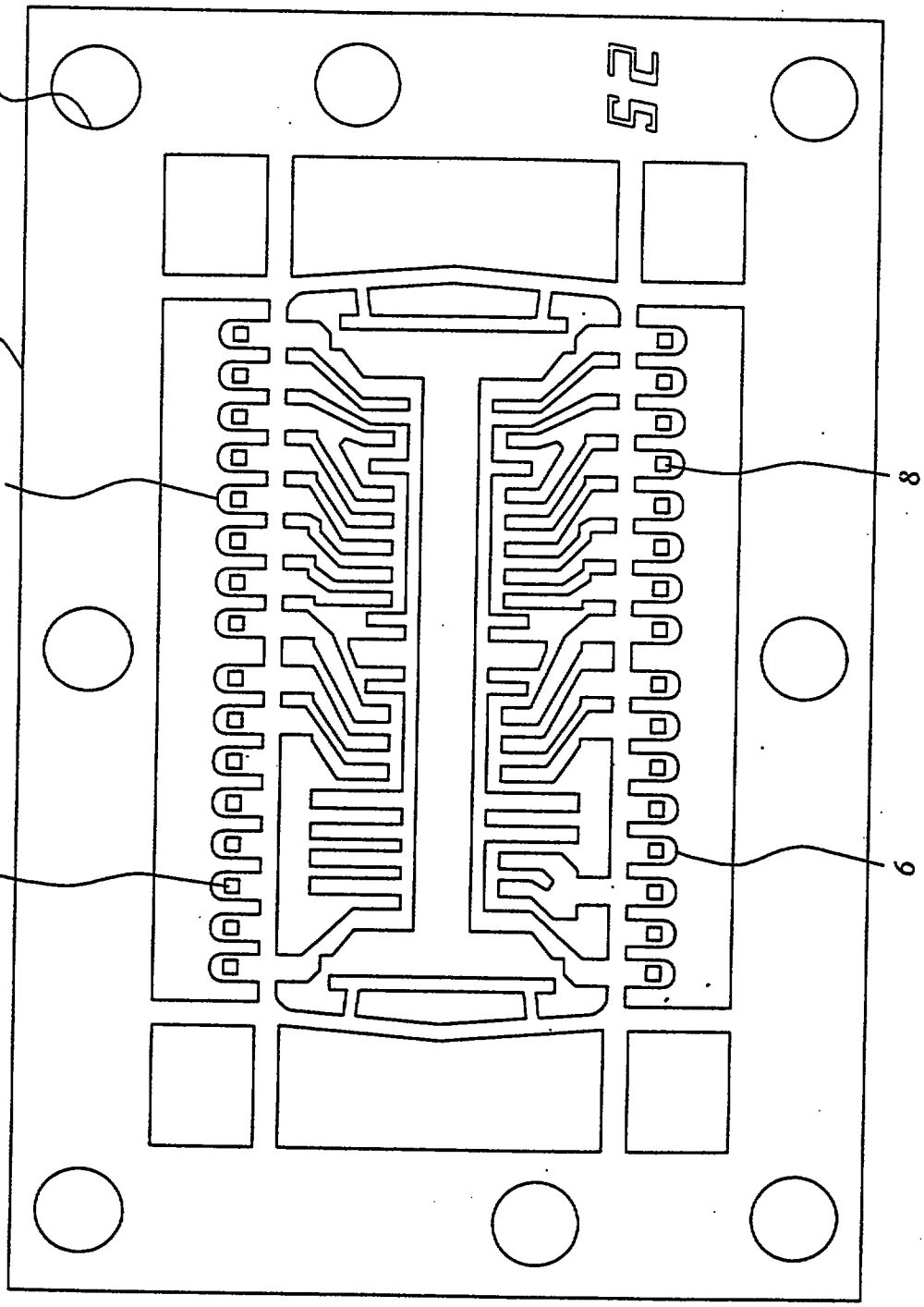
ボンディングオプション用パッド Bonding Option Pads

上記以外は観測パッド（p 検パッド） Others: Observation Pads (P-Inspection Pads)

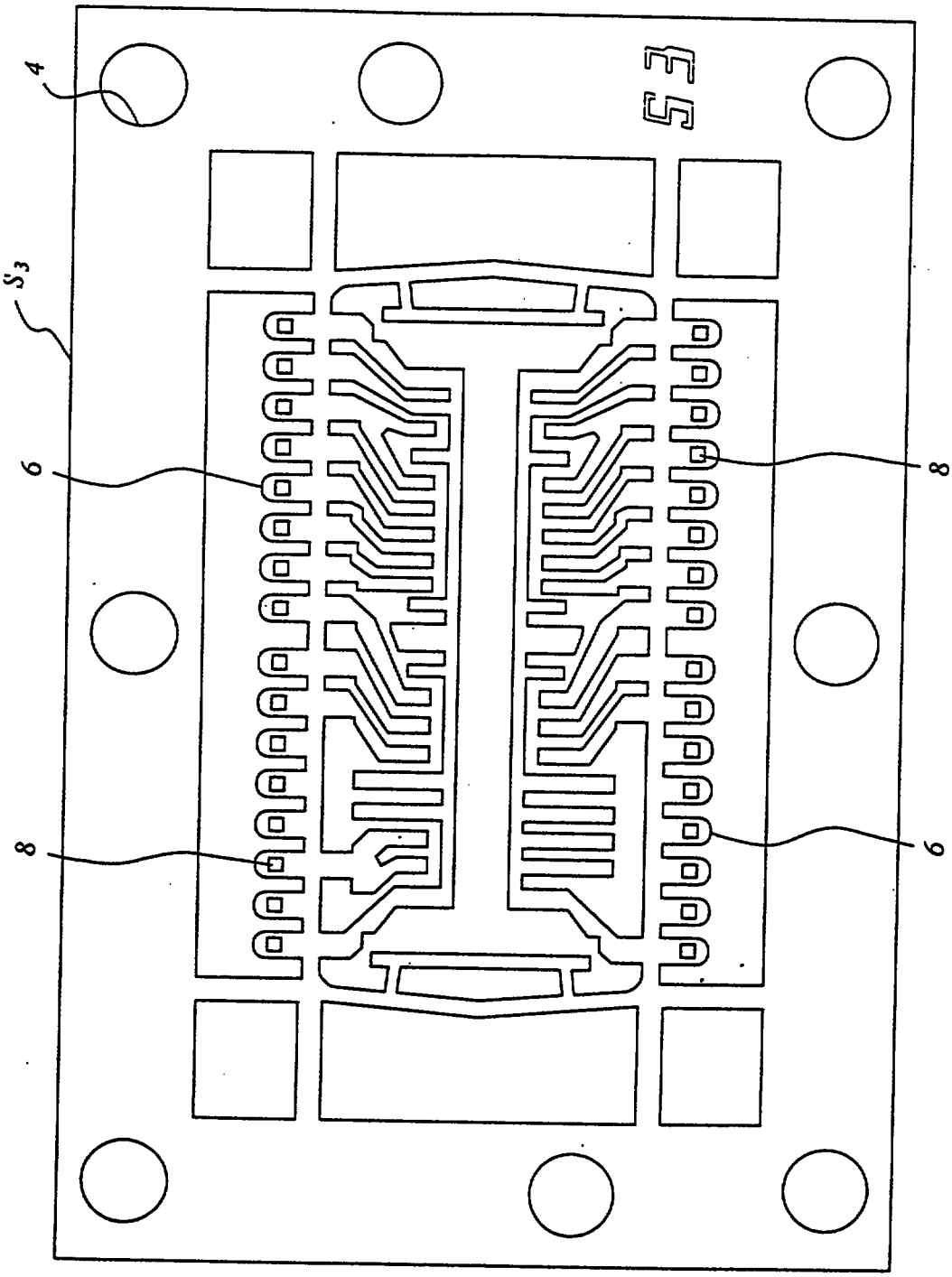
第 6 図 Fig.6



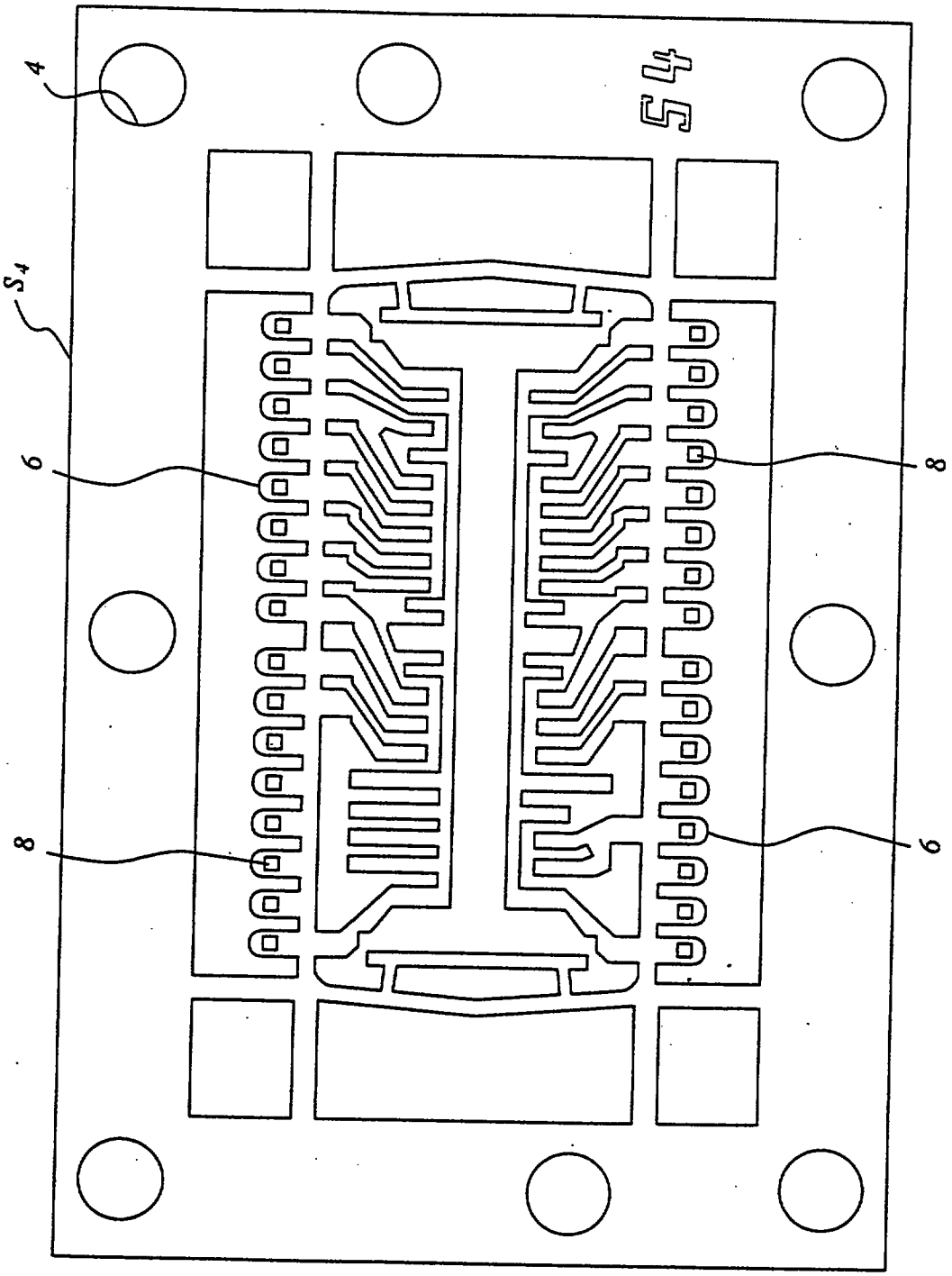
第 7 図　Fig.7



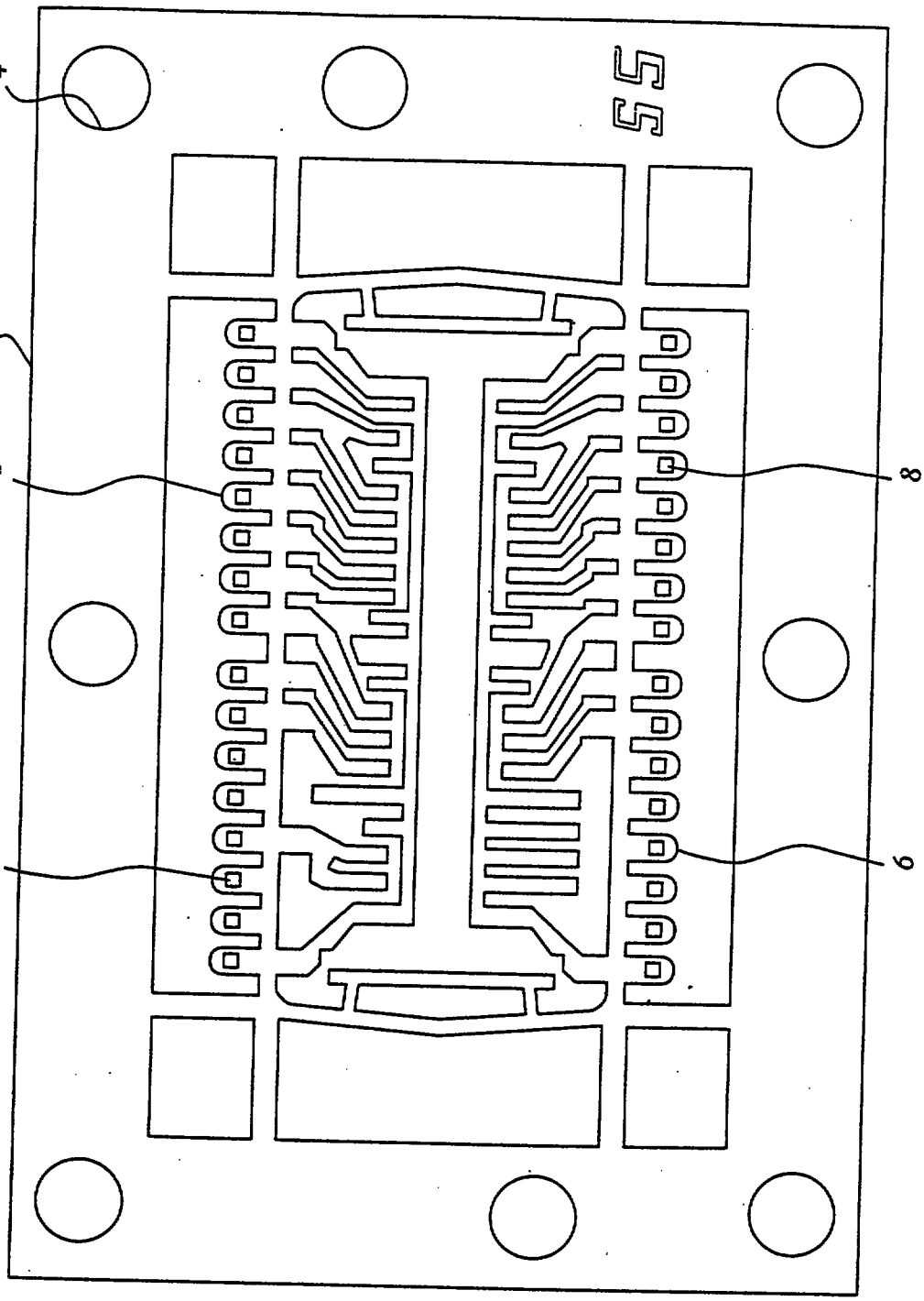
第 8 図　Fig.8



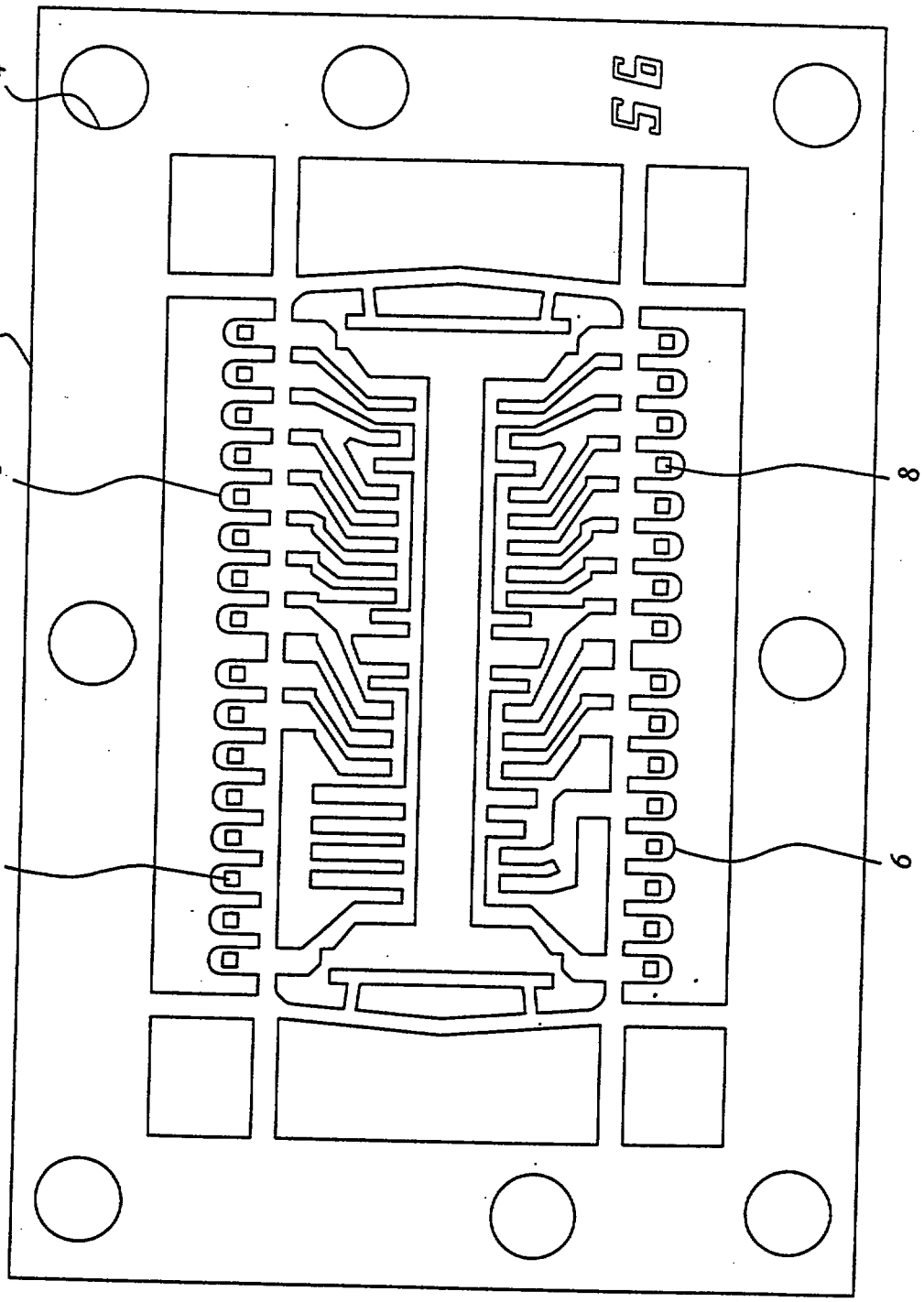
第 9 図 Fig.9



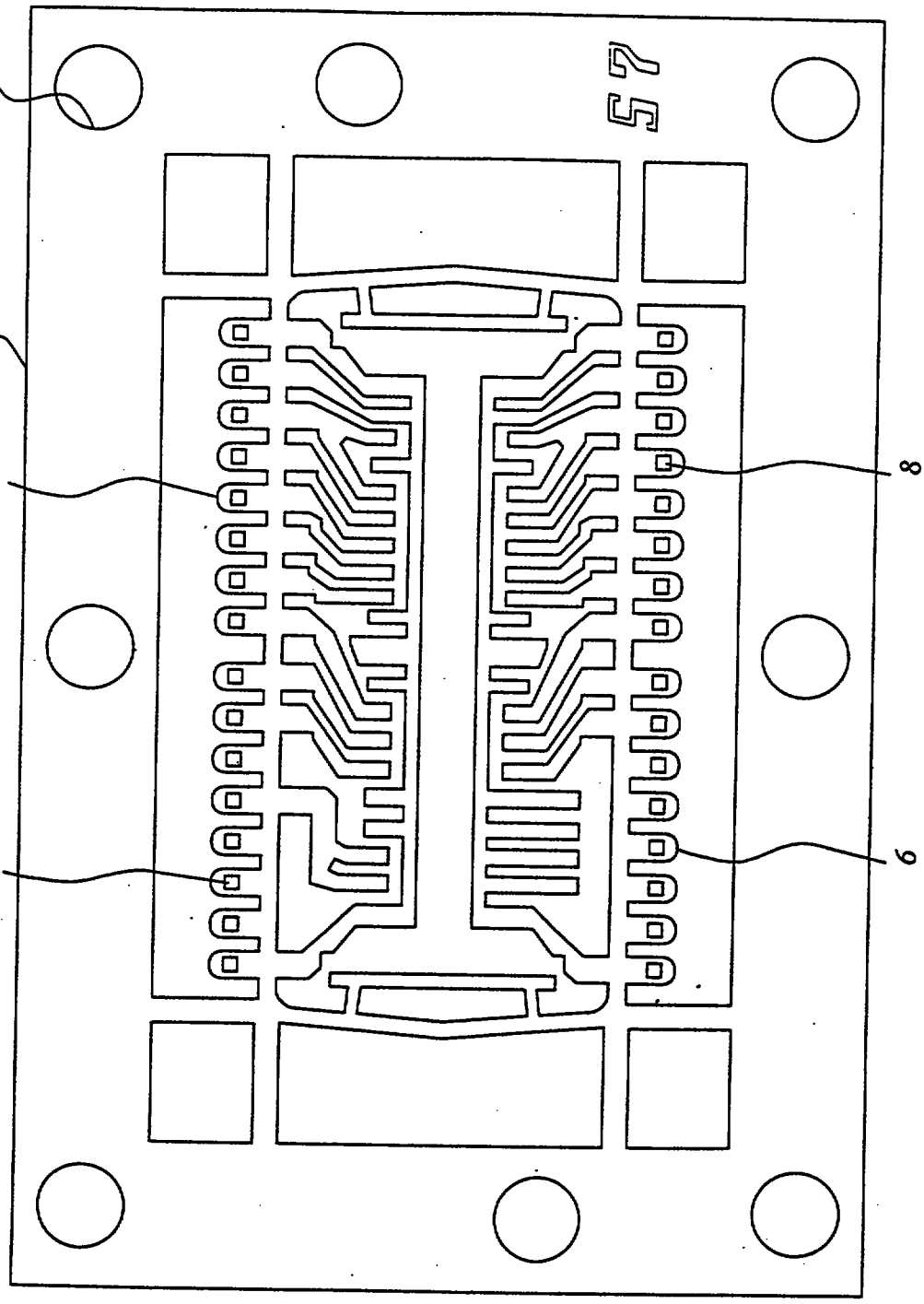
第 10 図 Fig.10



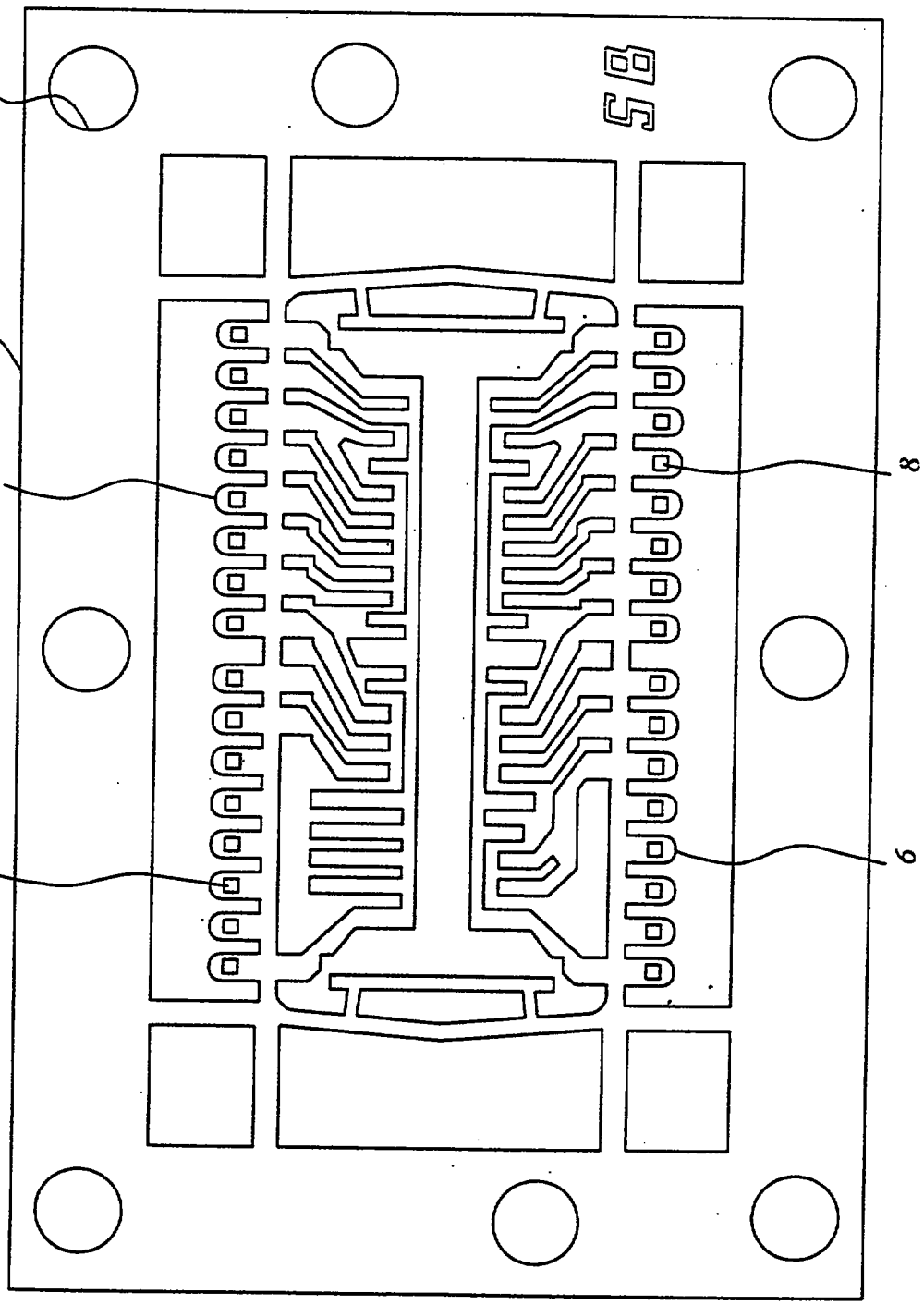
第 11 図 Fig.11



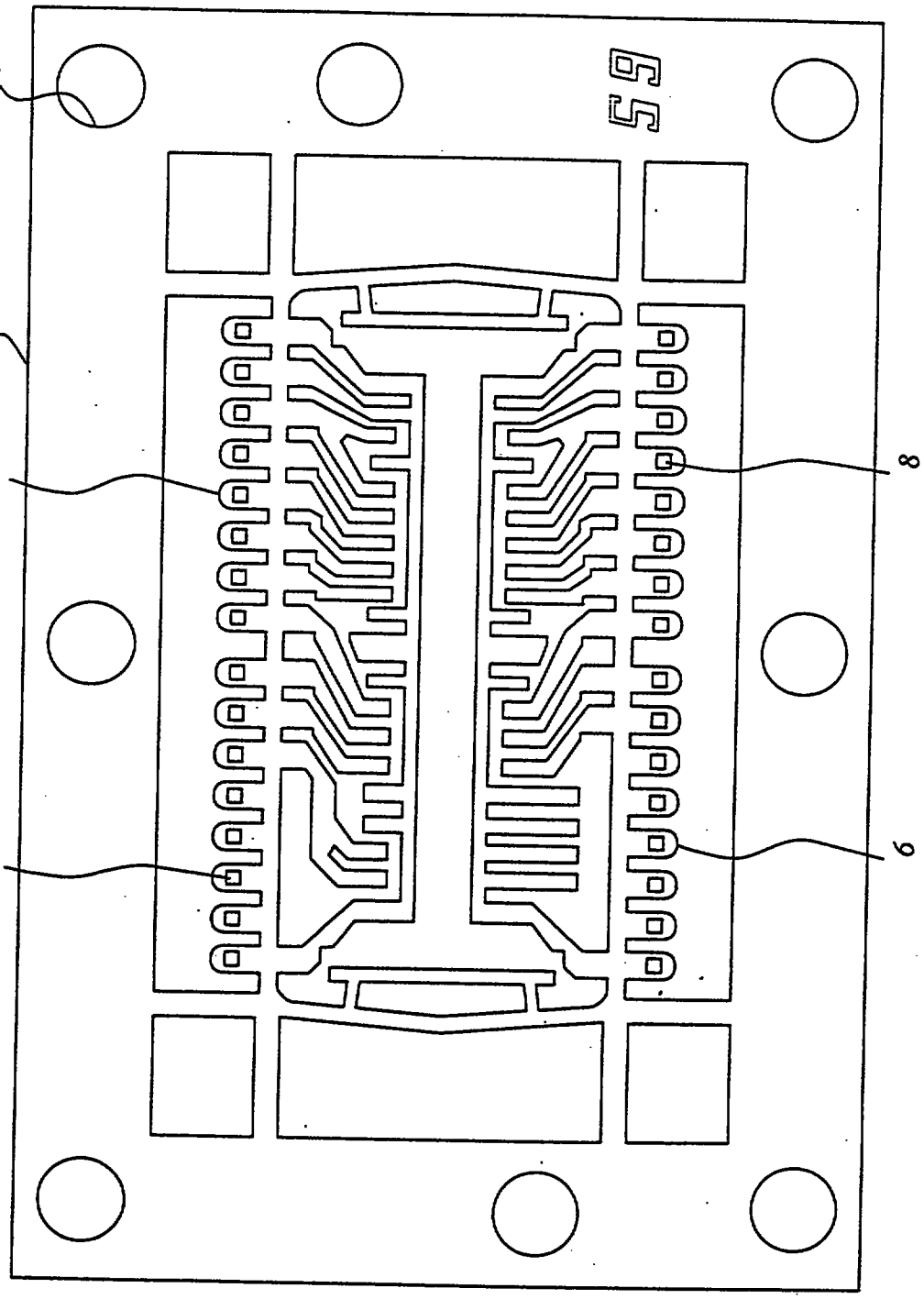
第 12 図 Fig.12



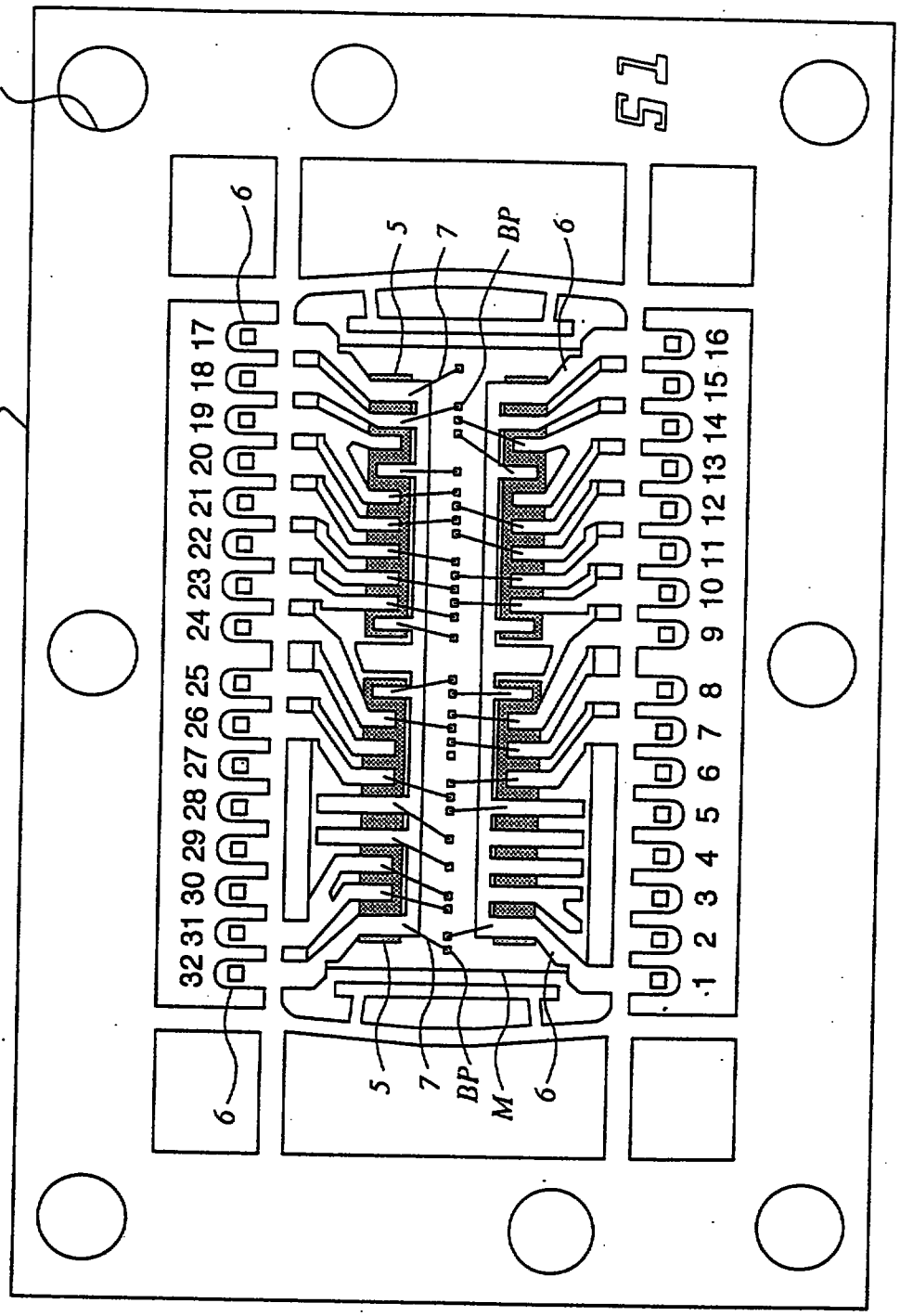
第 13 図 Fig.13



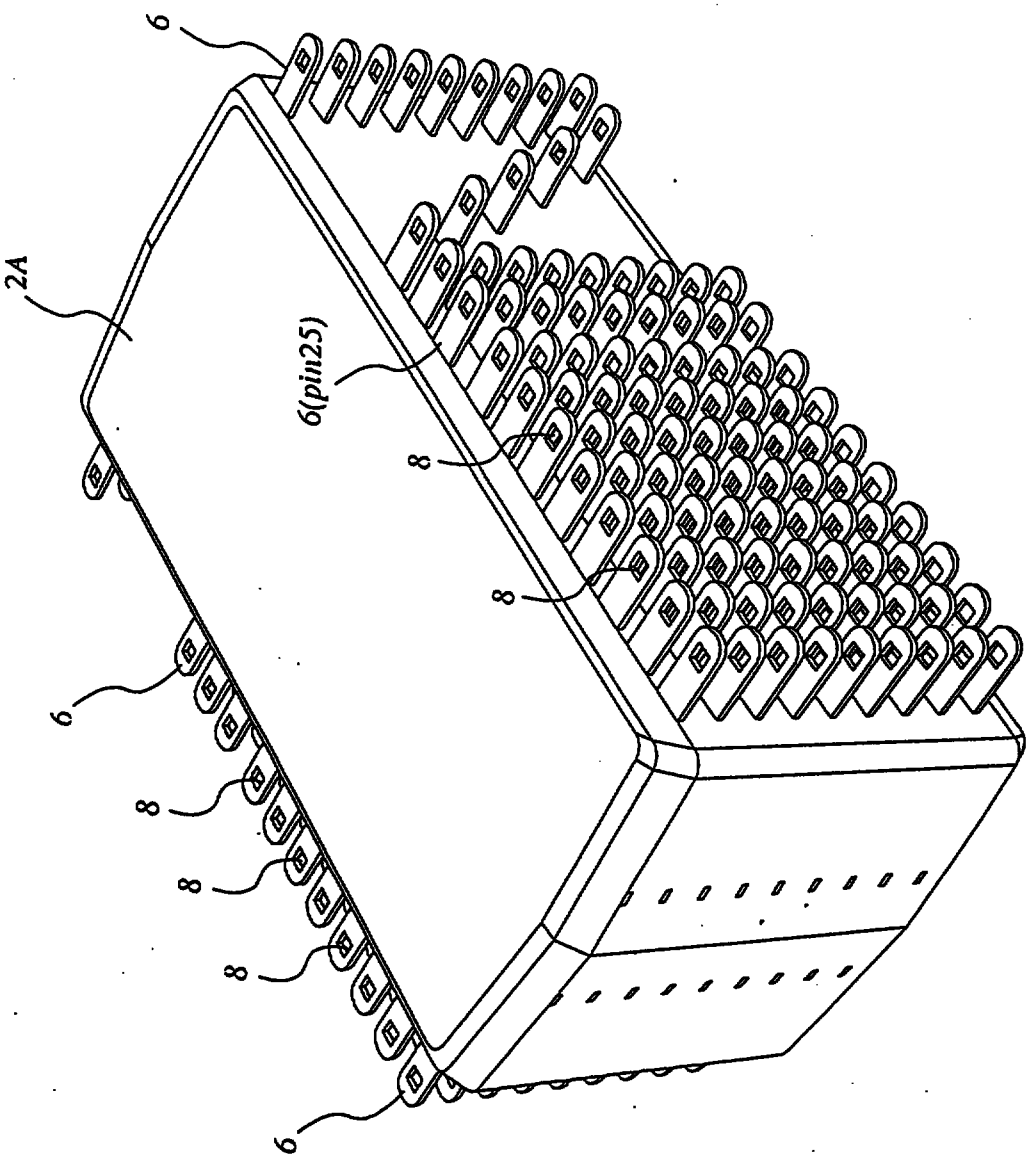
第 14 図 Fig.14



第 15 図 Fig.15


4
S1
51
6
5
7
BP
M
32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16

第 16 図 Fig.16



第 17 図 Fig.17

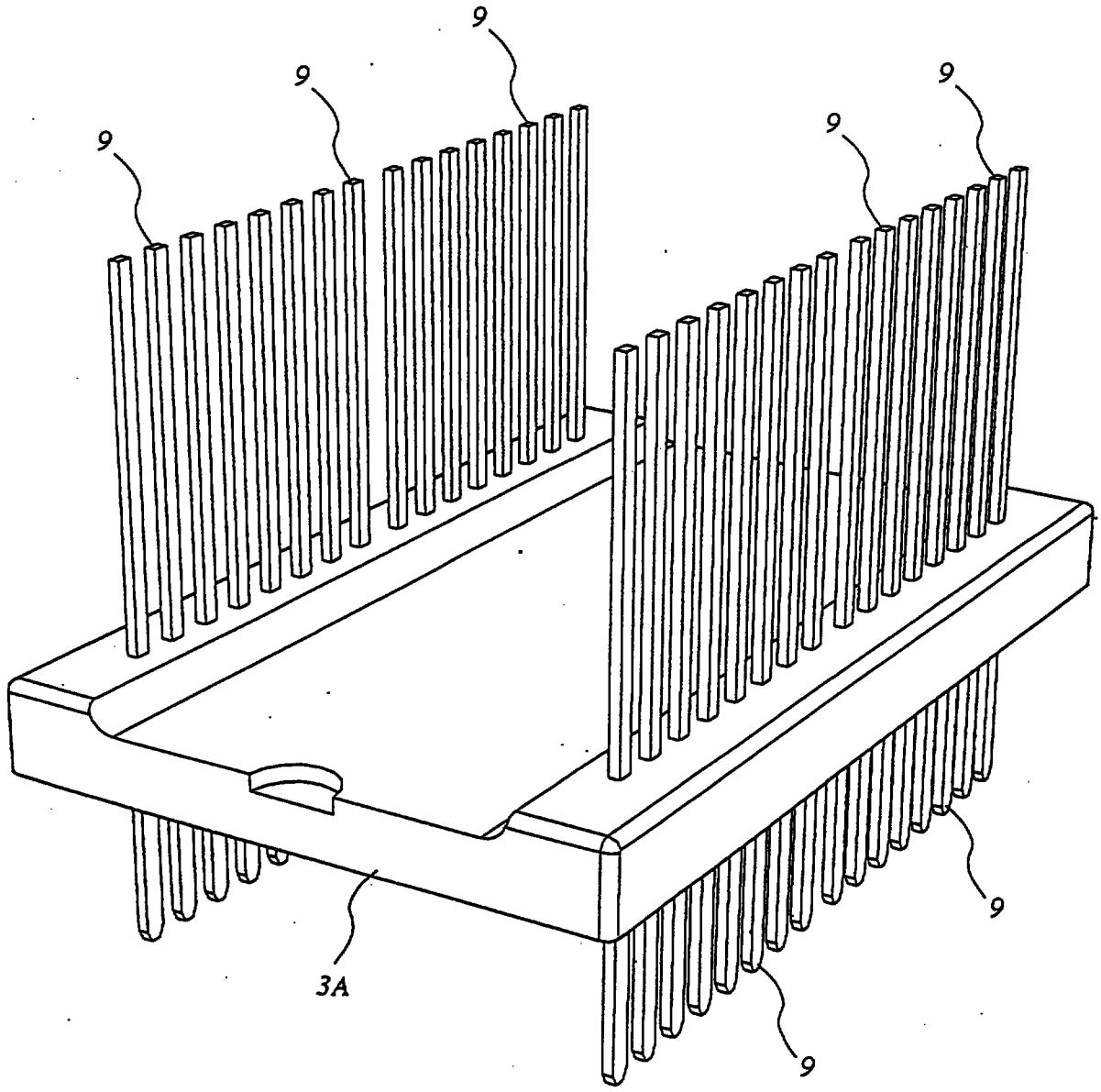
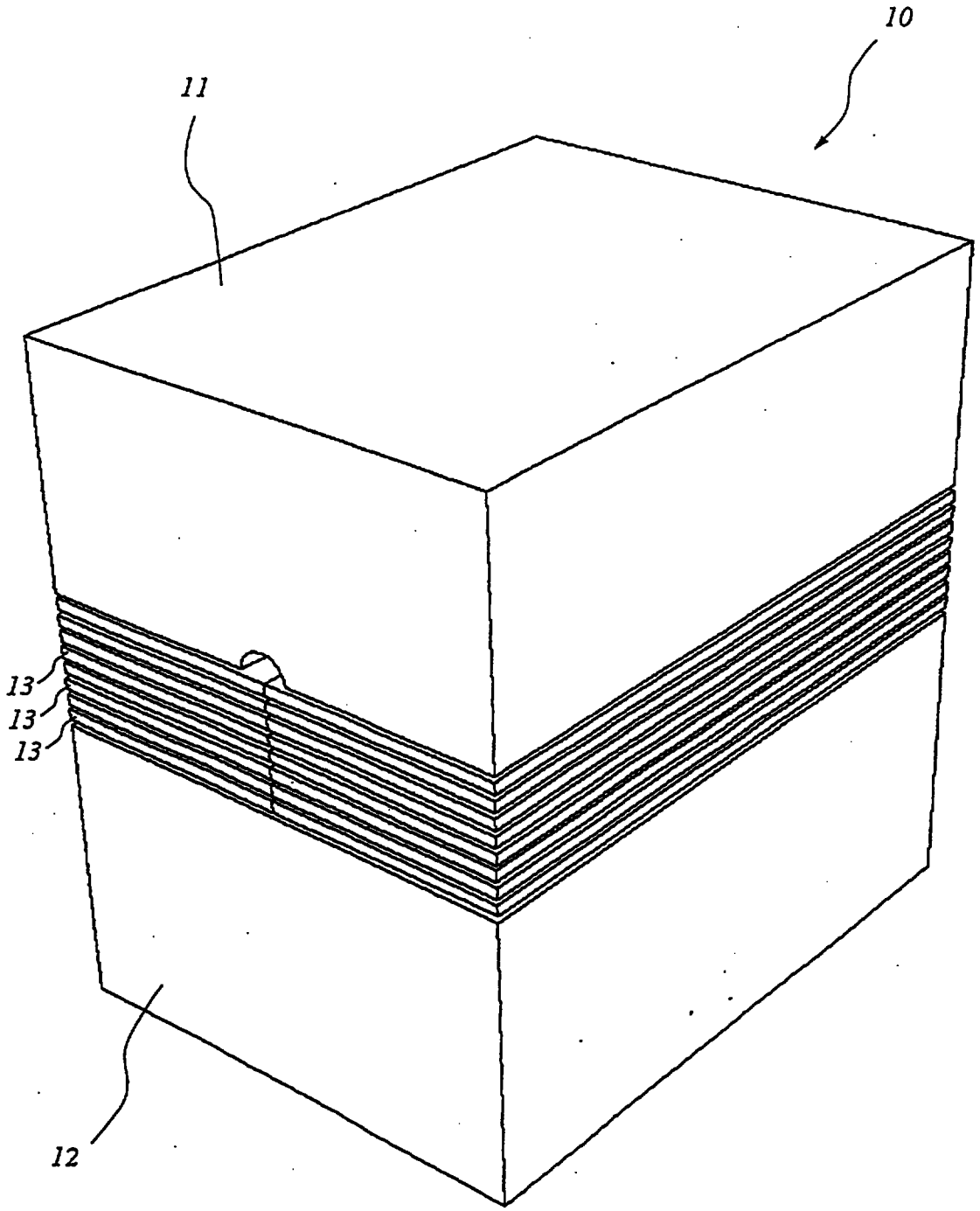
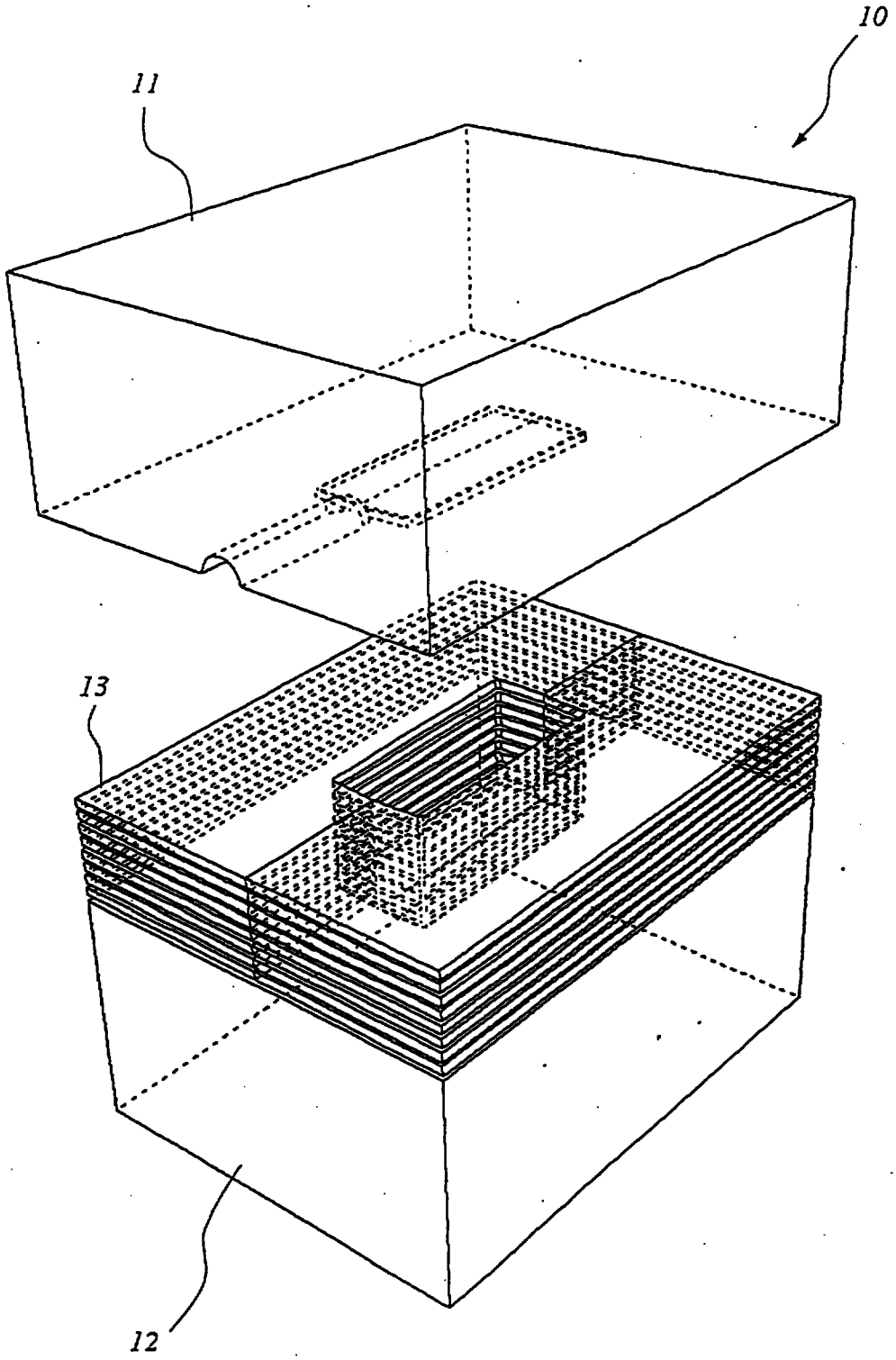


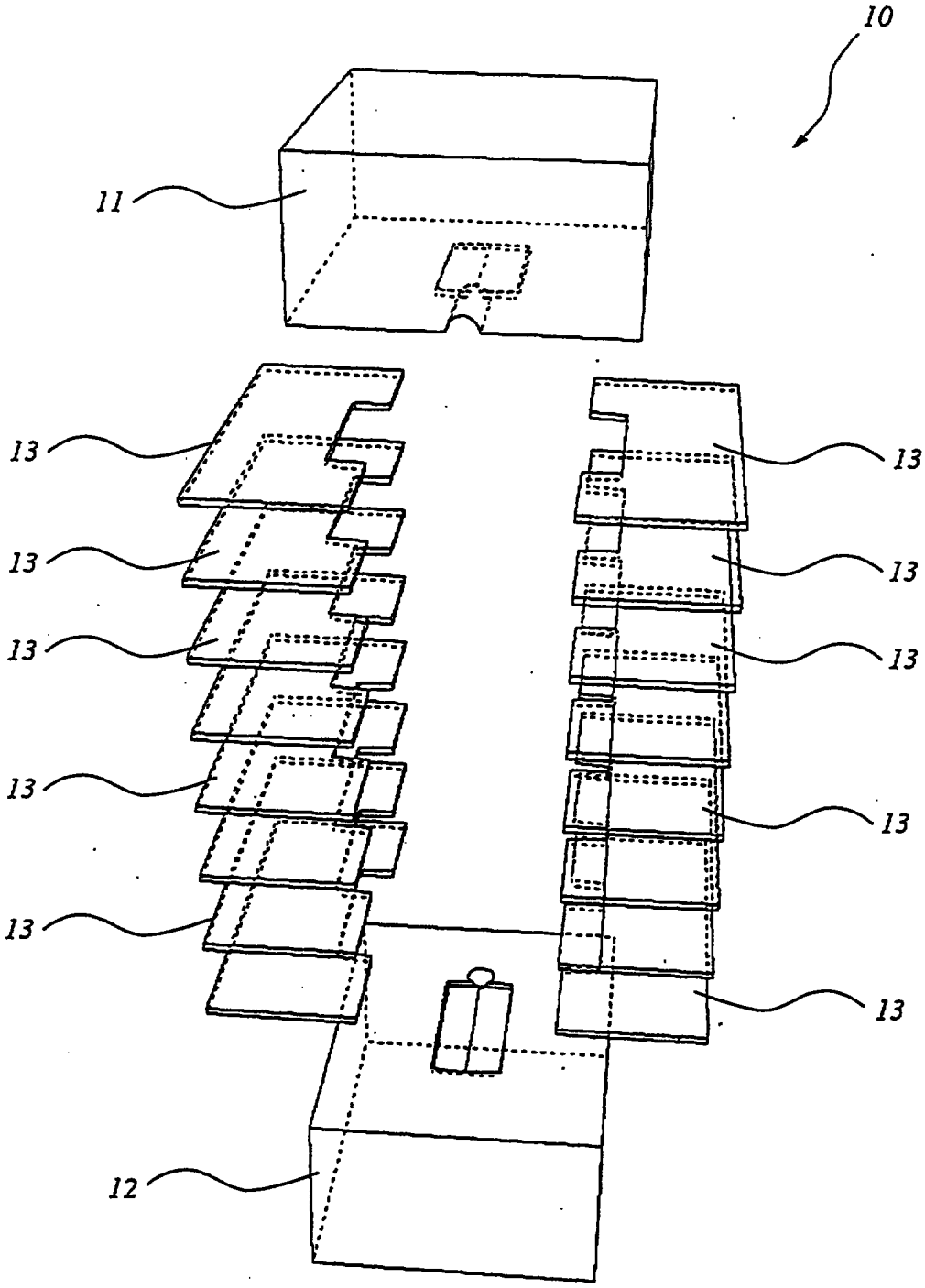
図 18 図 Fig.18



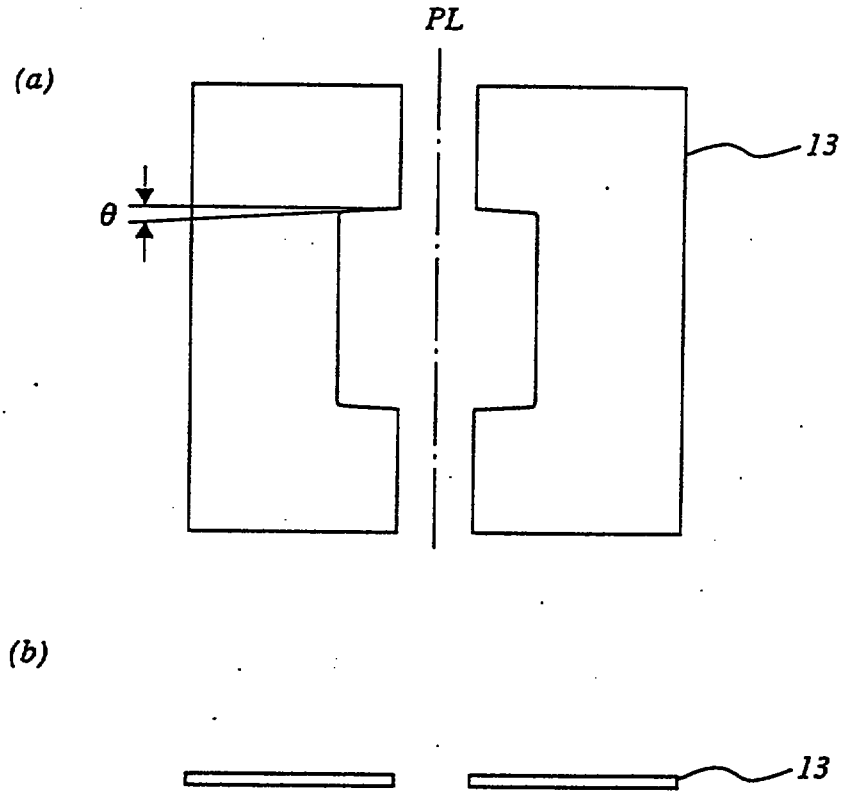
第 19 図 Fig.19



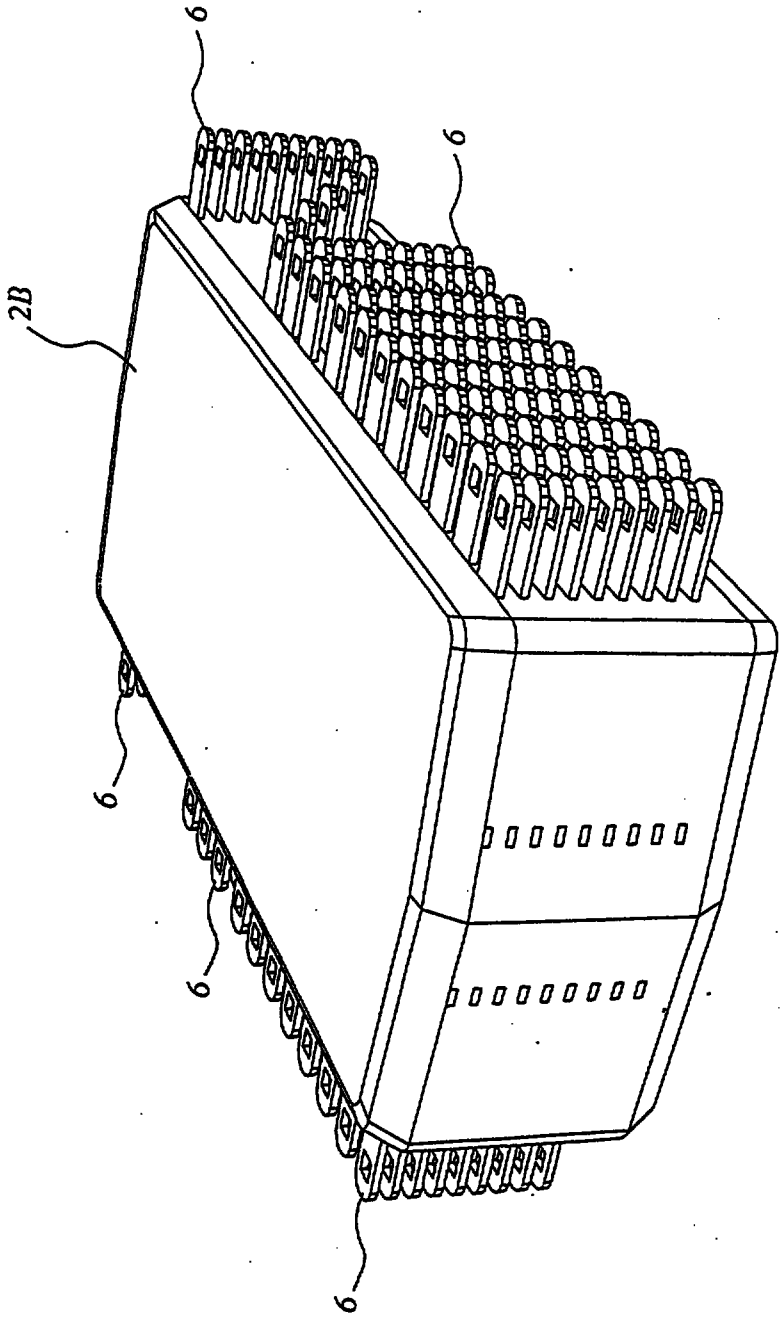
第 20 図 Fig.20



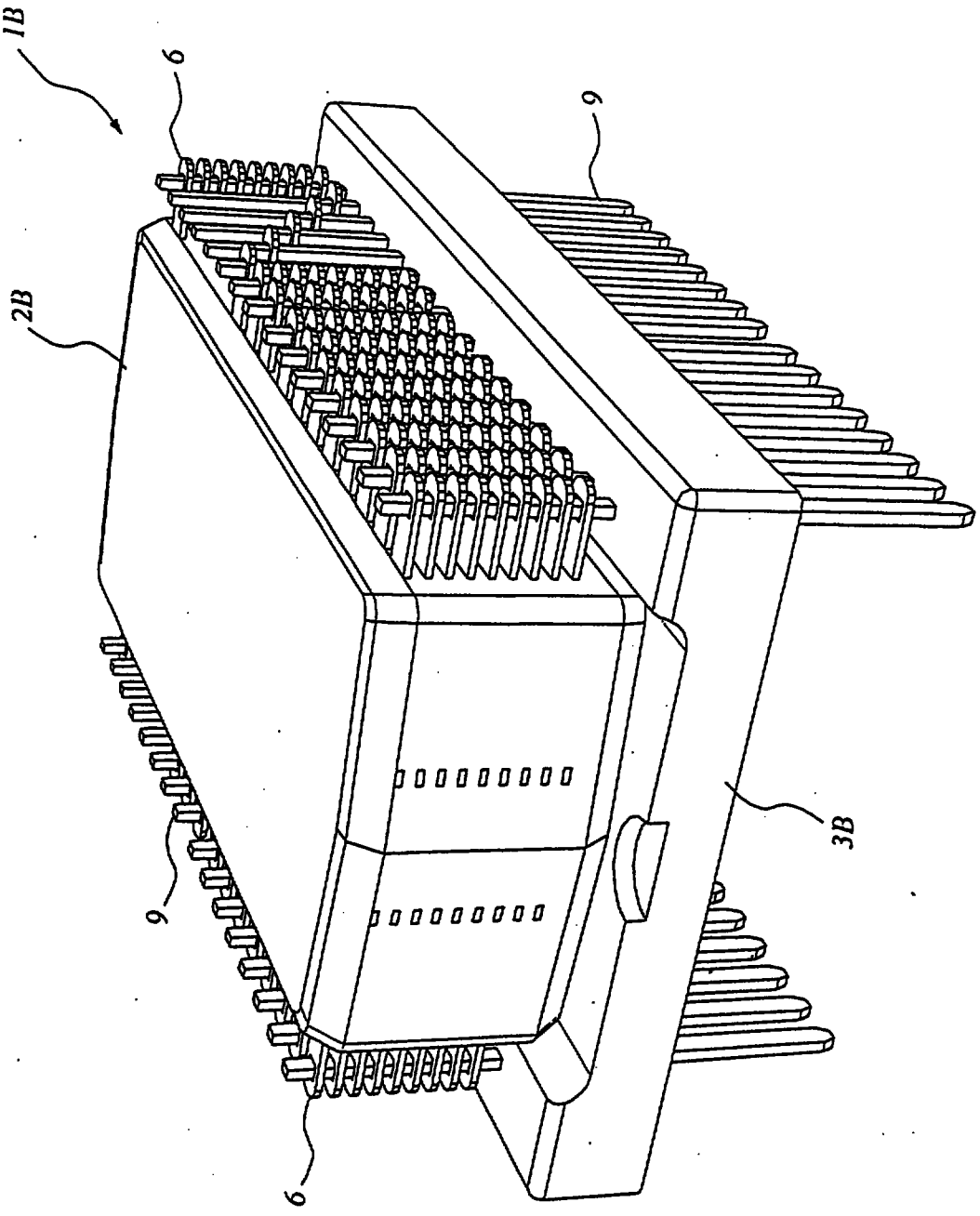
第 21 図　Fig.21



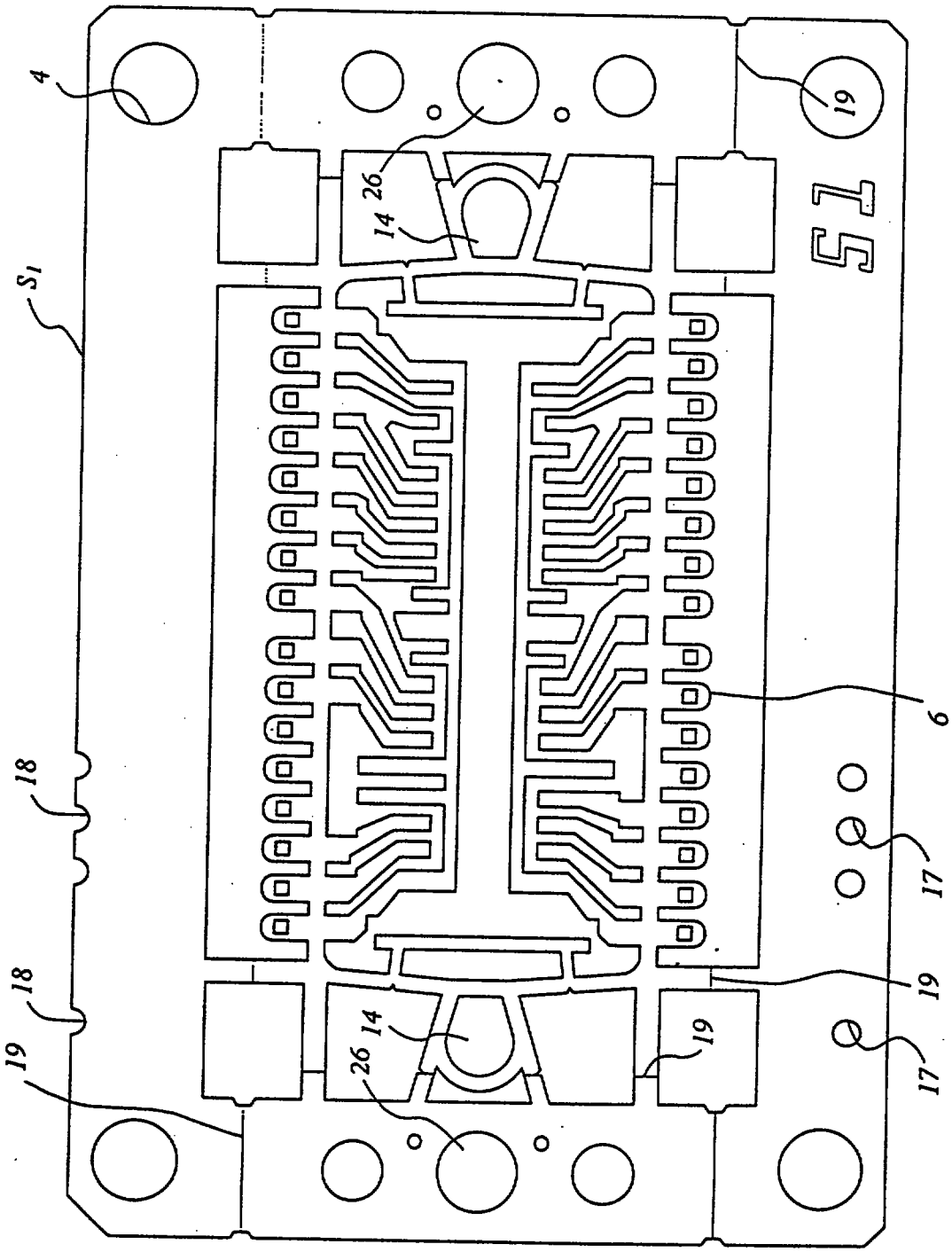
第 22 図 Fig.22



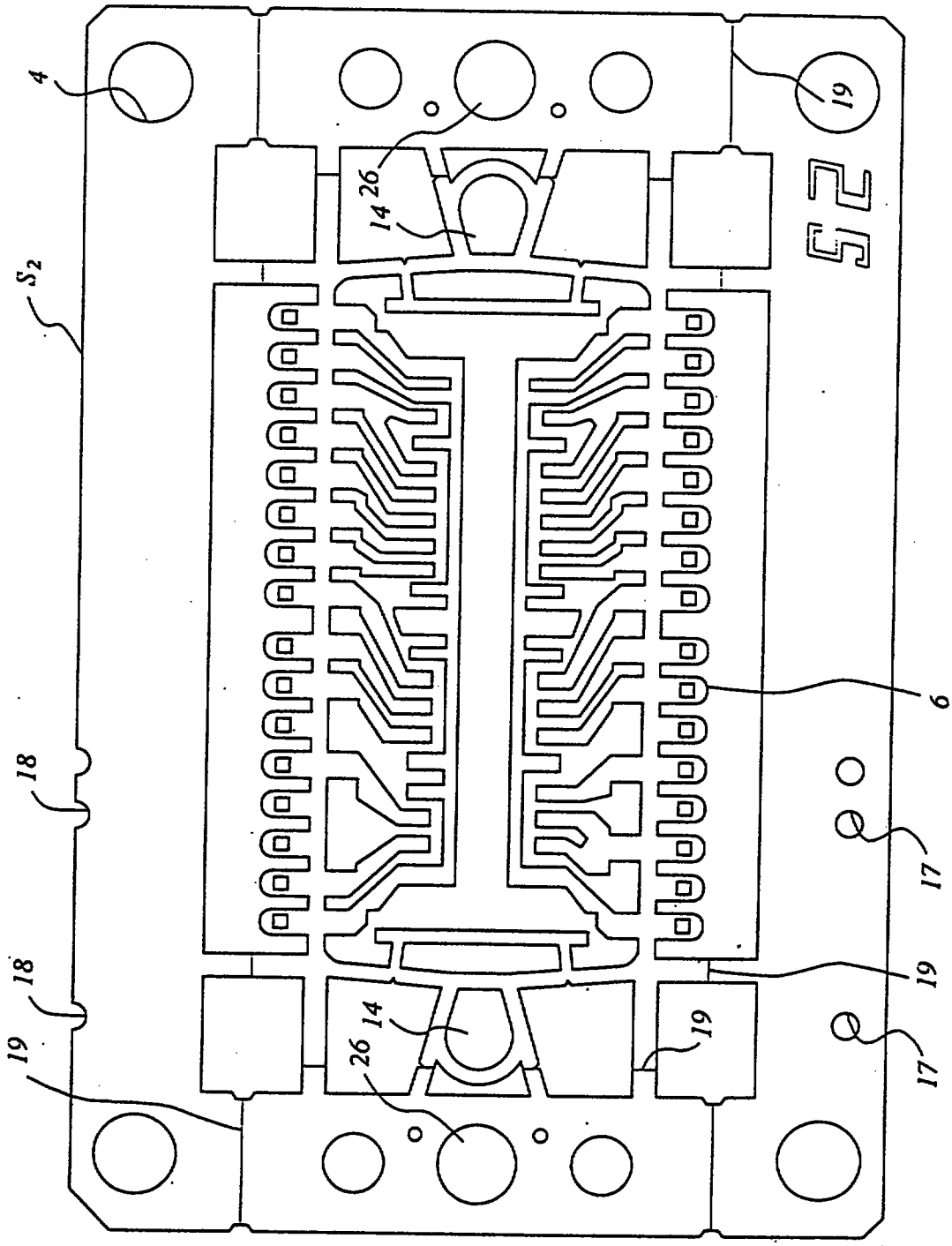
第 23 図 Fig.23



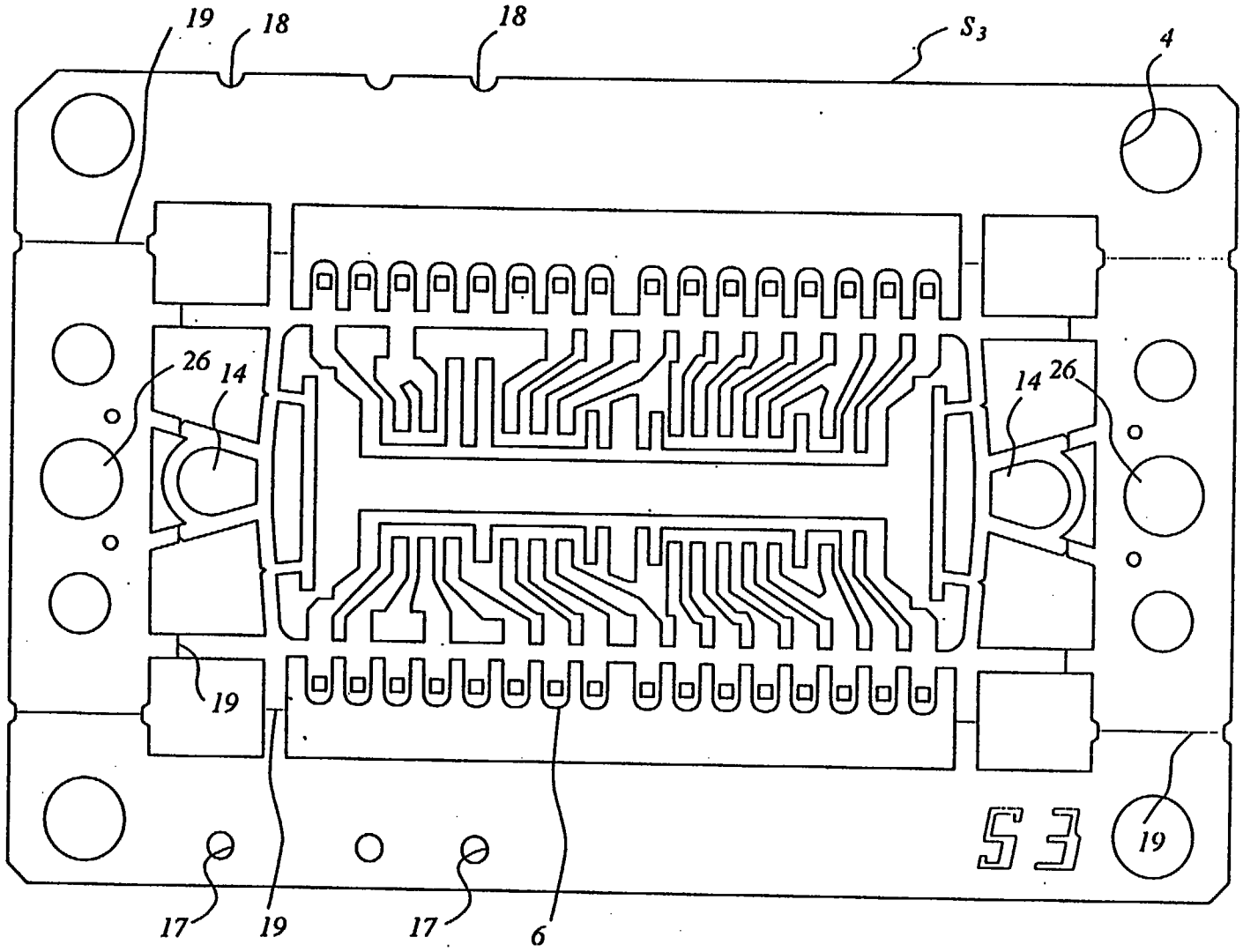
第 24 図 Fig.24



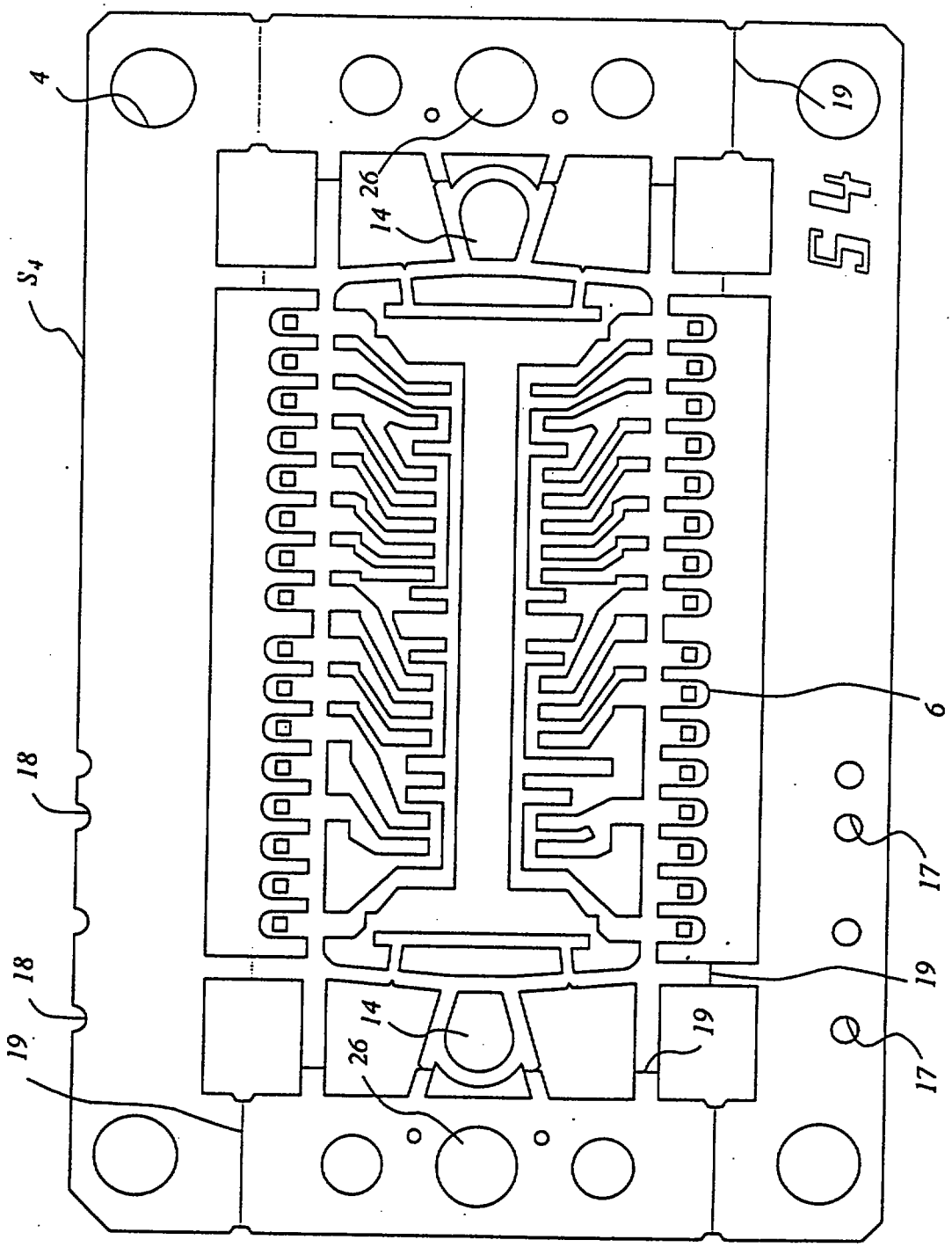
第 25 図 Fig.25



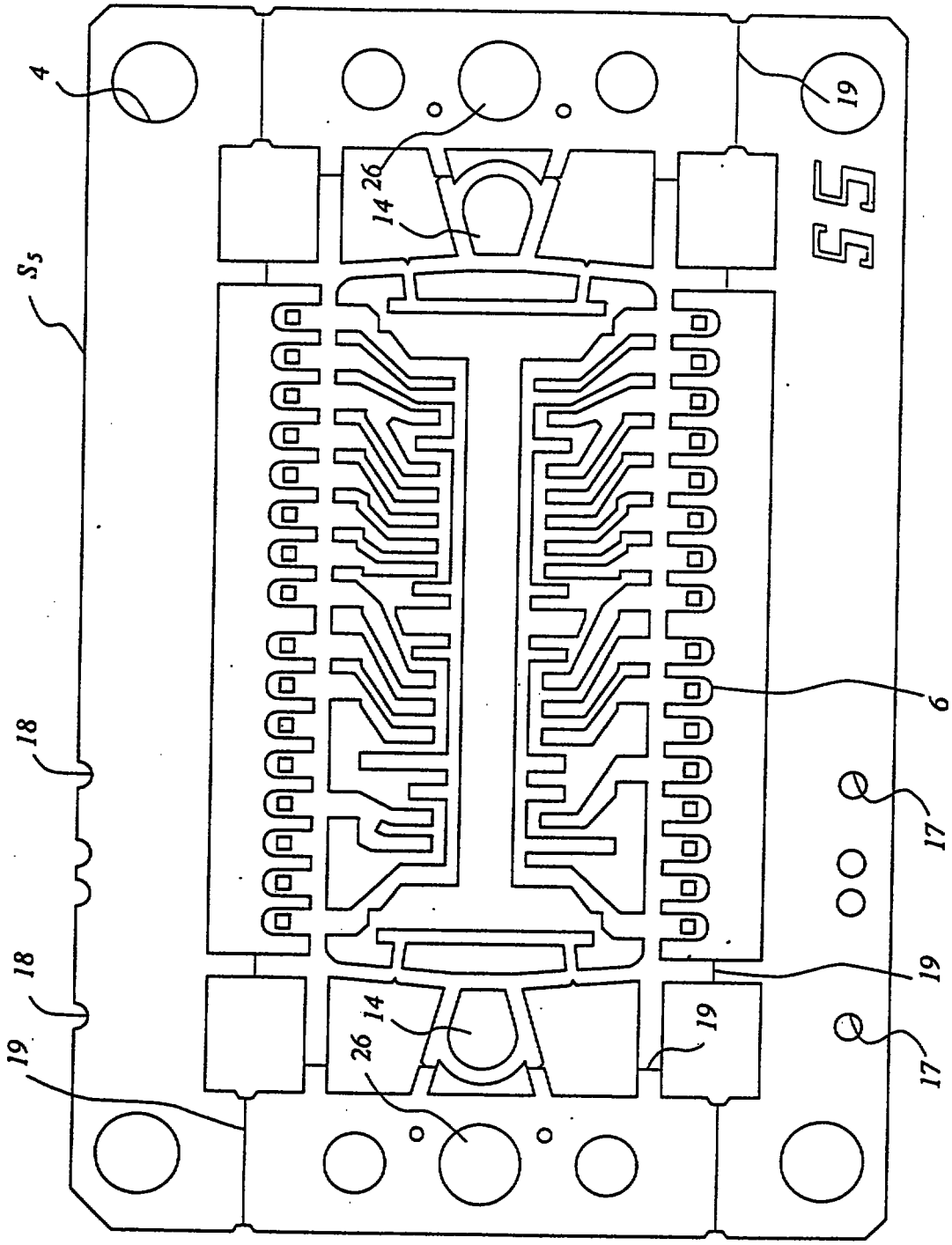
第 26 図 Fig.26



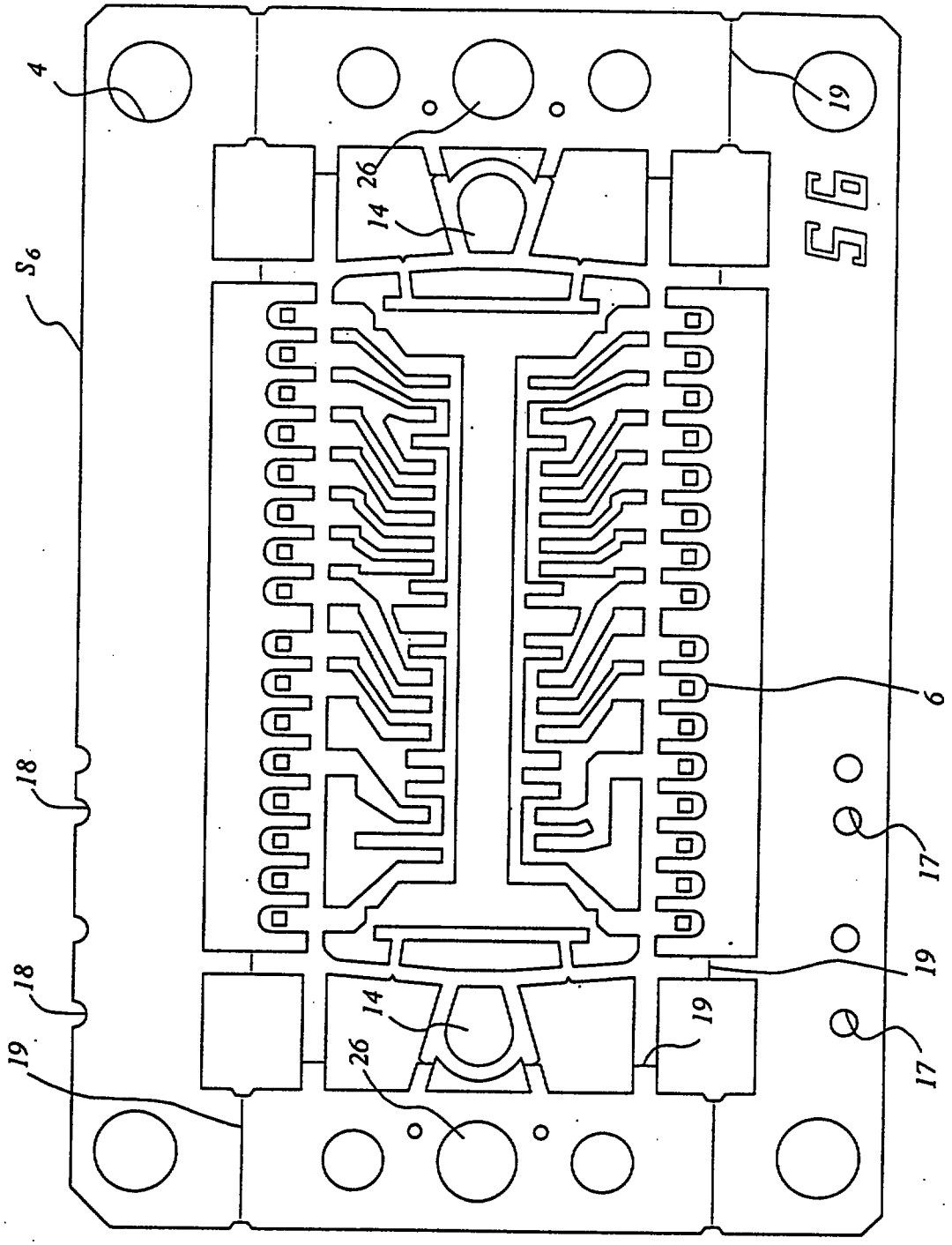
第 27 図 Fig.27



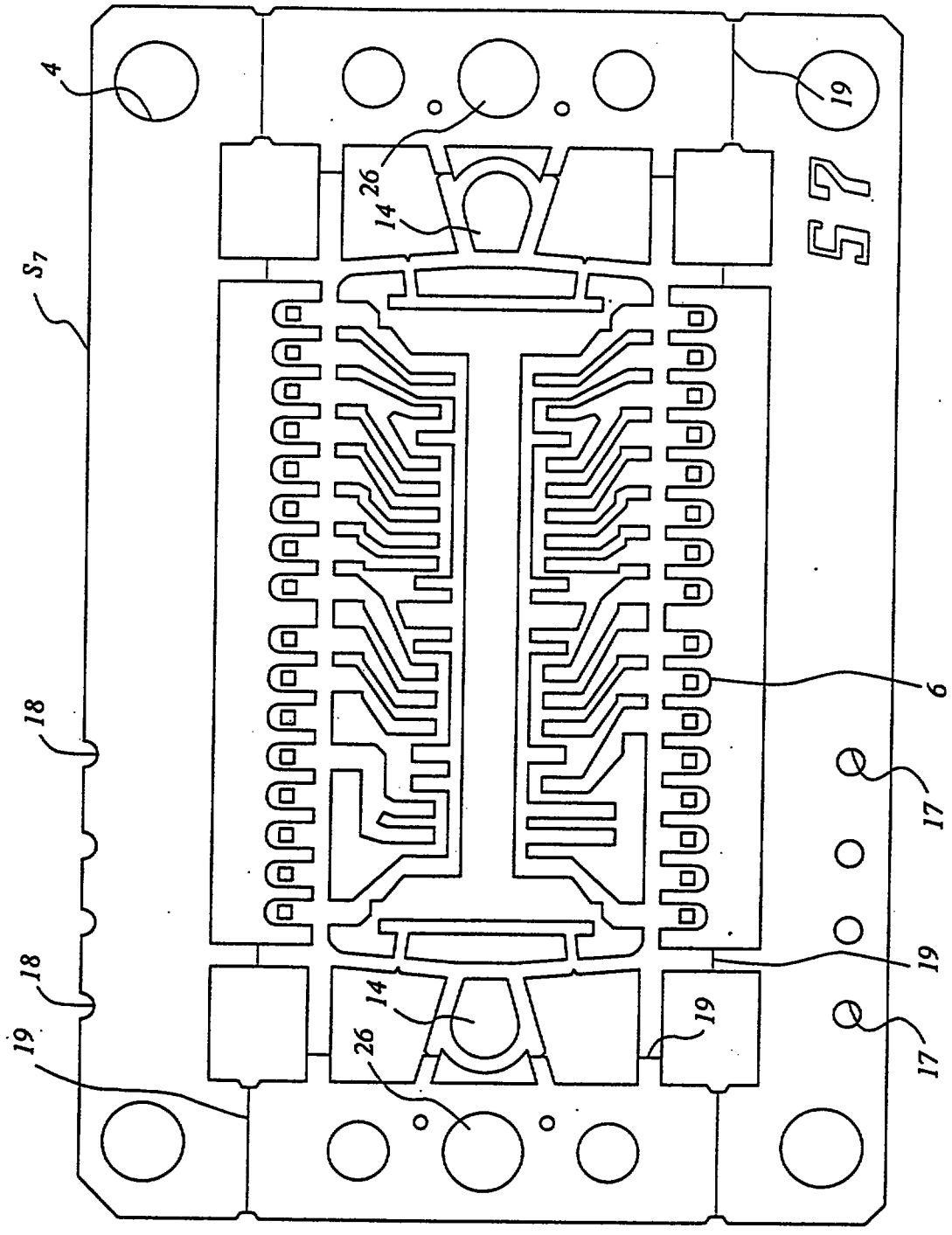
第 28 図 Fig.28



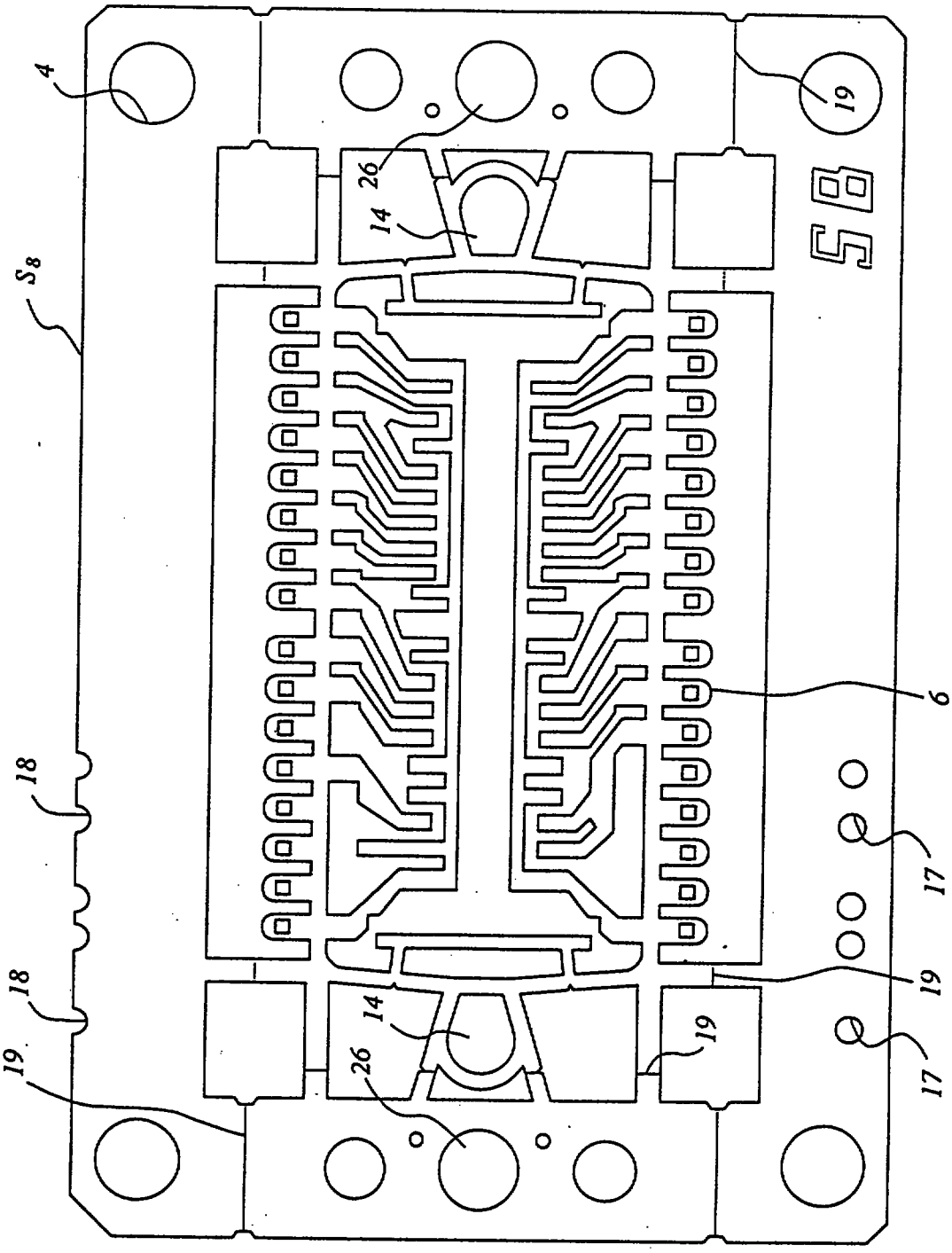
第 29 図 Fig.29



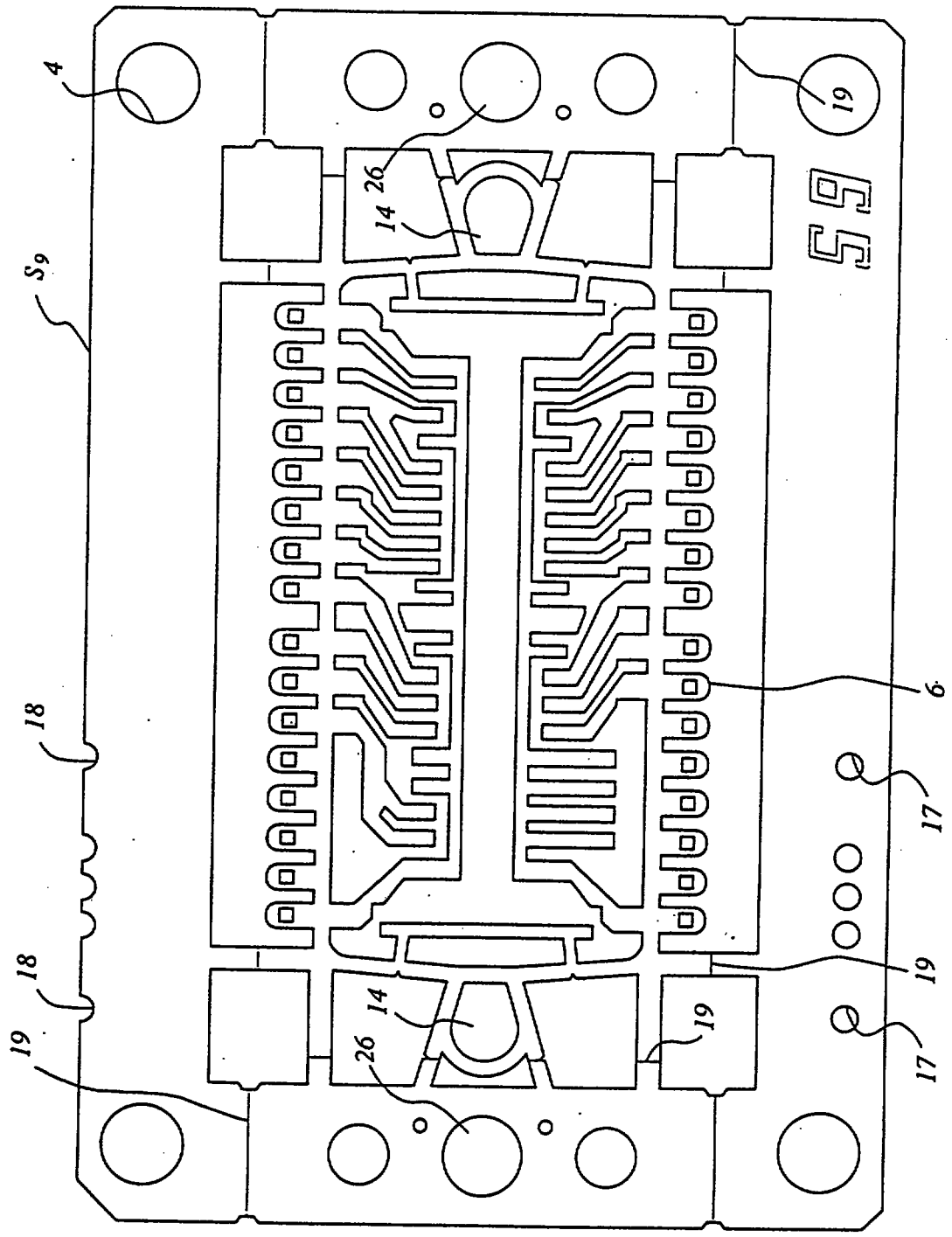
第 30 図 Fig.30



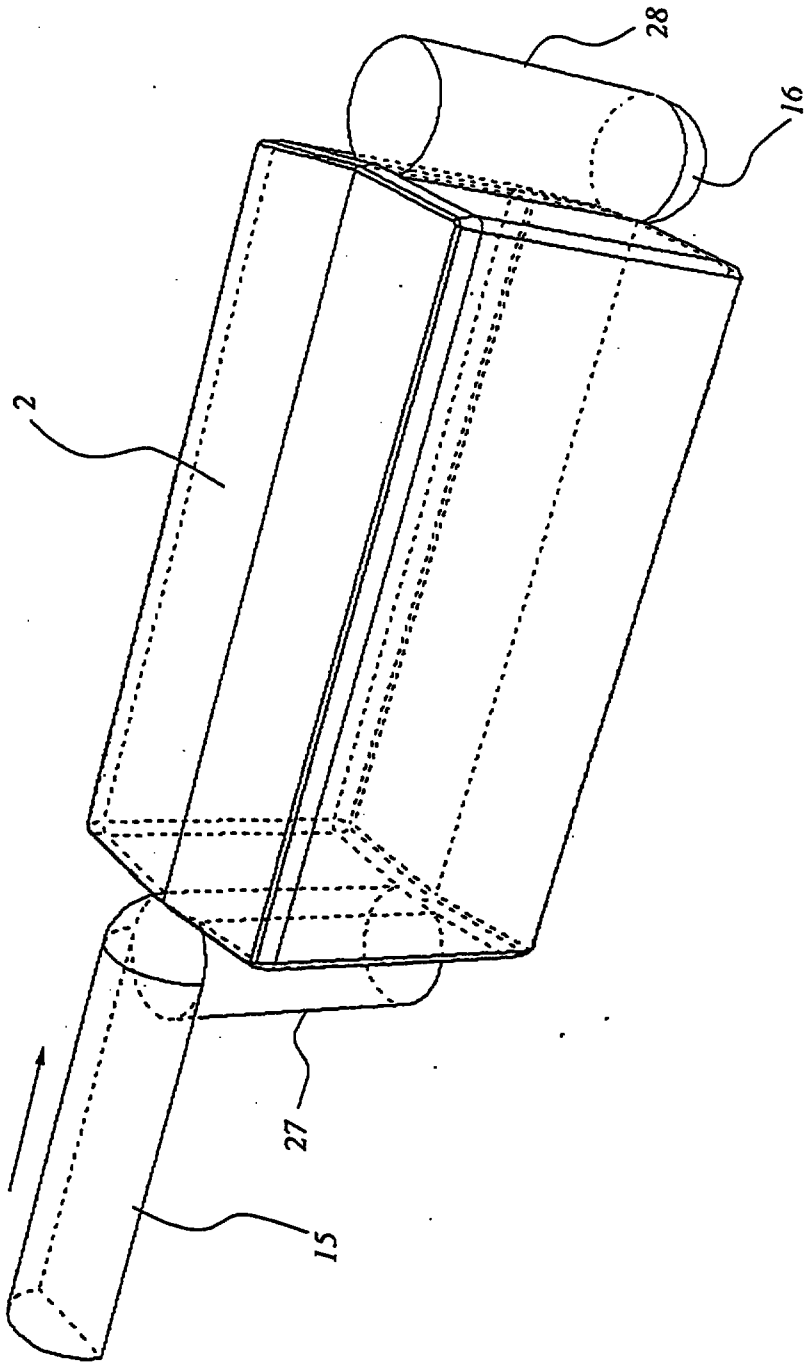
第 31 図 Fig.31



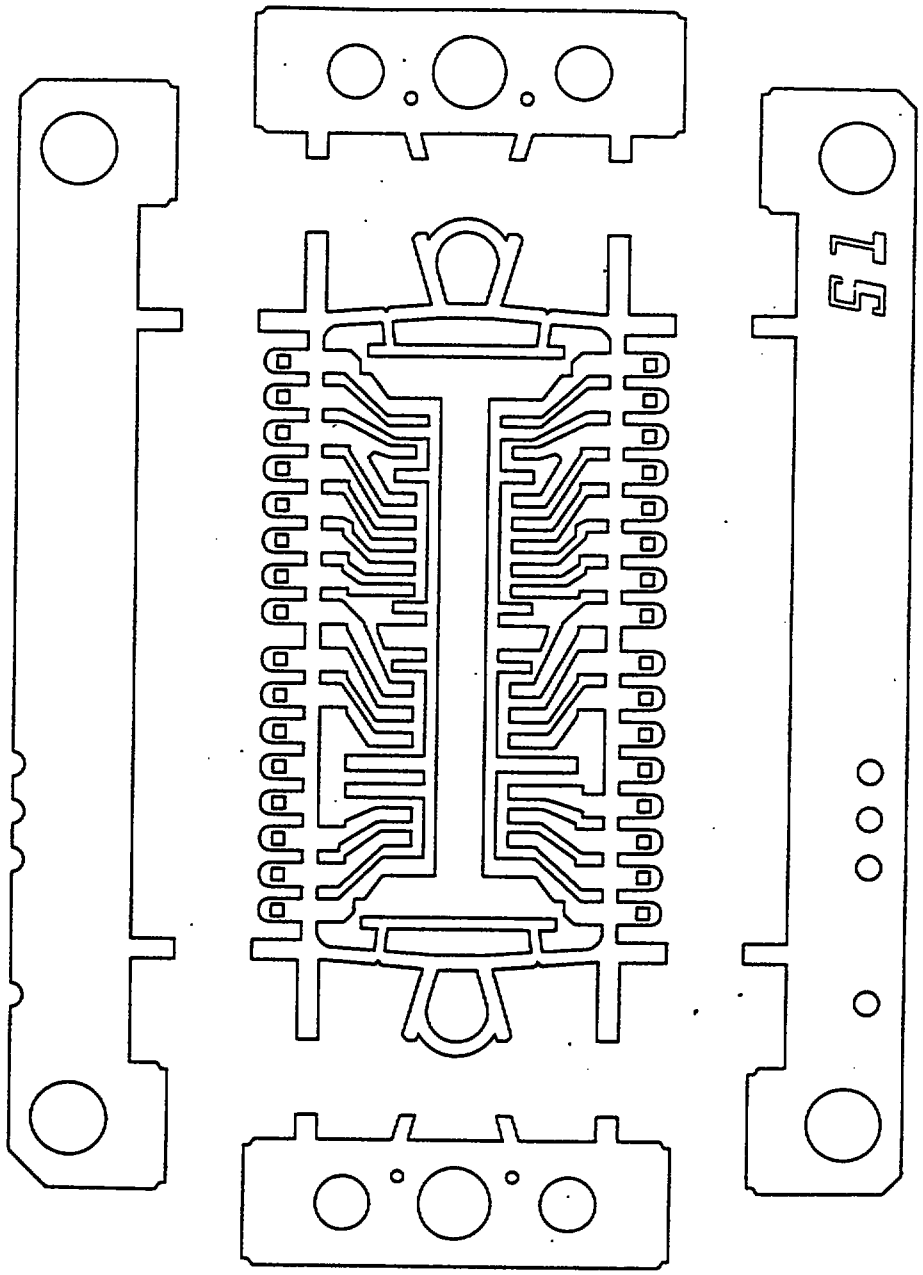
第 32 図 Fig.32



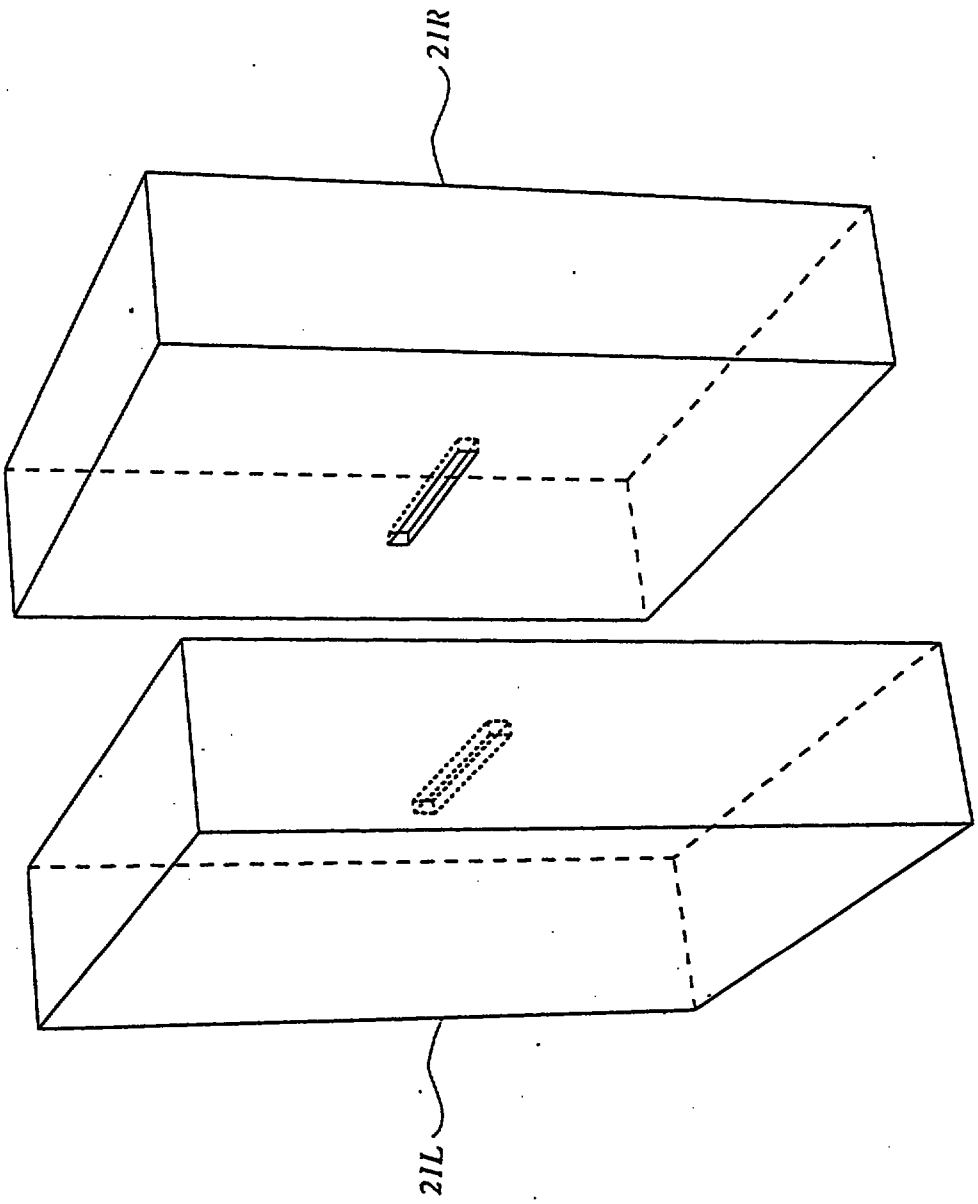
第 33 図 Fig.33



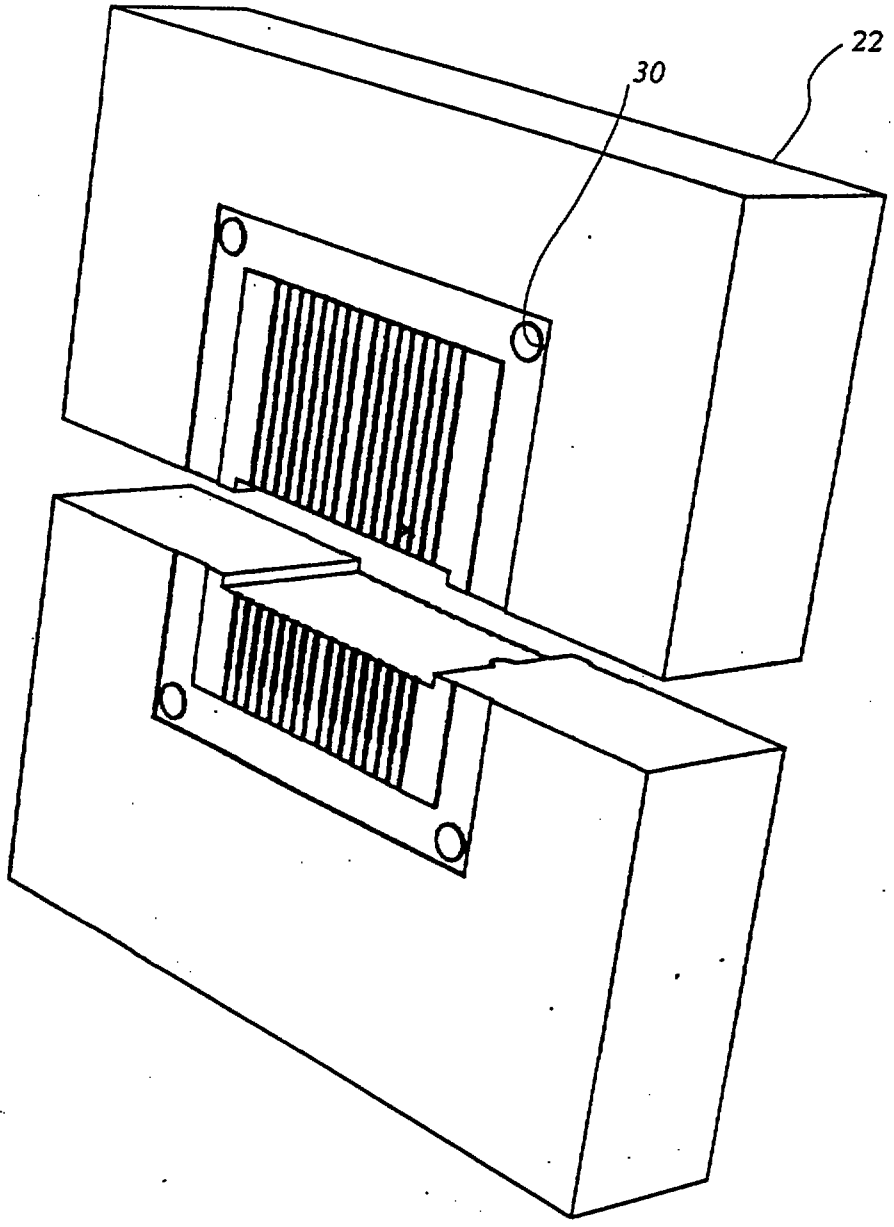
第 34 図　Fig.34



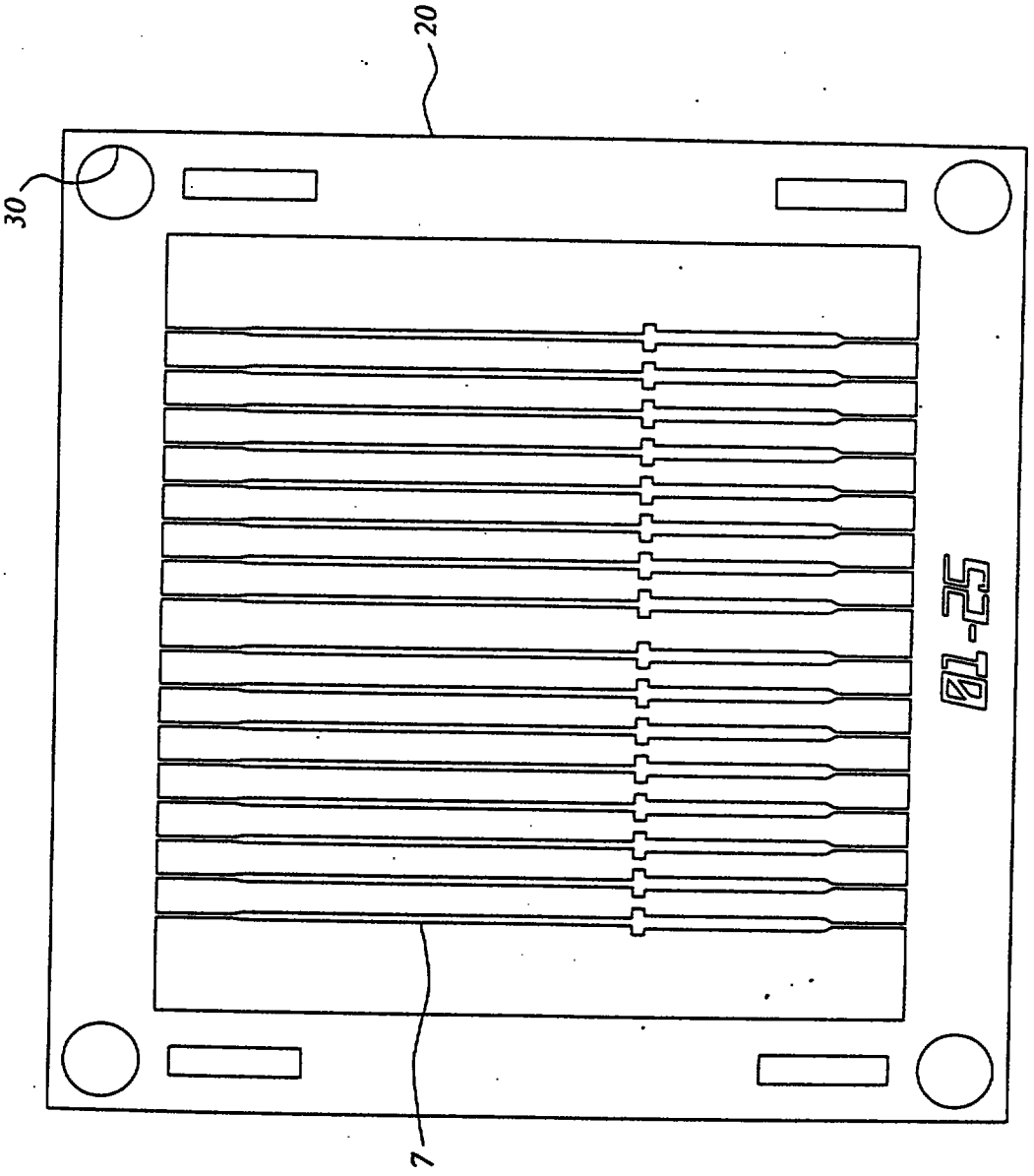
第 35 図 Fig.35



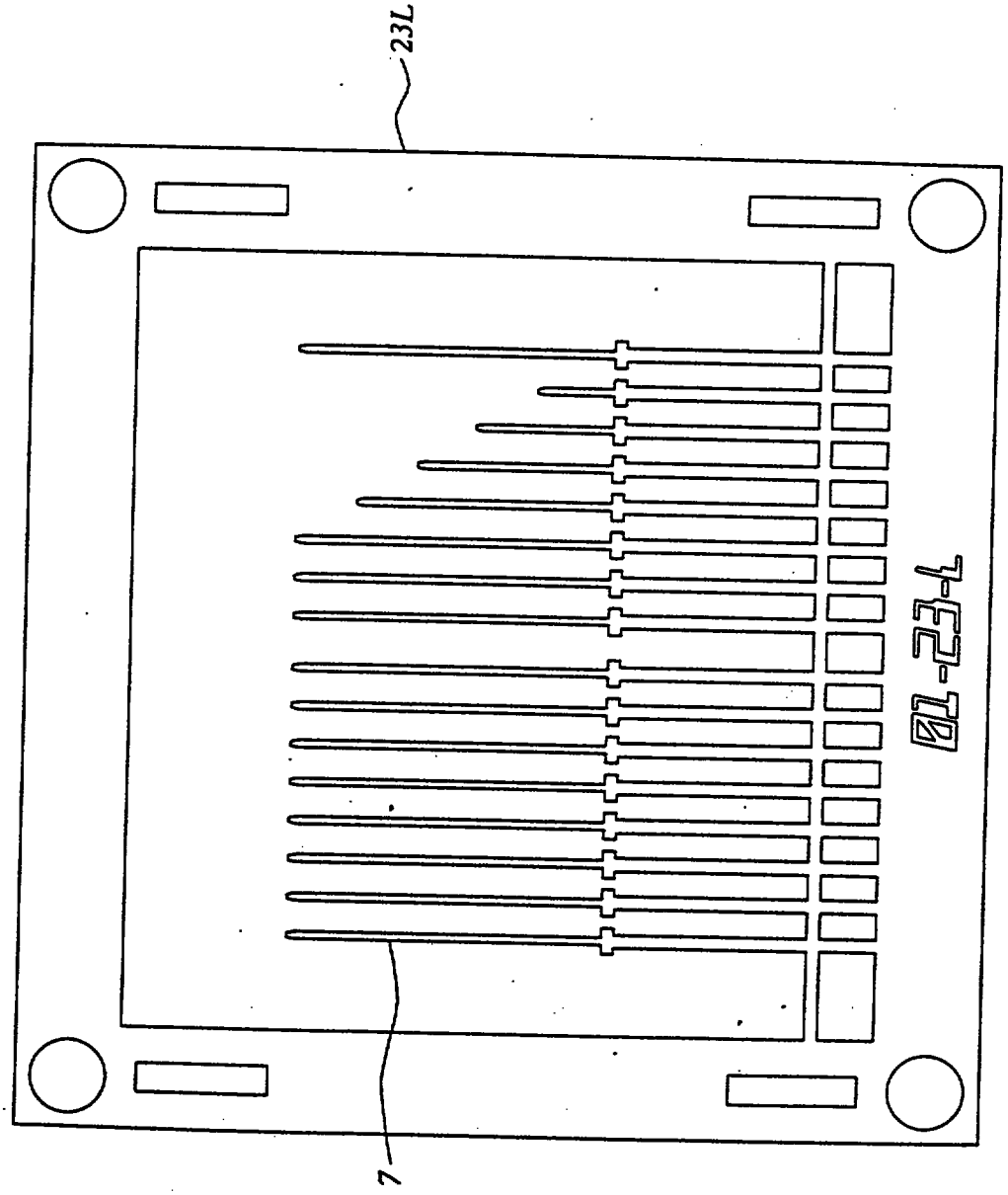
第 36 図 Fig.36



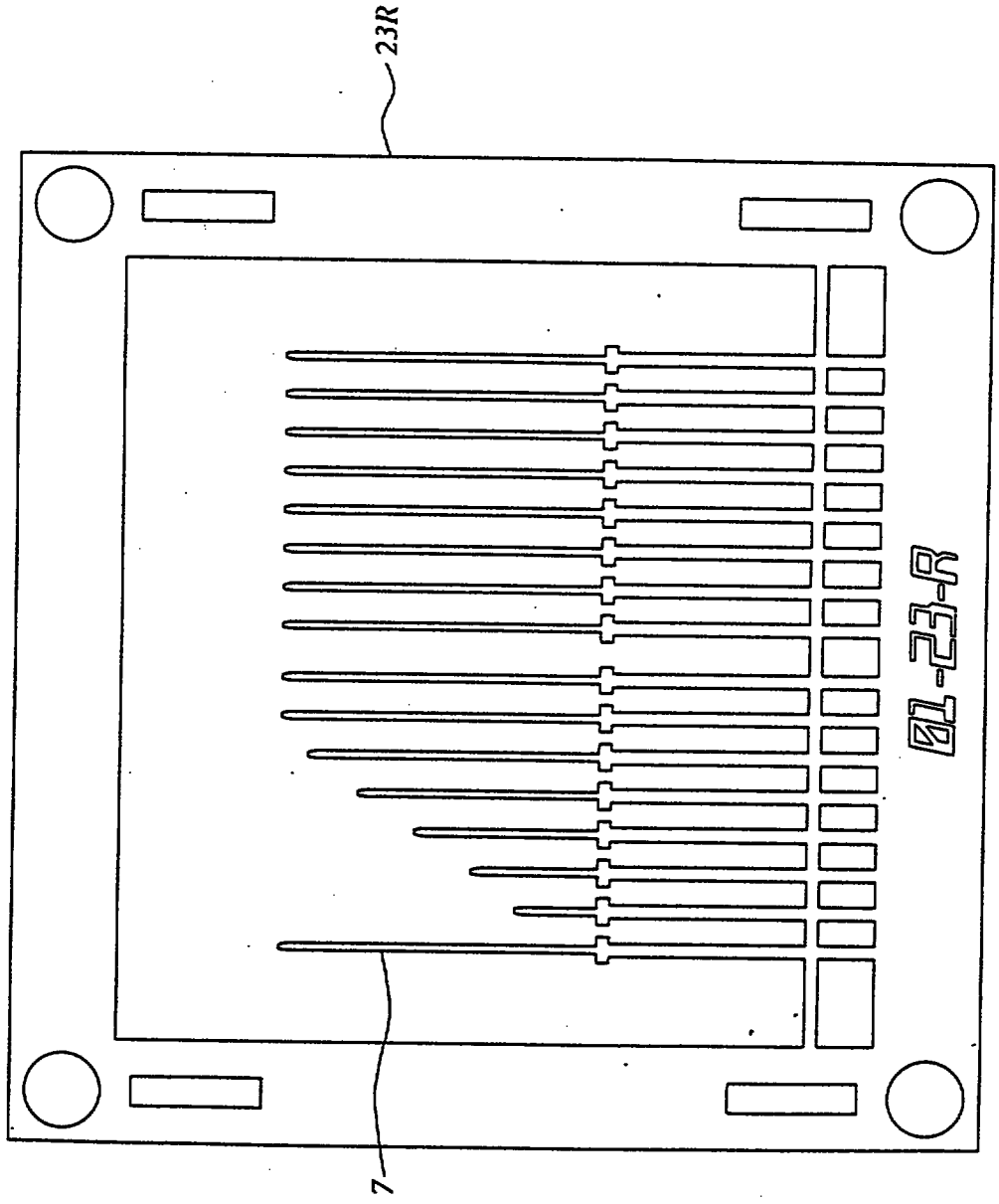
第 37 図 Fig.37



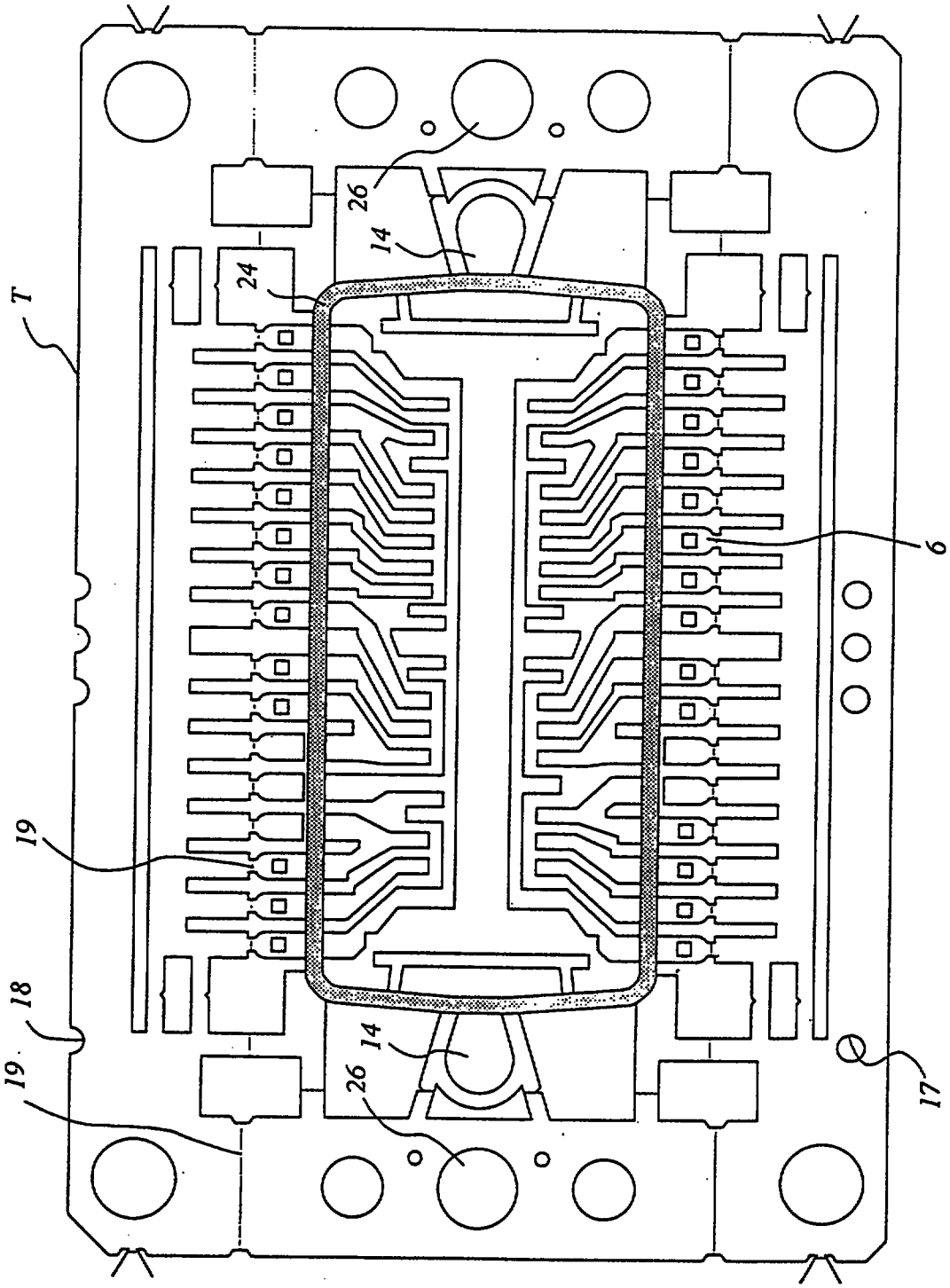
第 38 図 Fig.38



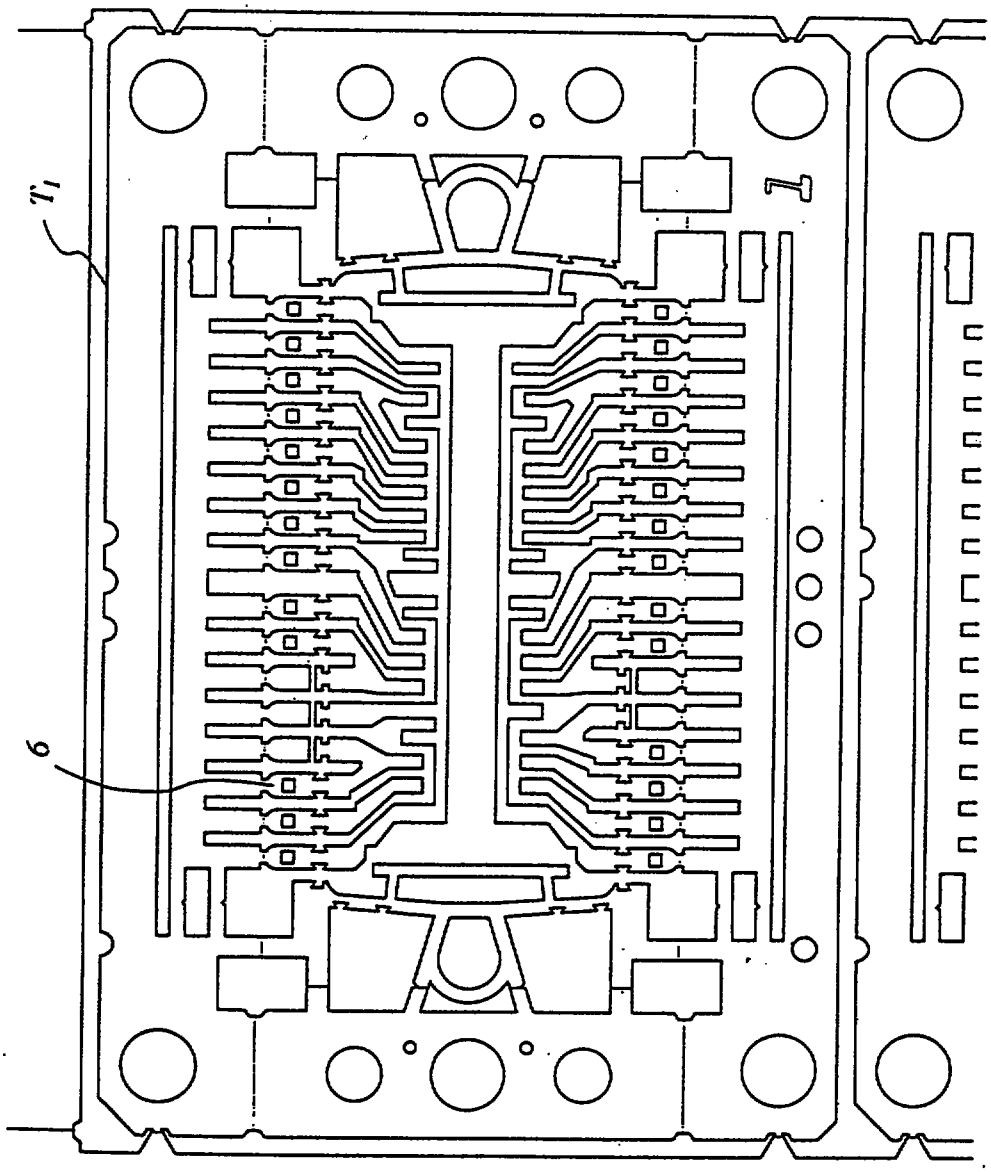
第 39 図 Fig.39



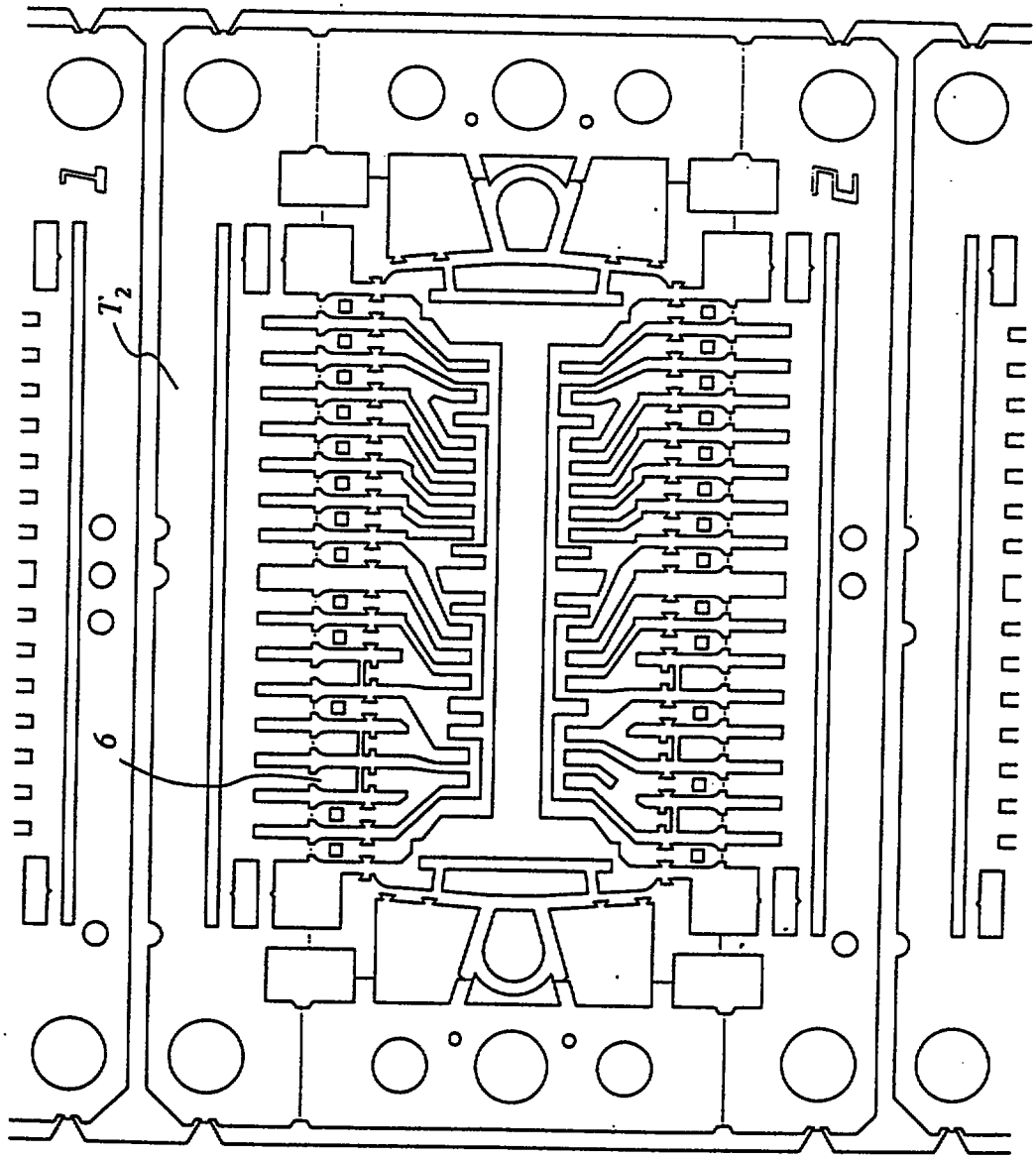
第 40 図 Fig.40



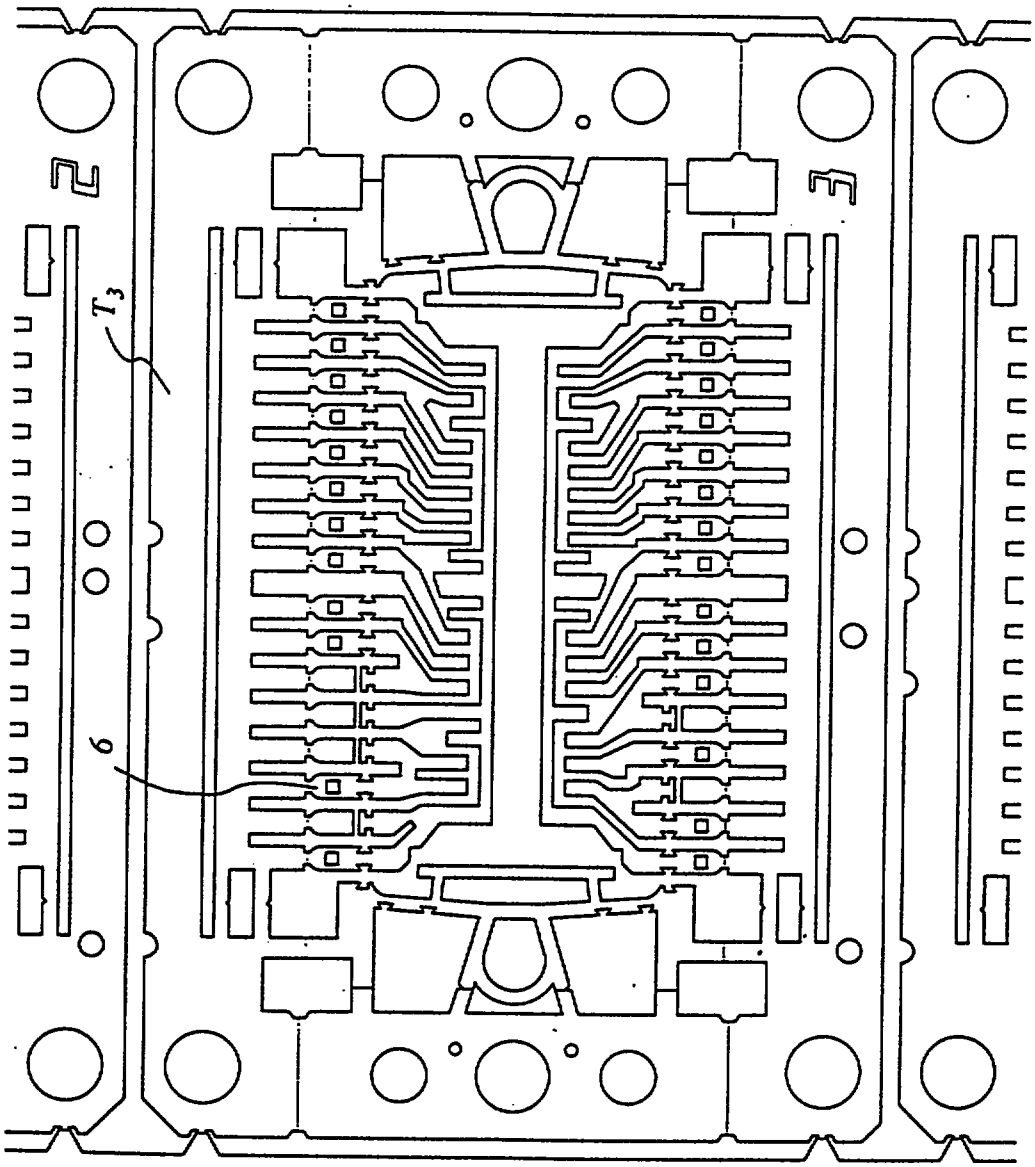
第 41 図 Fig.41



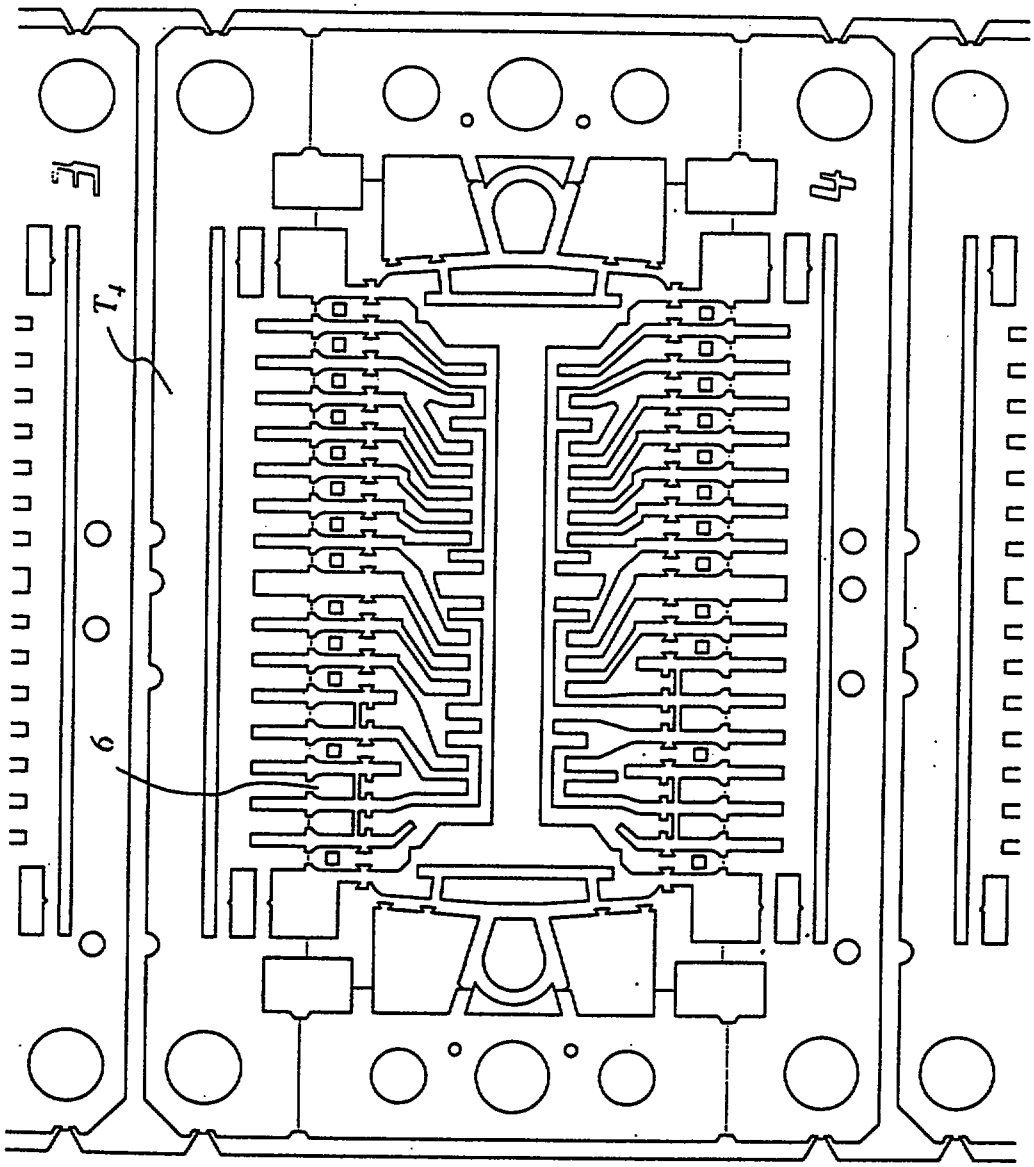
第 42 図 Fig.42



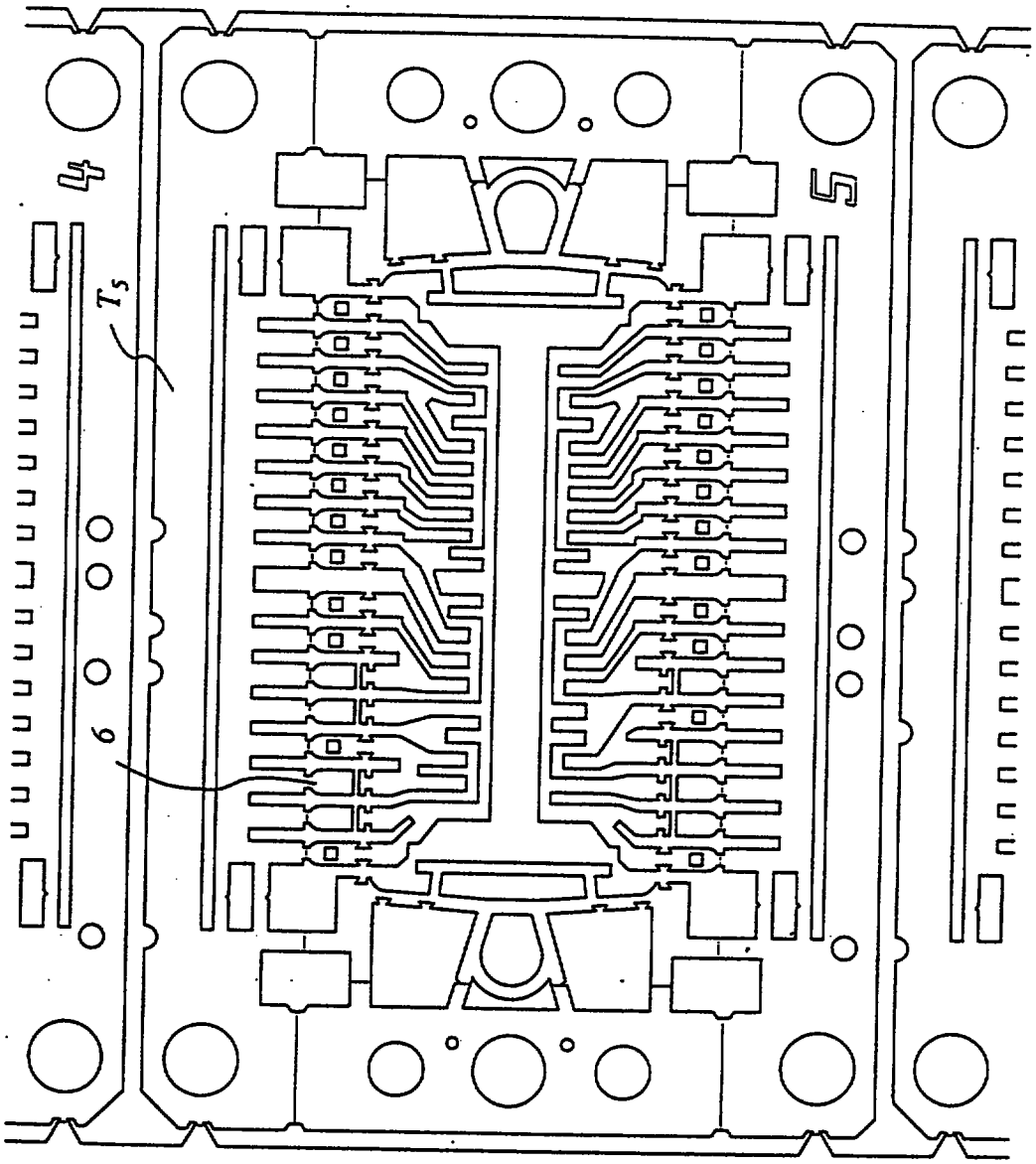
第 43 図 Fig.43



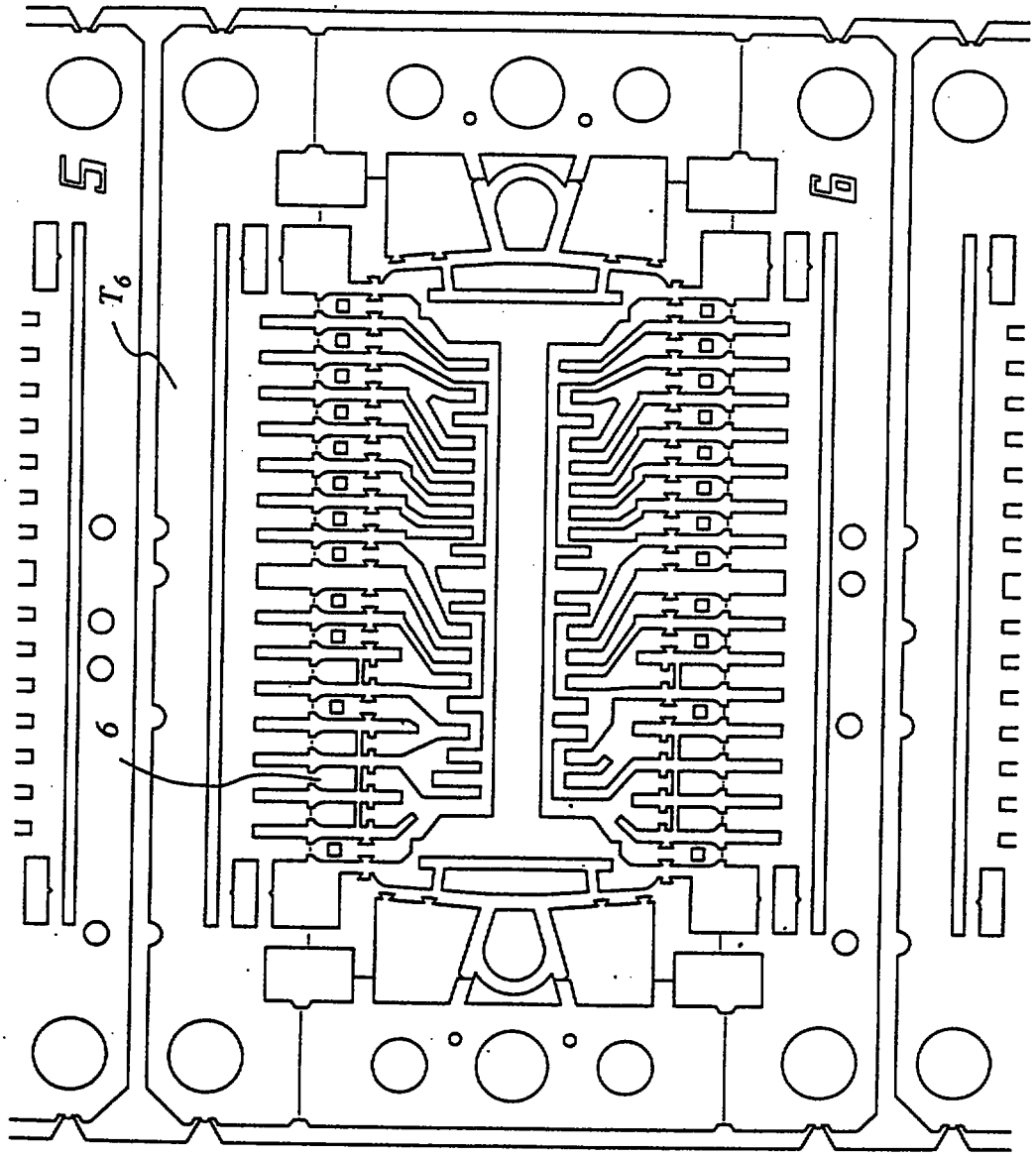
第 44 図 Fig.44



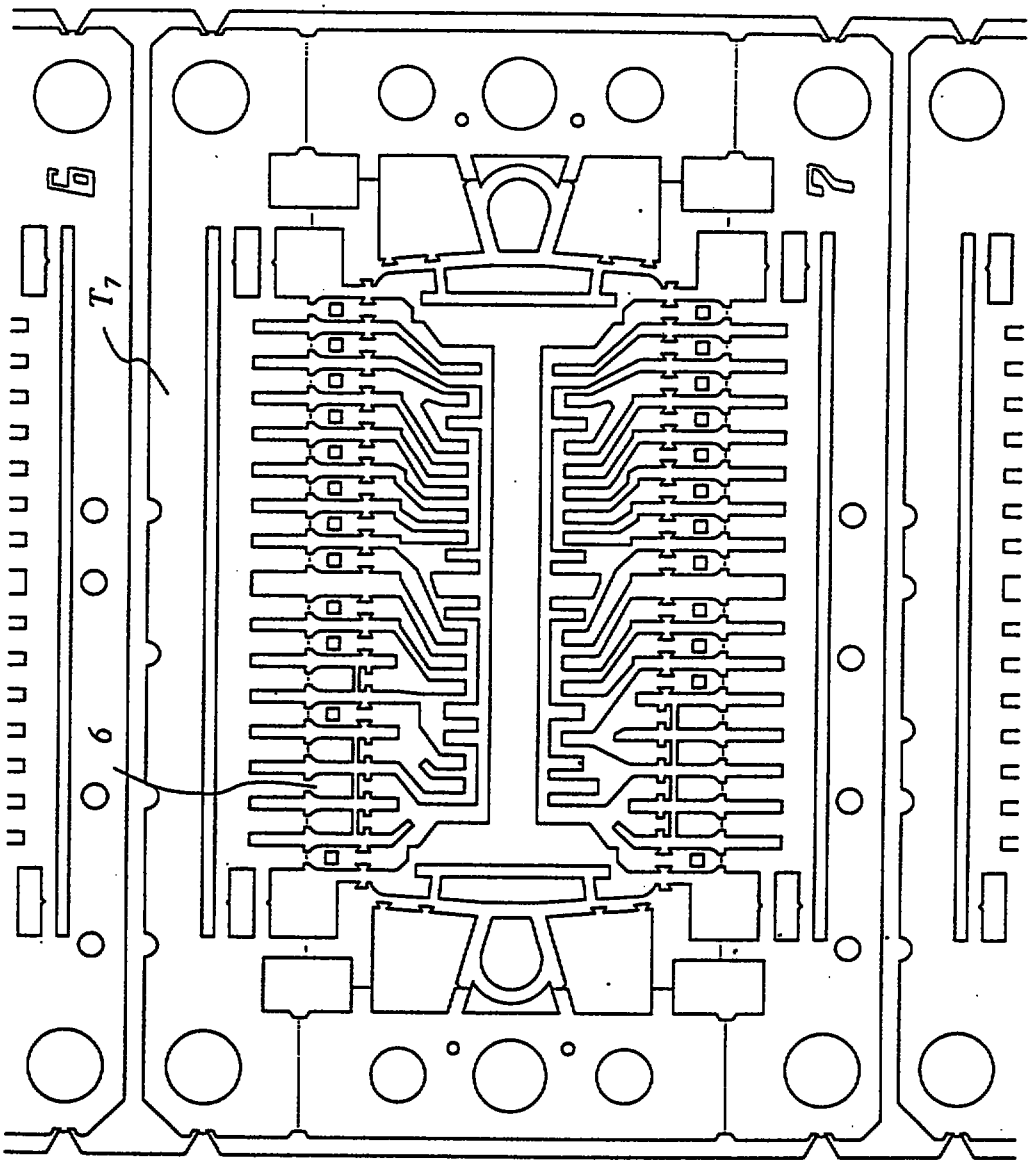
第 45 図 Fig.45



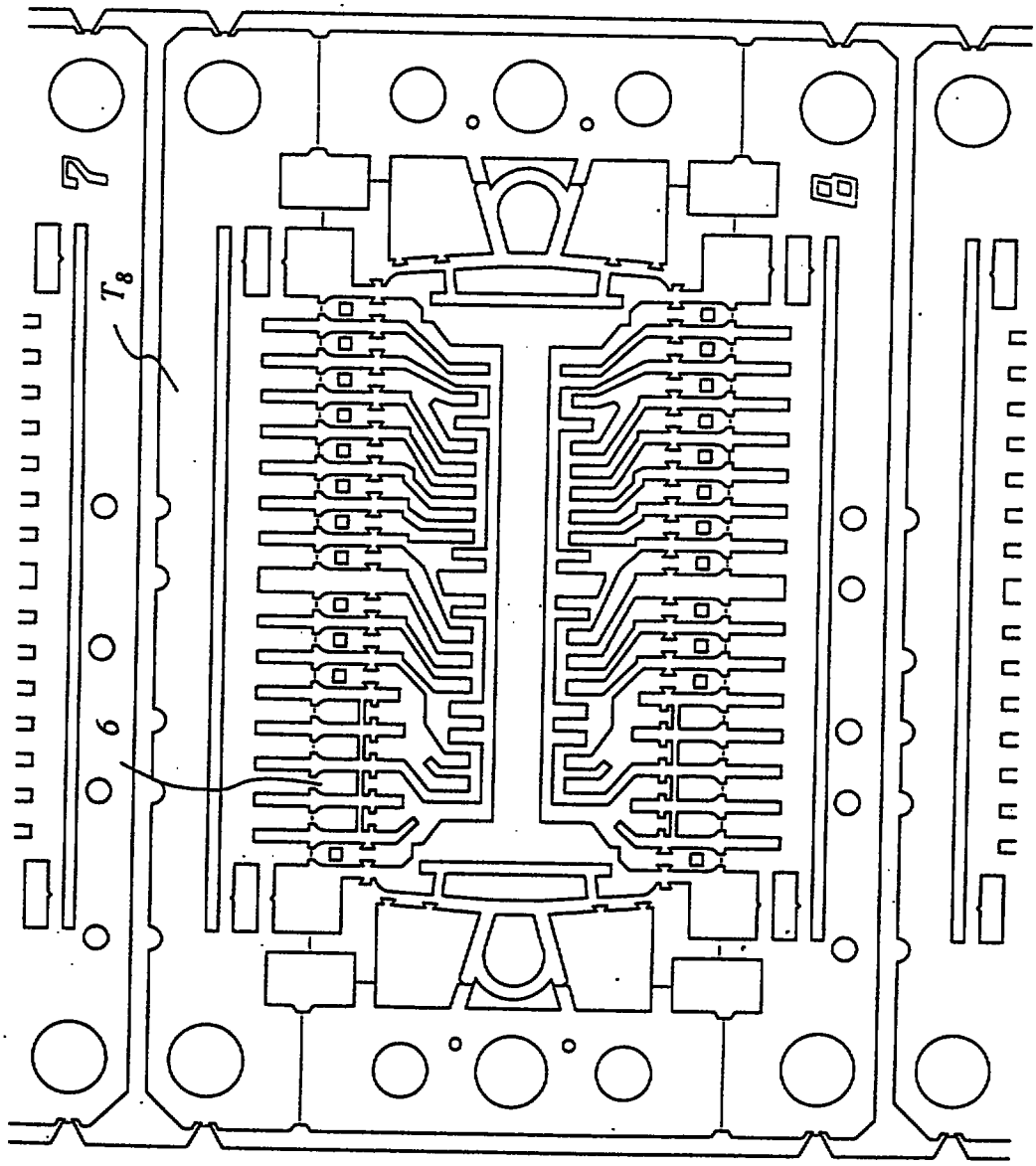
第 46 図 Fig.46



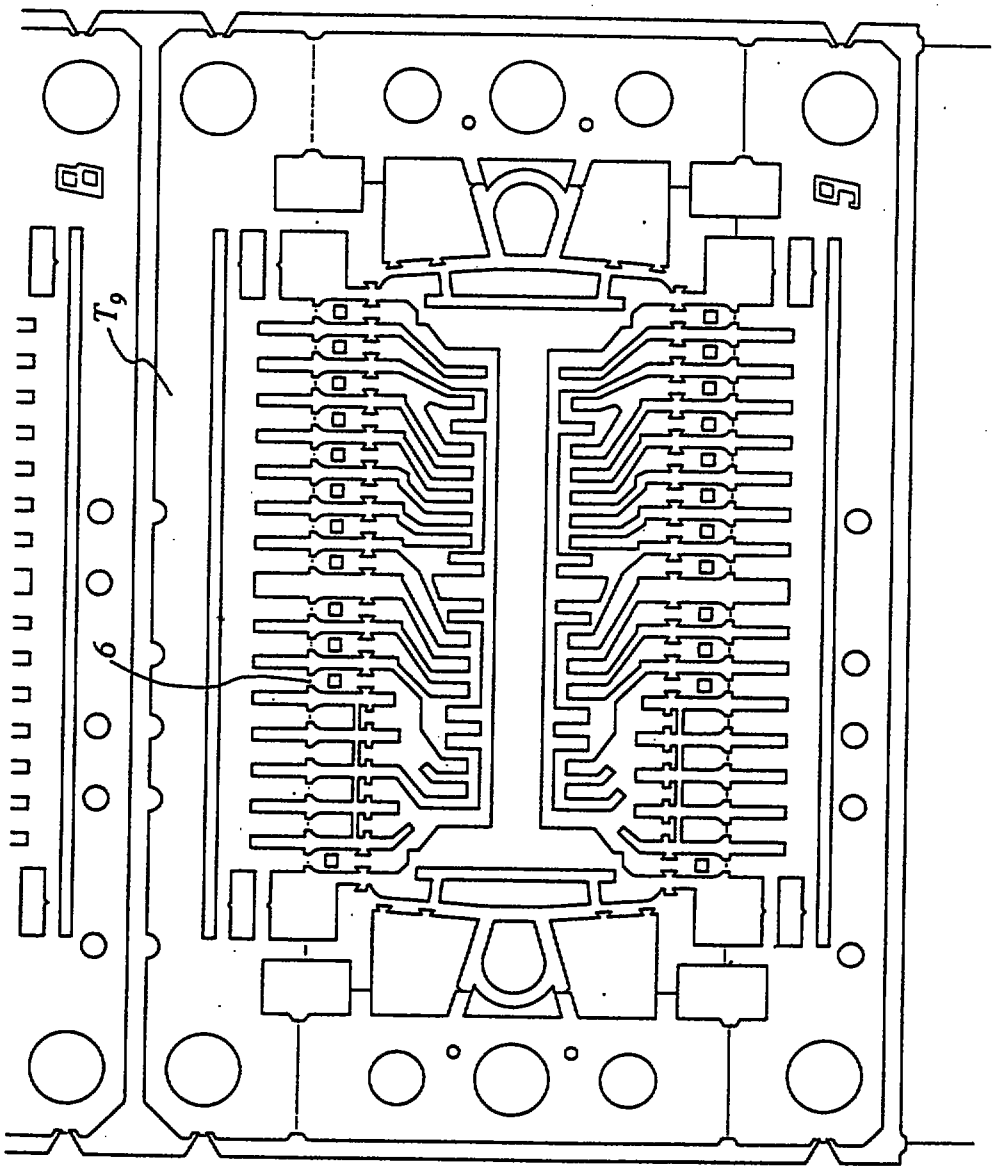
第 47 図 Fig.47



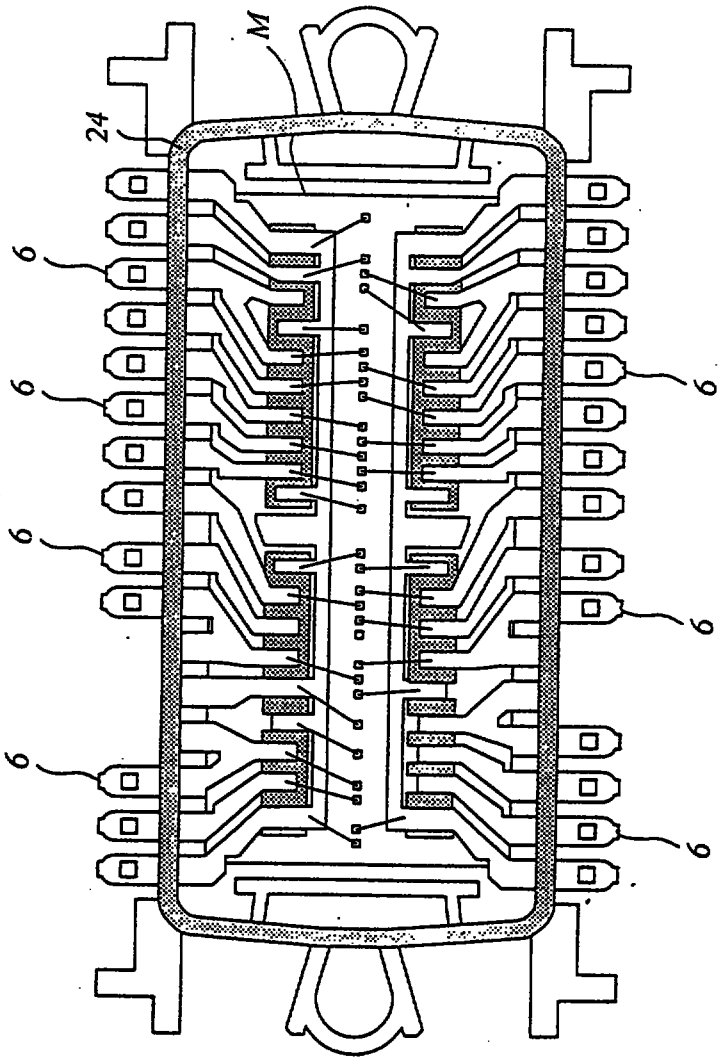
第 48 図 Fig.48



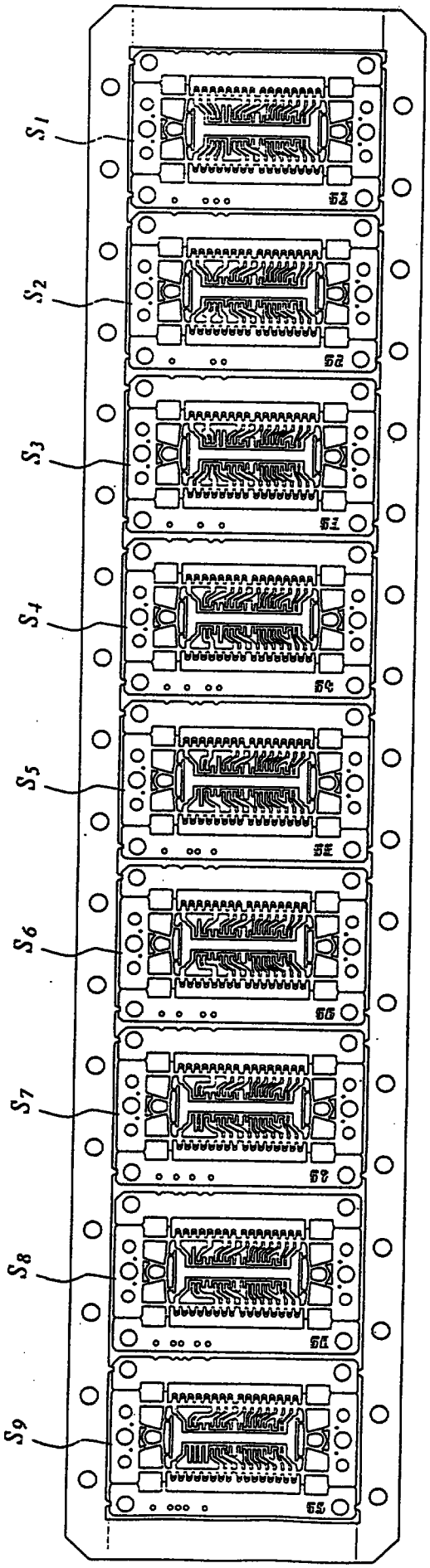
第 49 図 Fig.49



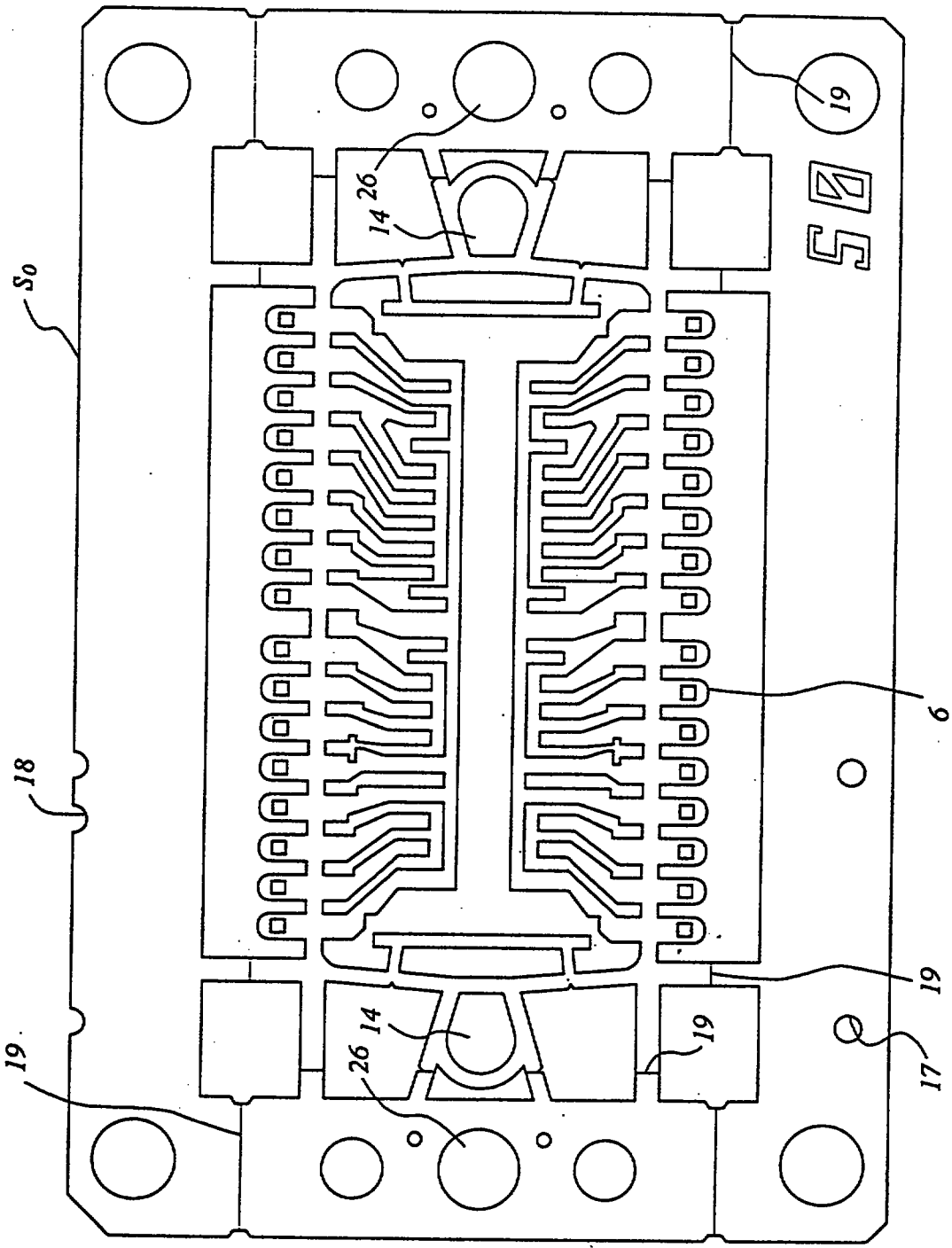
第 50 図 Fig.50



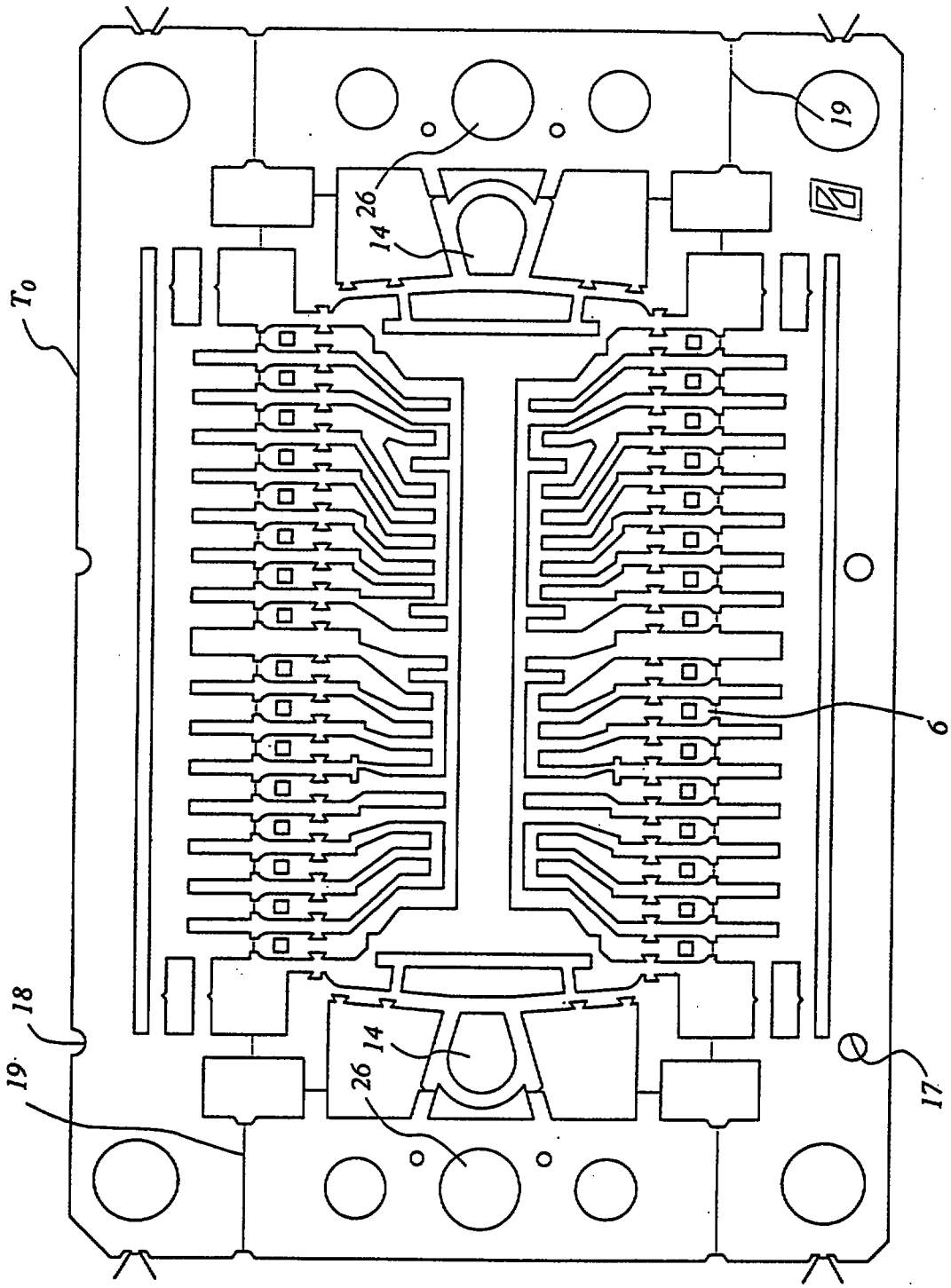
第 51 図 Fig.51



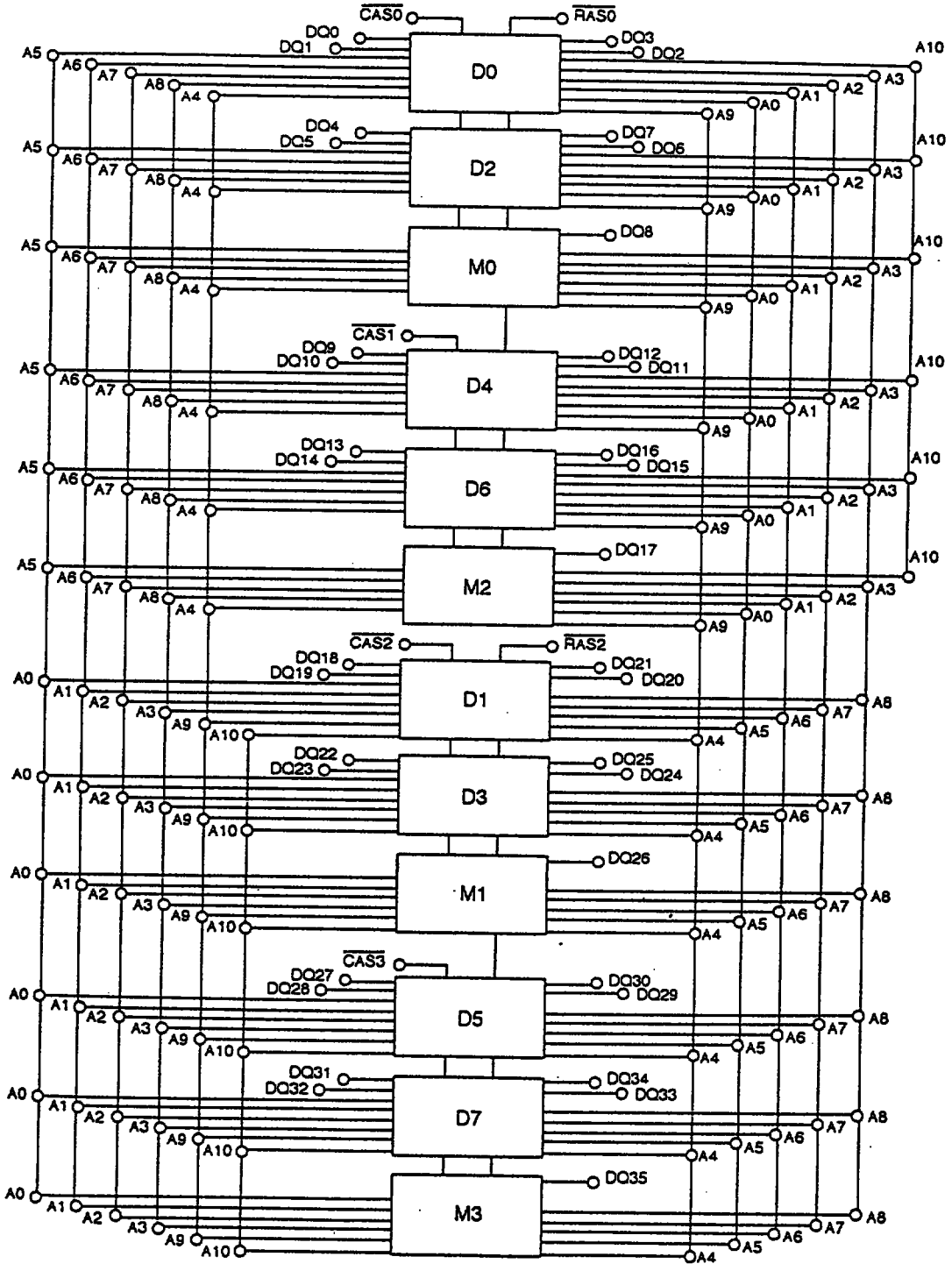
第 52 図 Fig.52



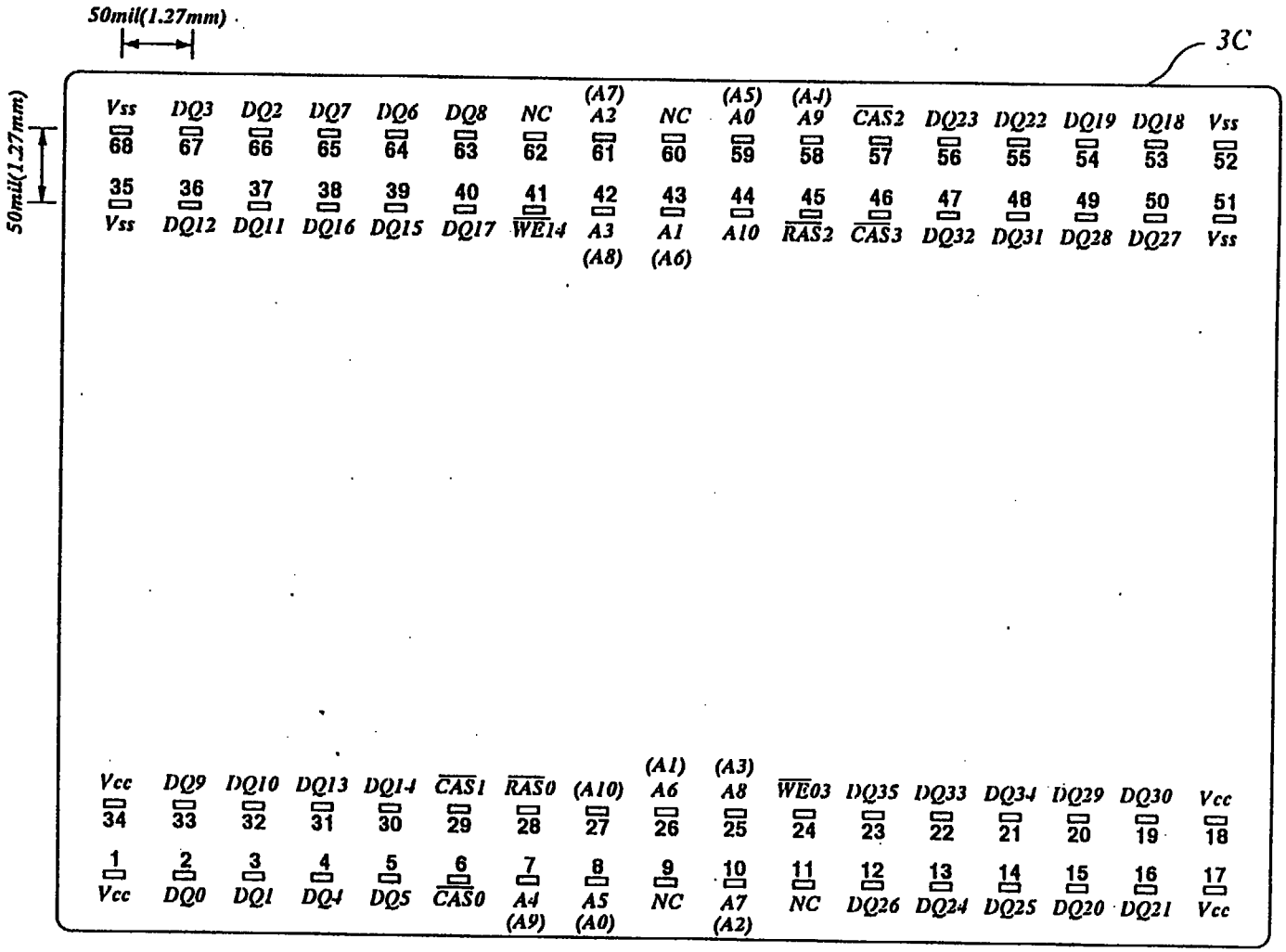
第 53 図 Fig.53



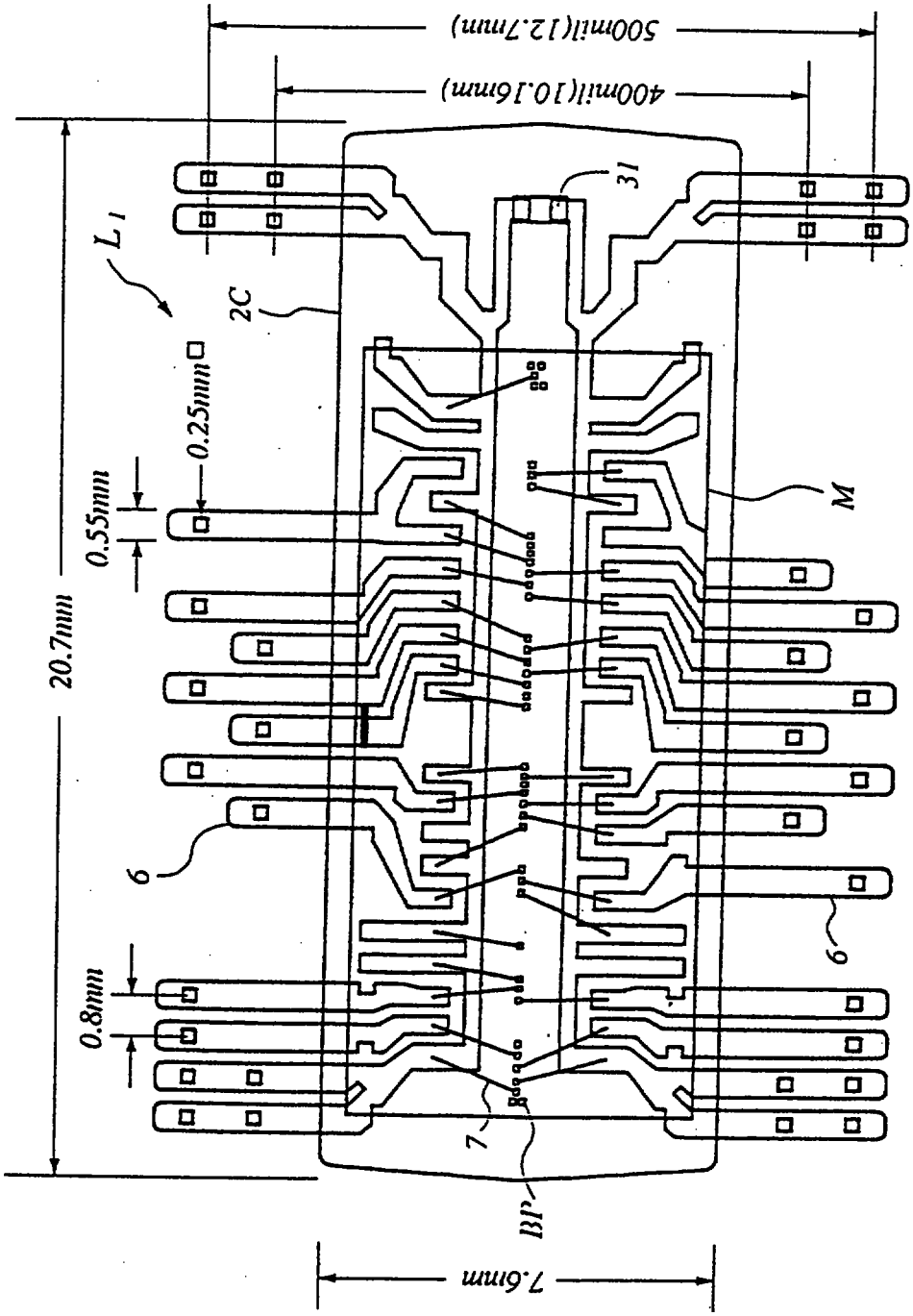
第 54 図 Fig.54



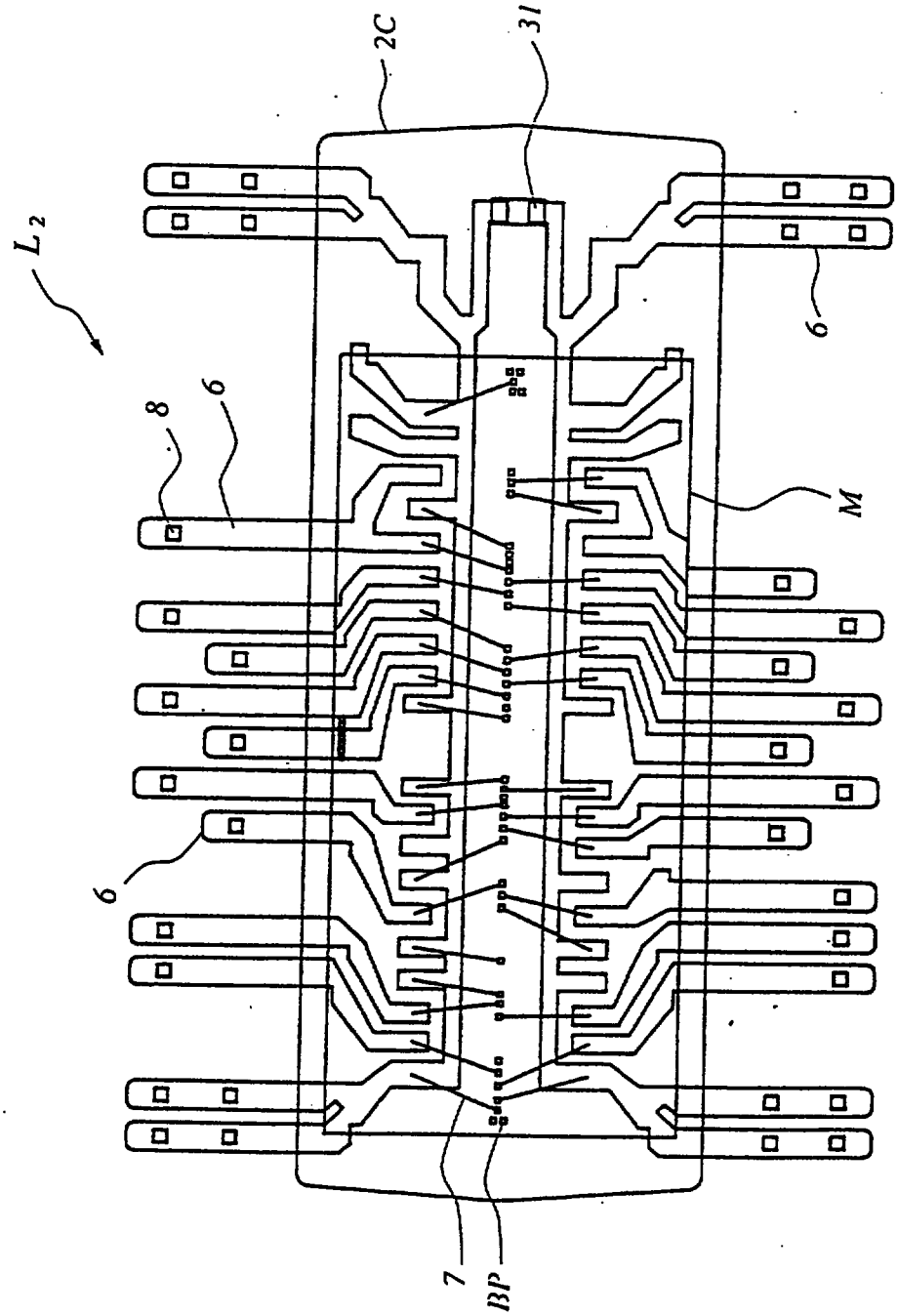
第 55 図 Fig.55


50mil(1.27mm)
50mil(1.27mm)
3C
Vss 68
DQ3 67
DQ2 66
DQ7 65
DQ6 64
DQ8 63
NC 62
(A7) A2 61
NC 60
(A5) A0 59
(A4) A9 58
CAS2 57
DQ23 56
DQ22 55
DQ19 54
DQ18 53
Vss 52
35 Vss
36 DQ12
37 DQ11
38 DQ16
39 DQ15
40 DQ17
41 WE14
42 A3 (A8)
43 A1 (A6)
44 A10
45 RAS2
46 CAS3
47 DQ32
48 DQ31
49 DQ28
50 DQ27
51 Vss
Vcc 34
DQ9 33
DQ10 32
DQ13 31
DQ14 30
CAS1 29
RAS0 28
(A10) 27
(A1) A6 26
(A3) A8 25
WE03 24
DQ35 23
DQ33 22
DQ34 21
DQ29 20
DQ30 19
Vcc 18
1 Vcc
2 DQ0
3 DQ1
4 DQ4
5 DQ5
6 CAS0
7 A4 (A9)
8 A5 (A0)
9 NC
10 A7 (A2)
11 NC
12 DQ26
13 DQ24
14 DQ25
15 DQ20
16 DQ21
17 Vcc

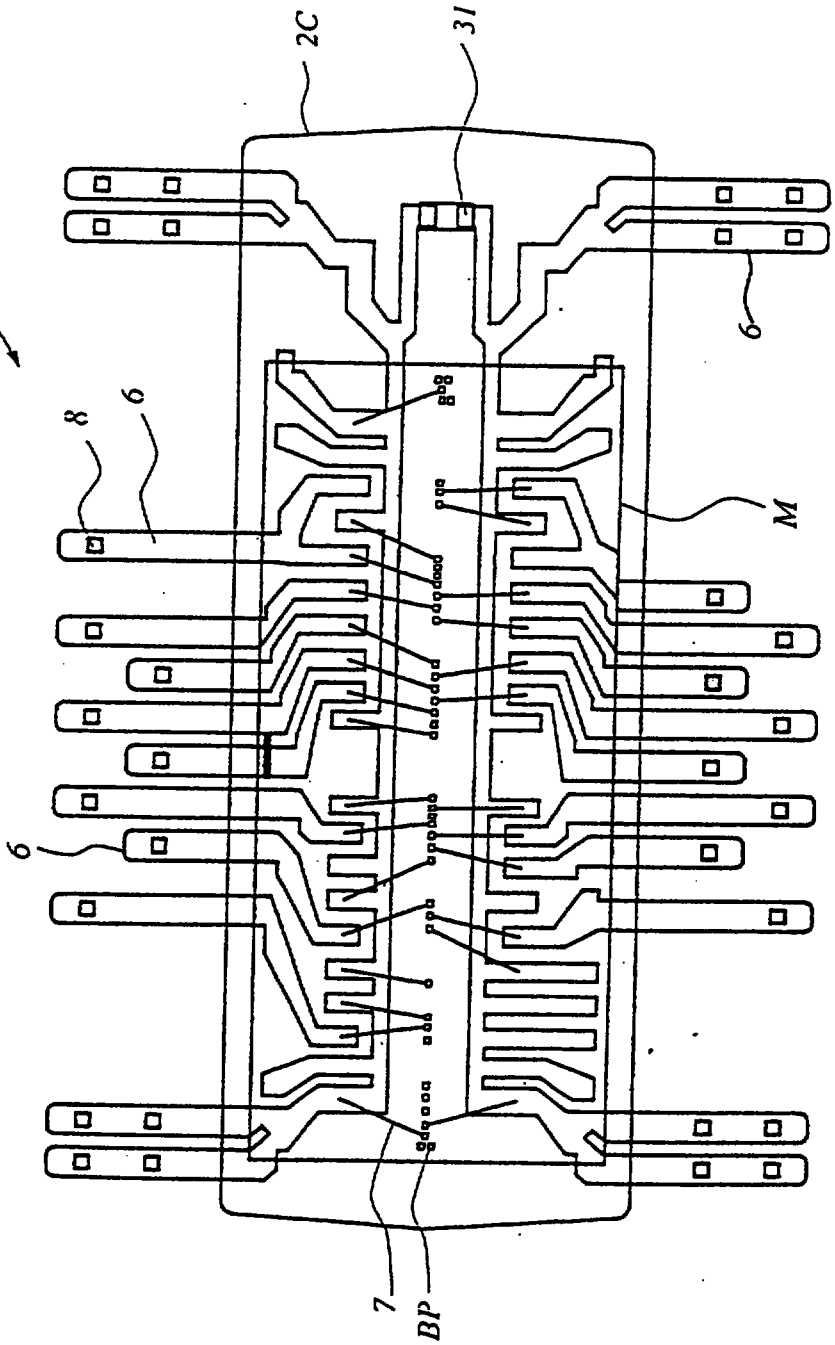
第 56 図 Fig.56


500mil(12.7mm)
400mil(10.16mm)
31
L_1
2C
0.25mm
0.55mm
20.7mm
M
6
6
0.8mm
7
41
7.6mm

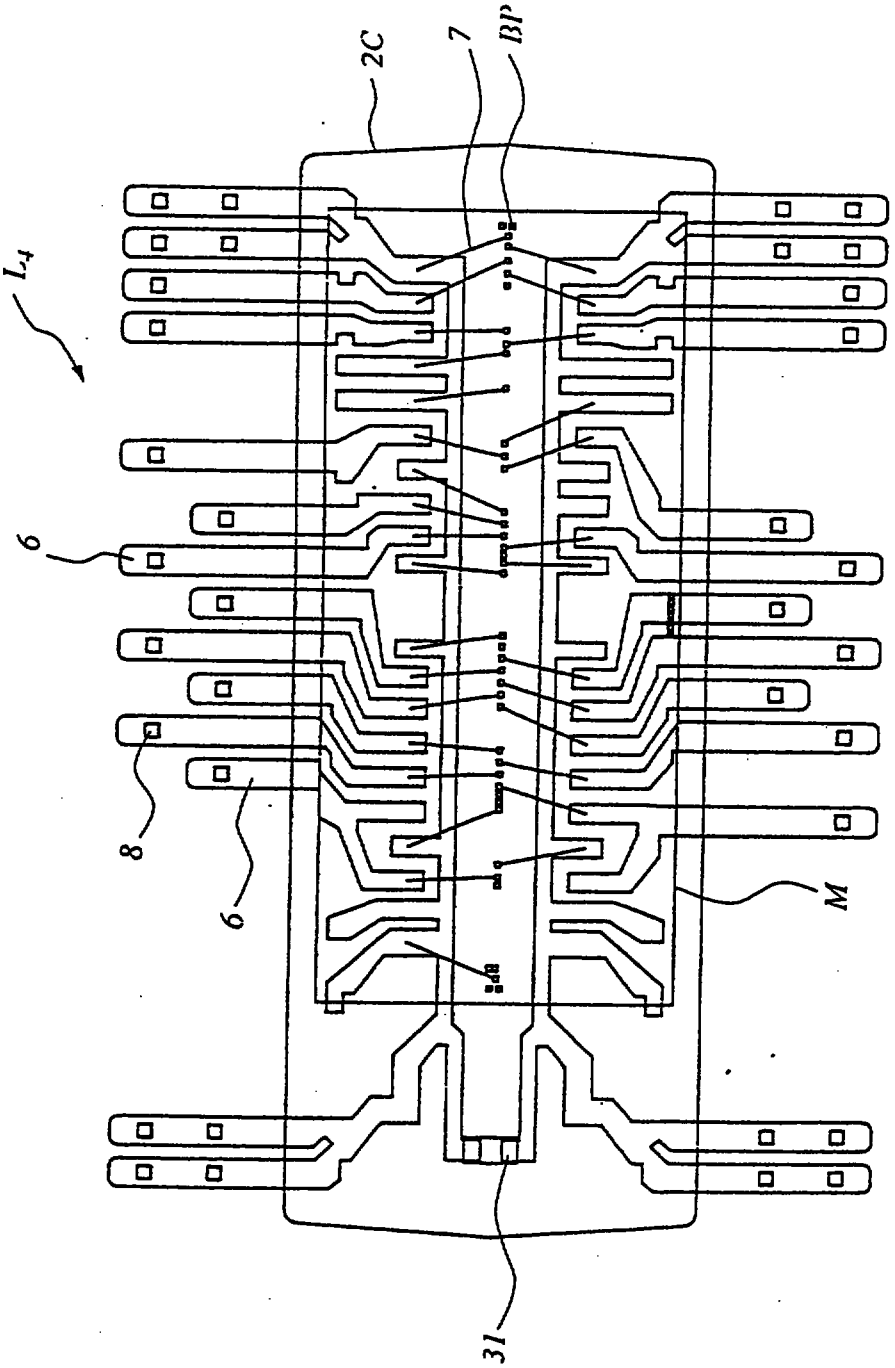
第 57 図 Fig.57



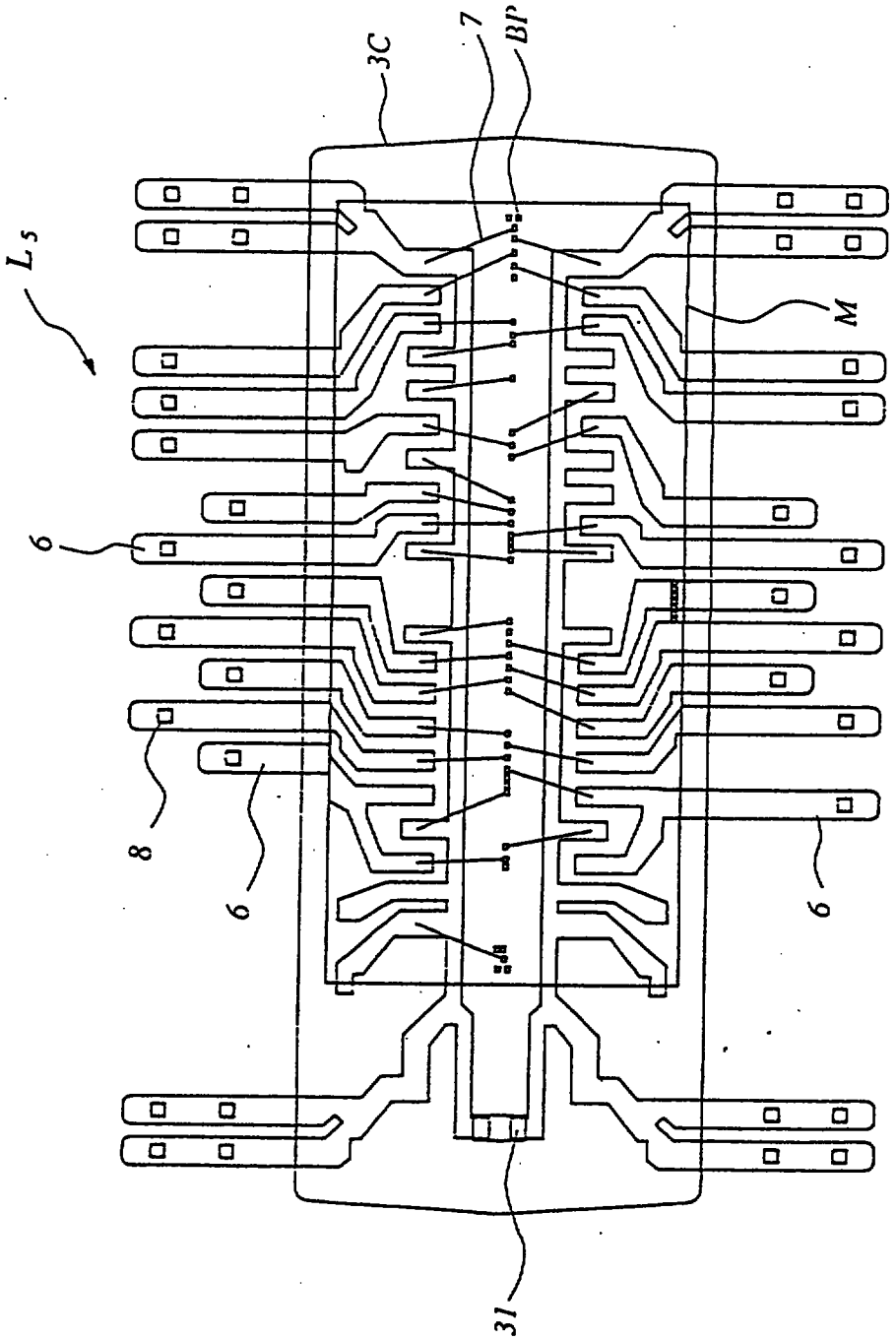
第 58 図 Fig.58



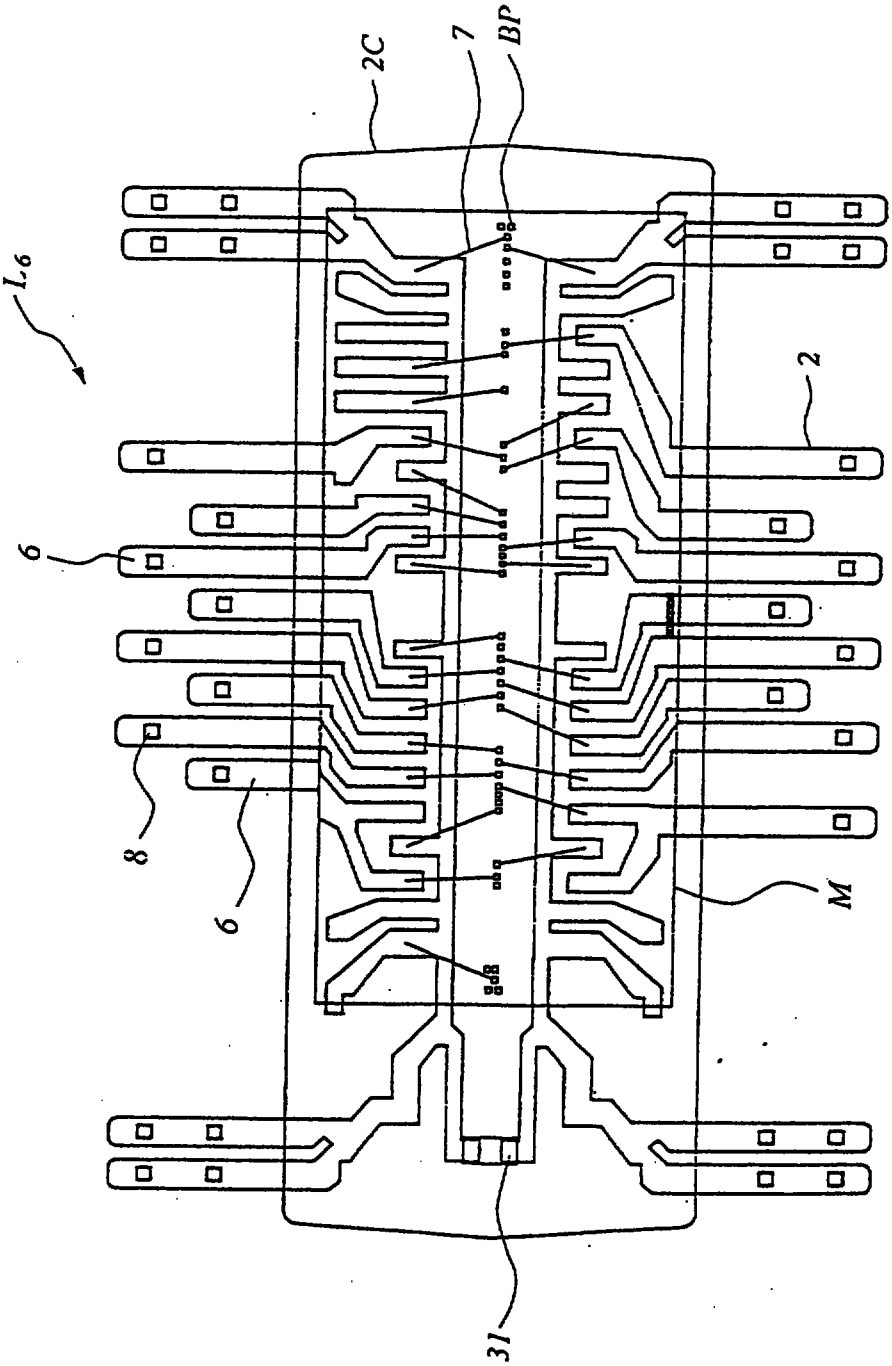
第 59 図 Fig.59



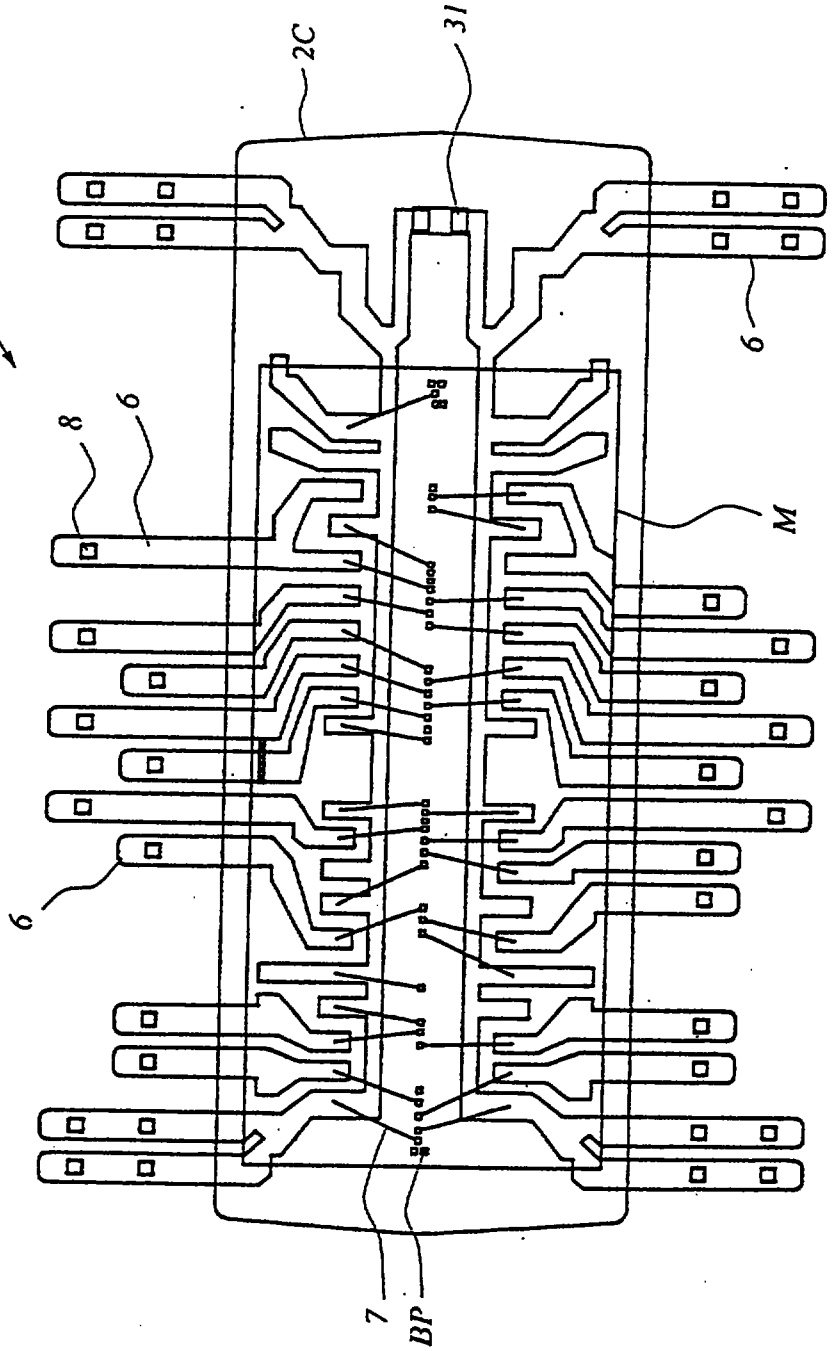
第 60 図　Fig.60



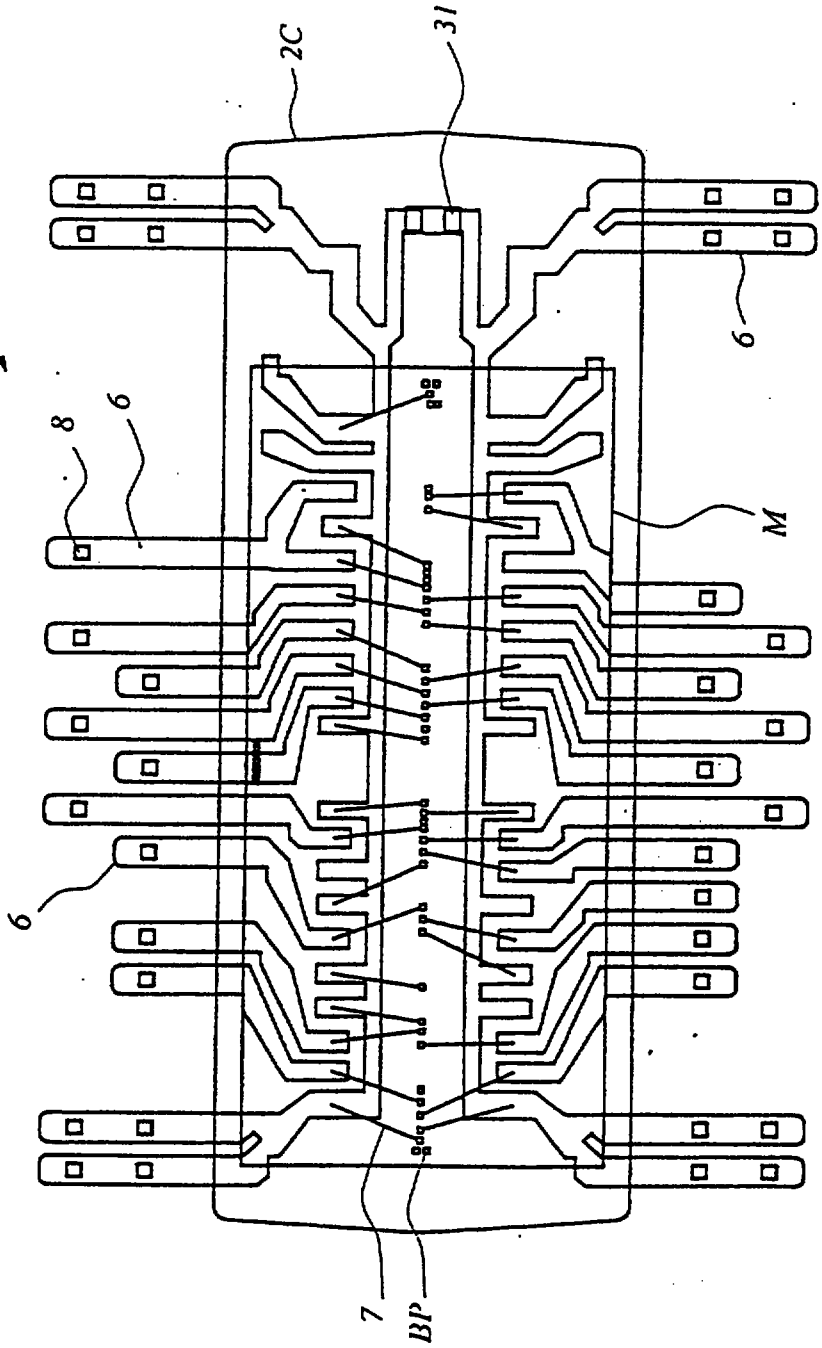
第 61 図 Fig.61



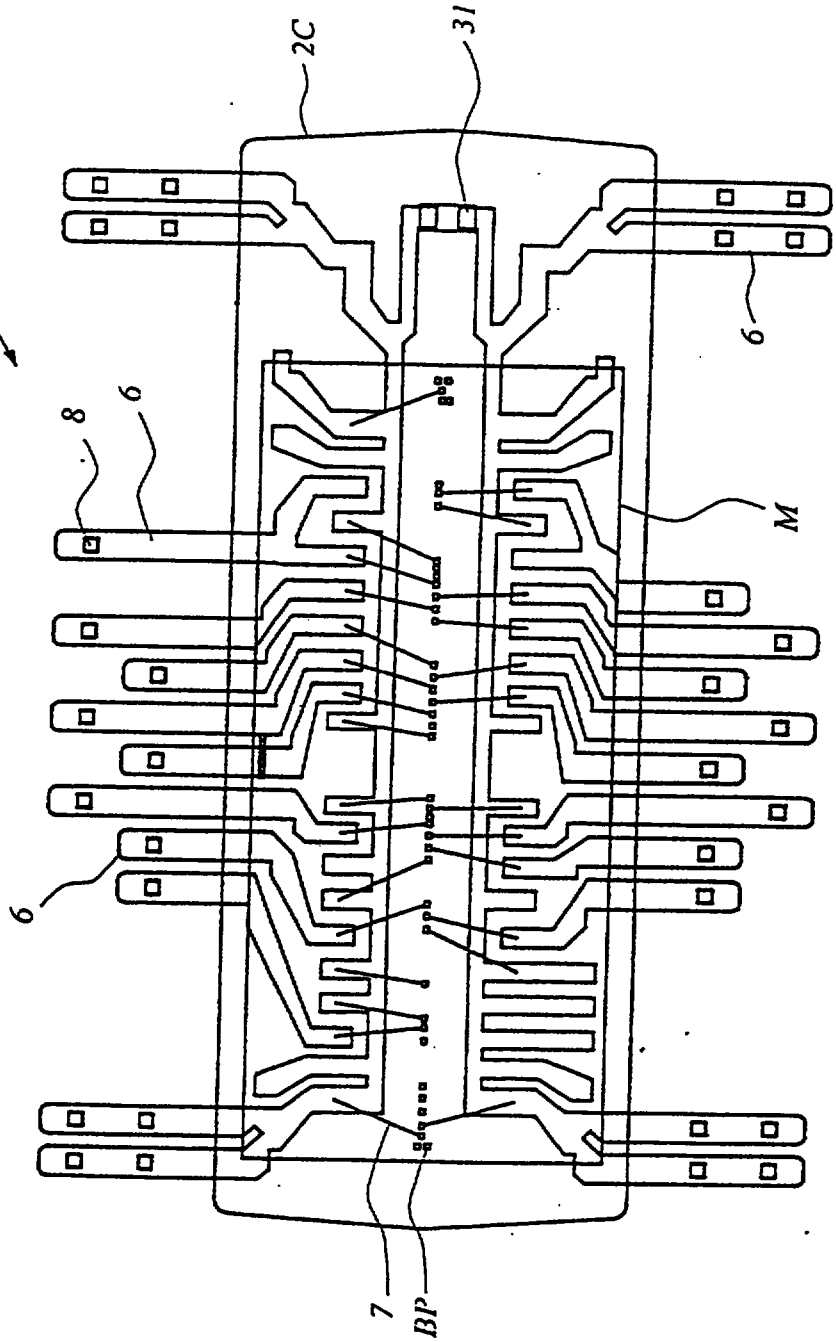
第 62 図 Fig.62



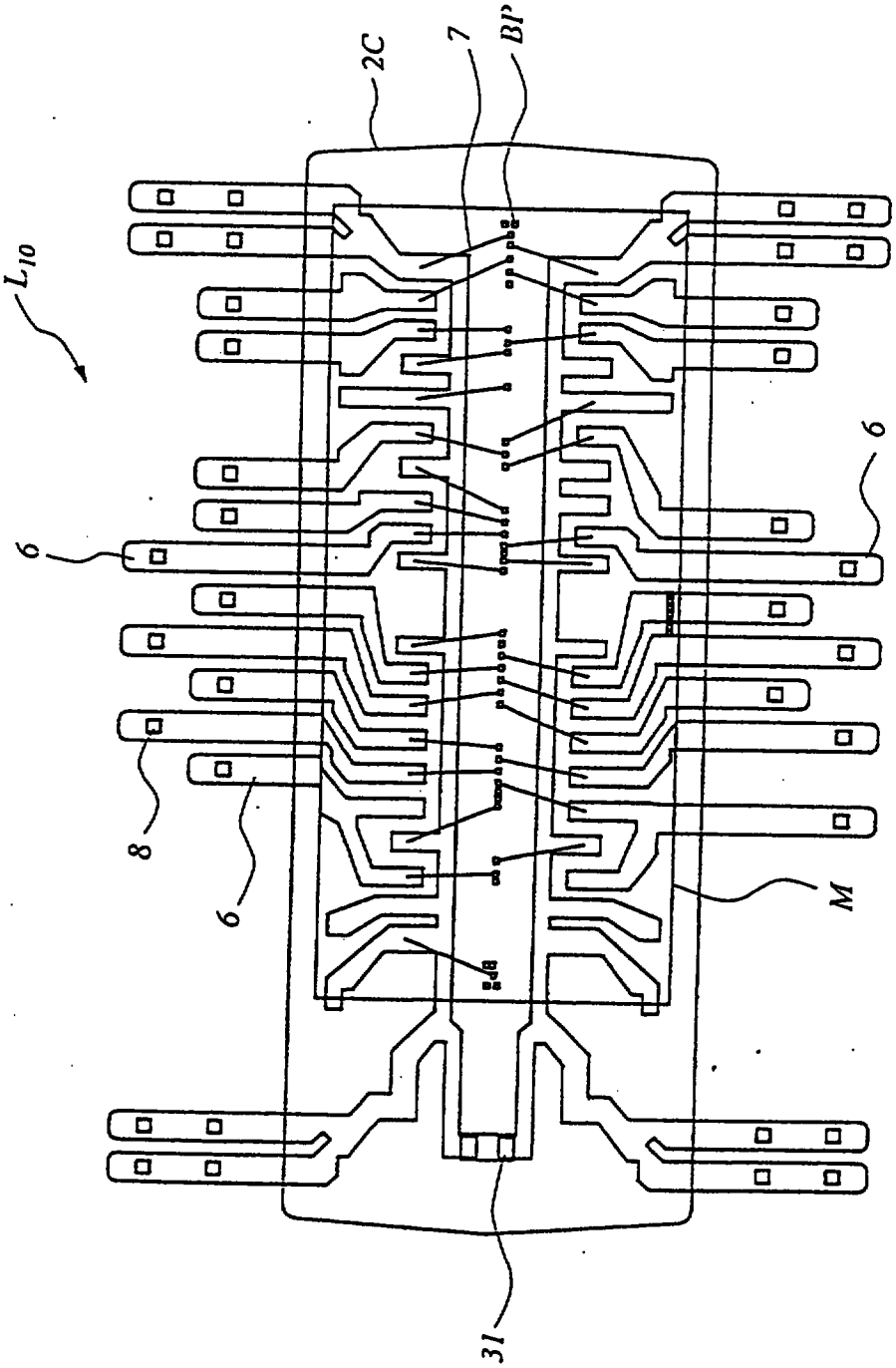
第 63 図 Fig.63



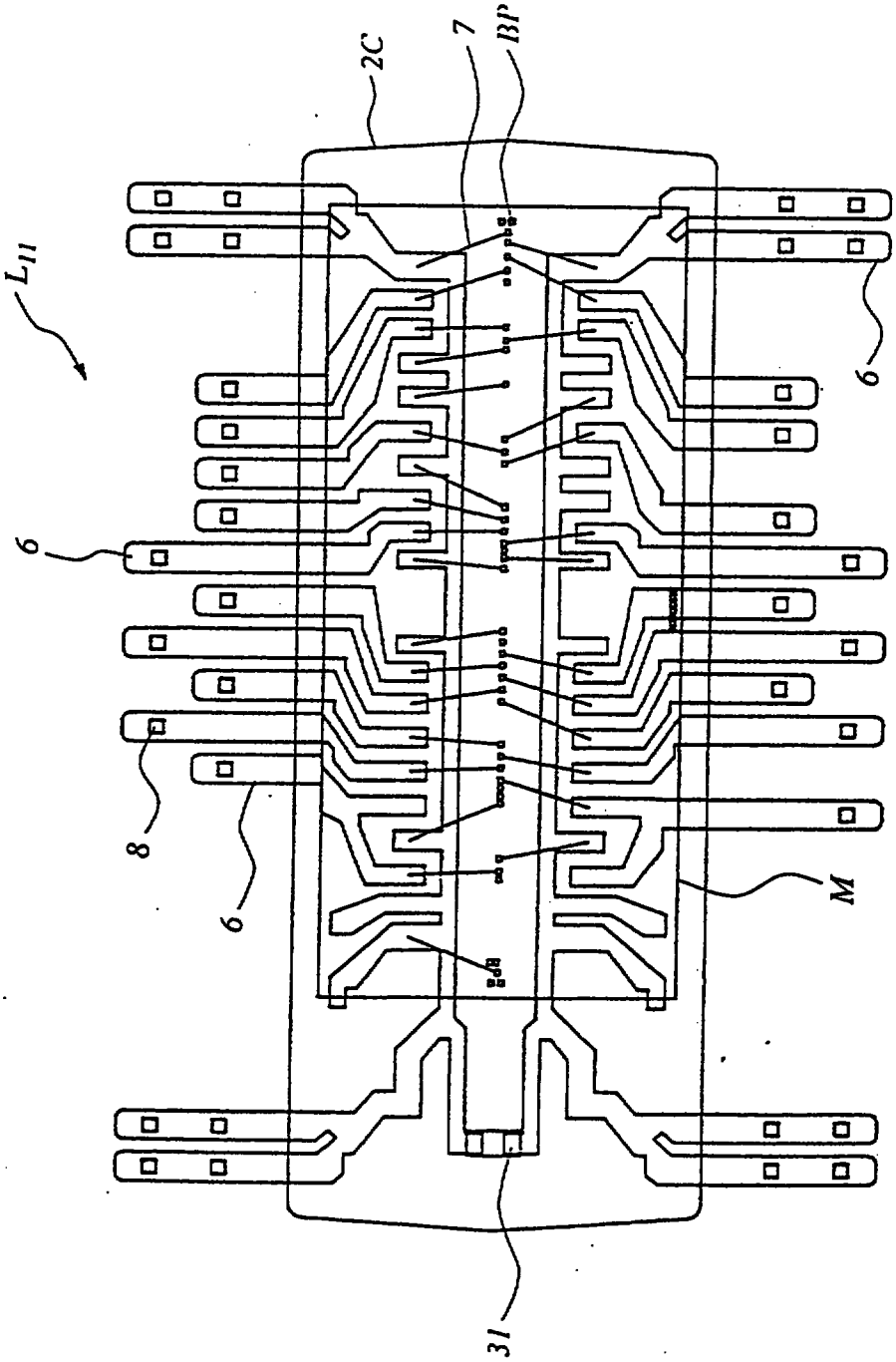
第 64 図 Fig.64



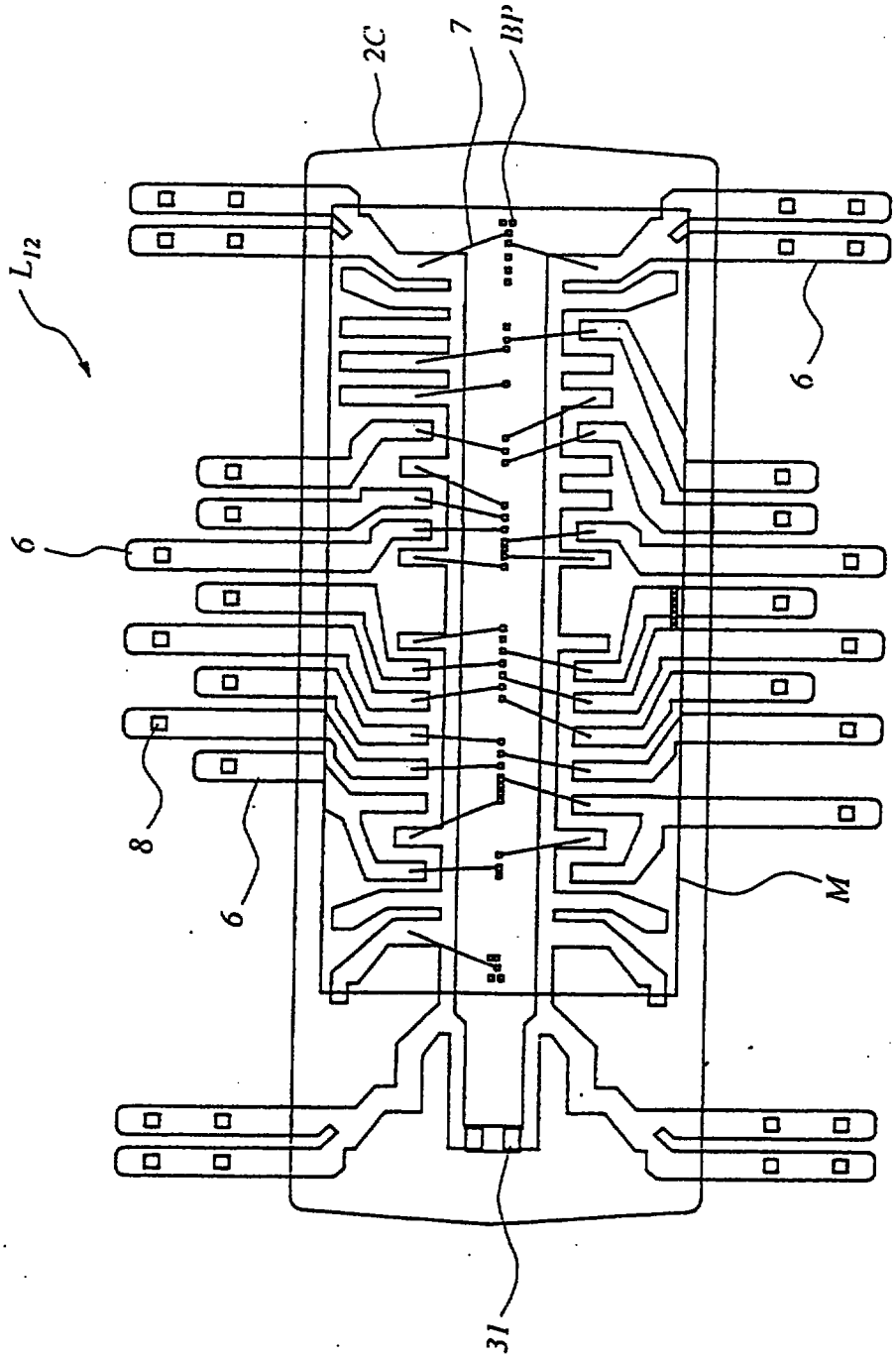
第 65 図 Fig.65



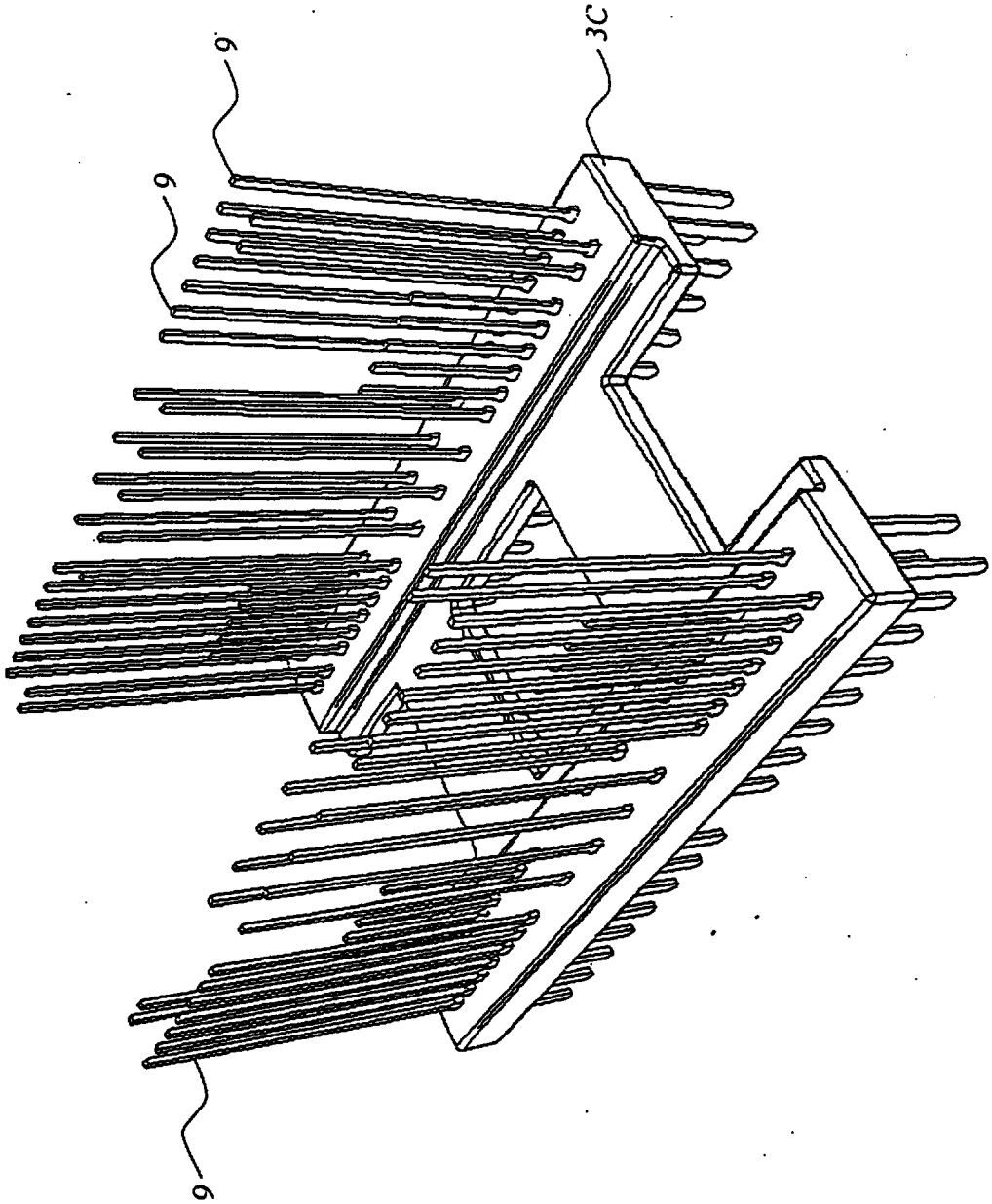
第 66 図 Fig.66



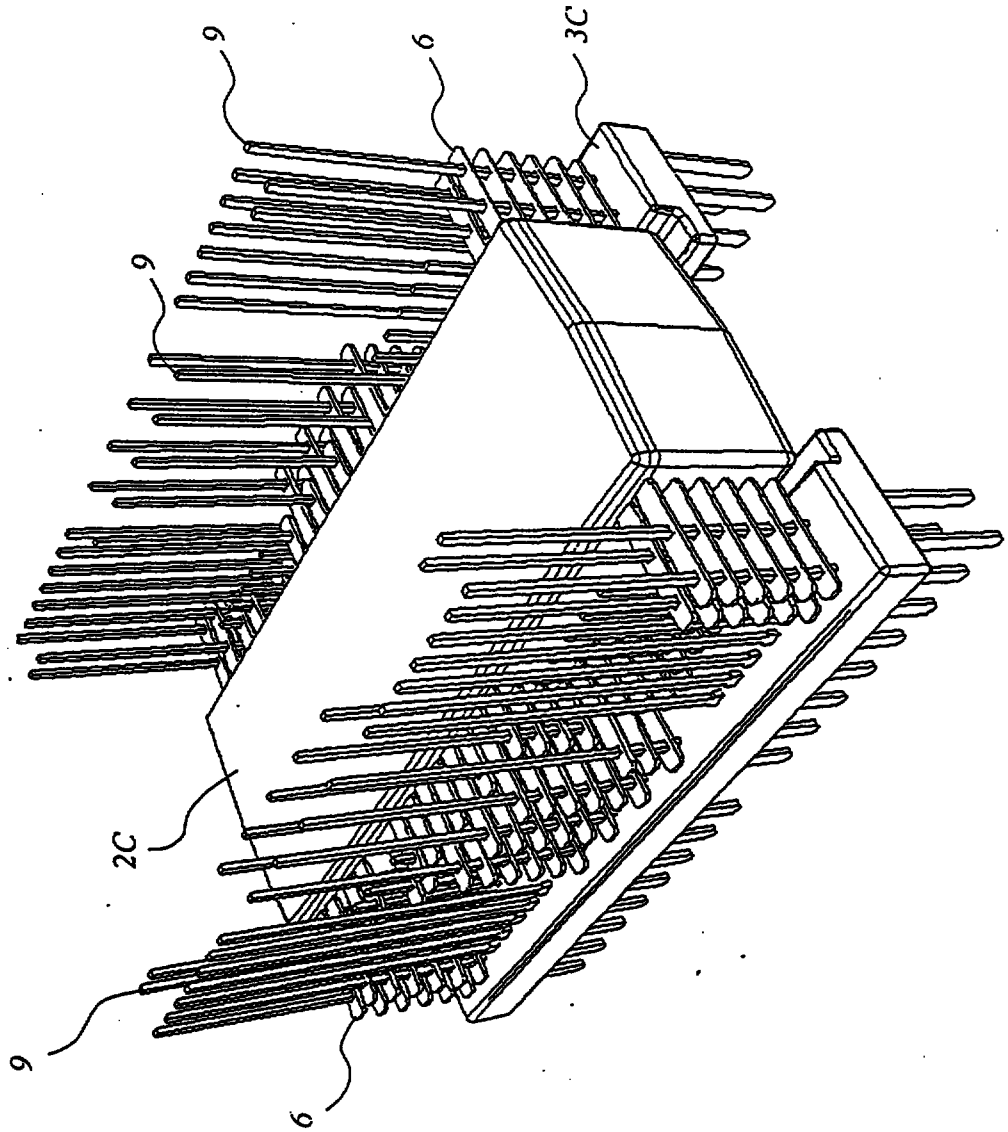
第 67 図 Fig.67



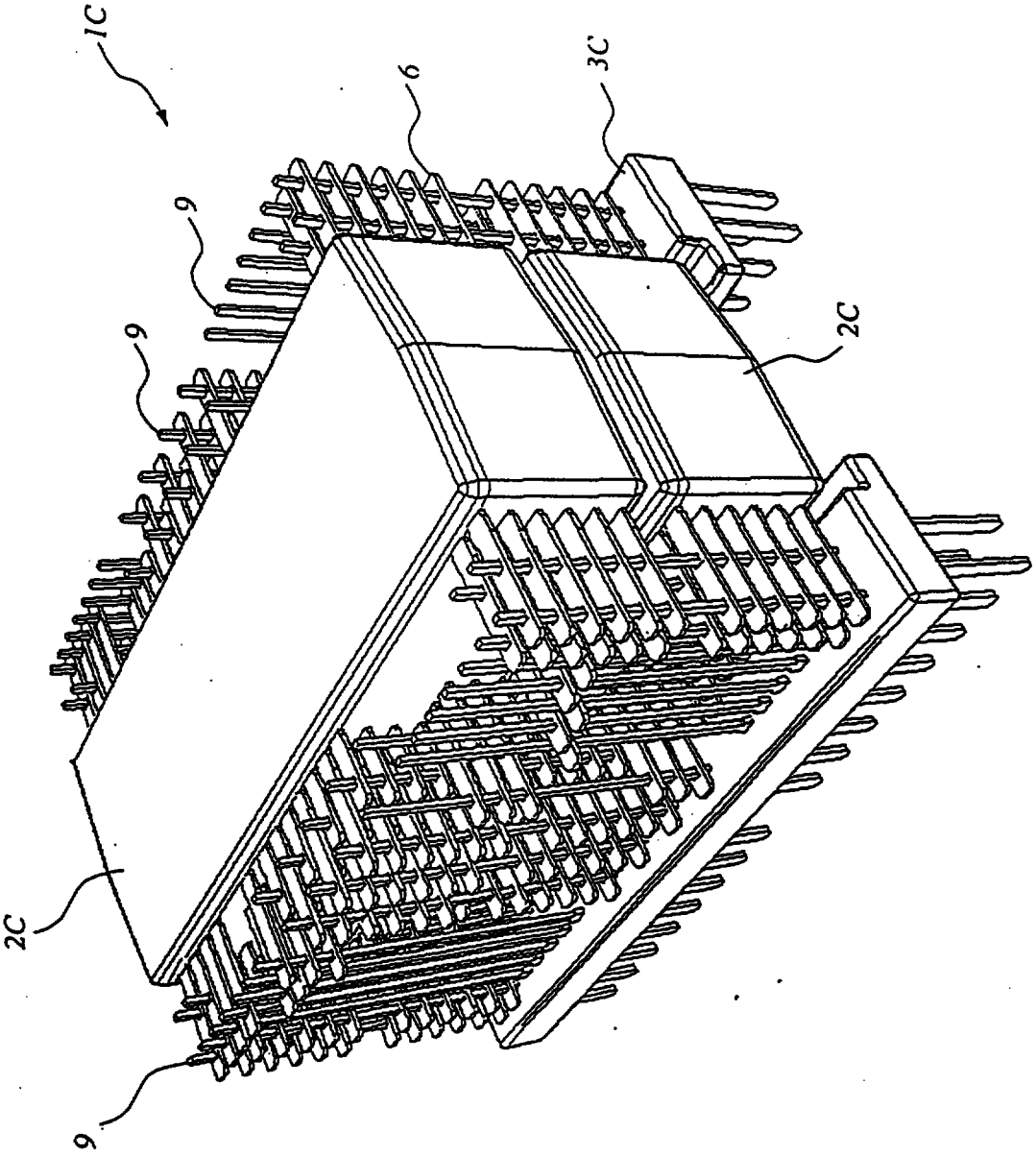
第 68 図 Fig.68



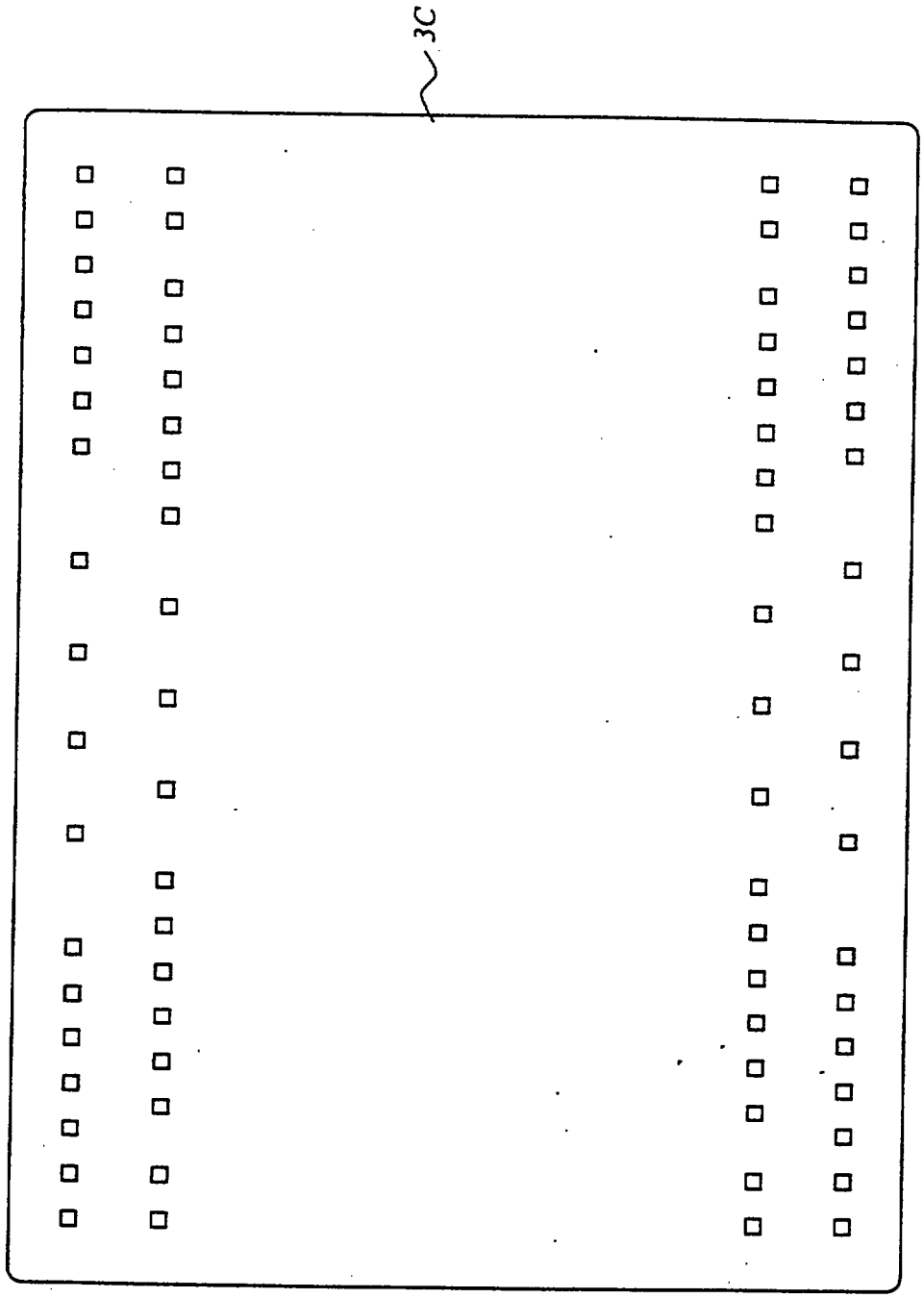
第 69 図　Fig.69



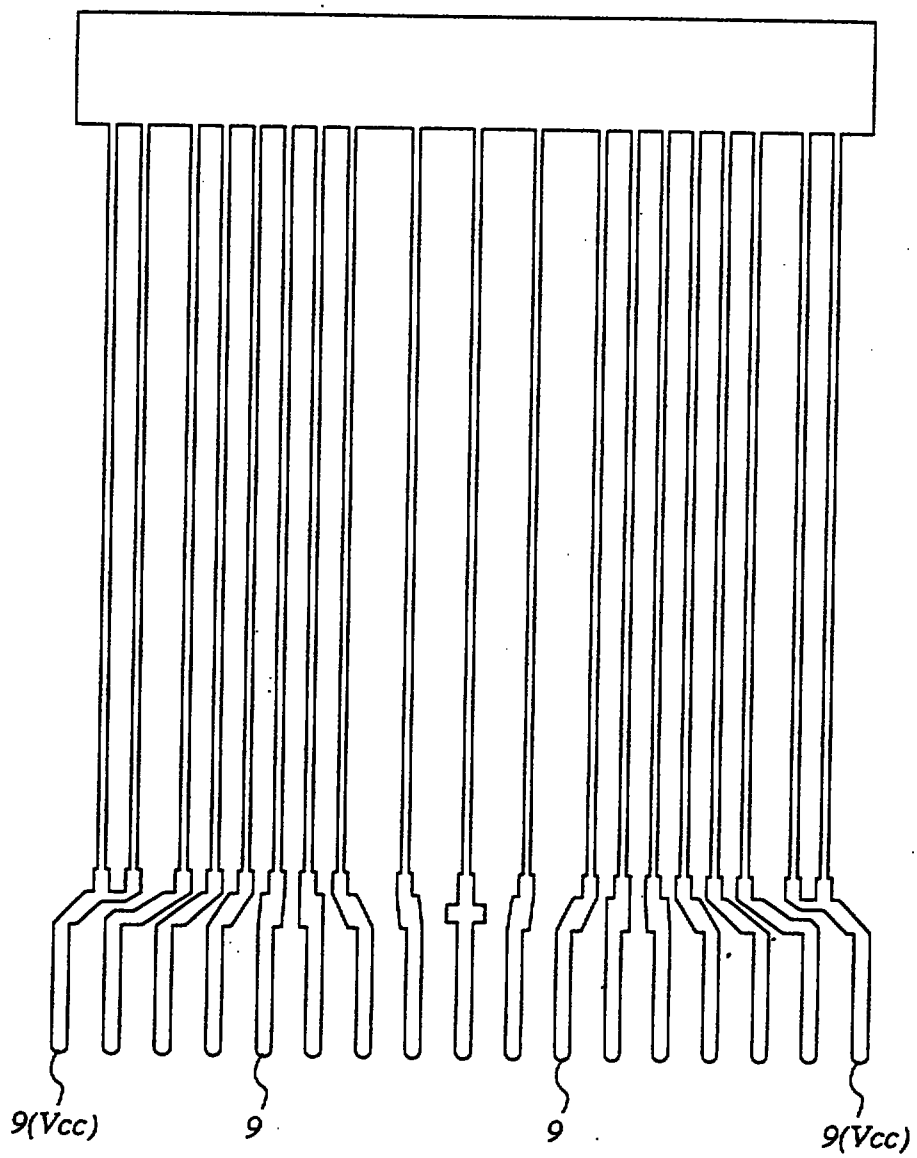
第 70 図 Fig.70



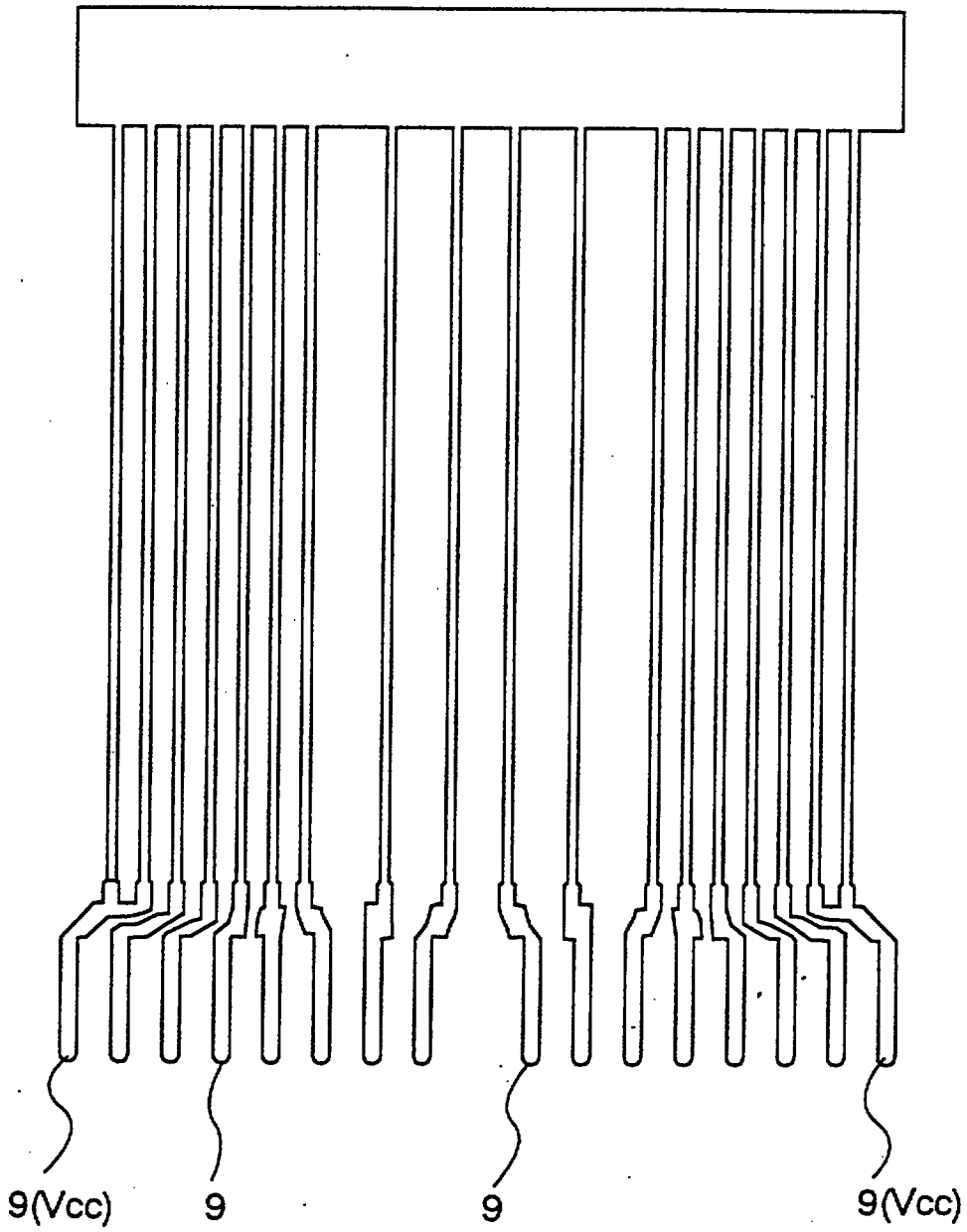
第 71 図 Fig.71



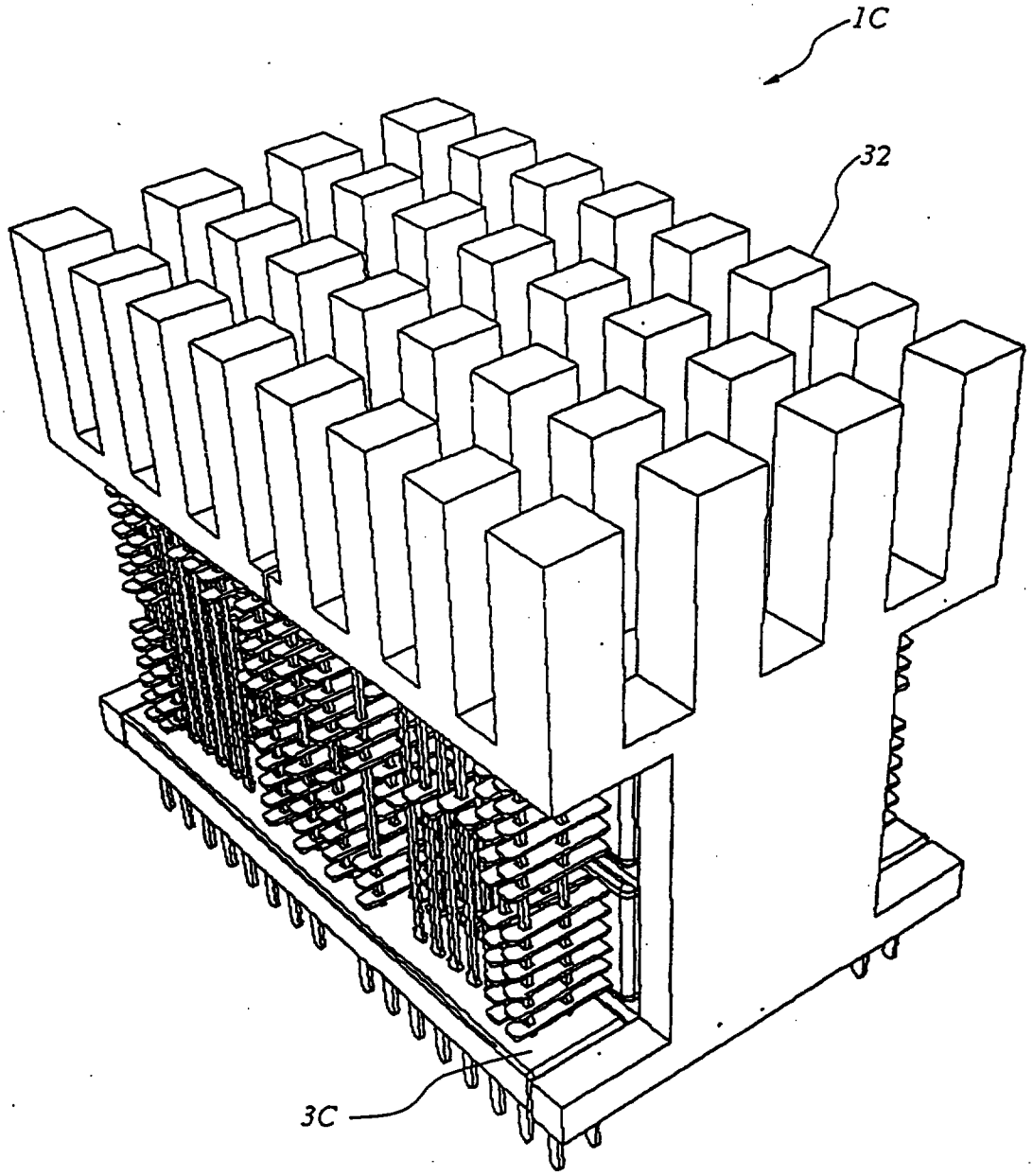
第 72 図 Fig.72



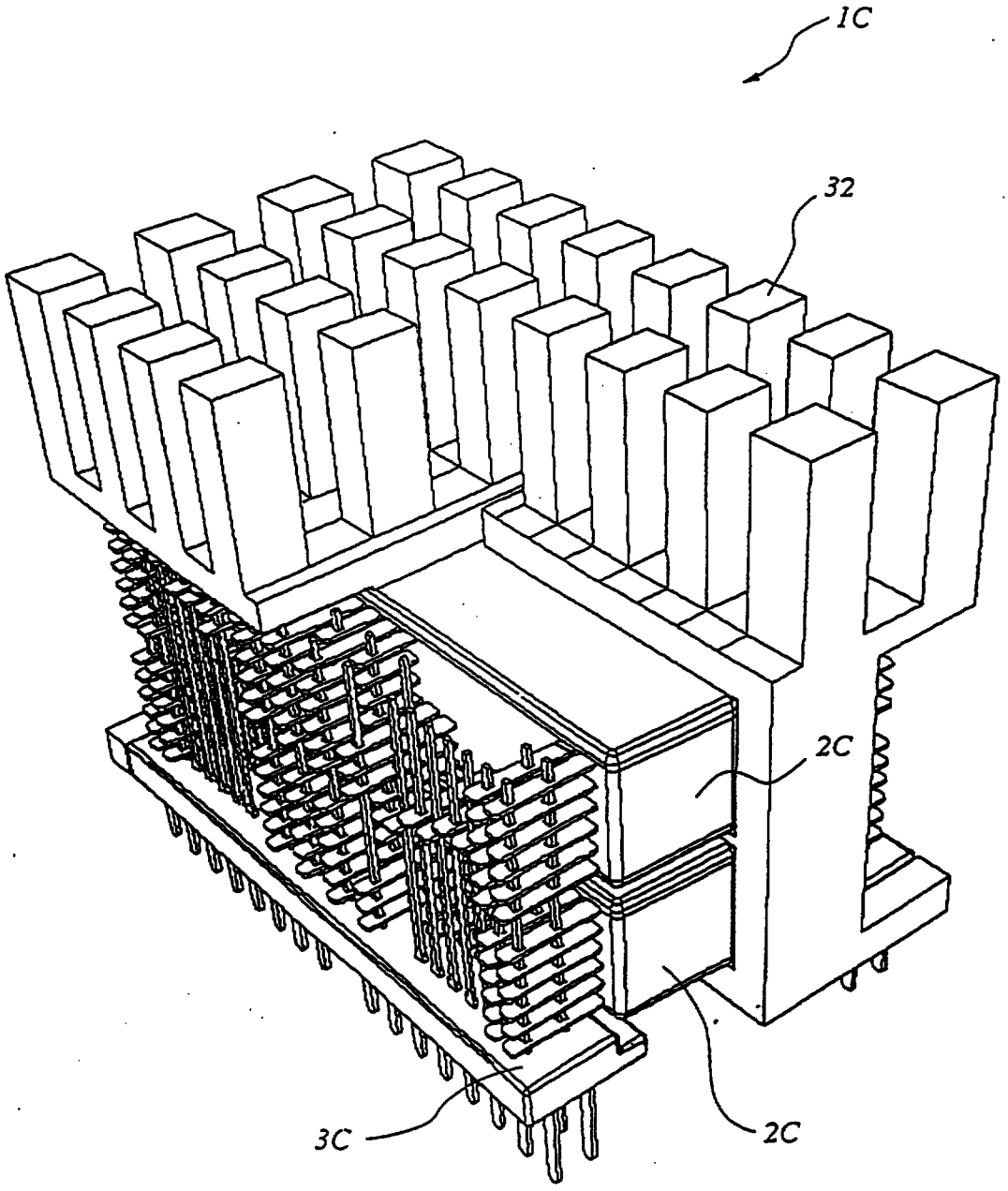
第 73 図 Fig.73



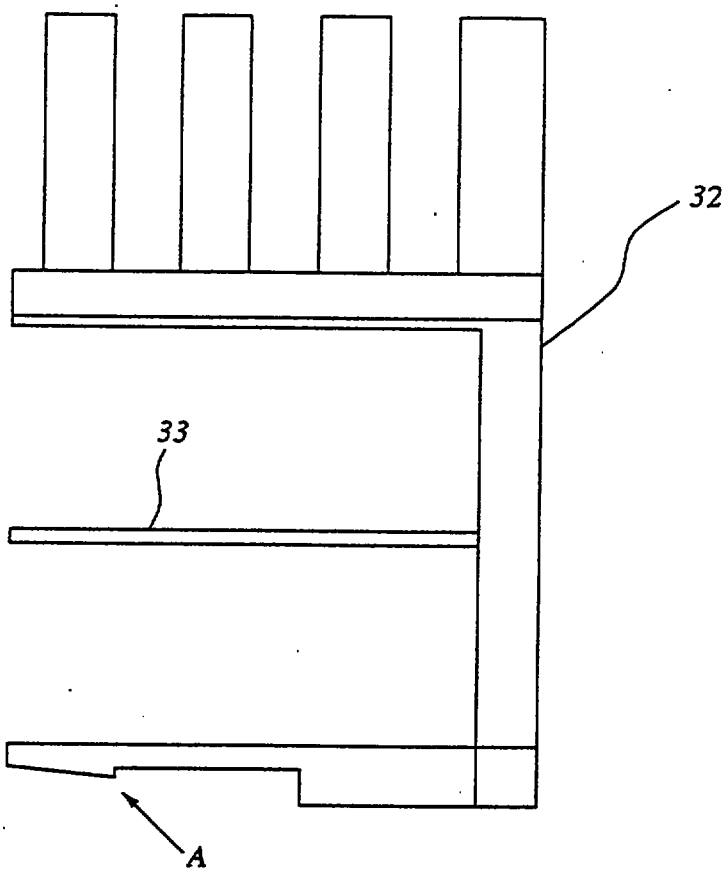
第 74 図 Fig.74



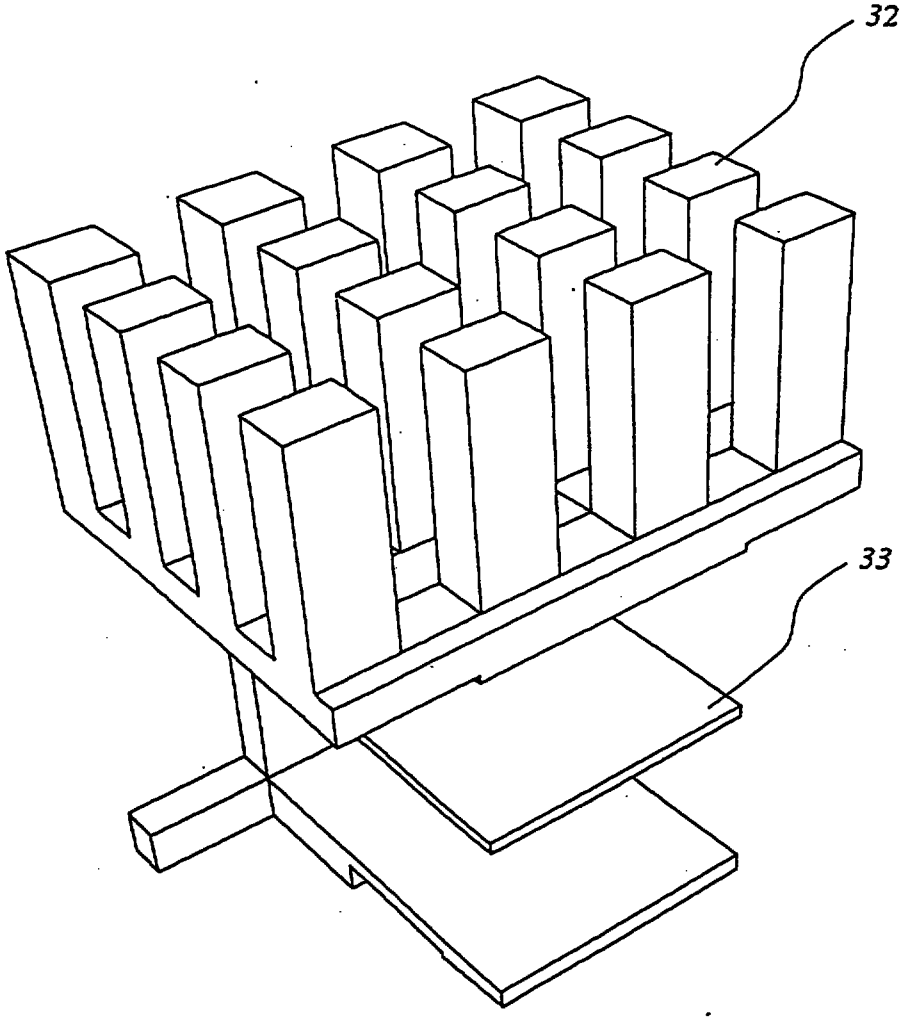
第 75 図 Fig.75



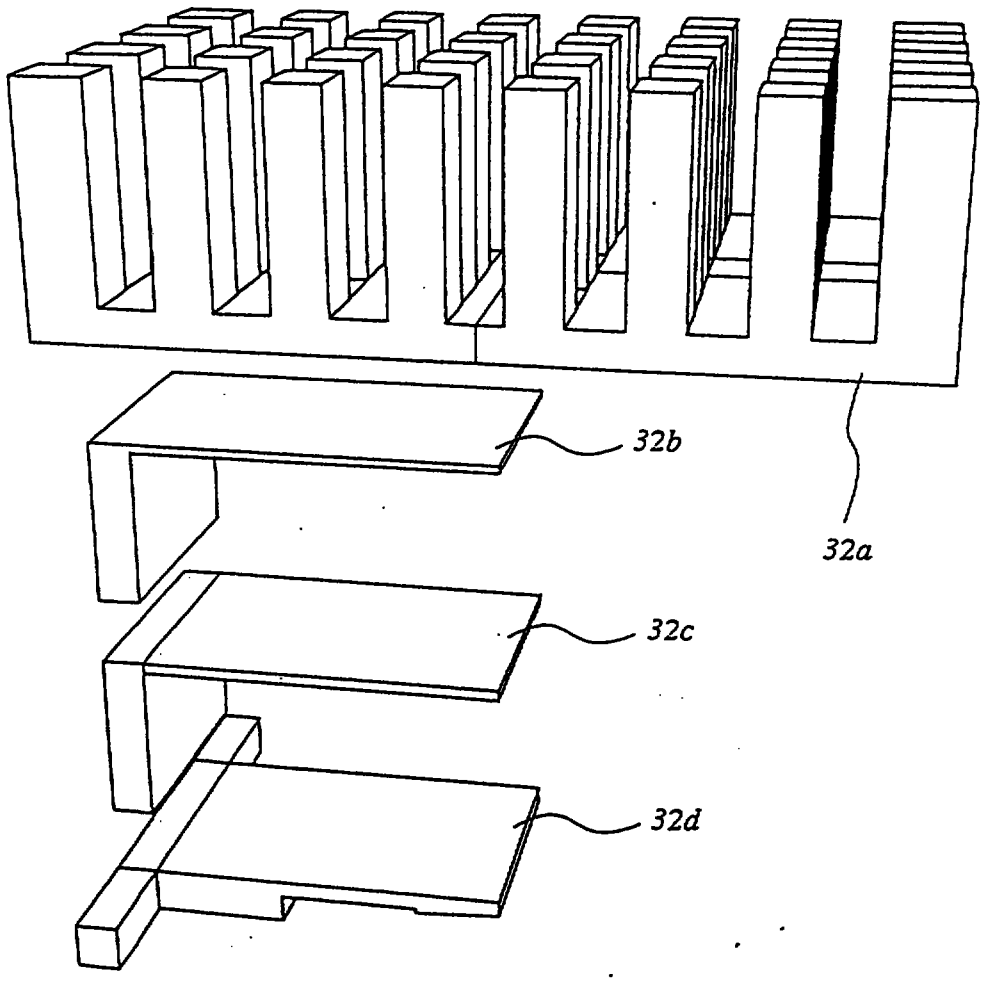
第 76 図 Fig.76



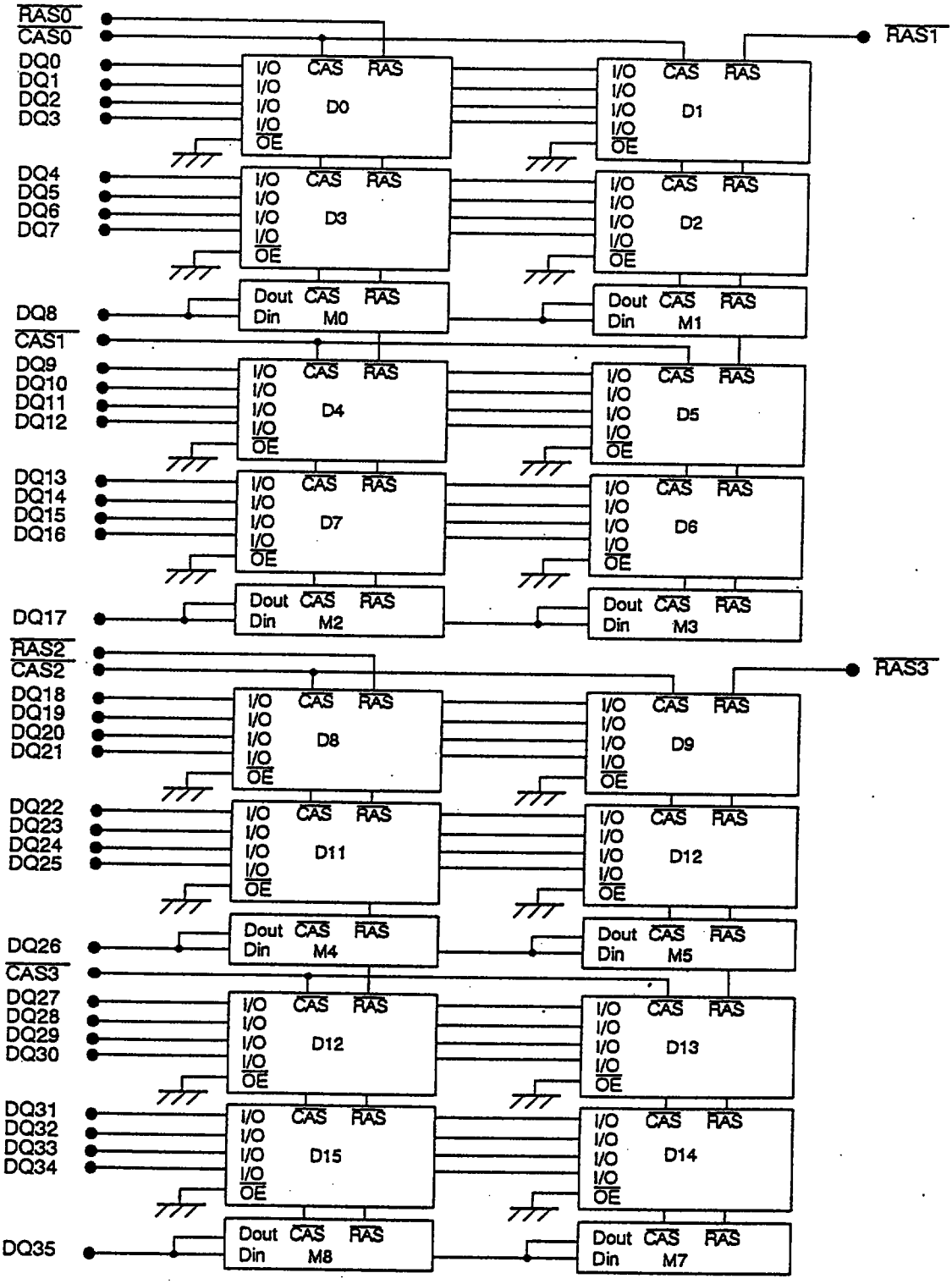
第 77 図 Fig.77



第 78 図 Fig.78



第 79 図 Fig.79



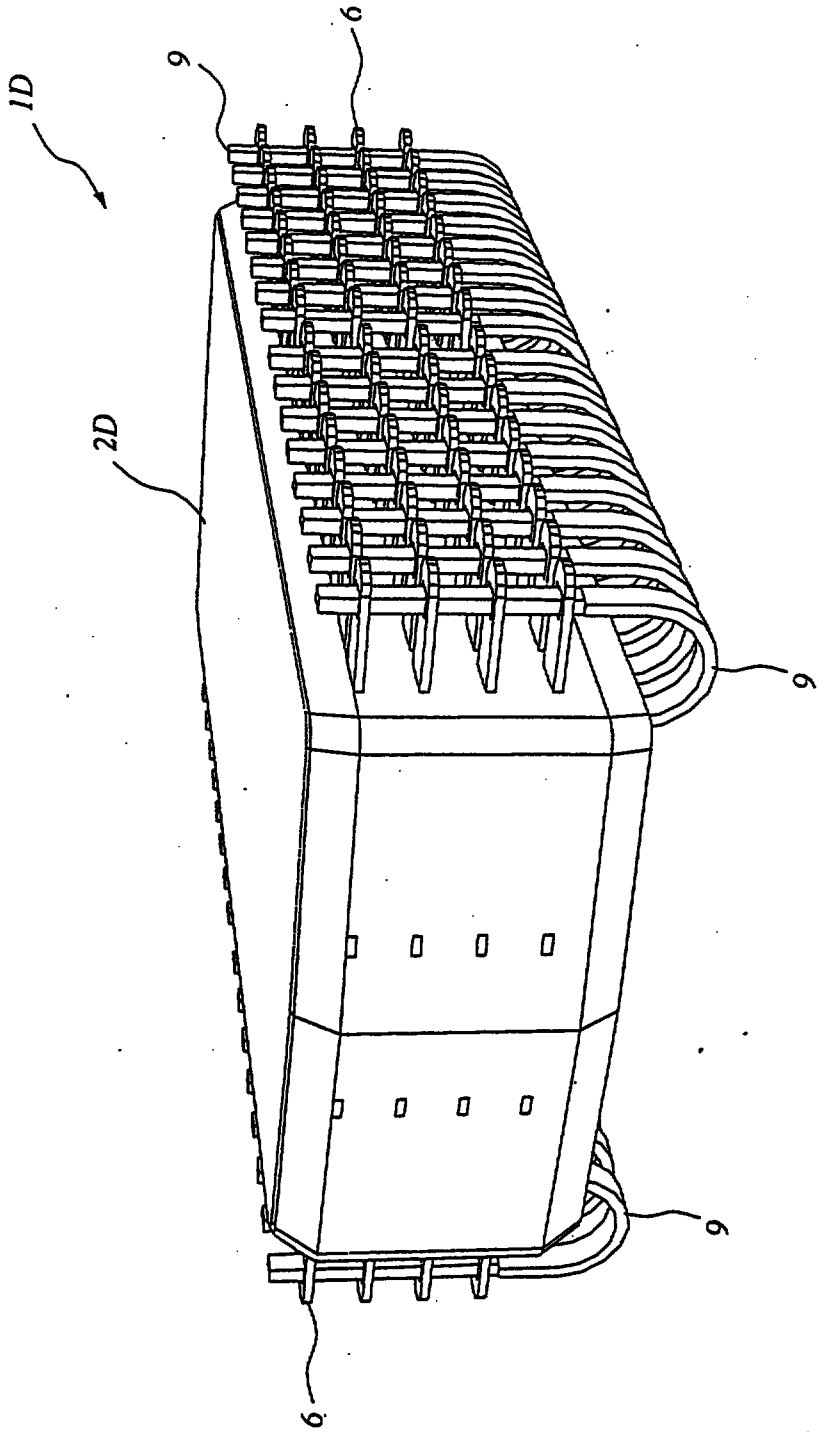
A0~A10 ●→ D0-D15 , M0-M7

$\overline{WE}$ ●→ D0-D15 , M0-M7

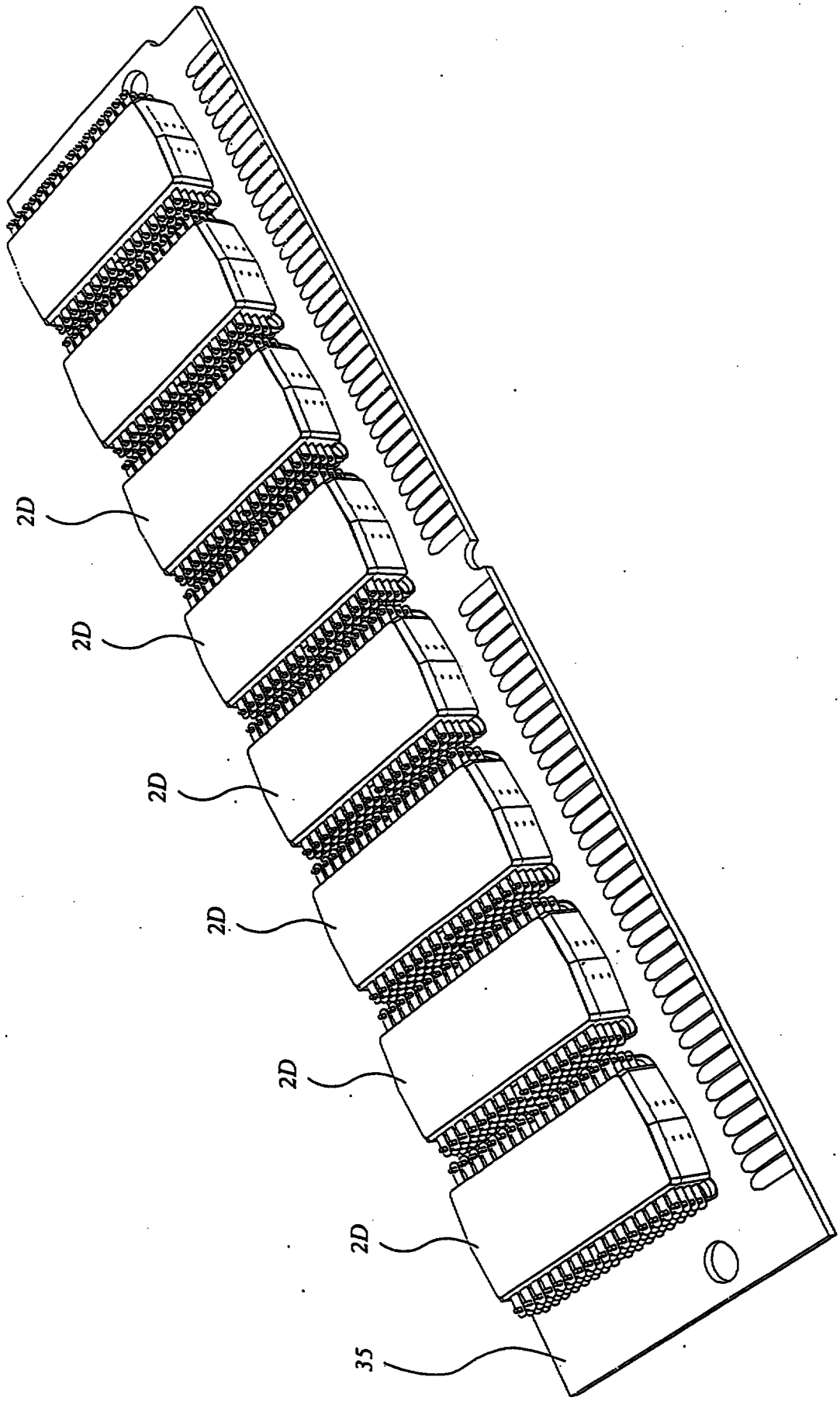
Vcc ●→ D0-D15 , M0-M7

Vss ●→ D0-D15 , M0-M7

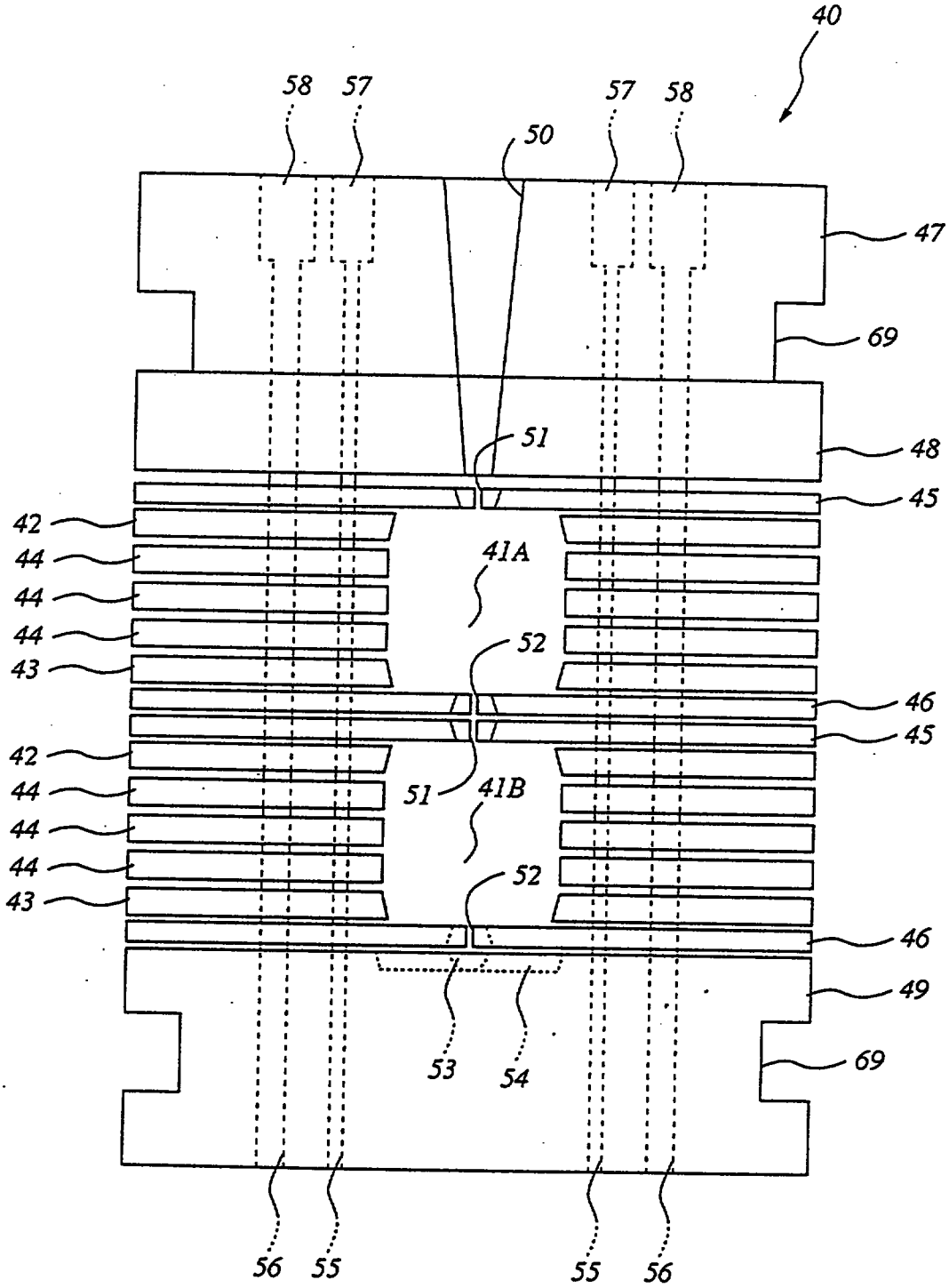
第 80 図 Fig.80



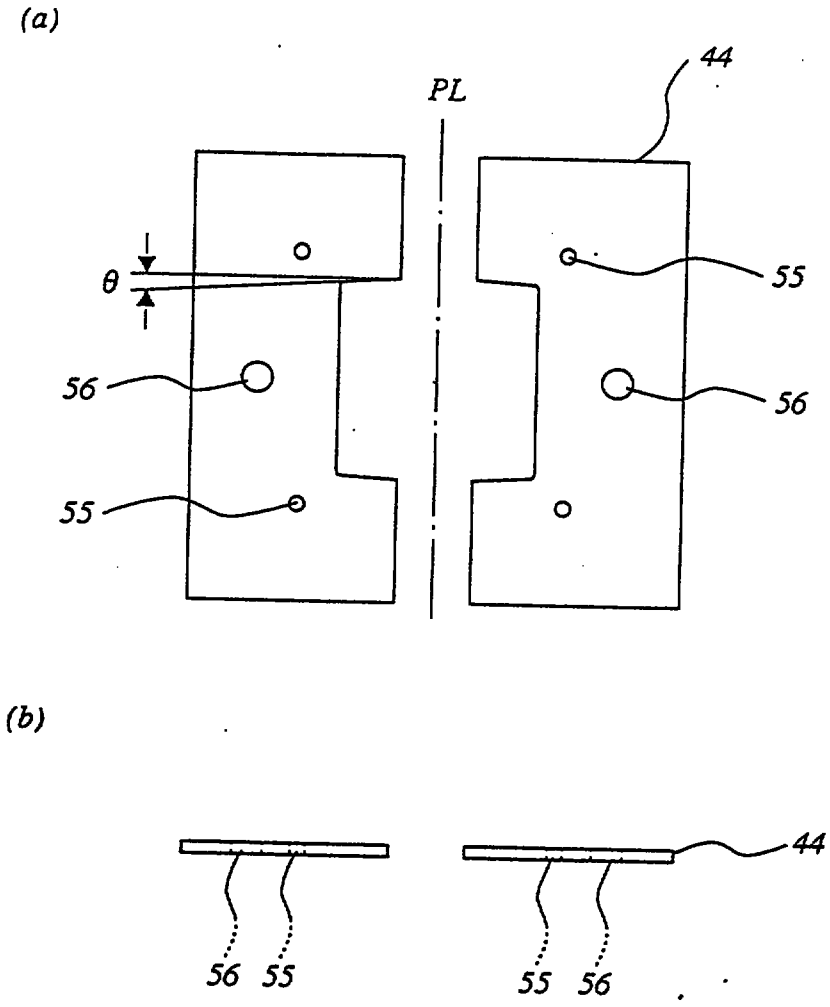
第 81 図 Fig.81



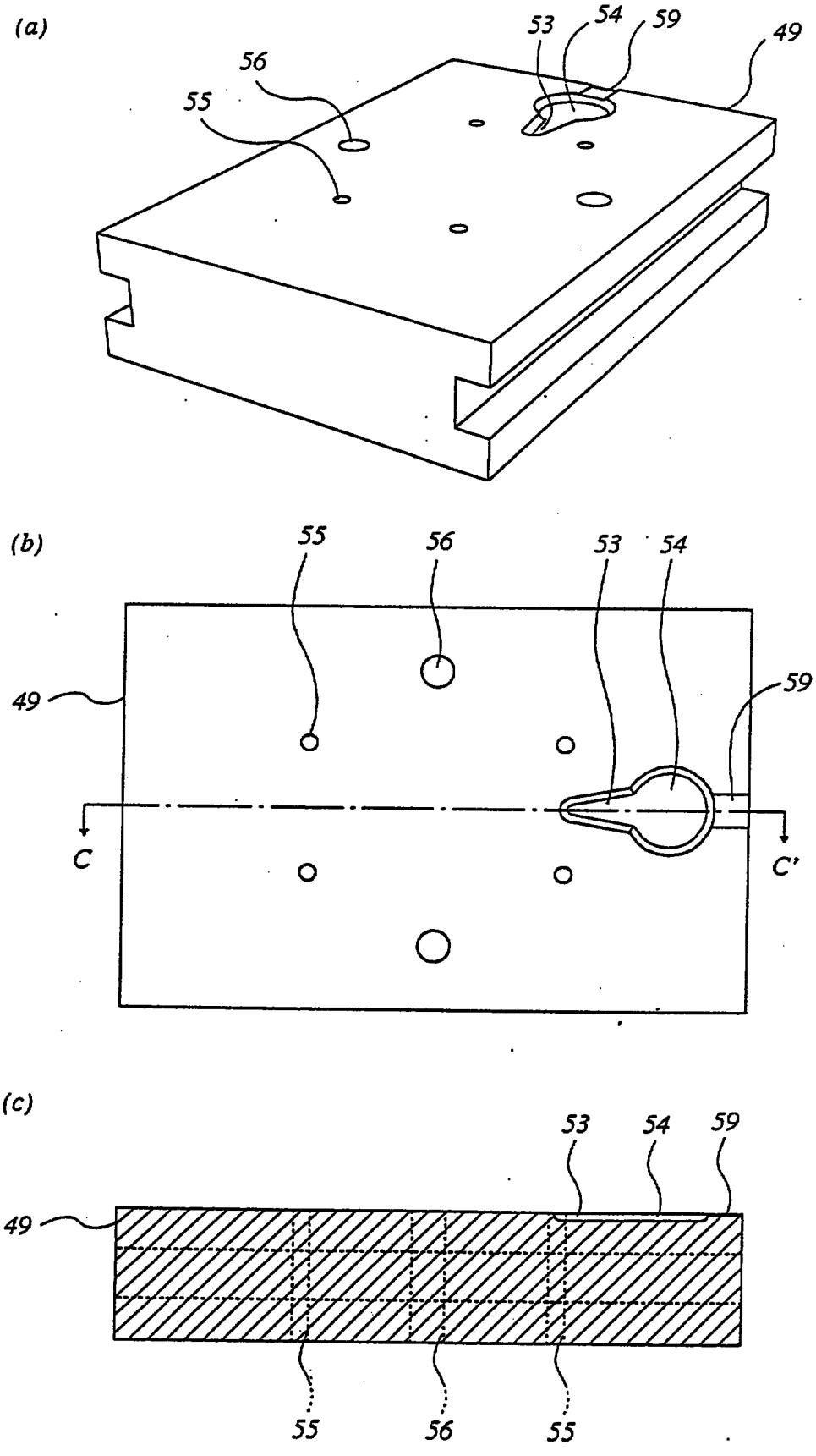
第 82 図 Fig.82


40
58
57
57
58
50
47
69
51
48
45
42
44
44
44
43
41A
52
46
45
42
44
44
44
43
51
41B
52
46
49
69
53
54
56
55
55
56

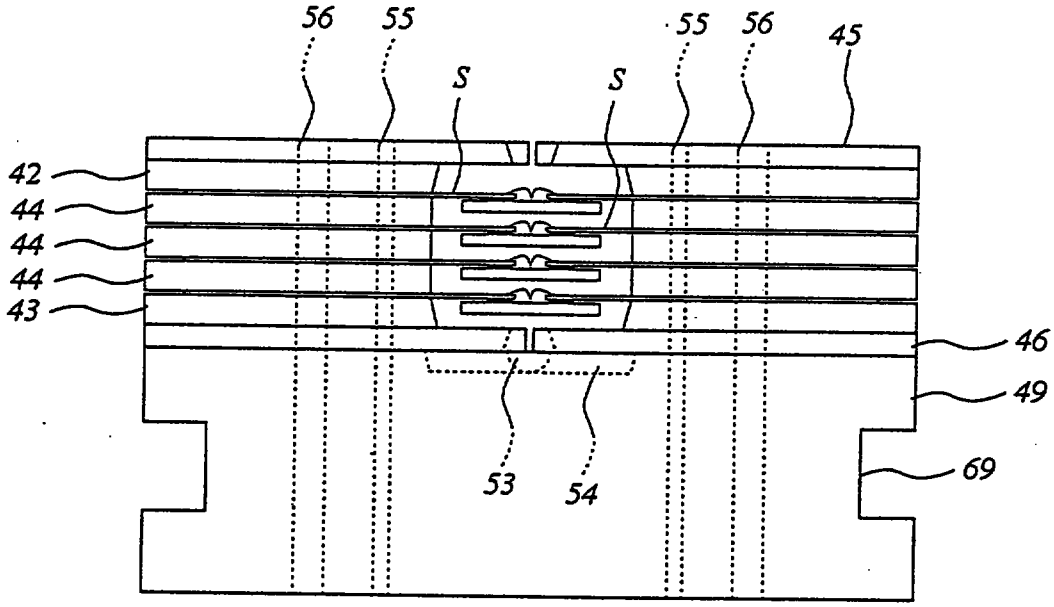
第 83 図 Fig.83



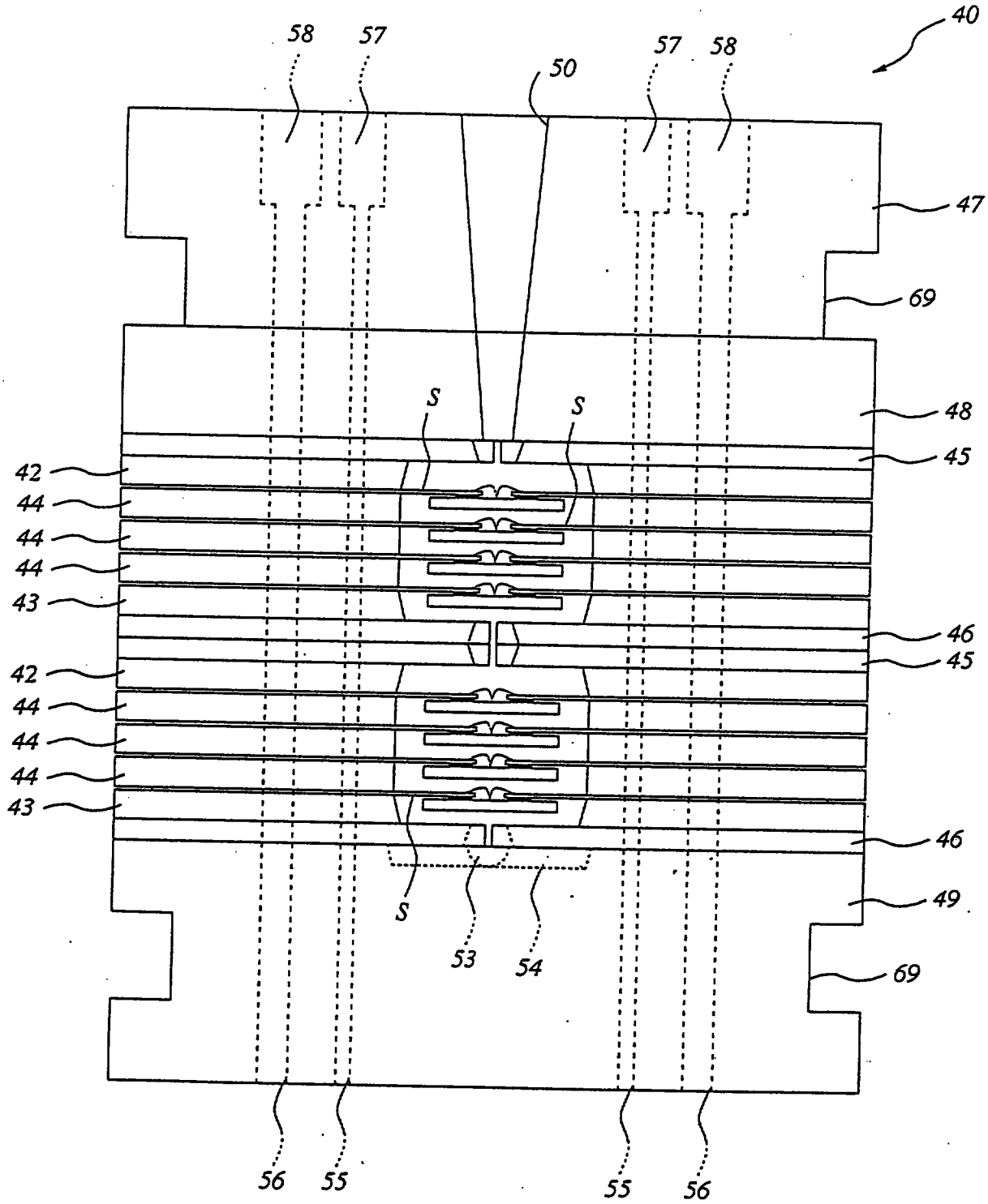
第 84 図 Fig.84



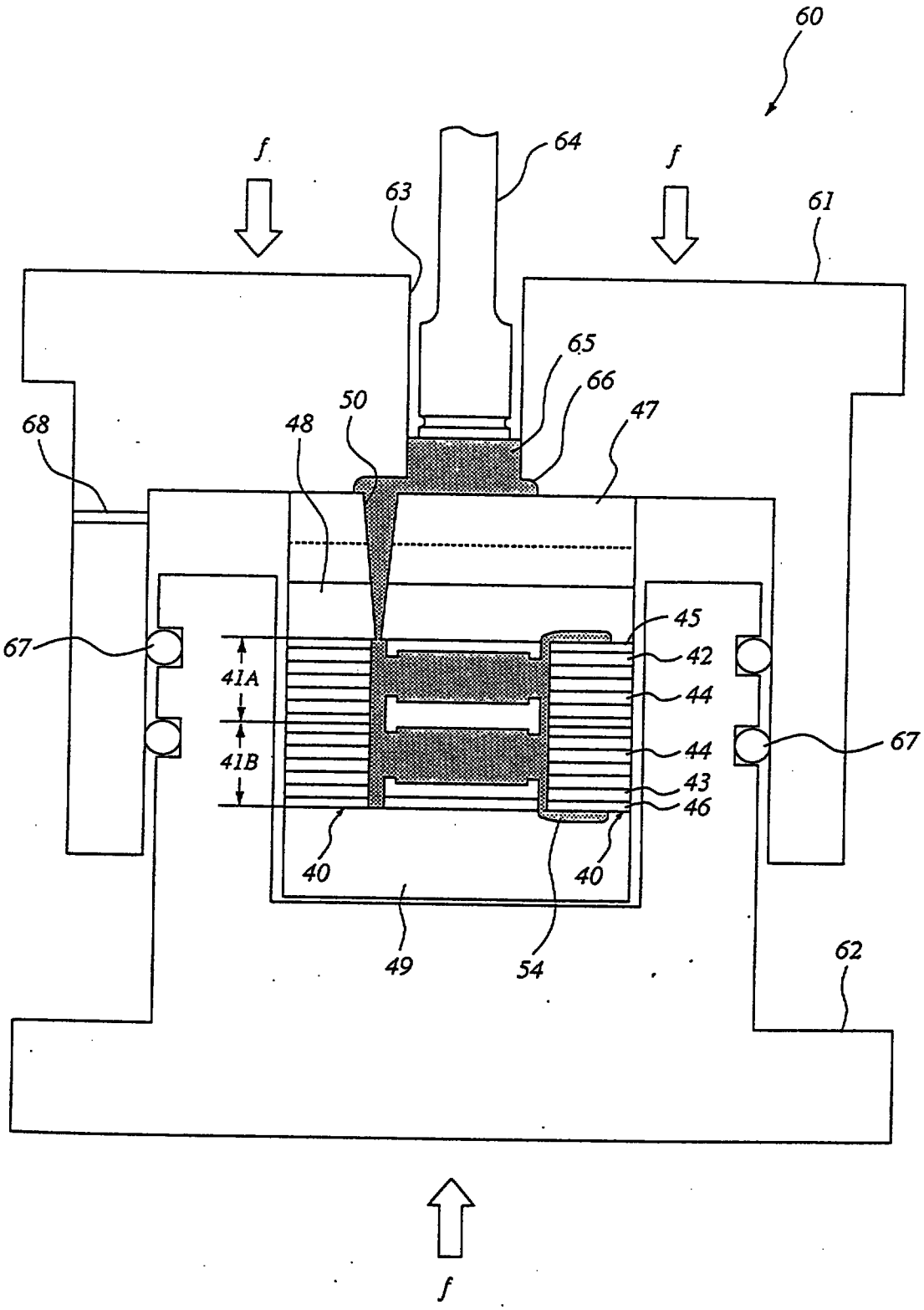
第 85 図 Fig.85



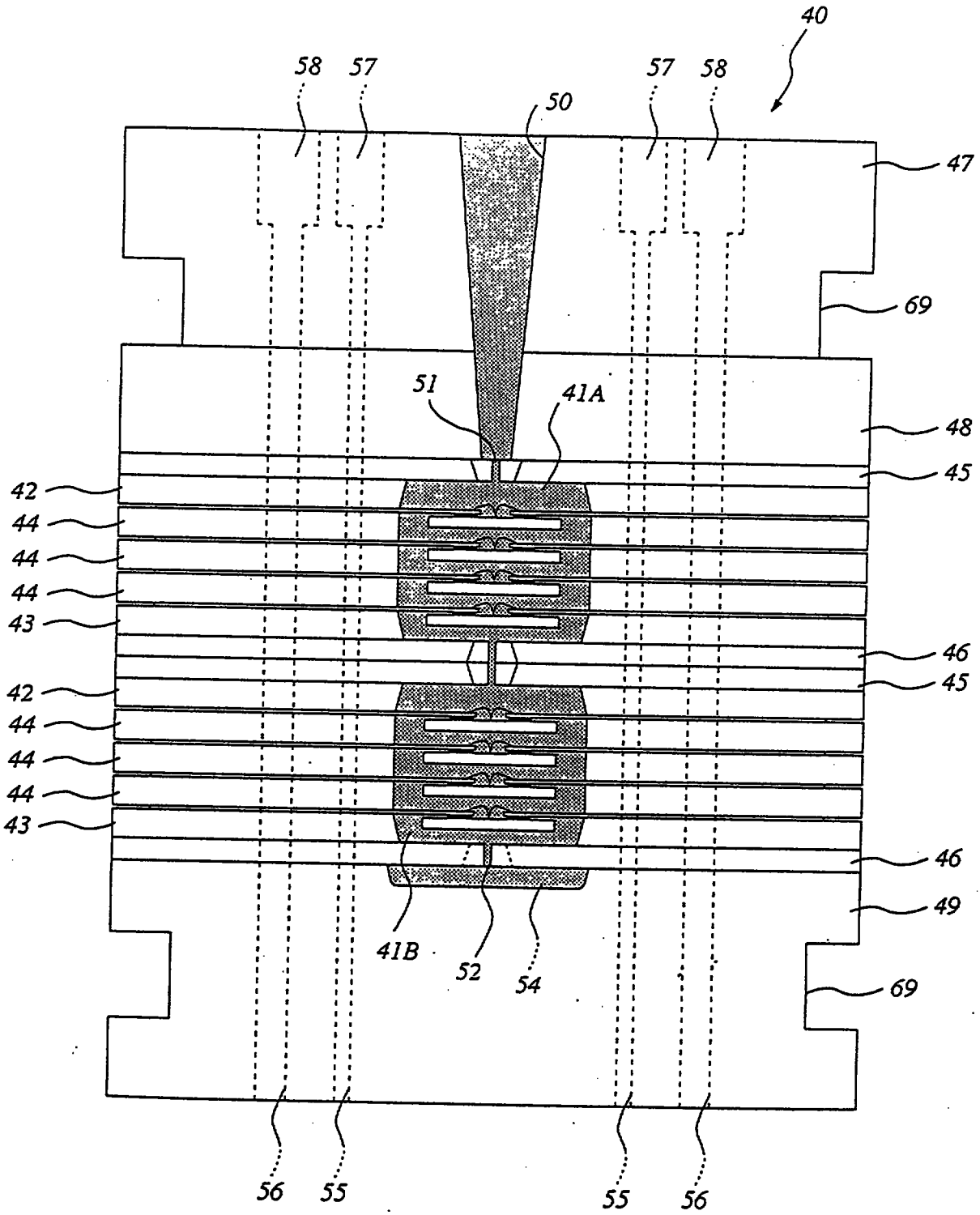
第 86 図 Fig.86


40
58
57
50
57
58
47
69
S
S
48
42
45
44
44
44
43
46
42
45
44
44
44
43
46
S
49
53
54
69
56
55
55
56

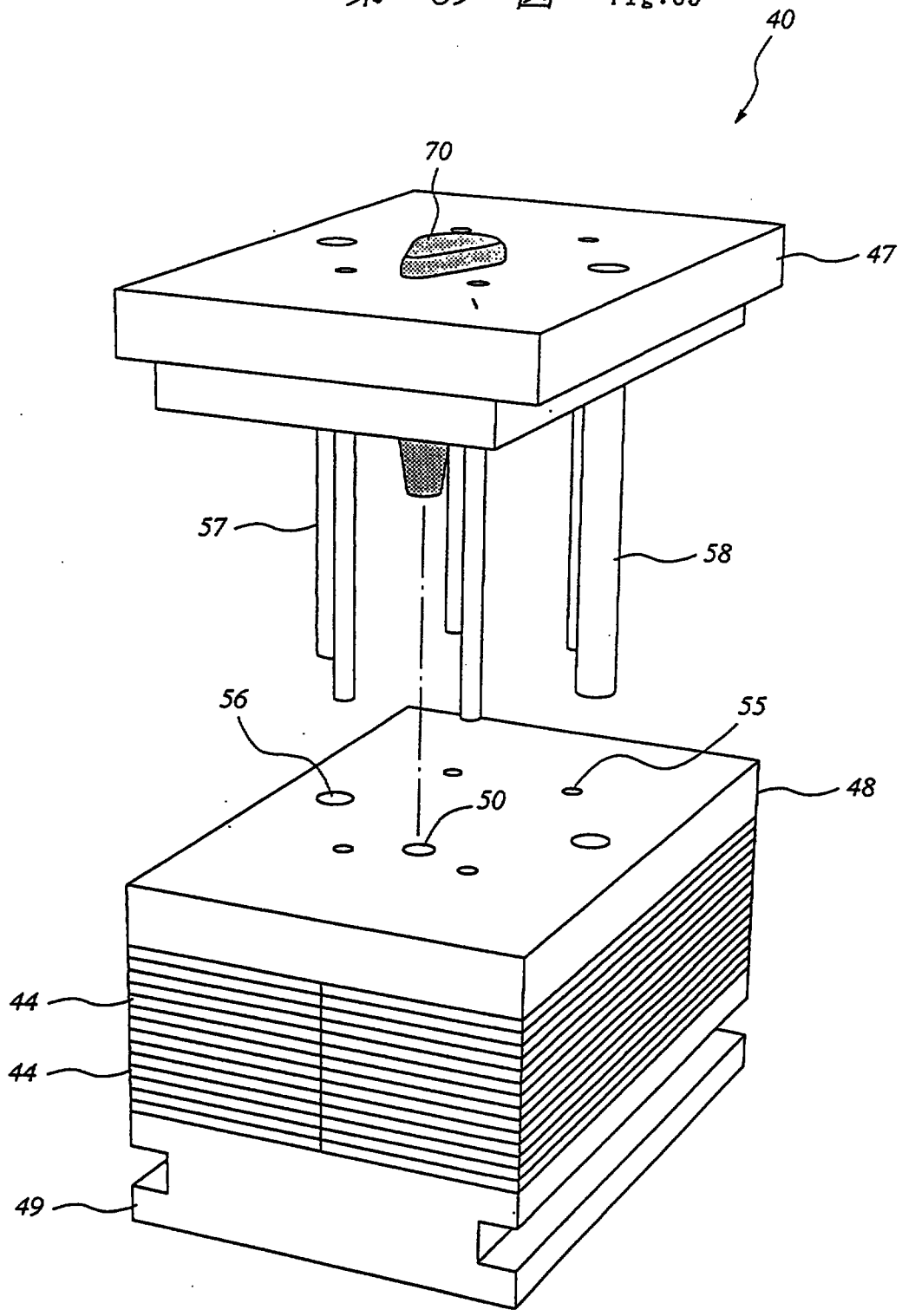
第 87 図　Fig.87


60
f
f
64
63
61
65
66
50
68
48
47
67
45
42
44
41A
41B
44
67
43
46
40
40
49
54
62
f

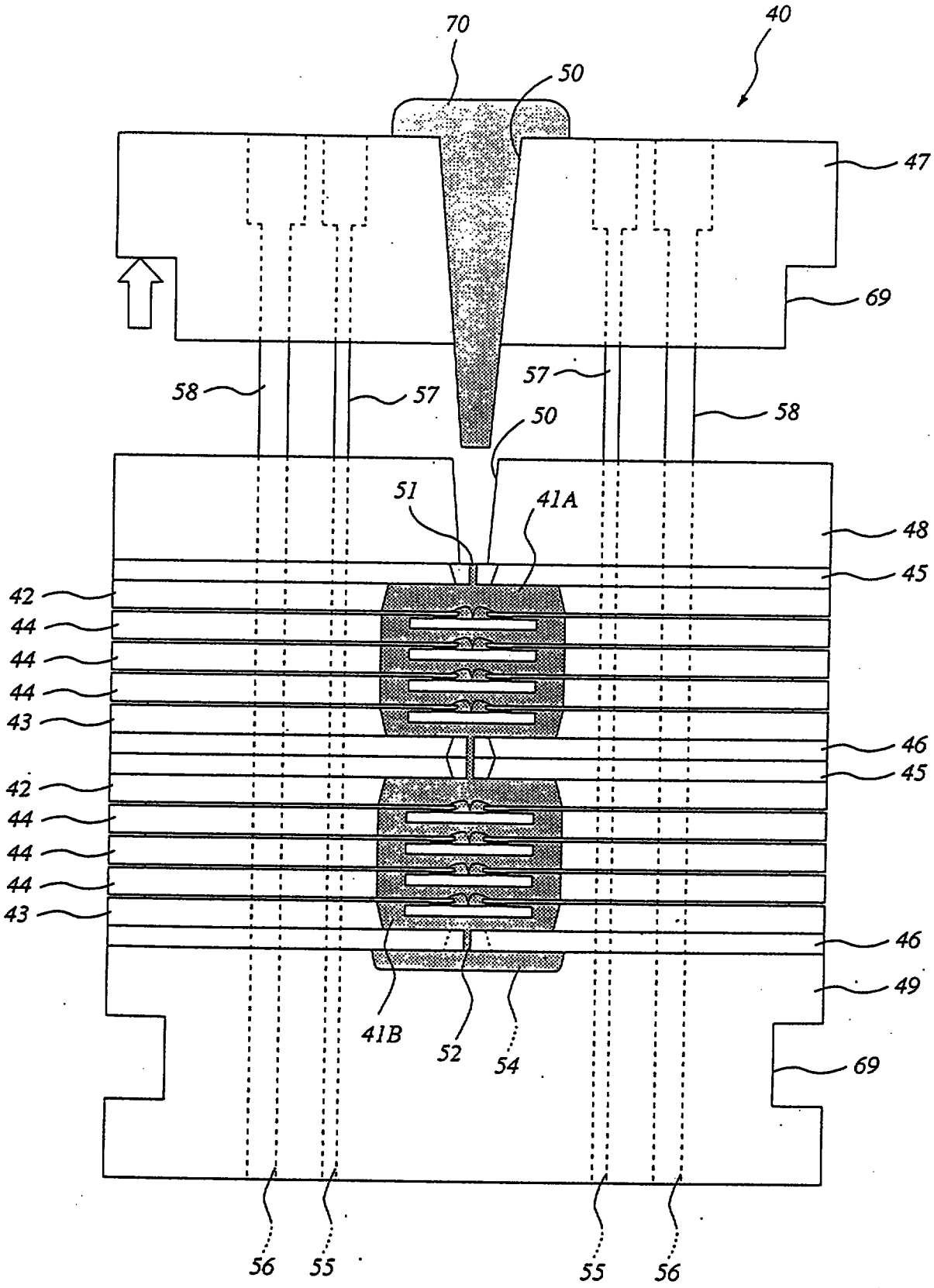
第 88 図 Fig.88


40
58
57
57
58
50
47
69
51
41A
48
45
42
44
44
44
43
46
45
42
44
44
44
43
46
49
41B
52
54
69
56
55
55
56

第 89 図 Fig.89

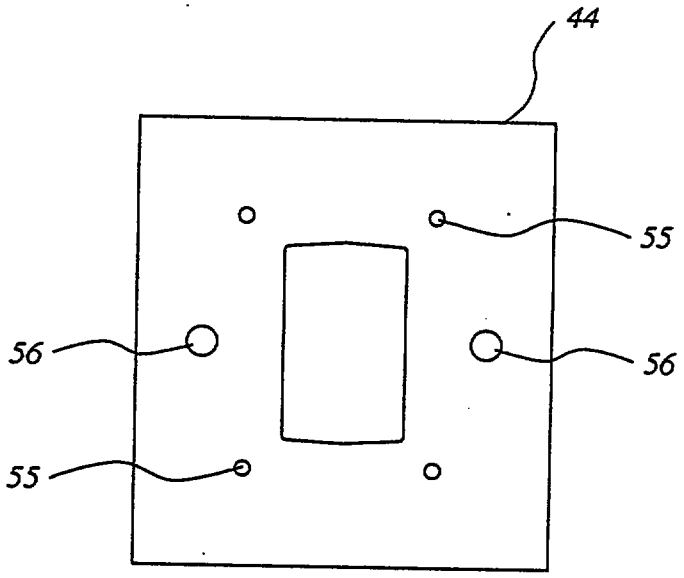


第 90 図 Fig.90

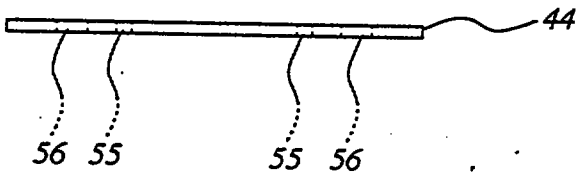

70
40
50
47
69
58
57
57
58
50
51
41A
48
45
42
44
44
44
43
46
45
42
44
44
44
43
46
49
41B
52
54
69
56
55
55
56

第 91 図 Fig.91

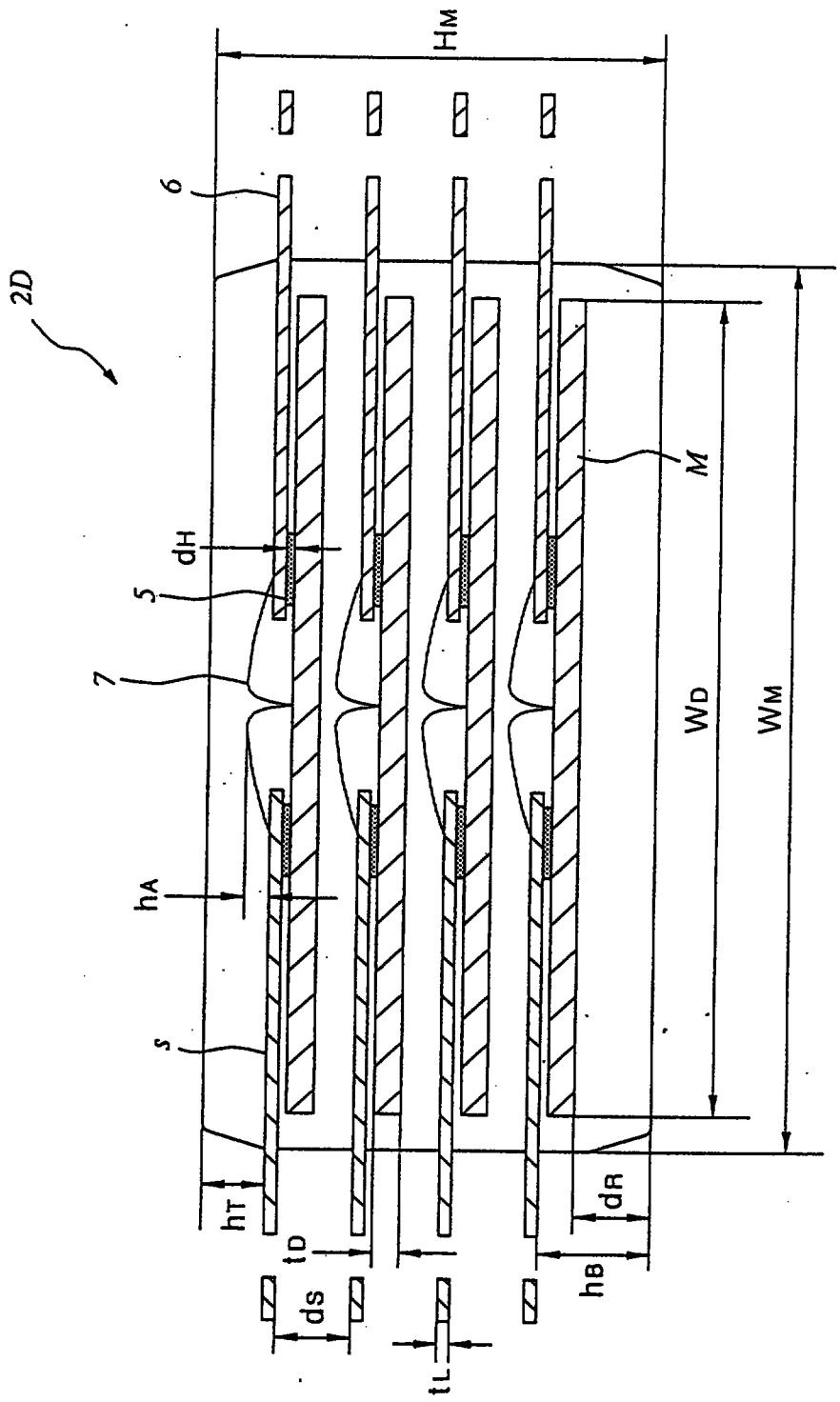
(a)



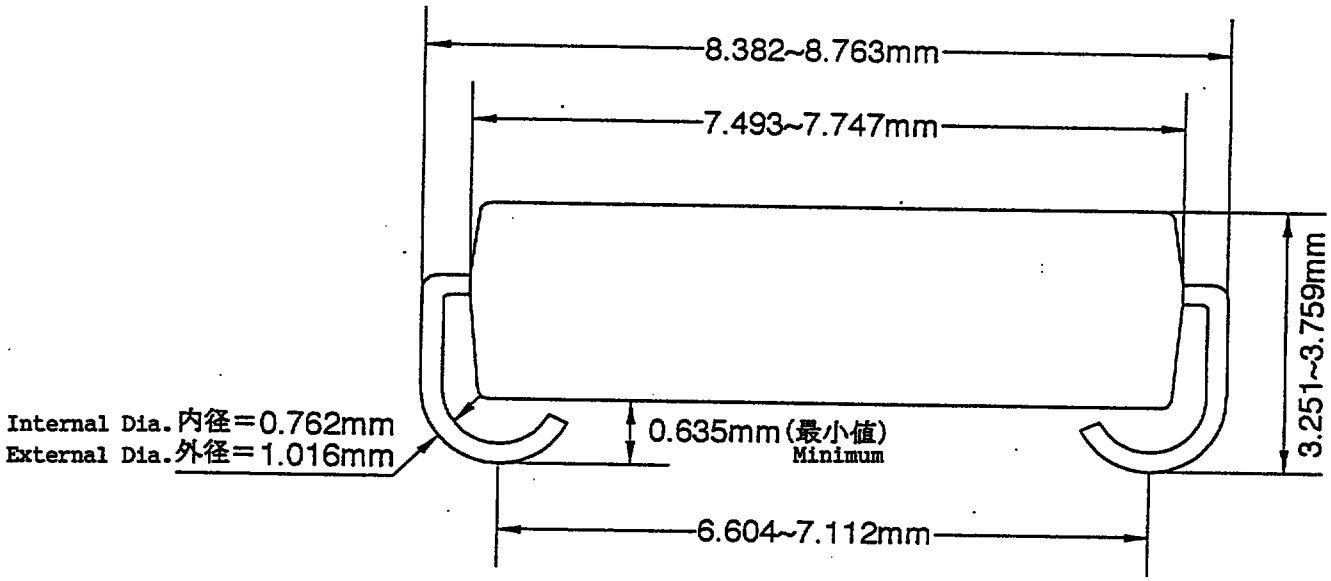
(b)



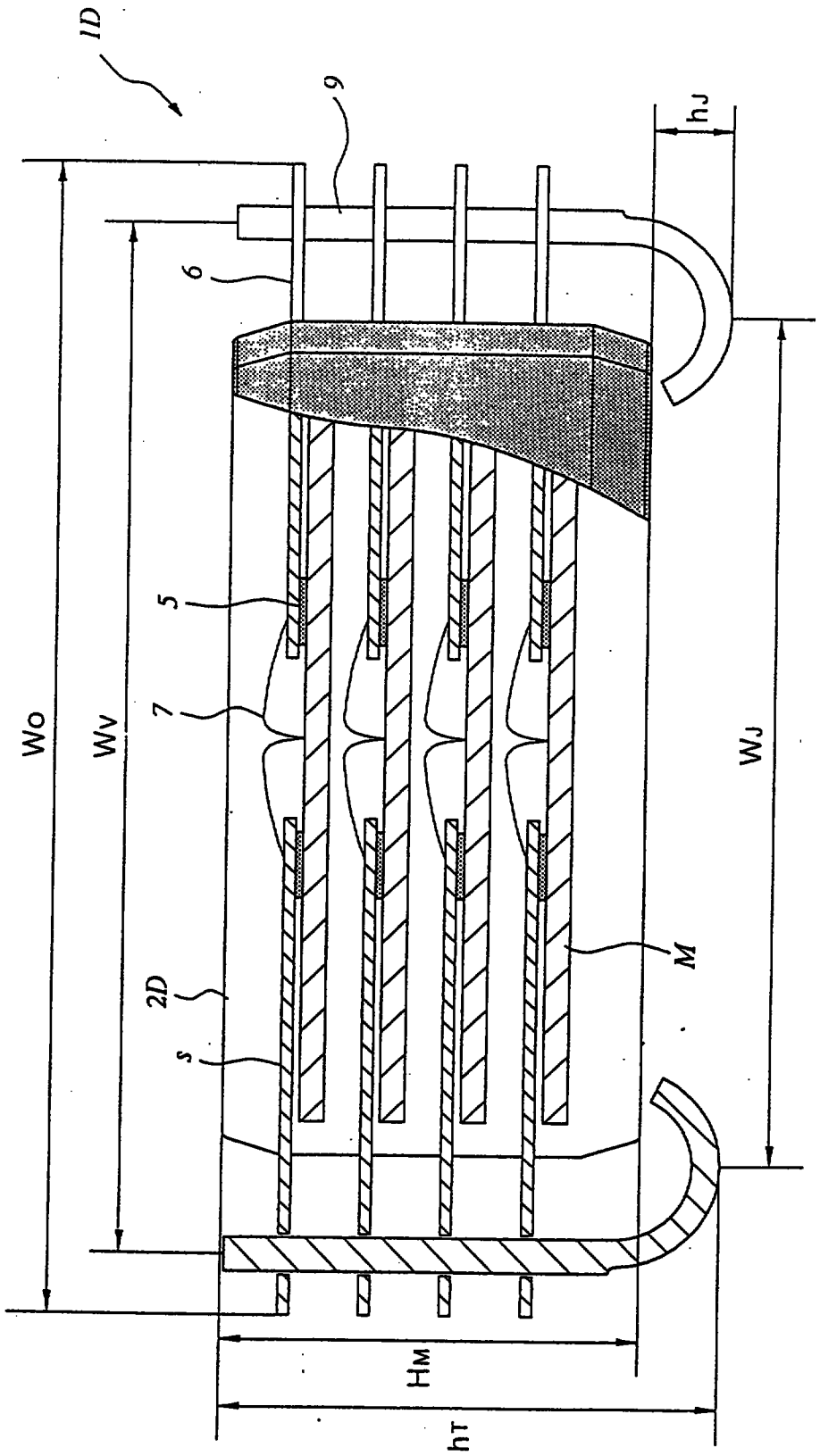
第 92 図 Fig.92



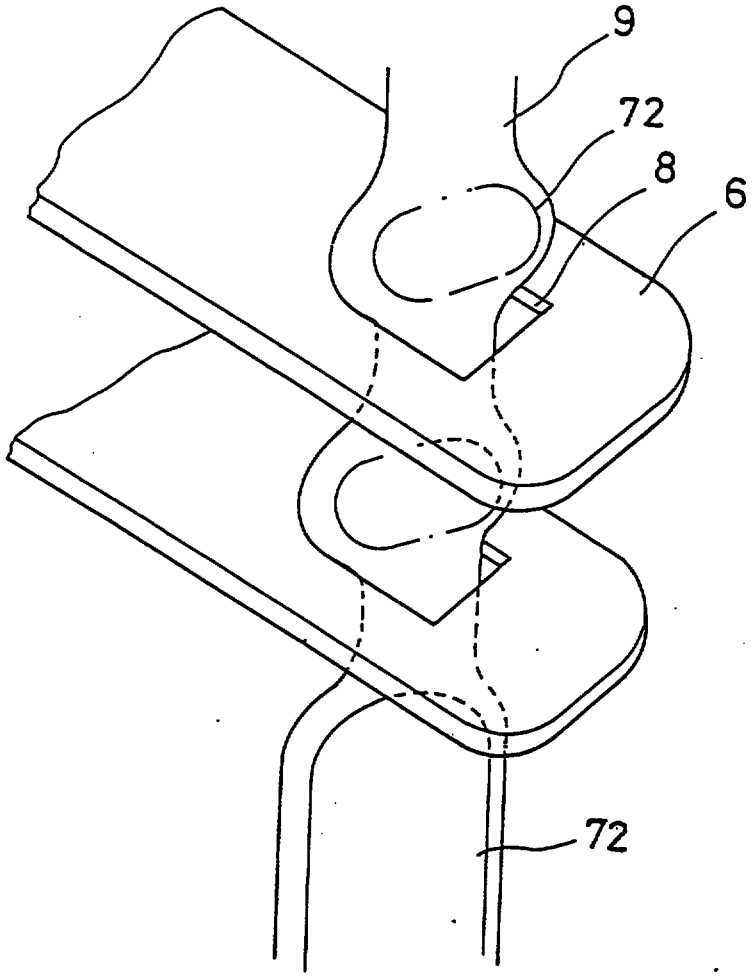
第 93 図
Fig. 93


8.382~8.763mm
7.493~7.747mm
3.251~3.759mm
Internal Dia. 内径＝0.762mm
External Dia. 外径＝1.016mm
0.635mm (最小値)
Minimum
6.604~7.112mm

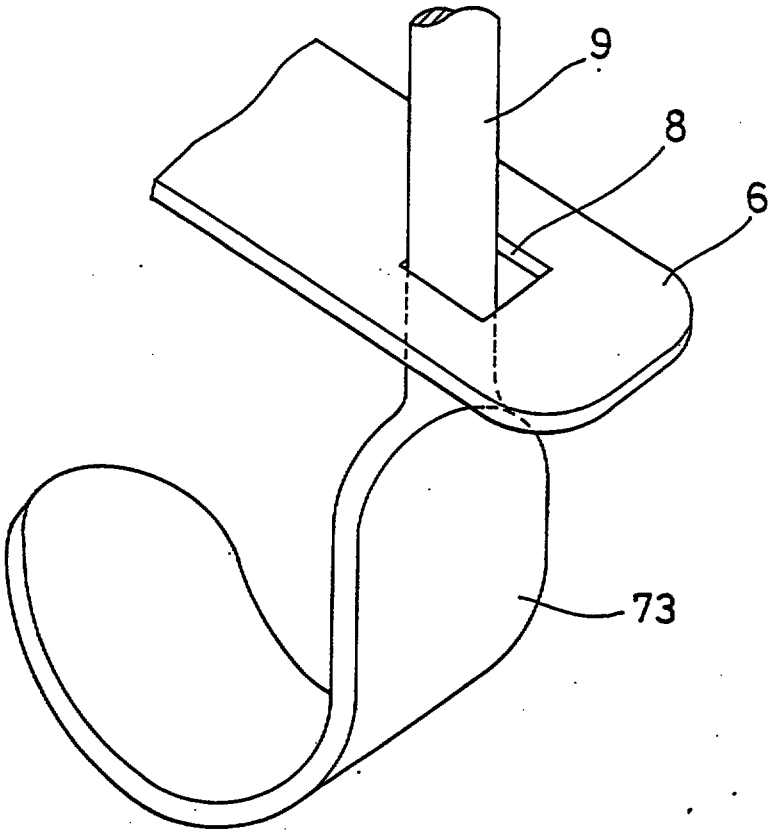
第 94 図 Fig.94



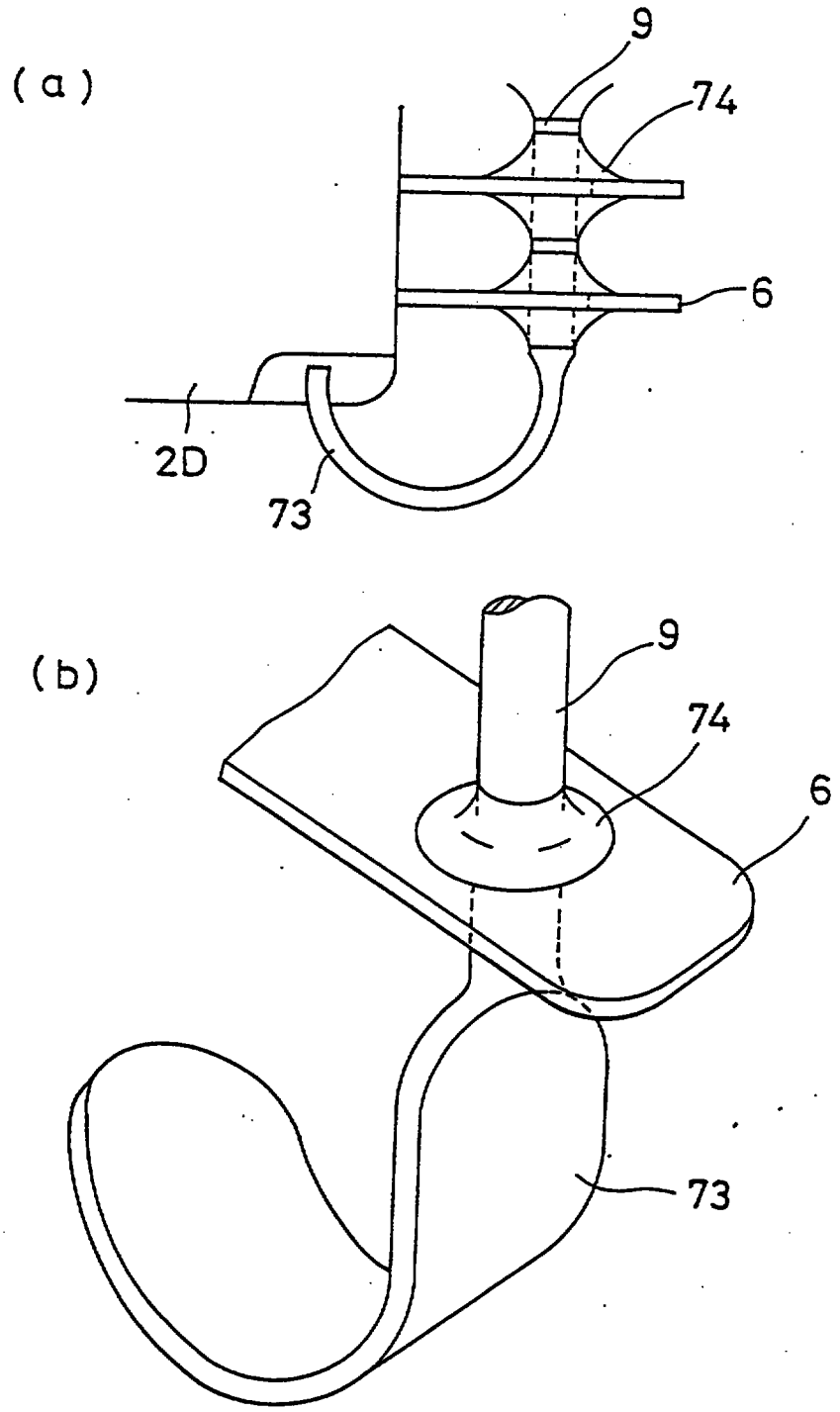
第 95 図　Fig.95



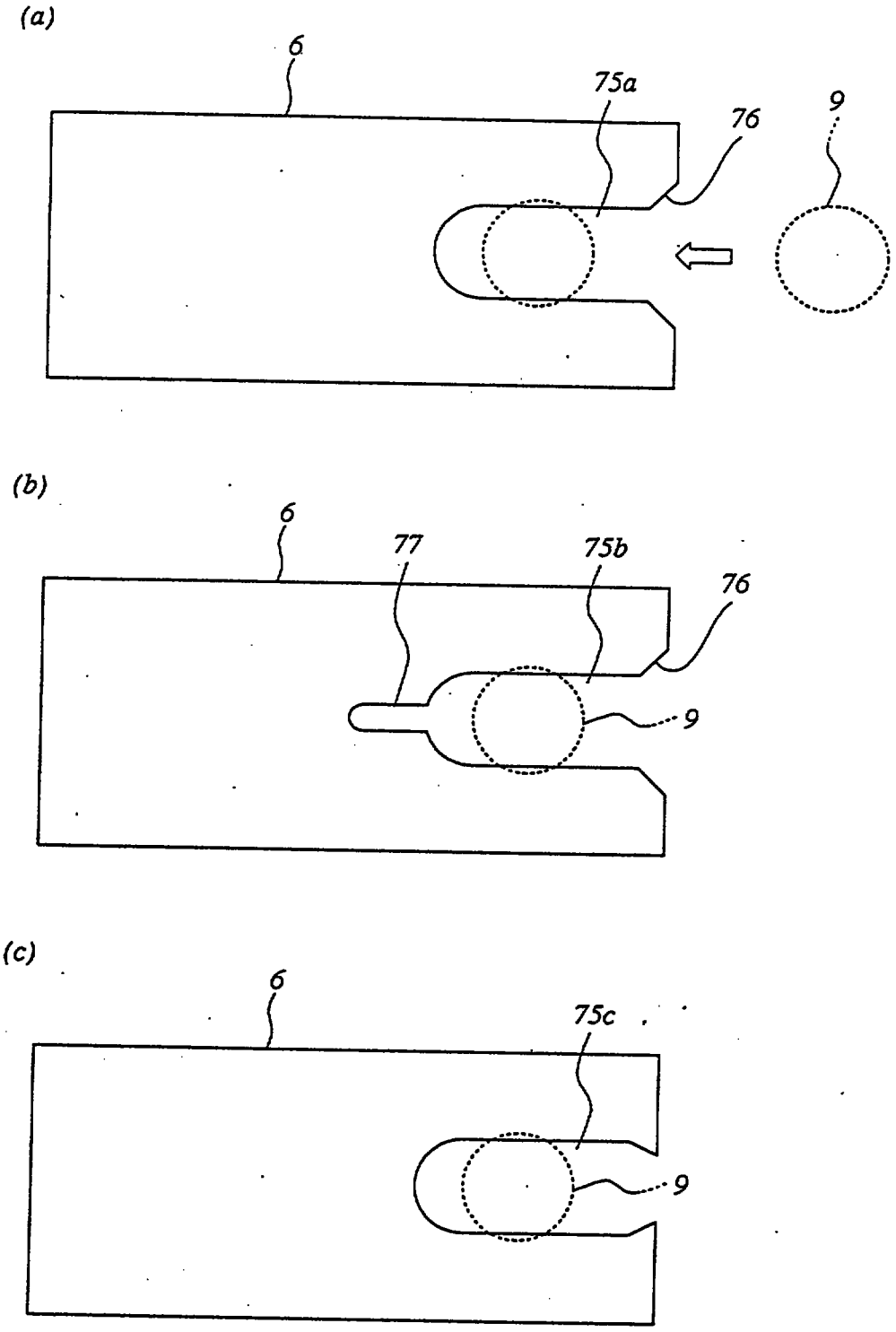
第 96 図　Fig.96



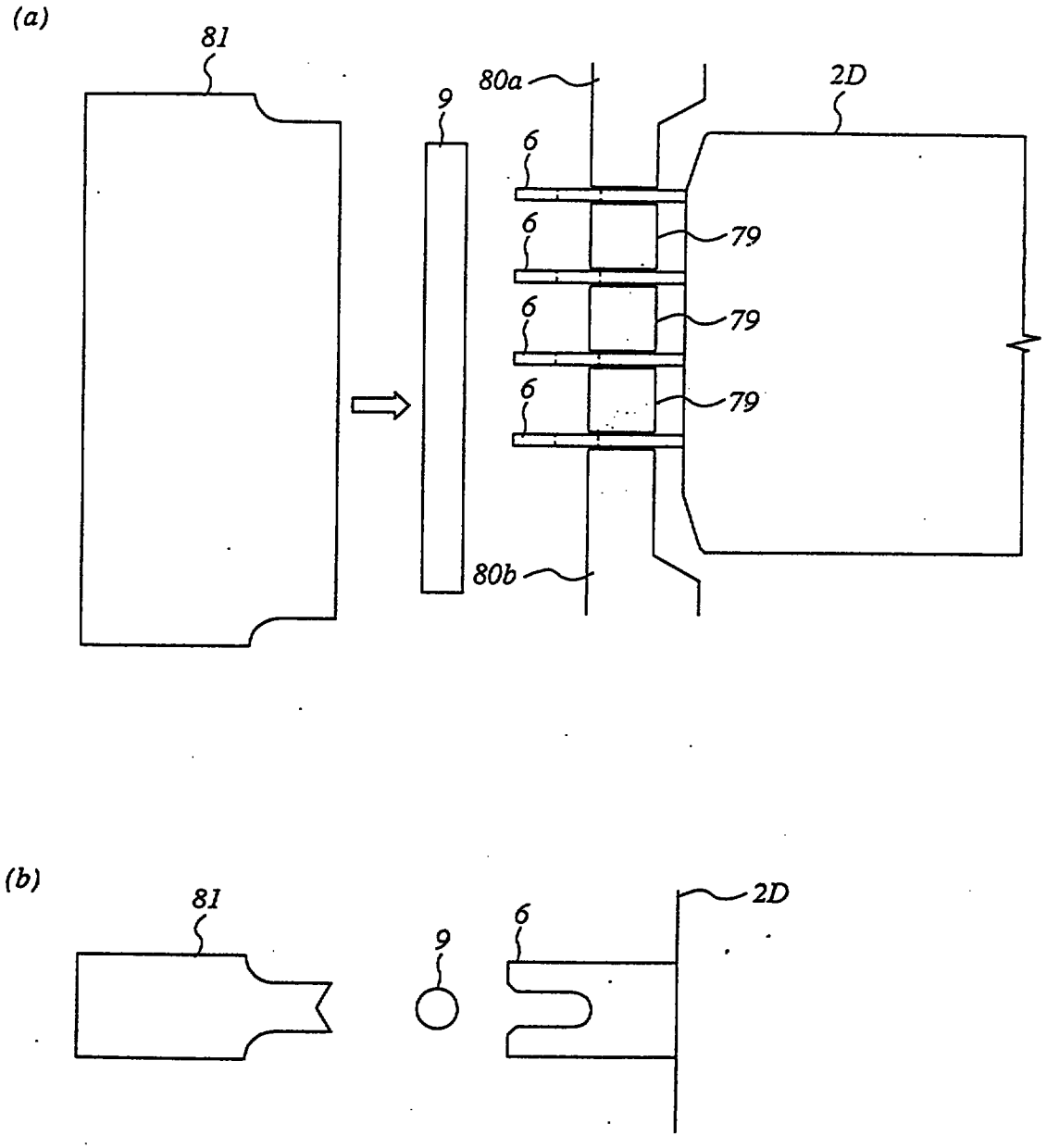
第 97 図　Fig.97



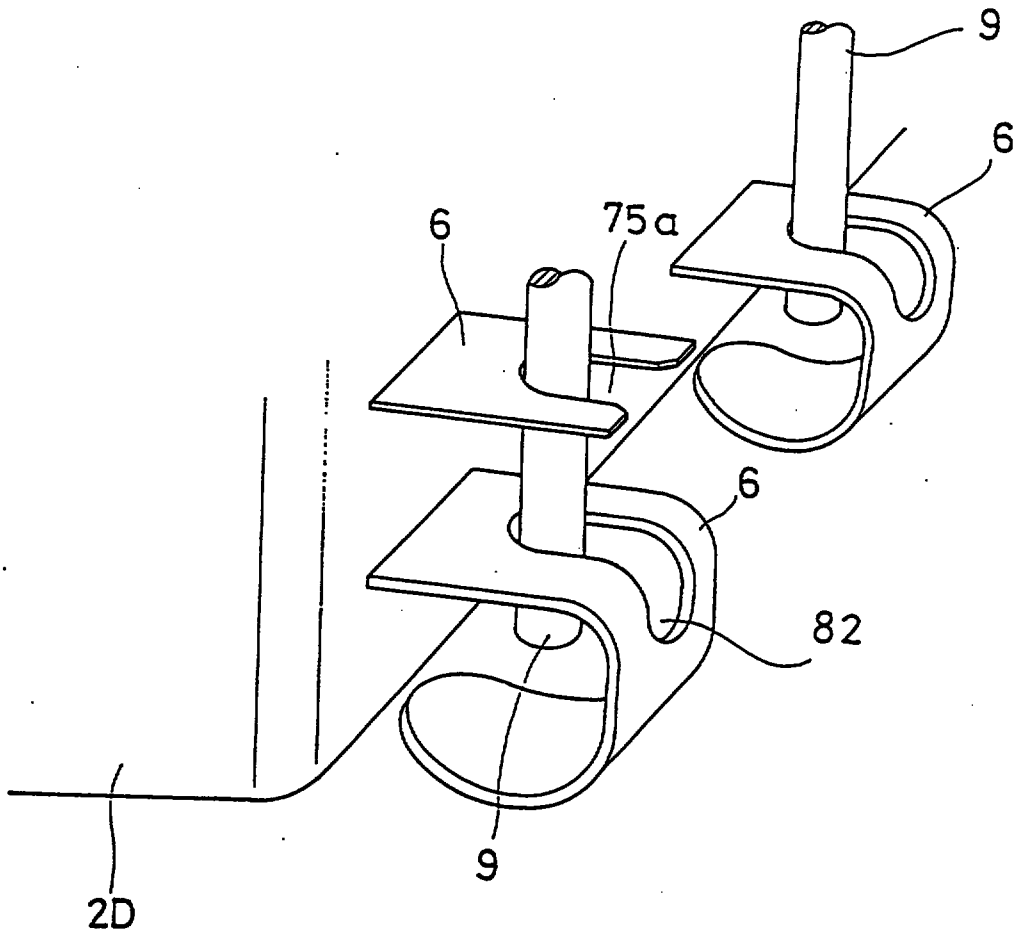
第 98 図　Fig.98



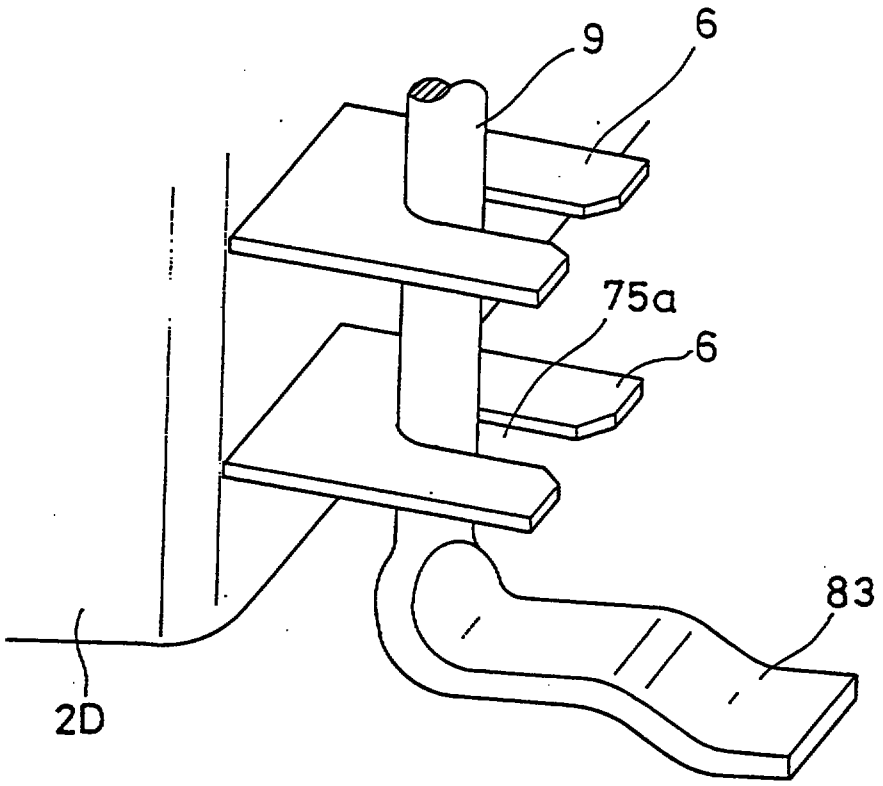
第 99 図　Fig.99



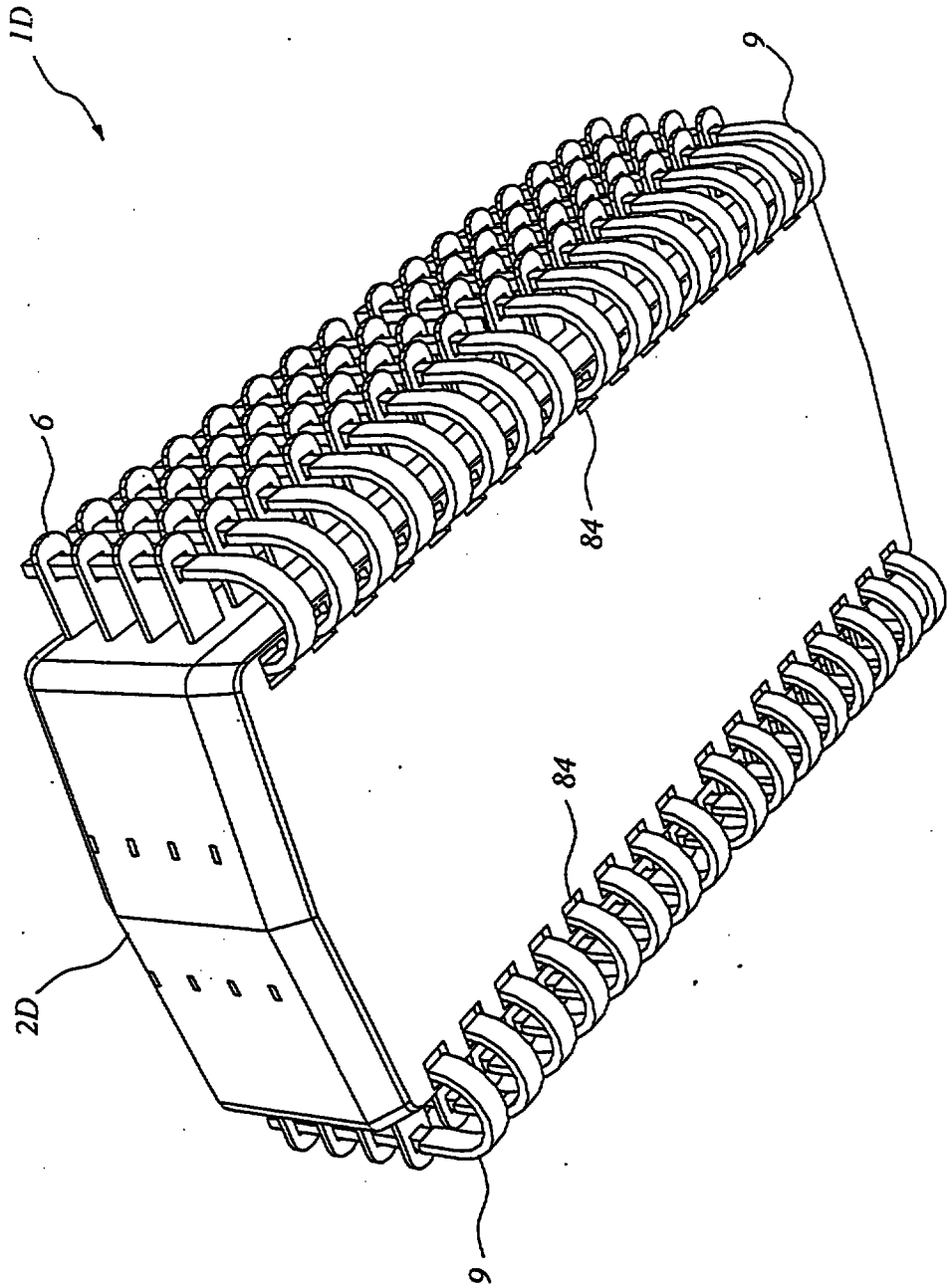
第100図 Fig.100



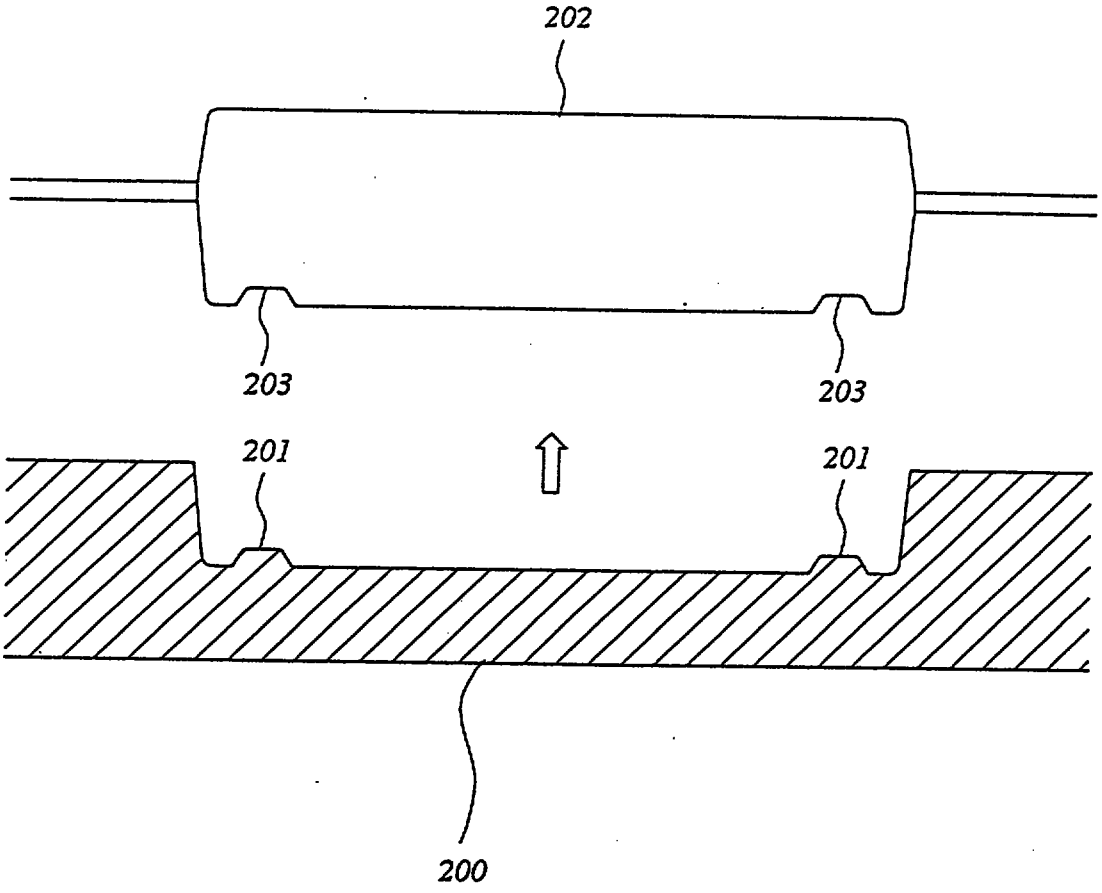
第101図　Fig.101



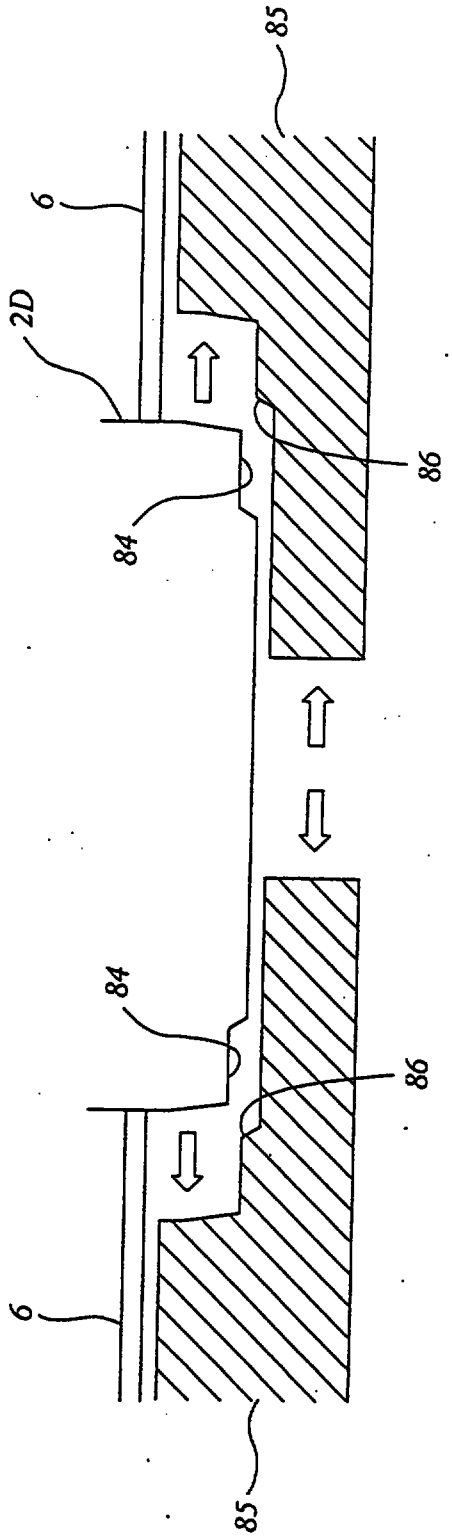
第 102 図 Fig.102



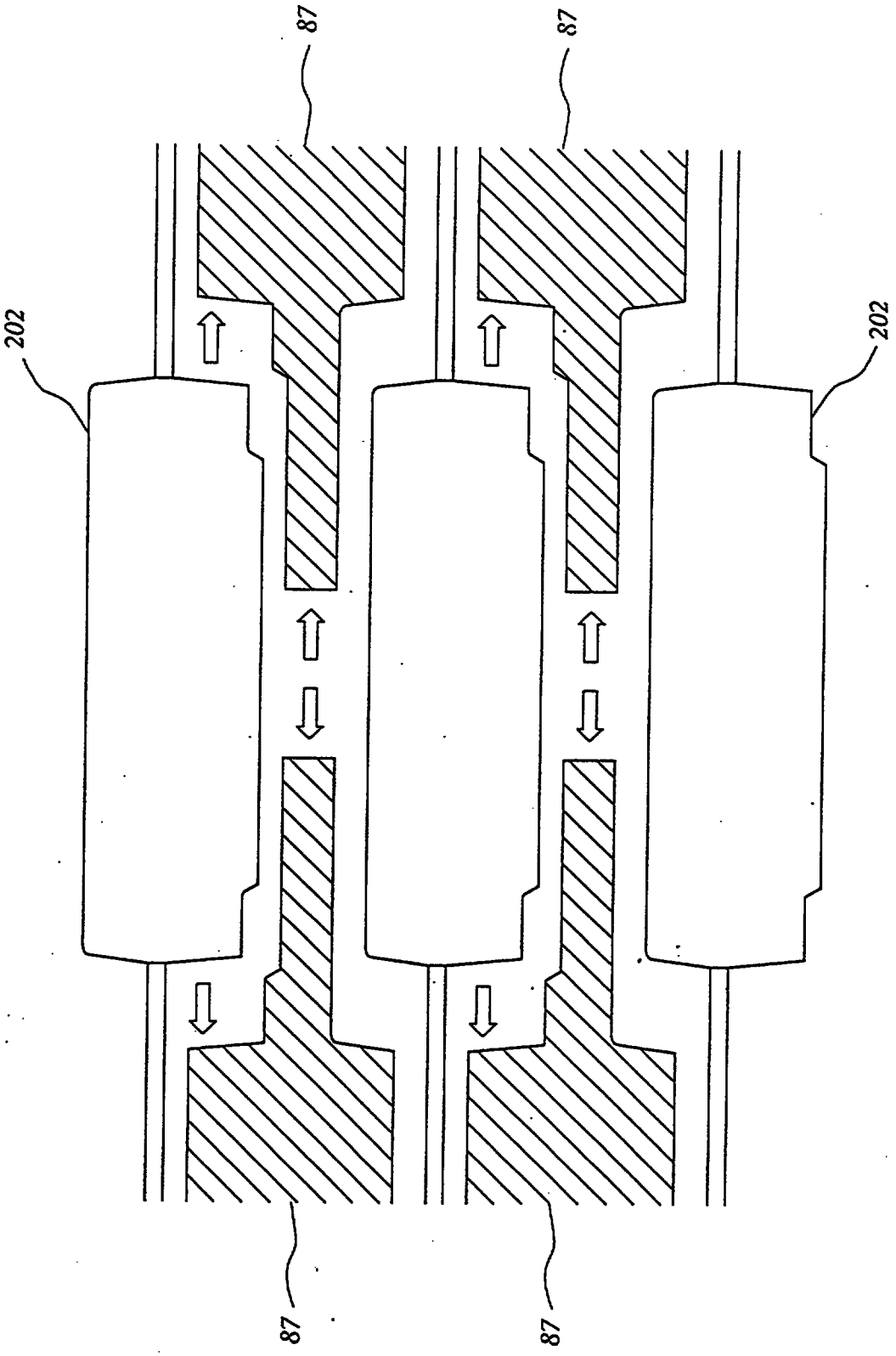
第 103 図　Fig.103



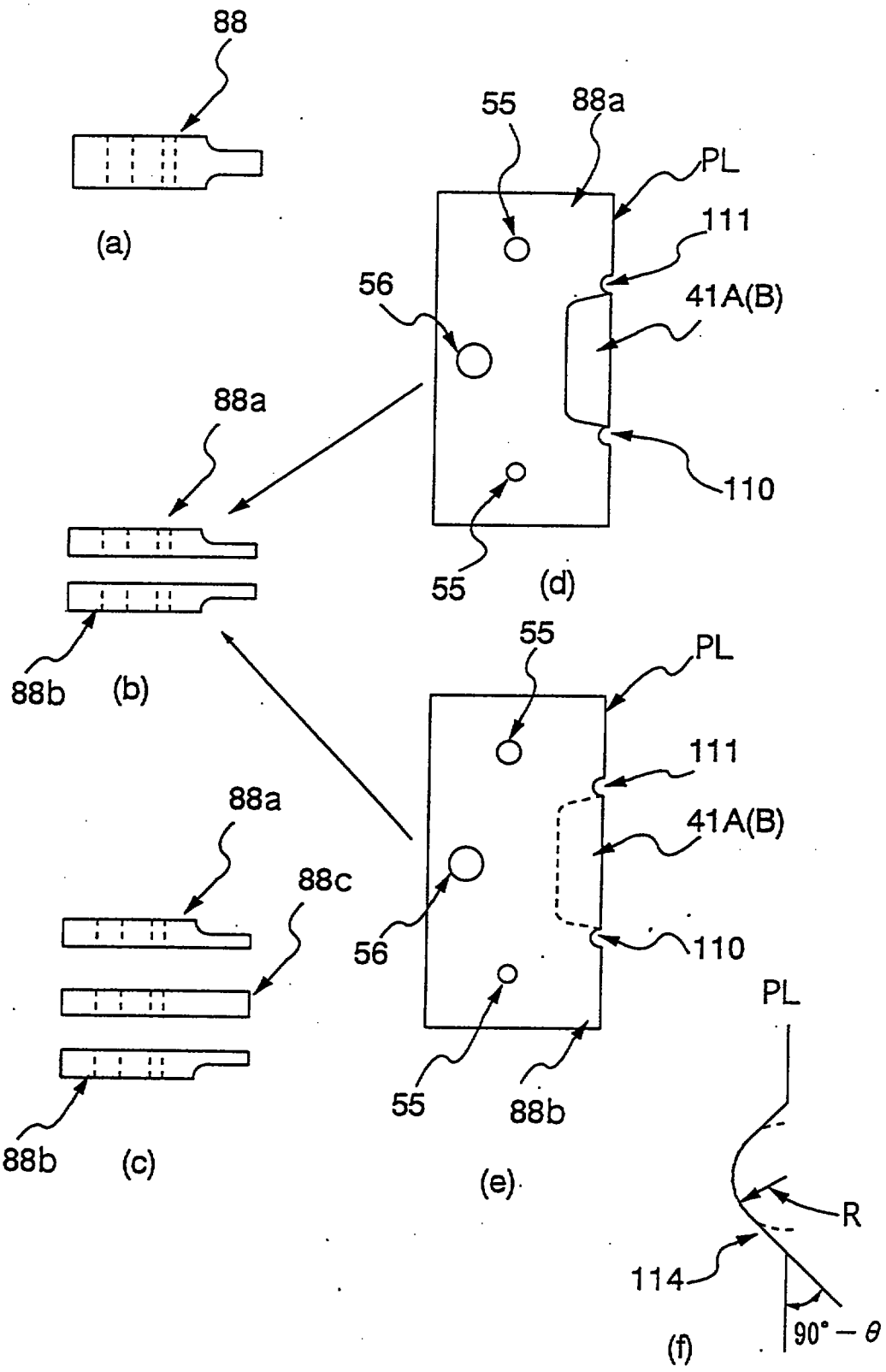
第 104 図 Fig.104



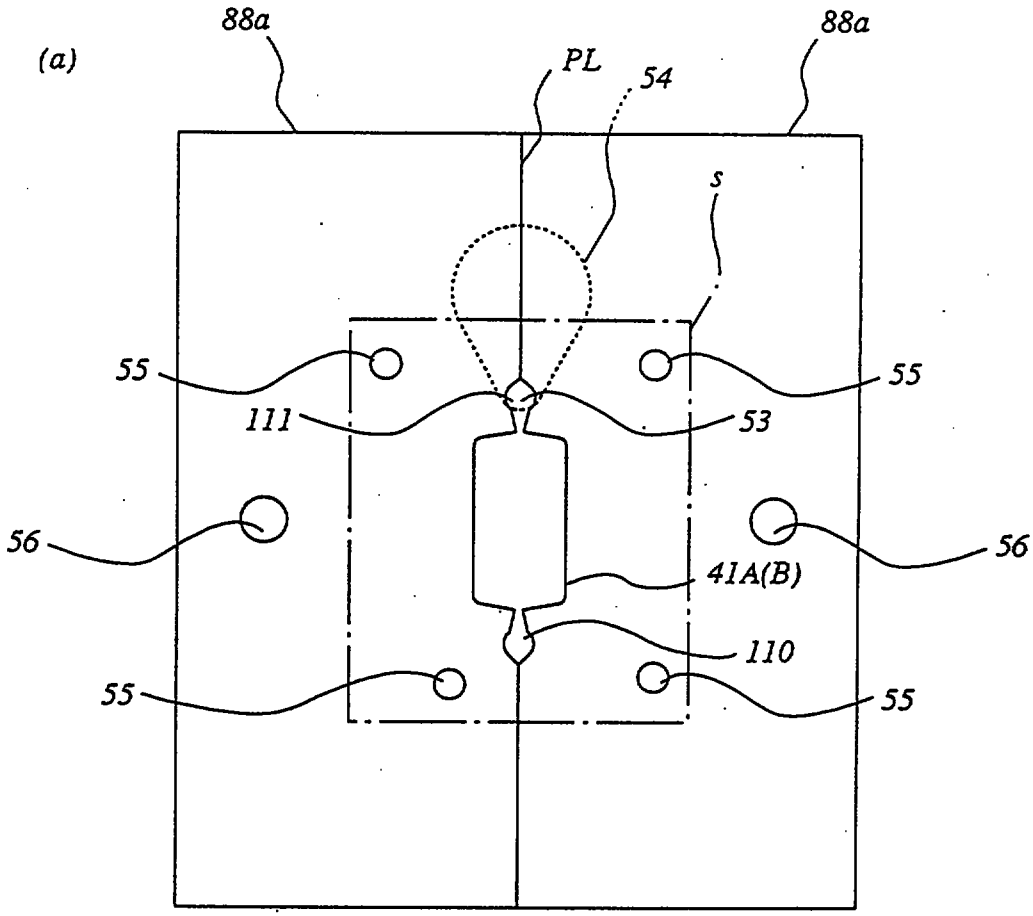
第 105 図 Fig.105

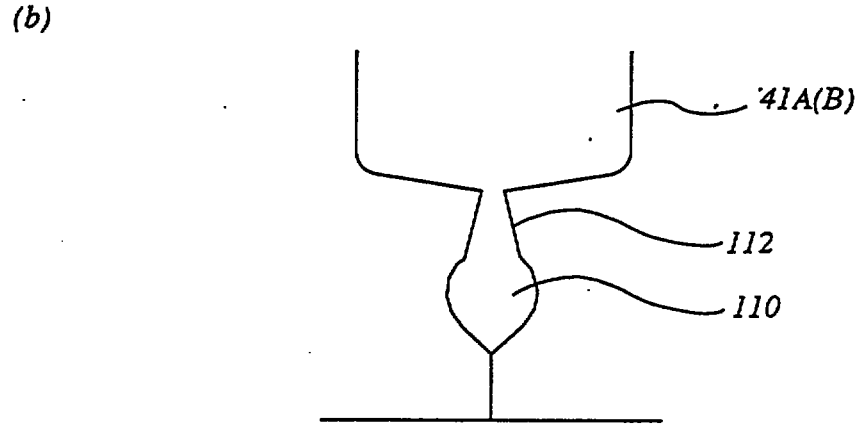


第 106 図 Fig.106

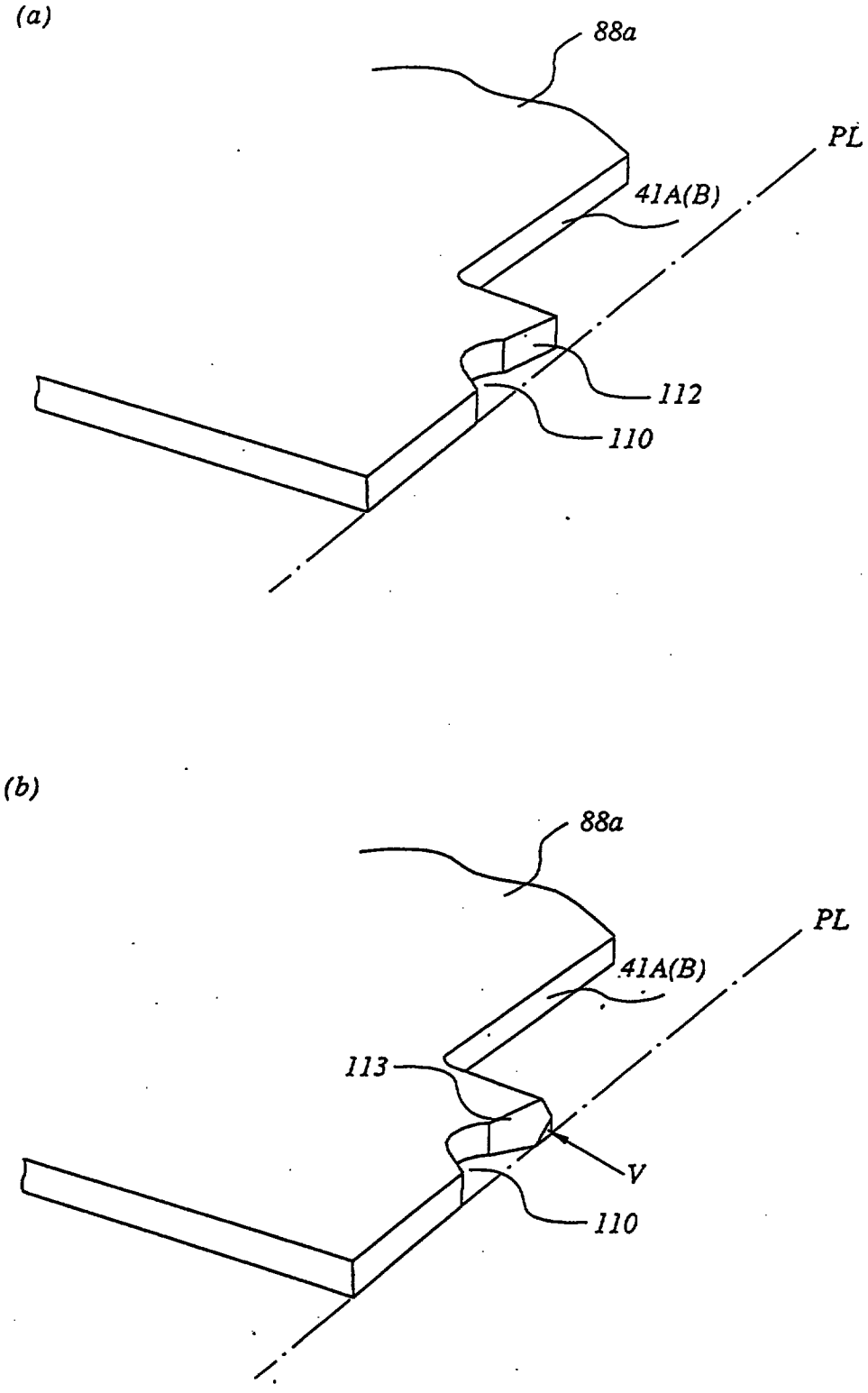


第 107 図 Fig.107

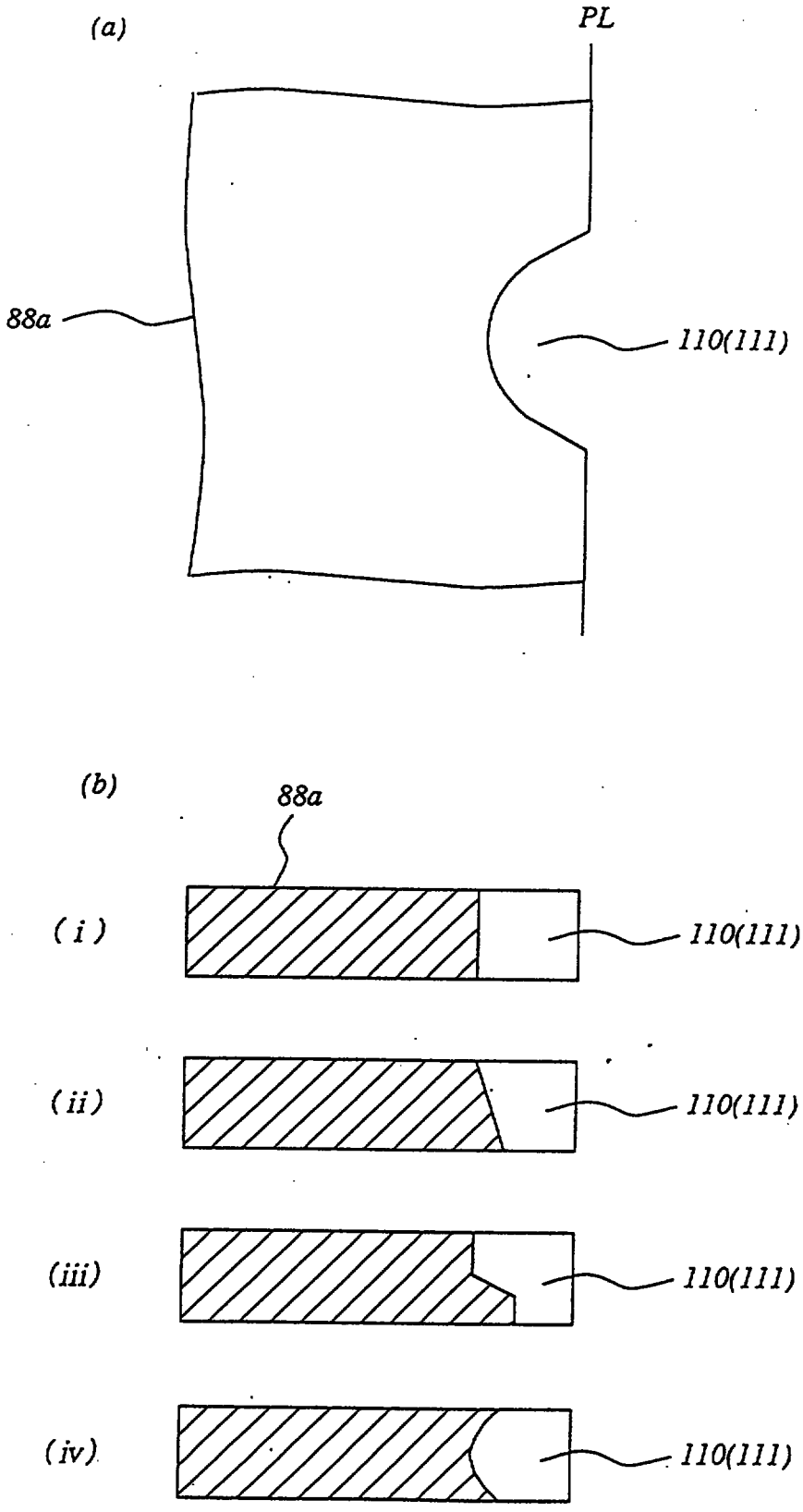




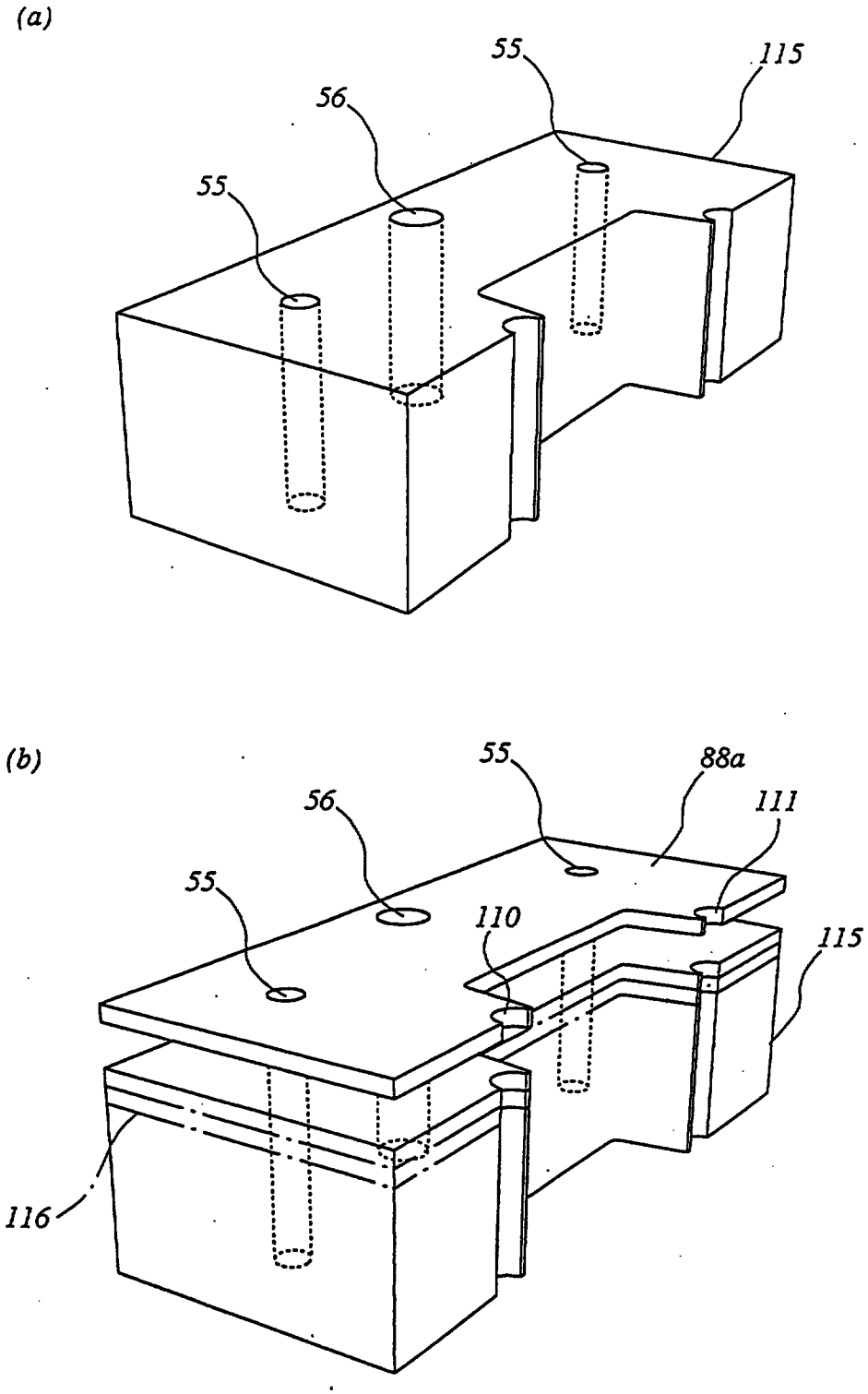
第 108 図 Fig.108



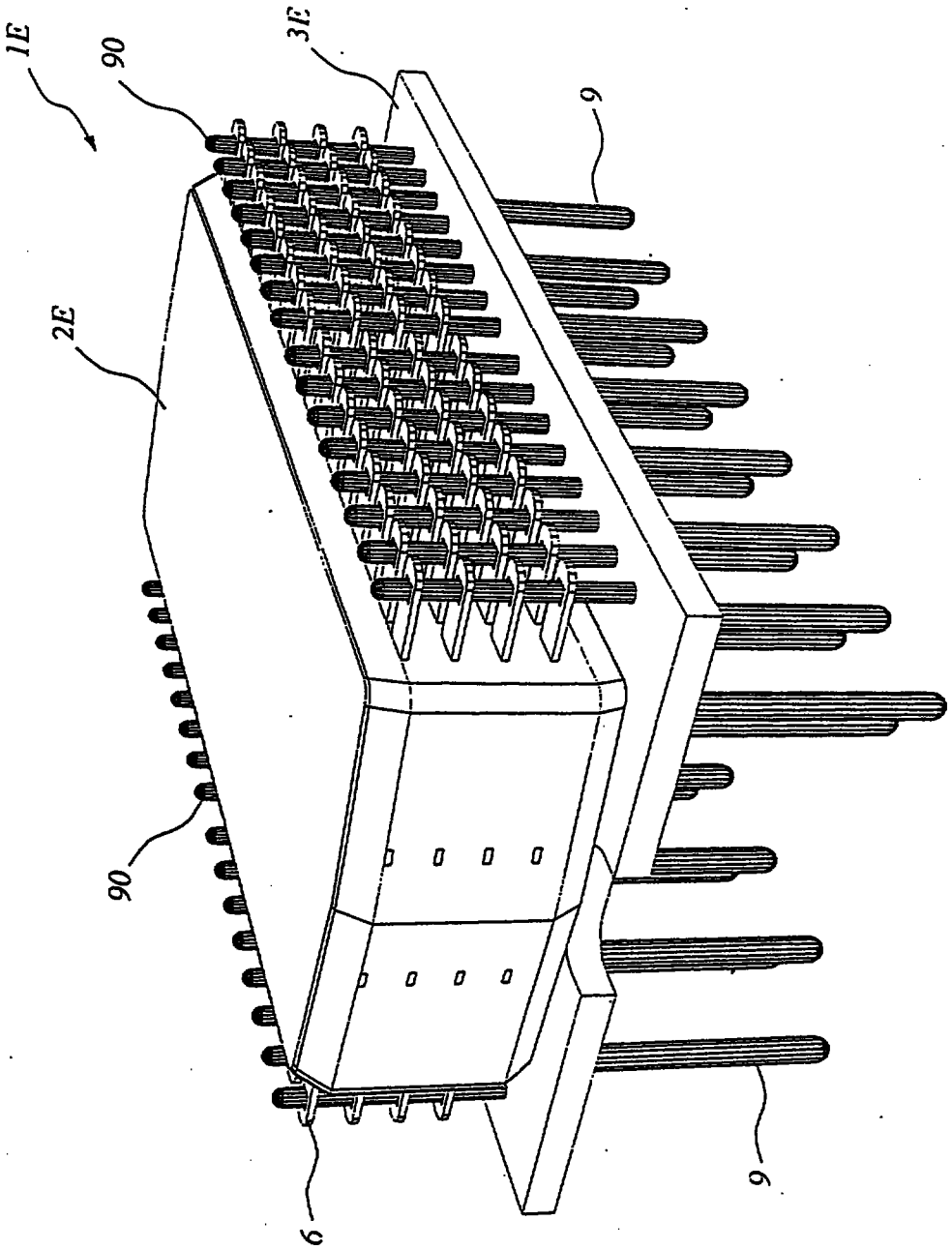
第 109 図 Fig.109



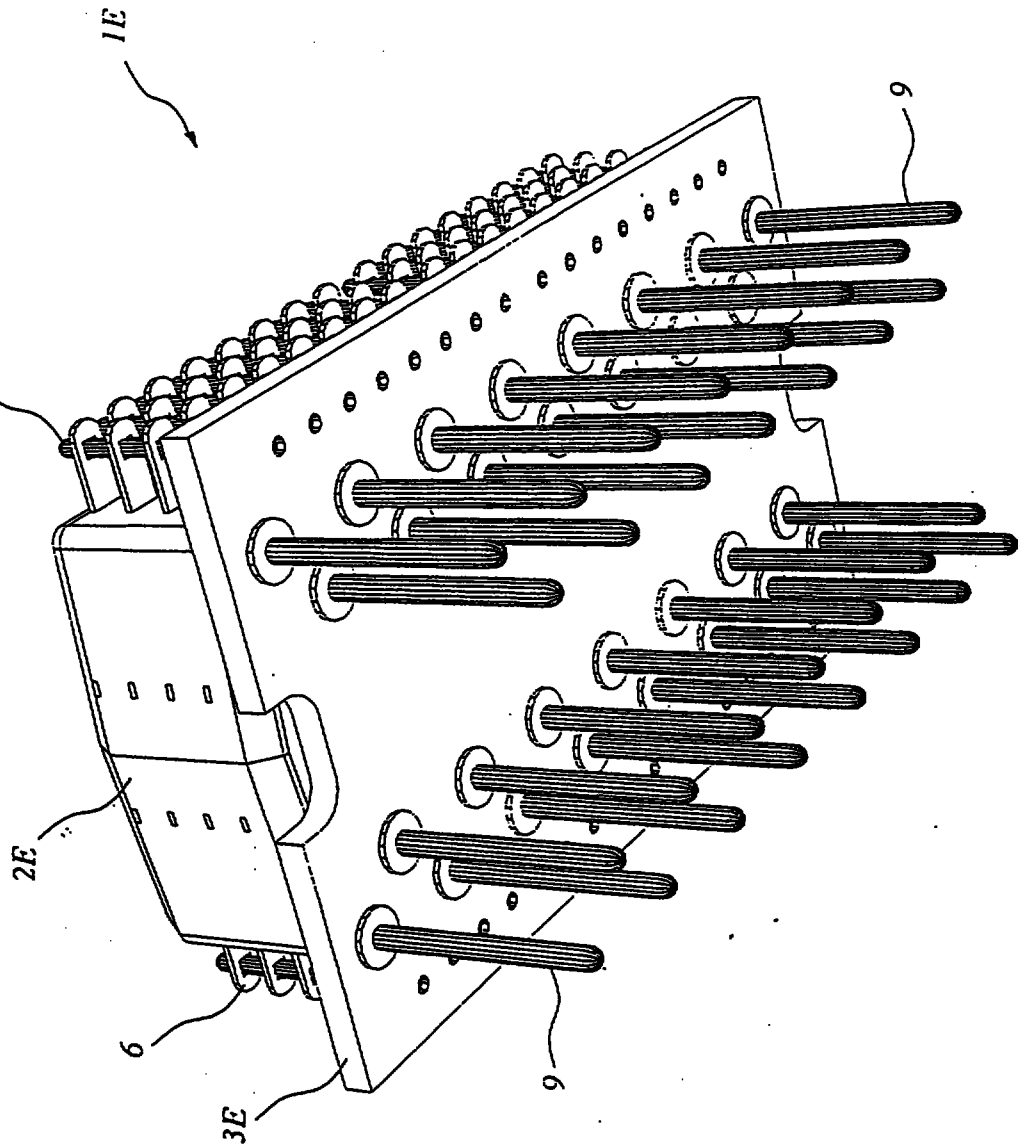
第 110 図 Fig.110



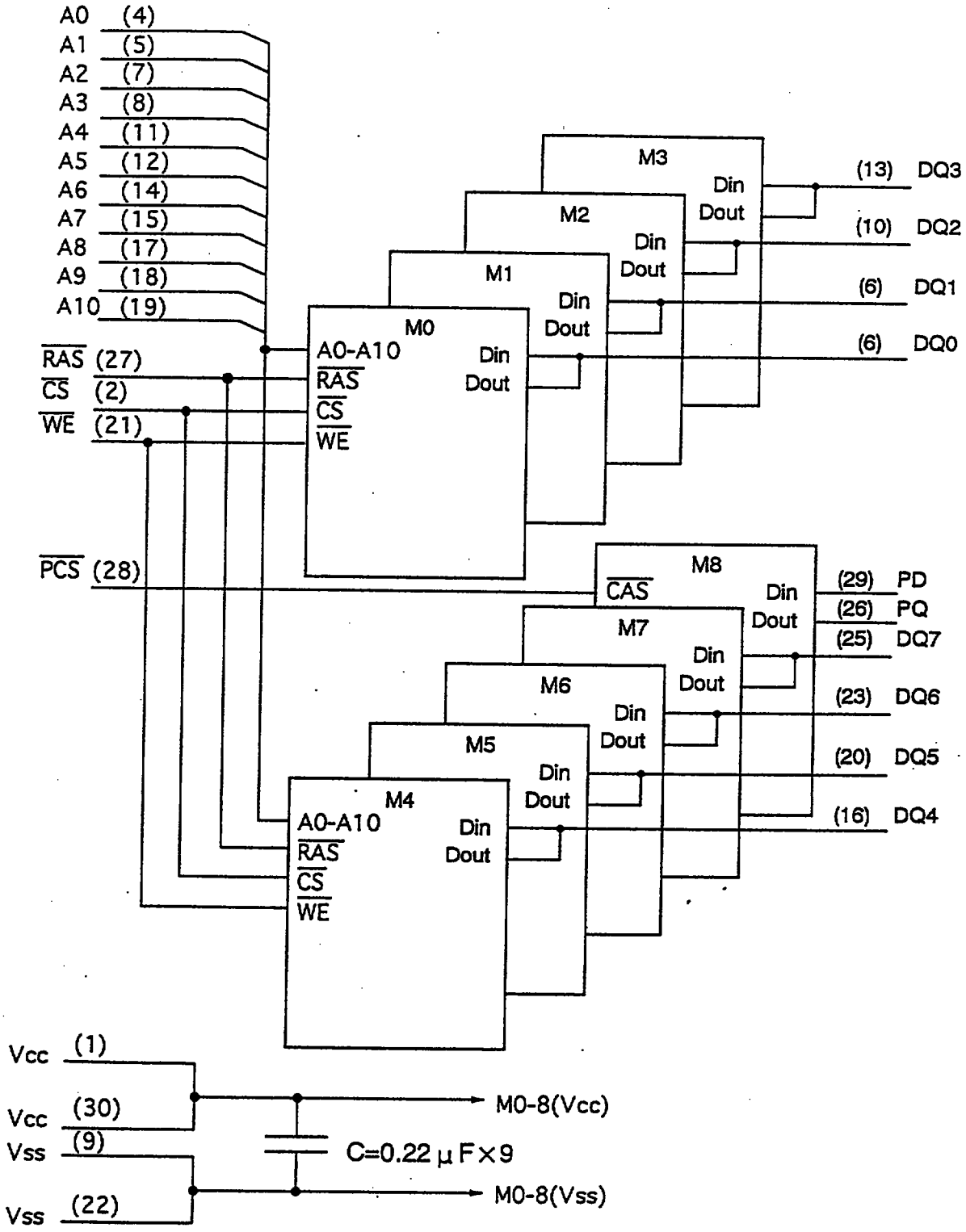
第 111 図 Fig.111



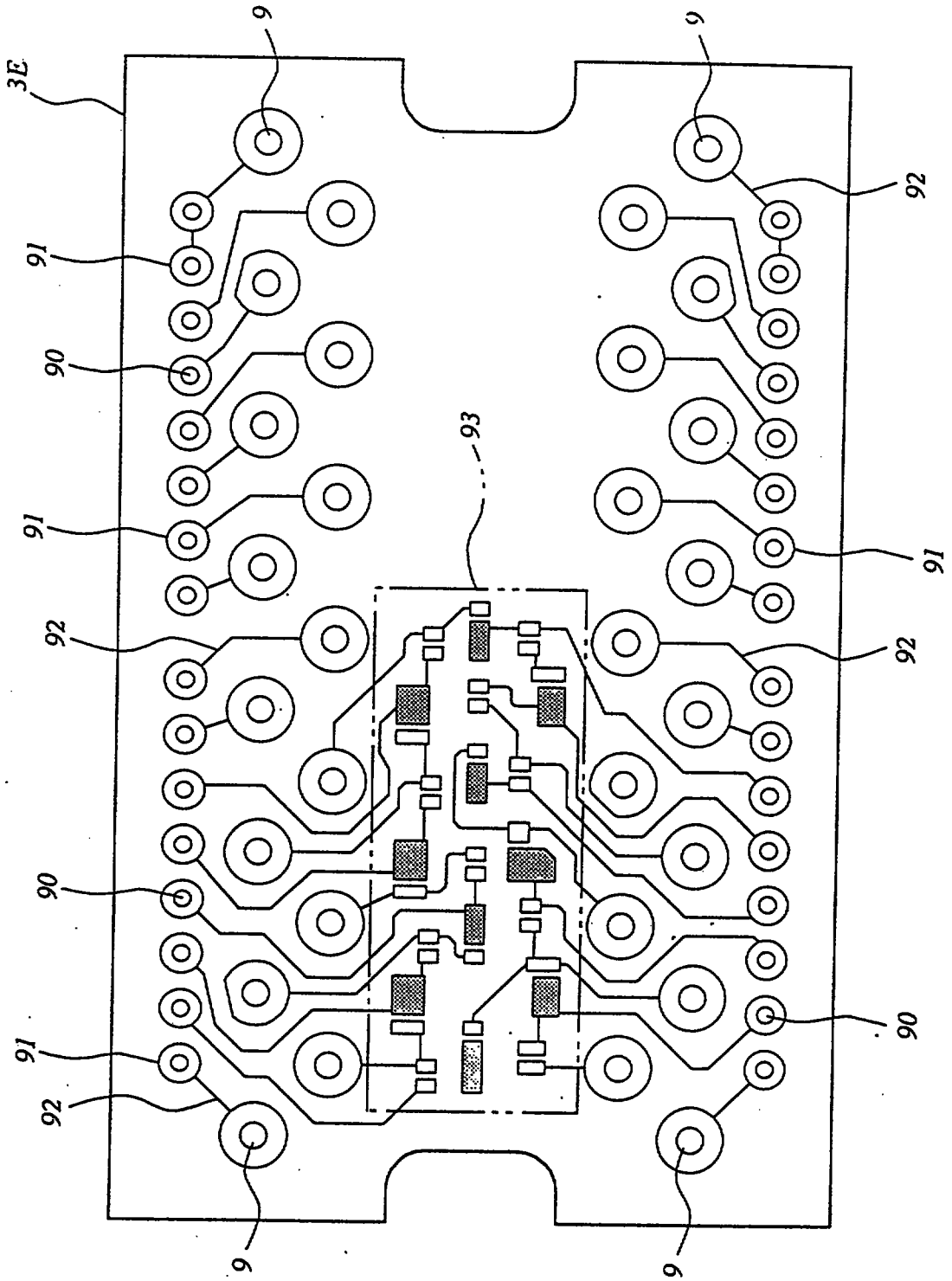
第 112 図 Fig.112



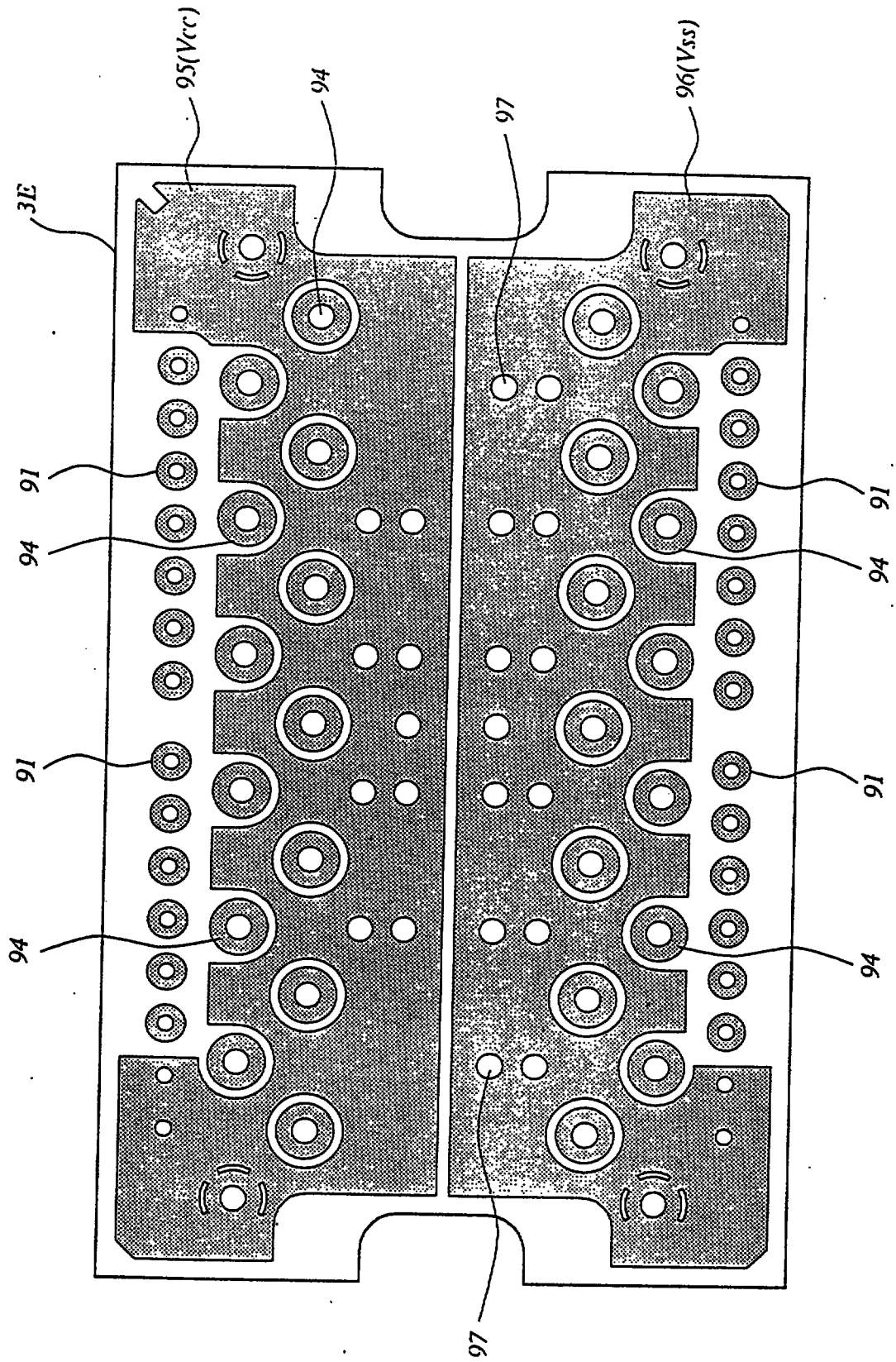
第 113 図 Fig.113



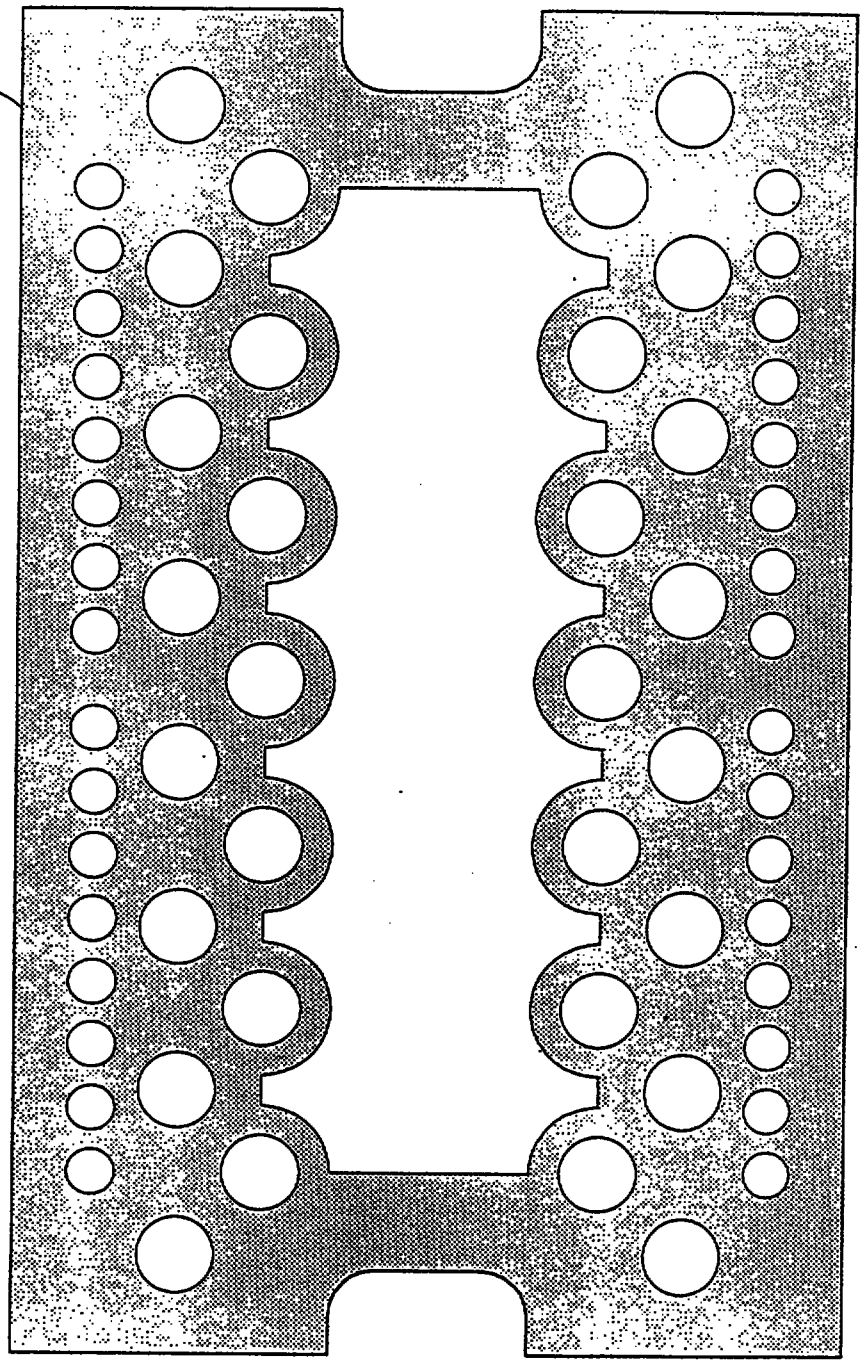
第 114 図 Fig.114



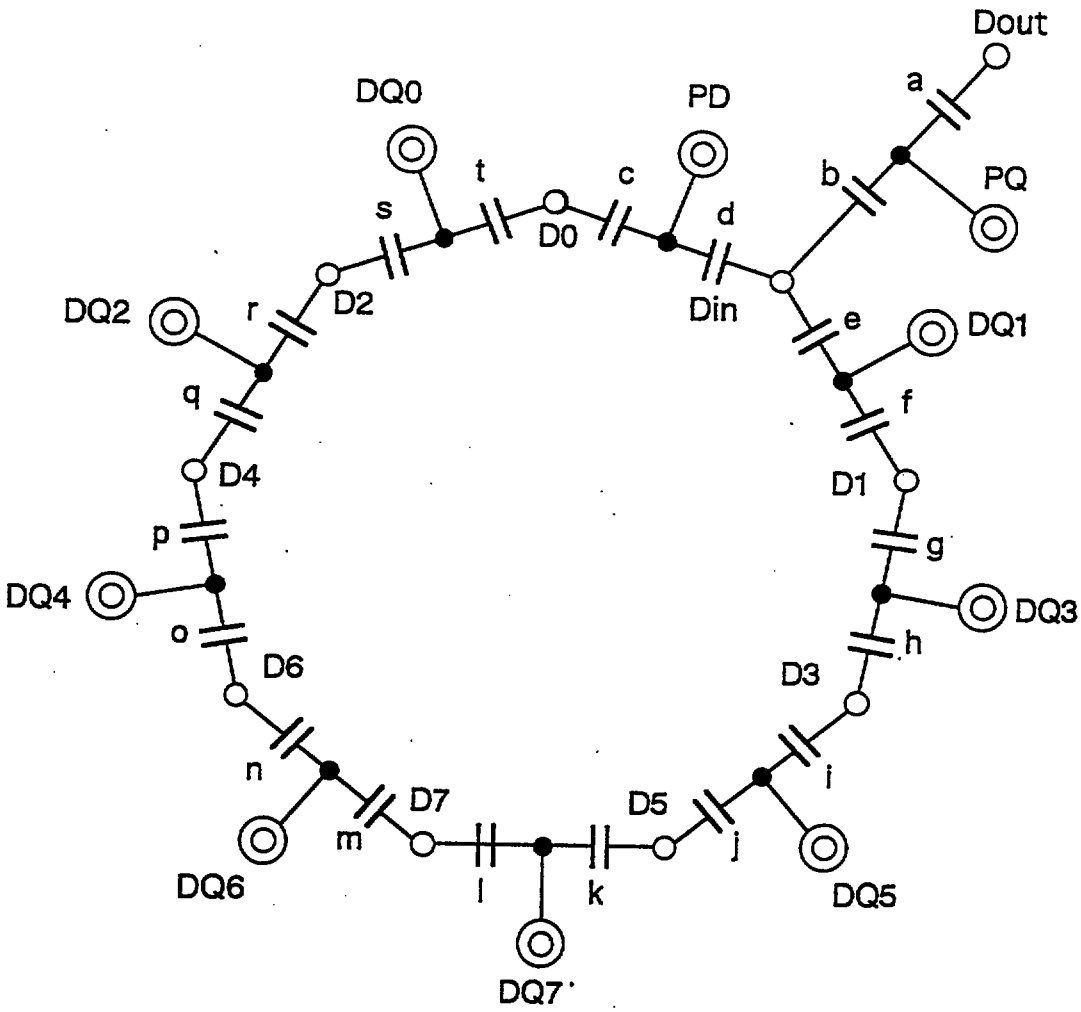
第 115 図 Fig.115



第 116 図 Fig.116

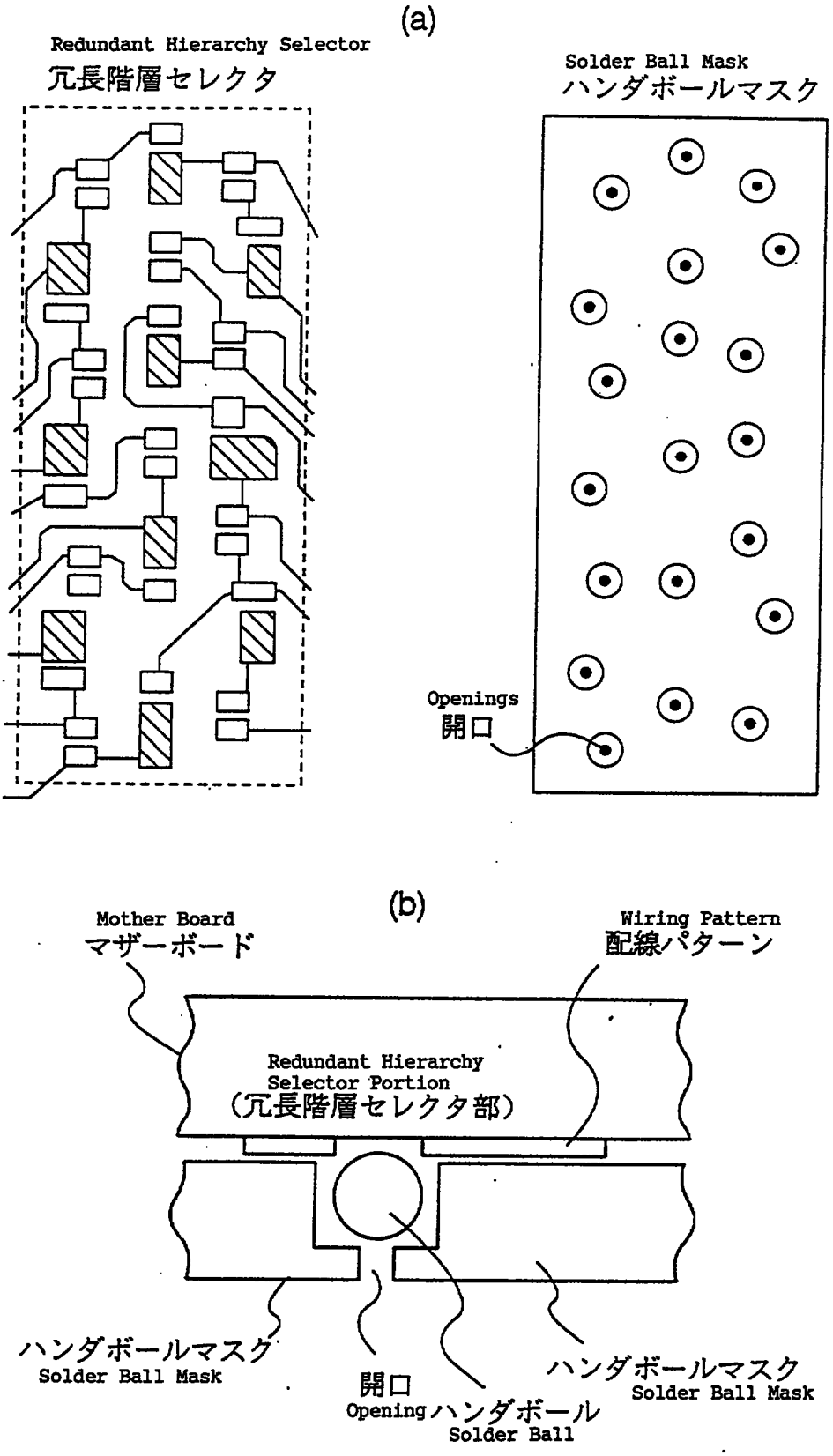


第 117 図 Fig.117

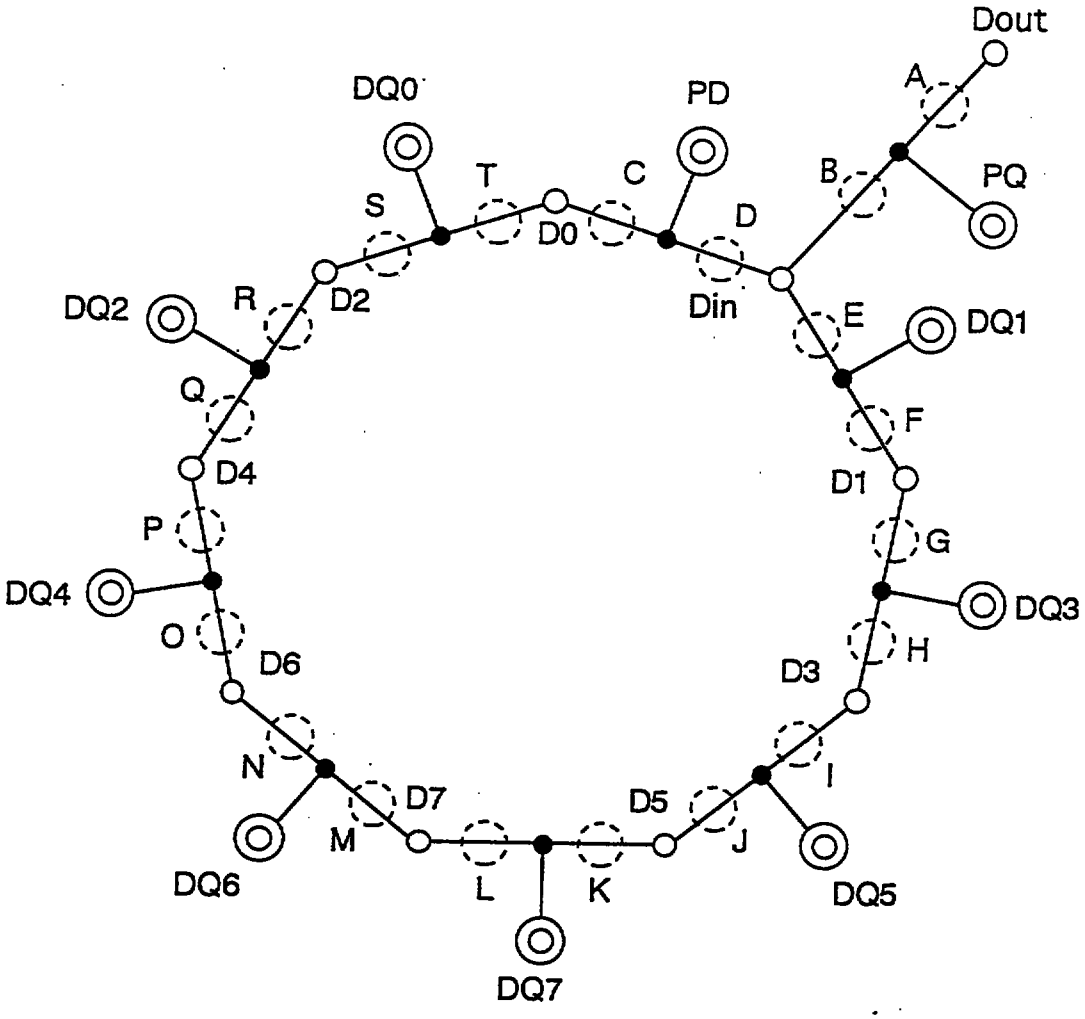


第 118 図

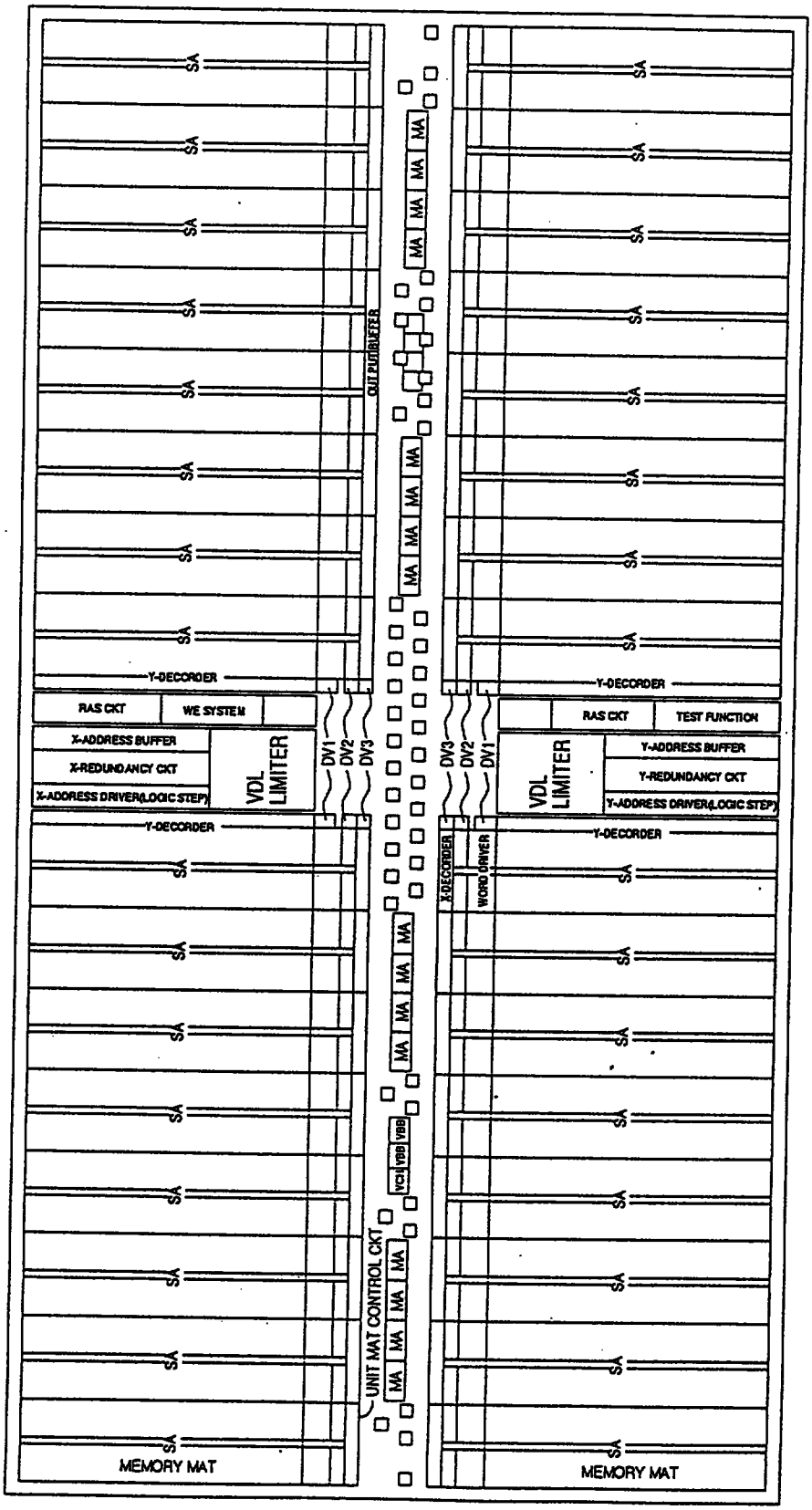
Fig. 118



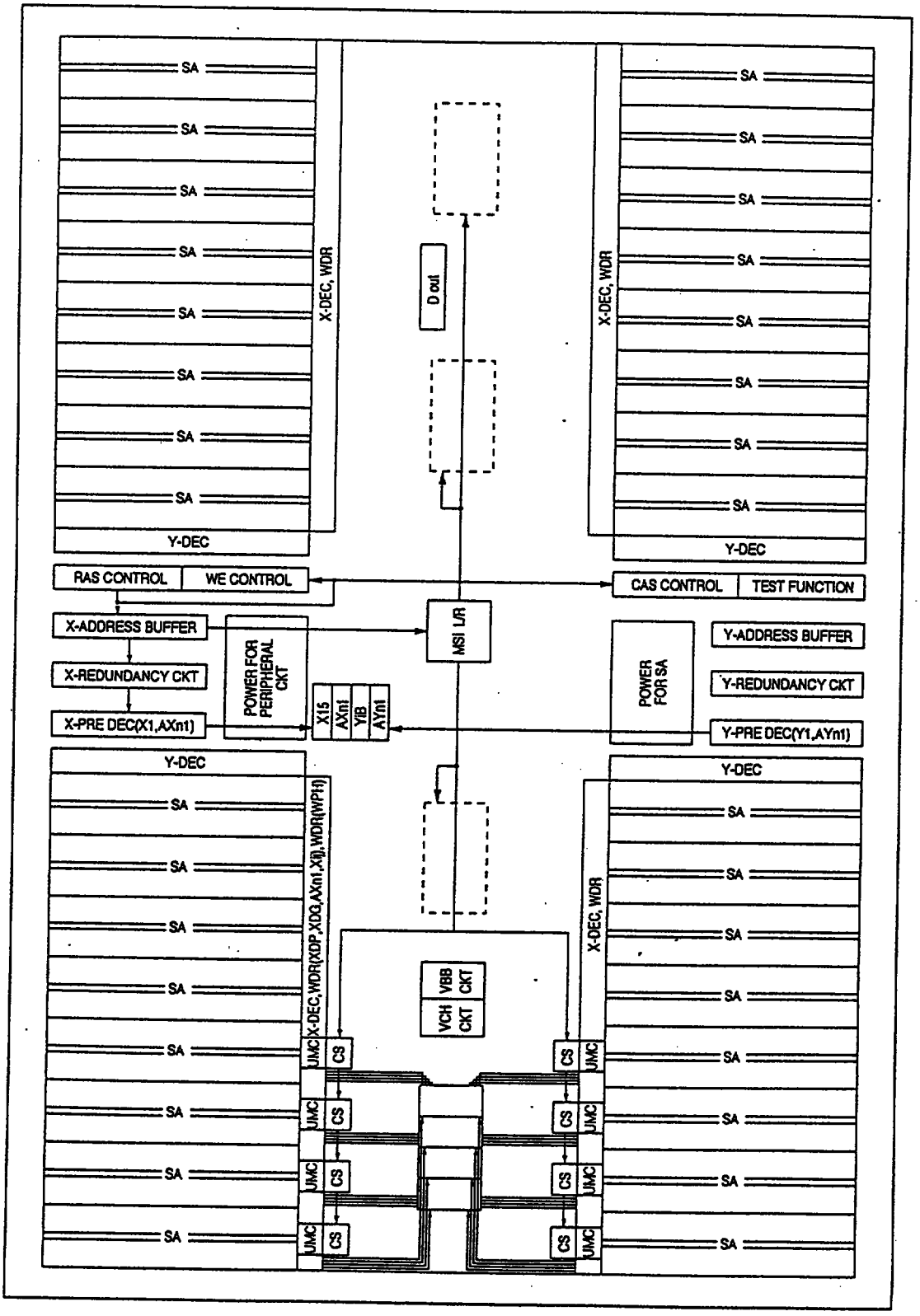
第 119 図 Fig.119



第 120 図 Fig.120

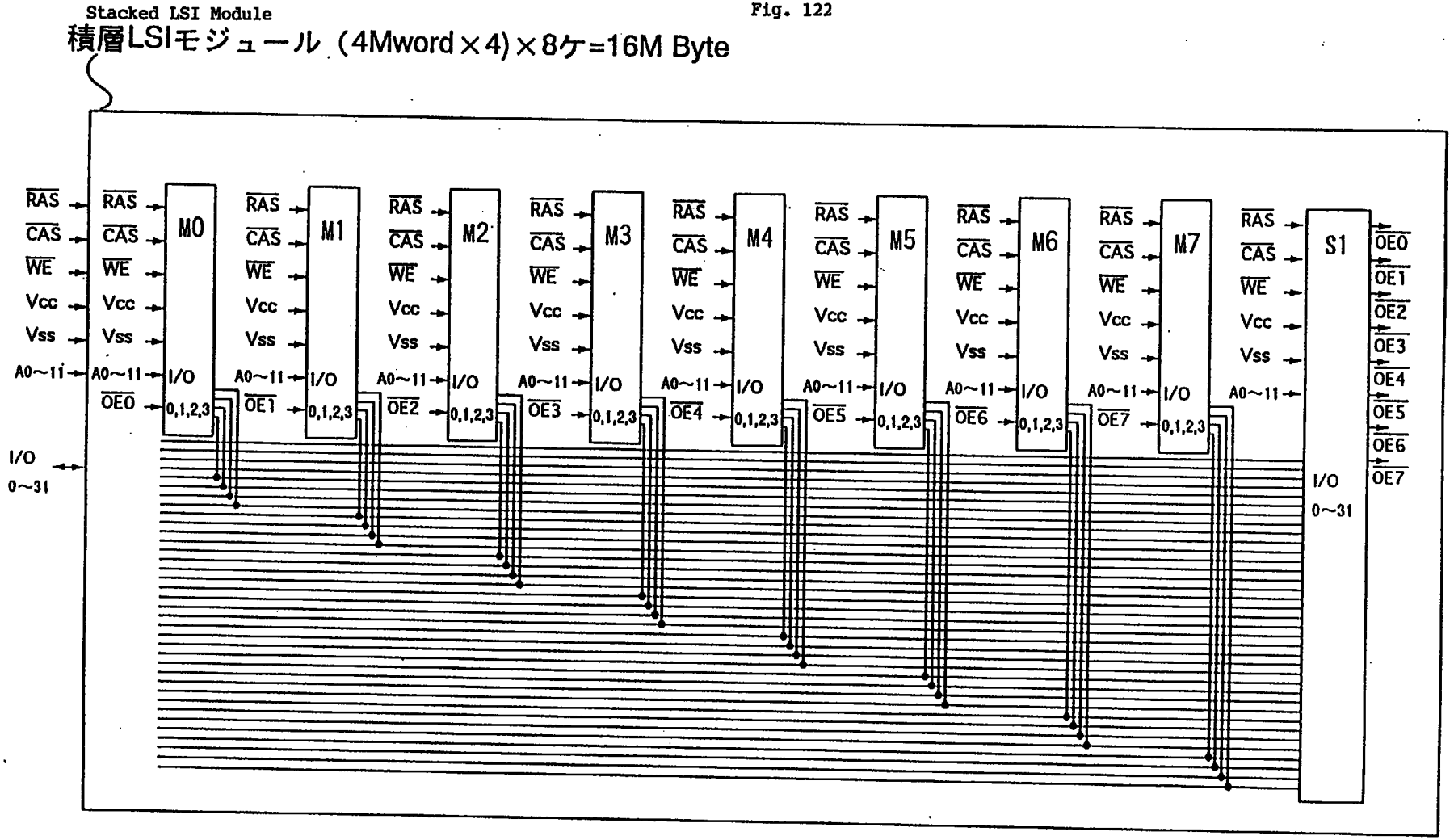


第 121 図 Fig.121



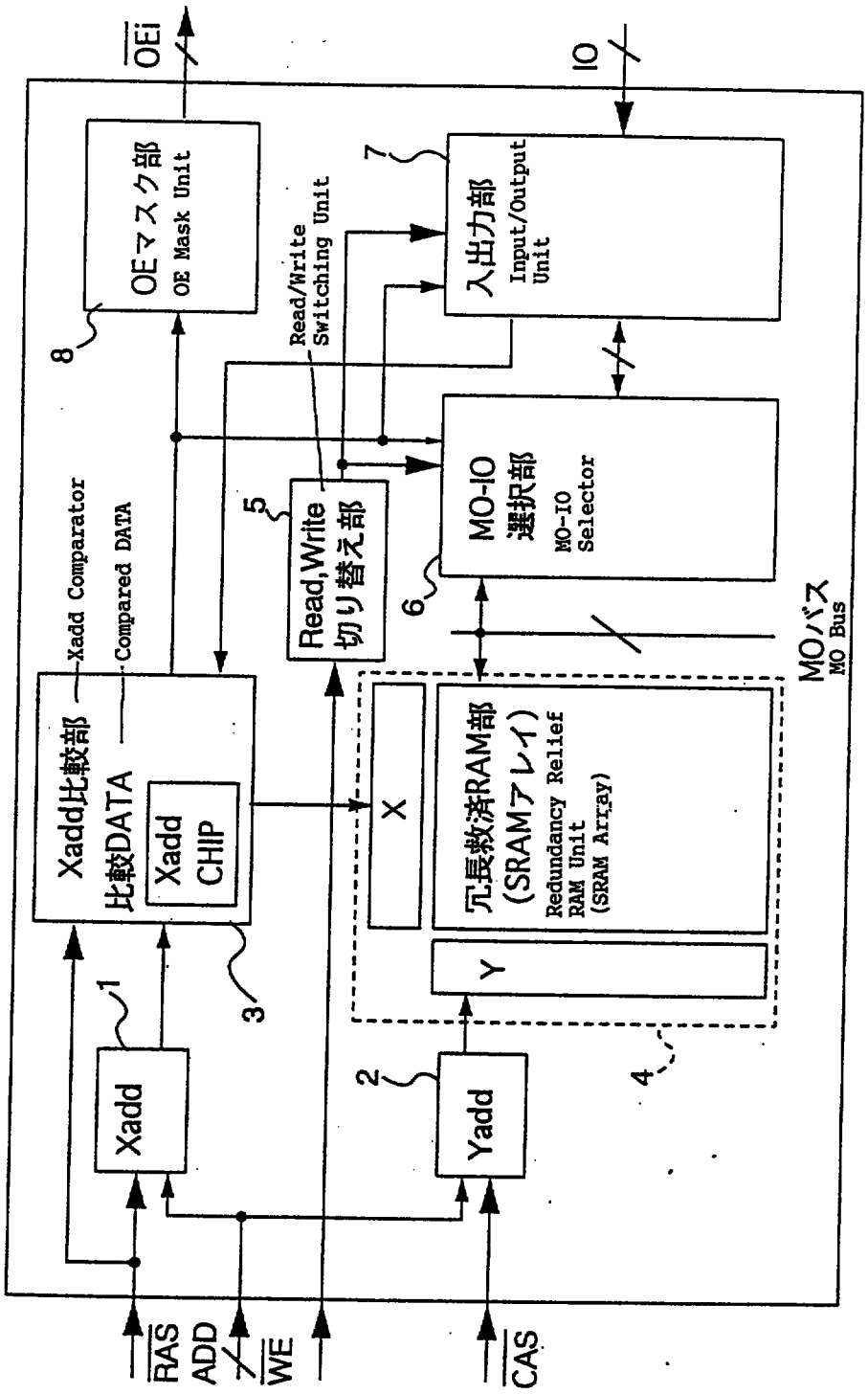
第 122 図

Fig. 122

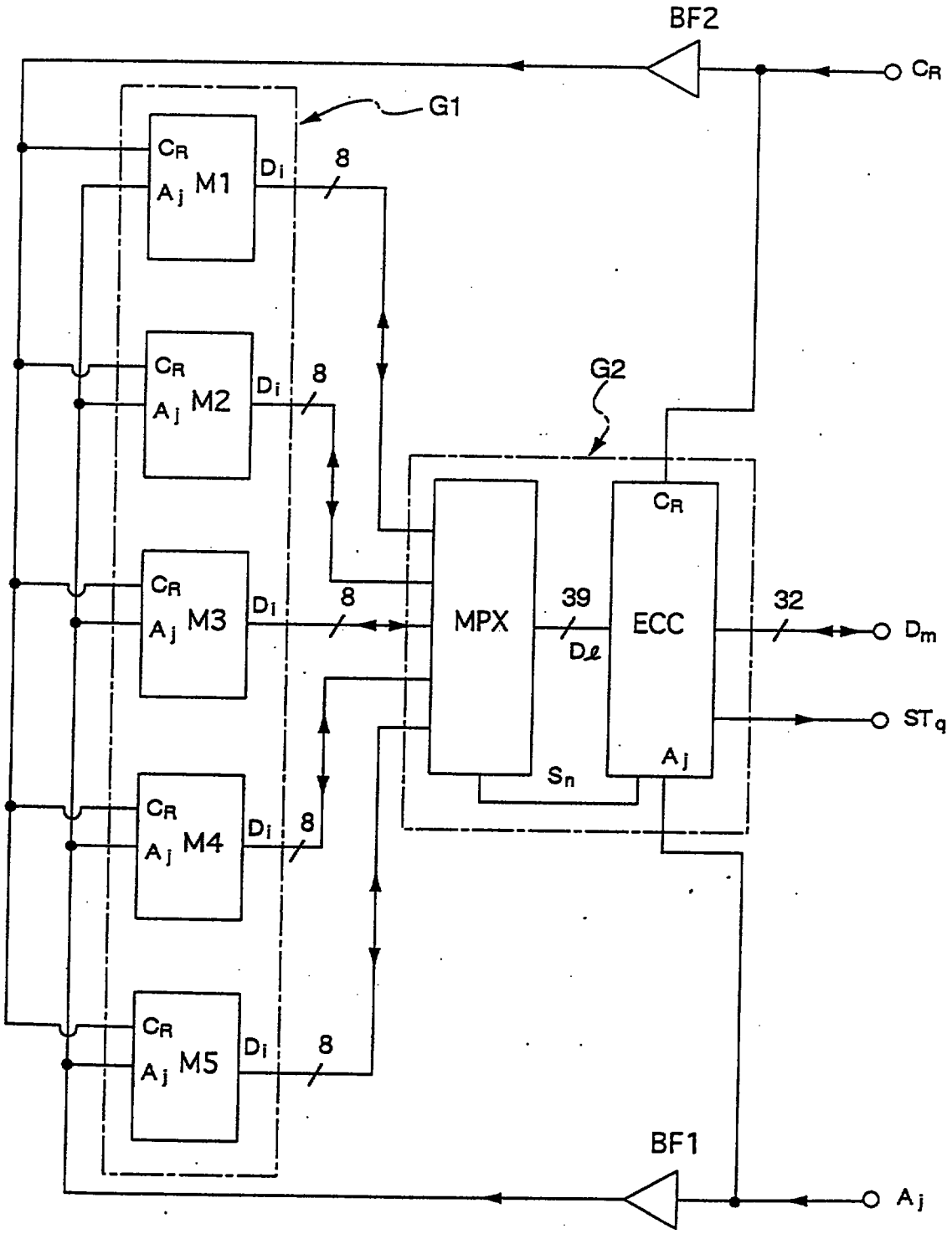


第 123 図

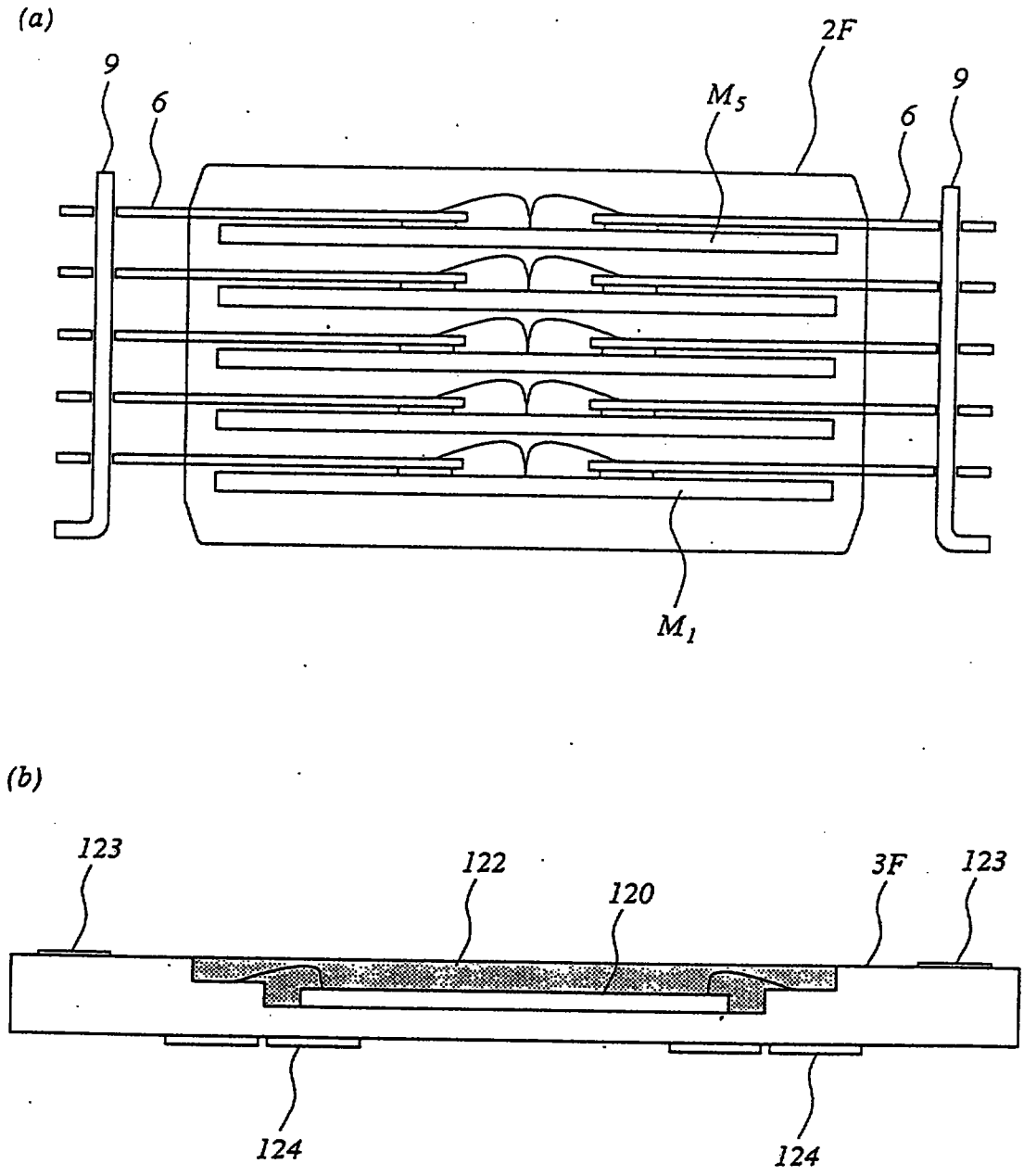
Fig. 123



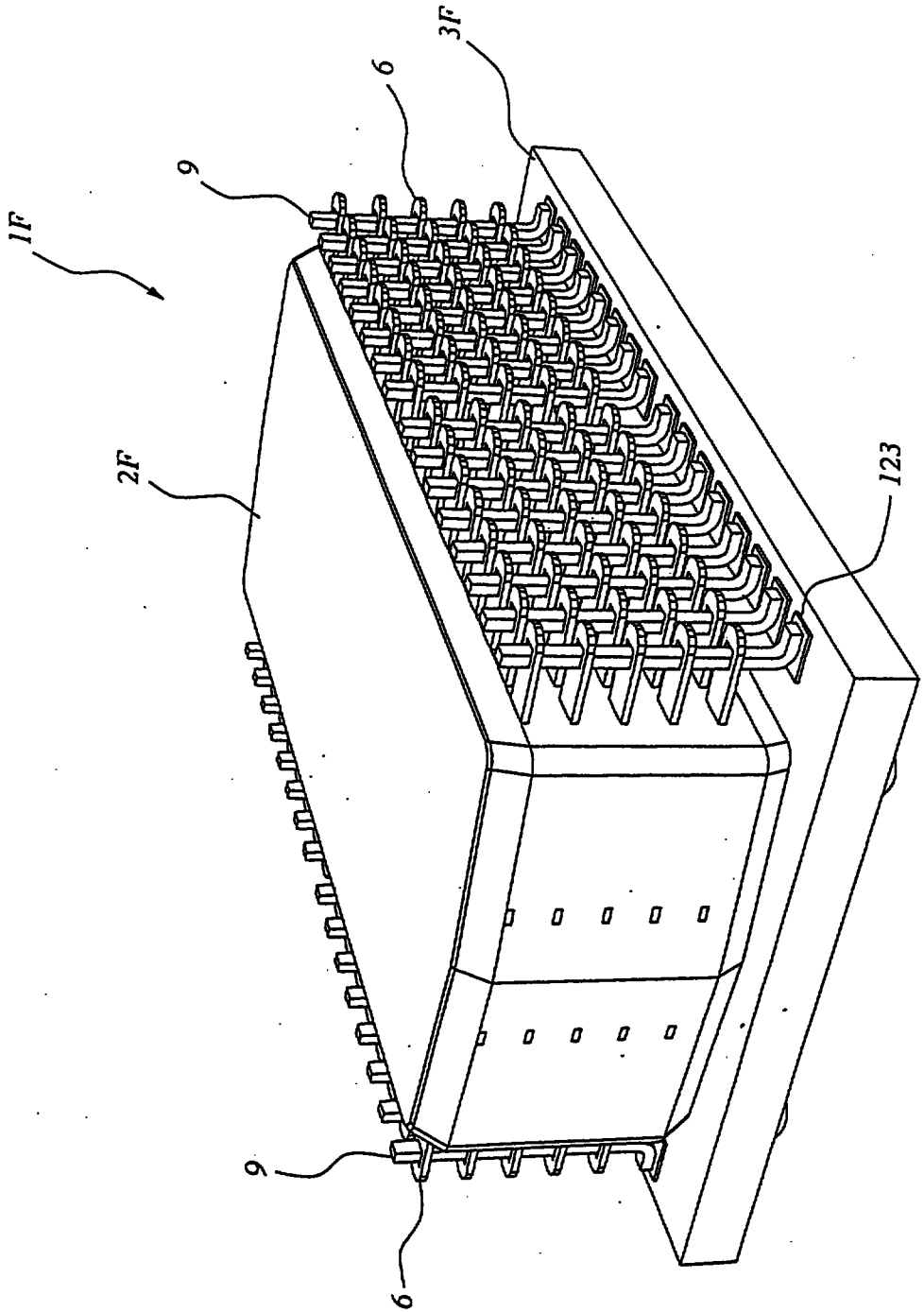
第 124 図 Fig.124



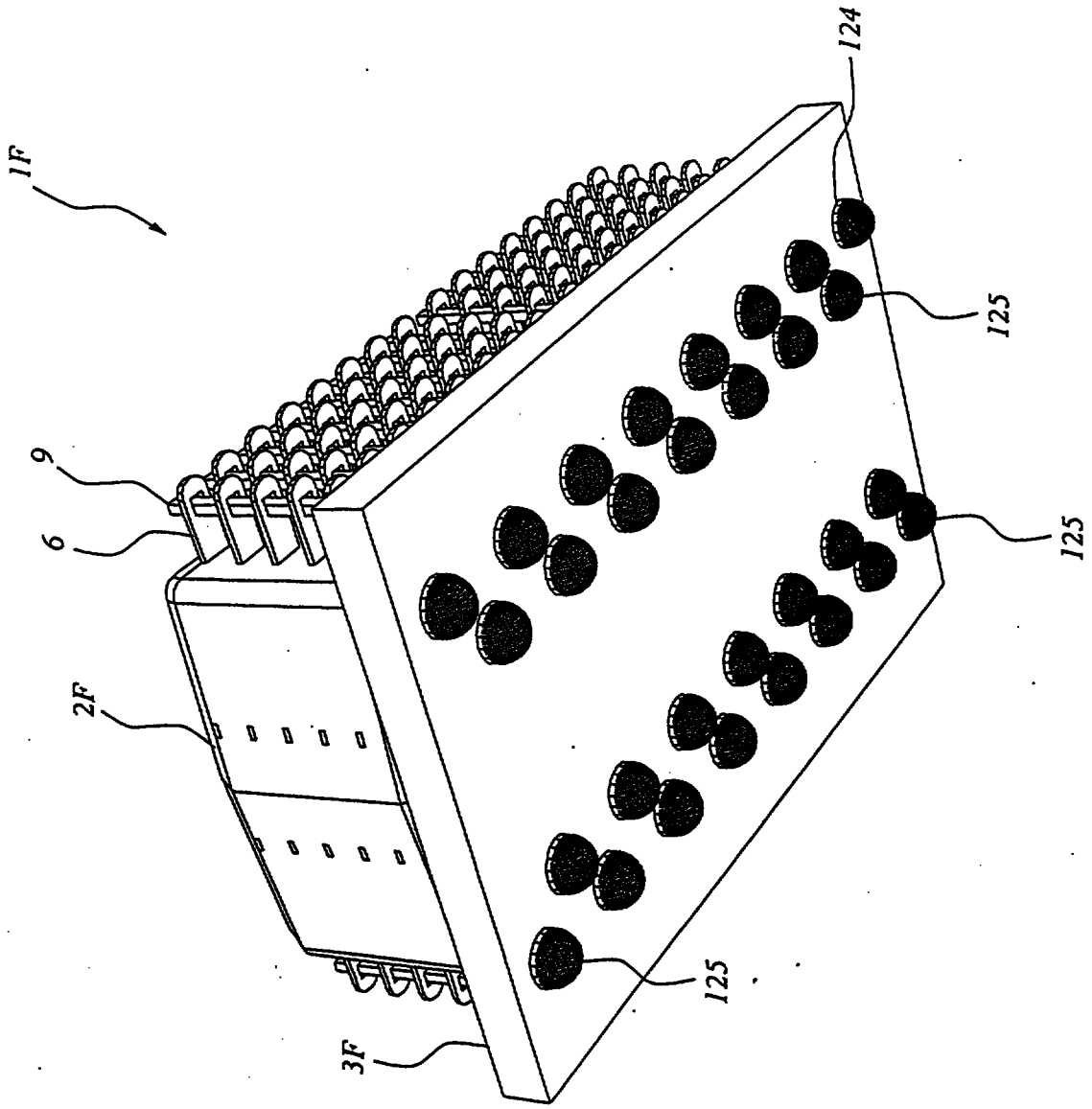
第 125 図 Fig.125



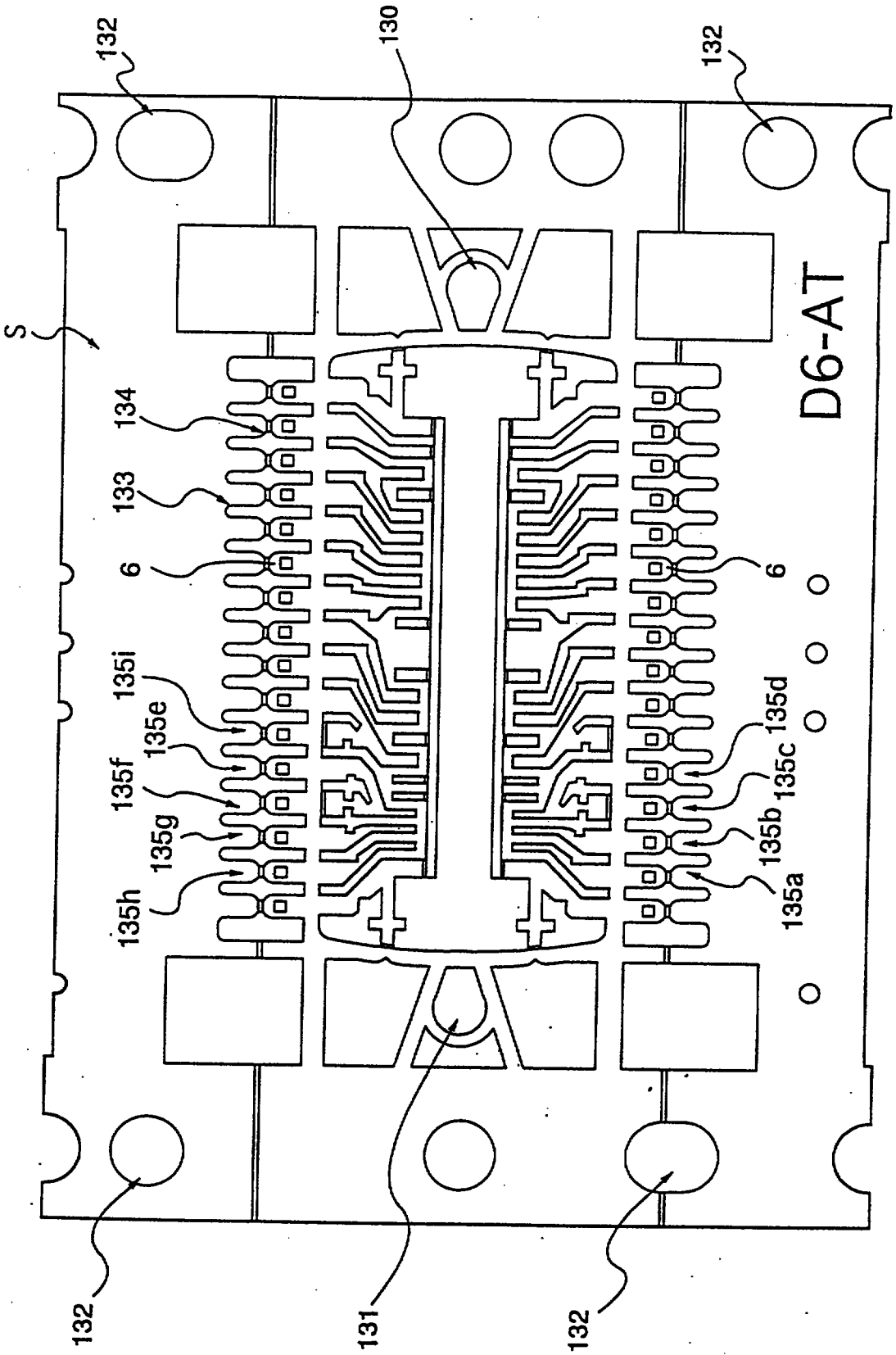
第 126 図 Fig.126



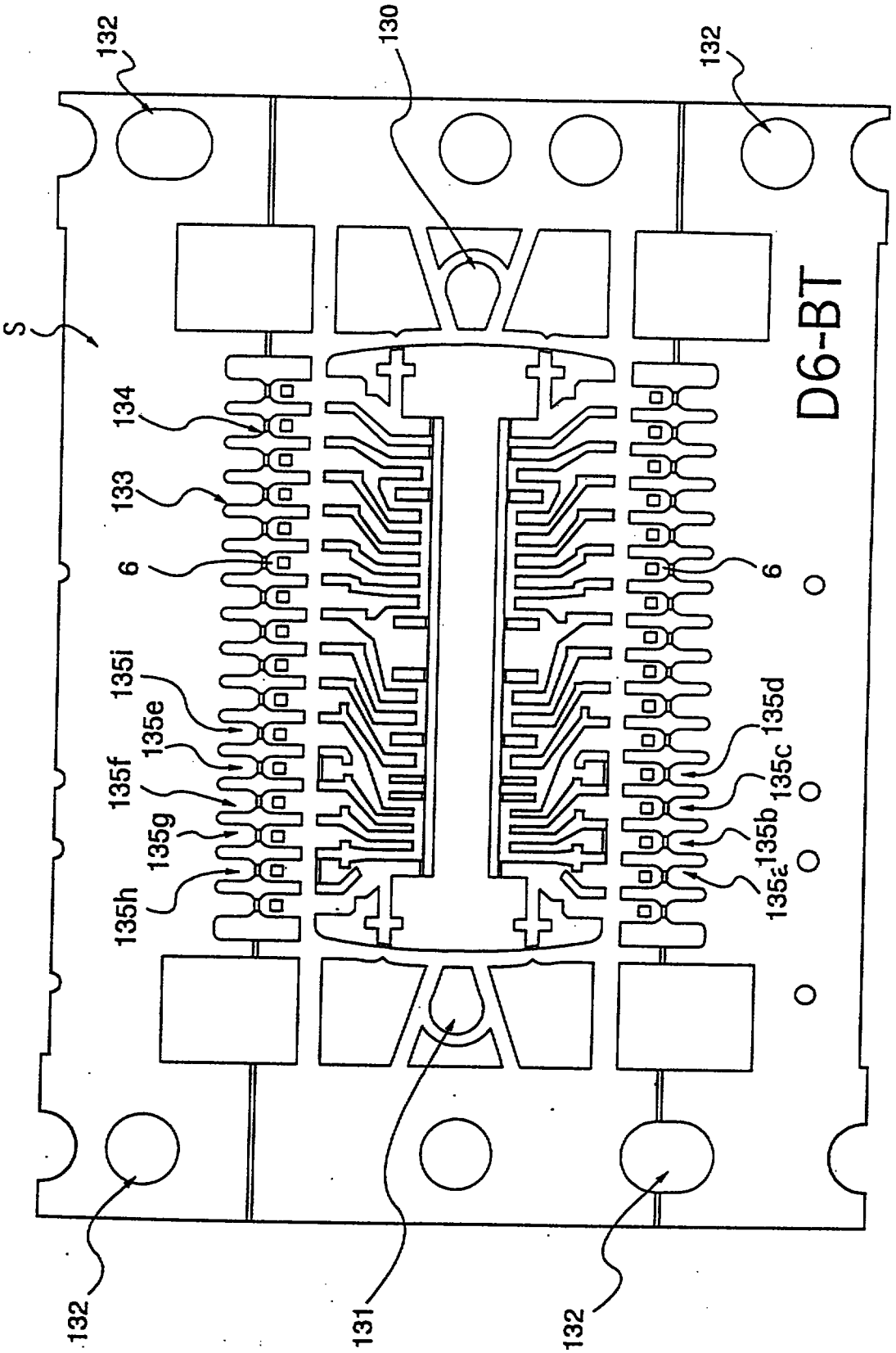
第 127 図 Fig.127



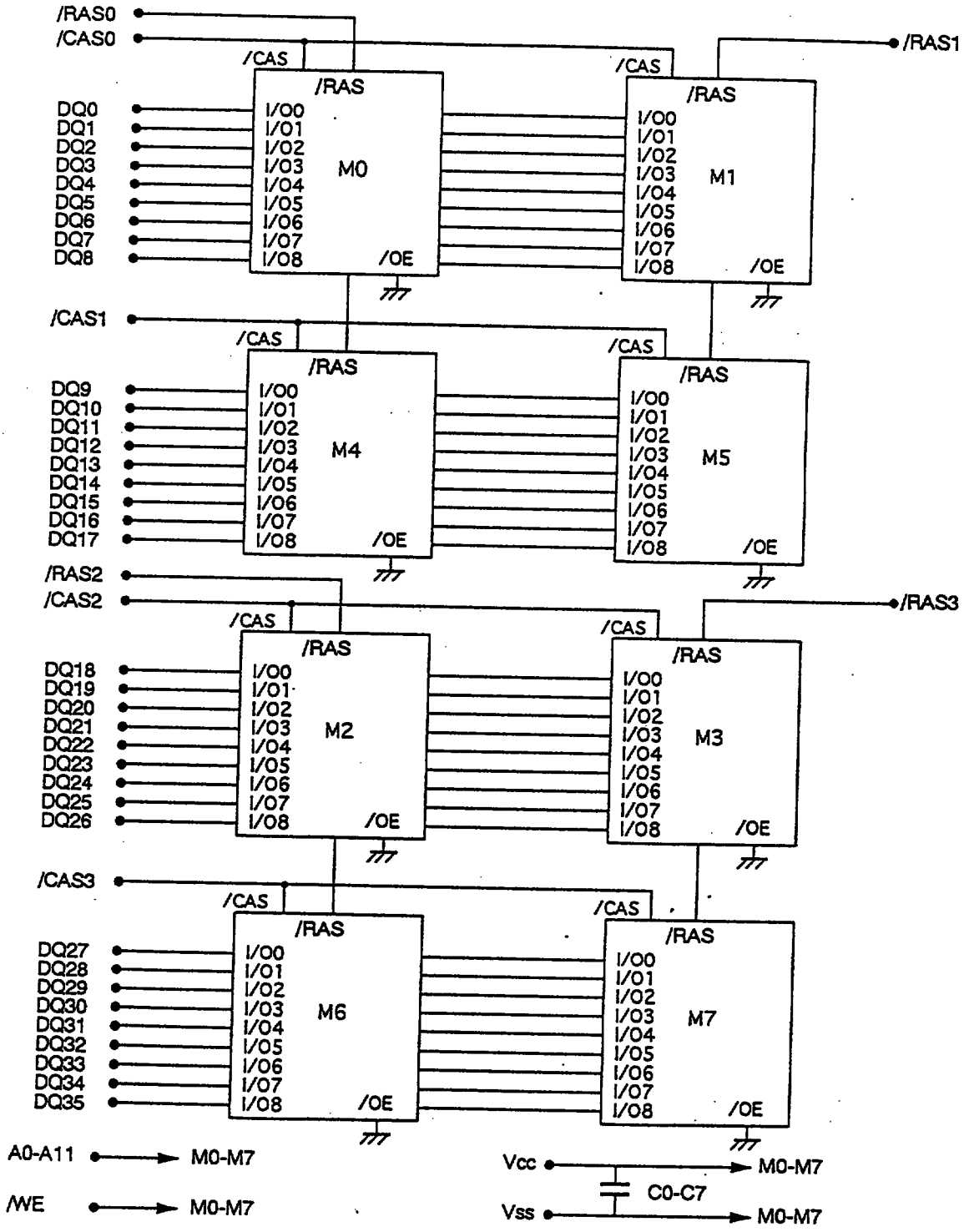
第 128 図 Fig.128



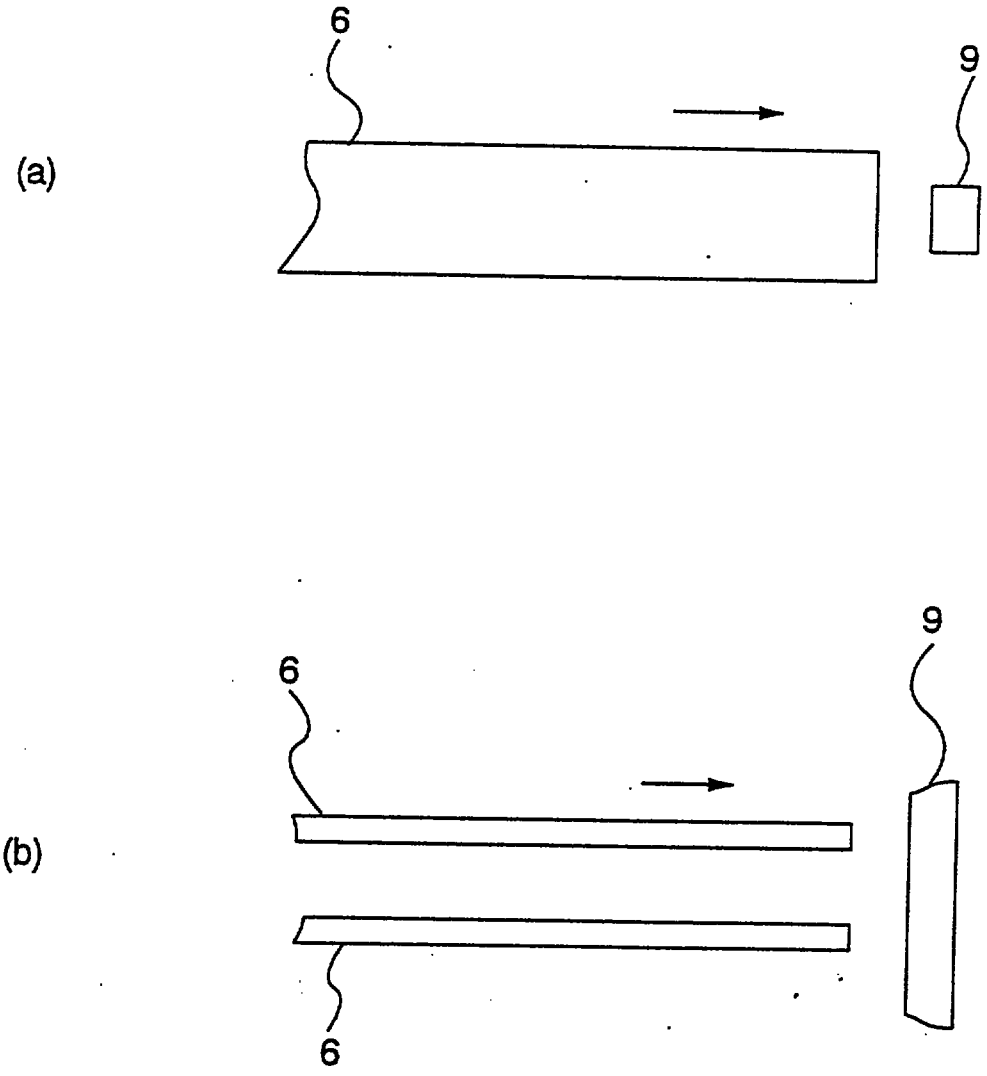
第 129 図 Fig.129



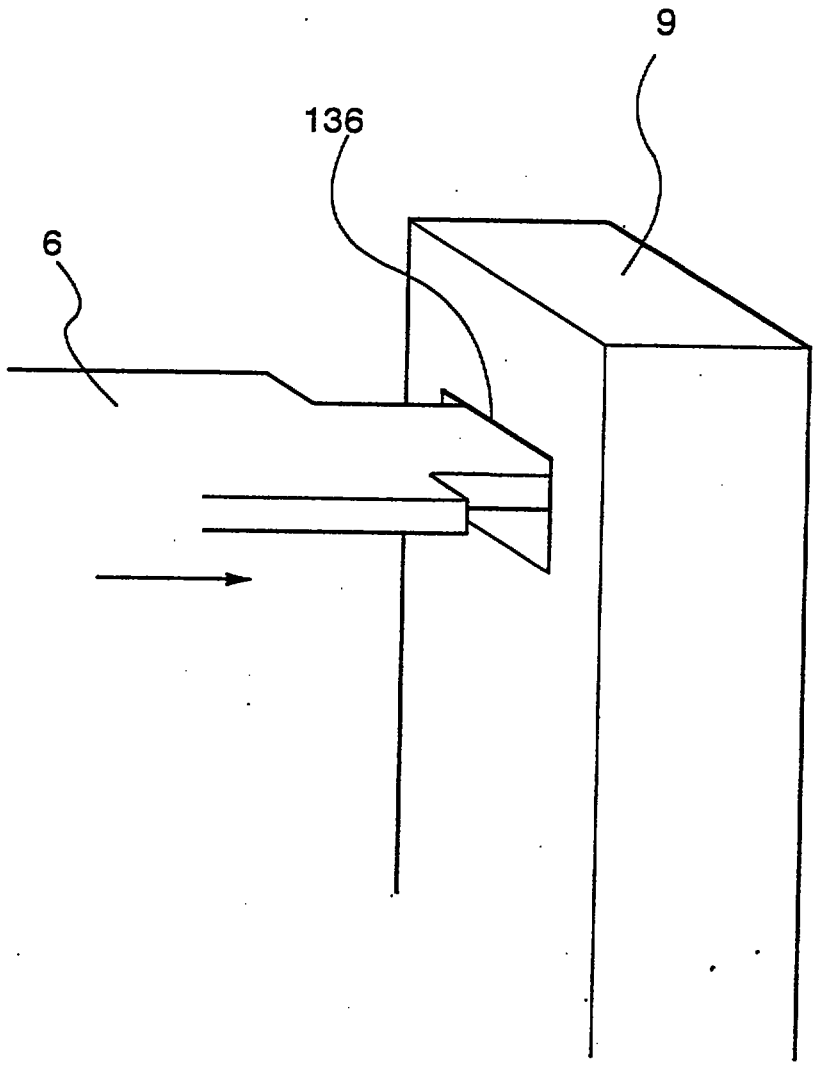
第 130 図 Fig.130



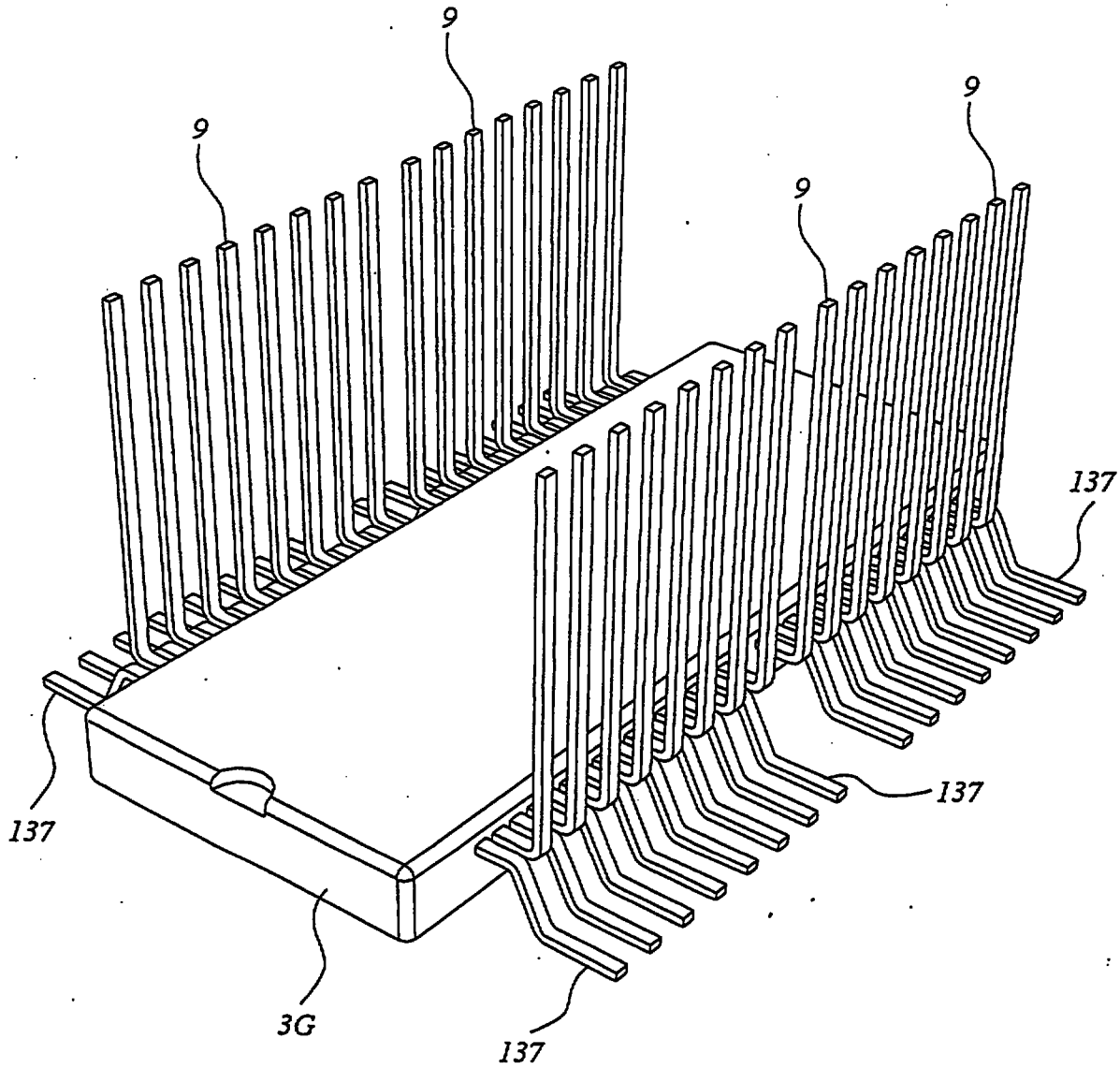
第 131 図 Fig.131



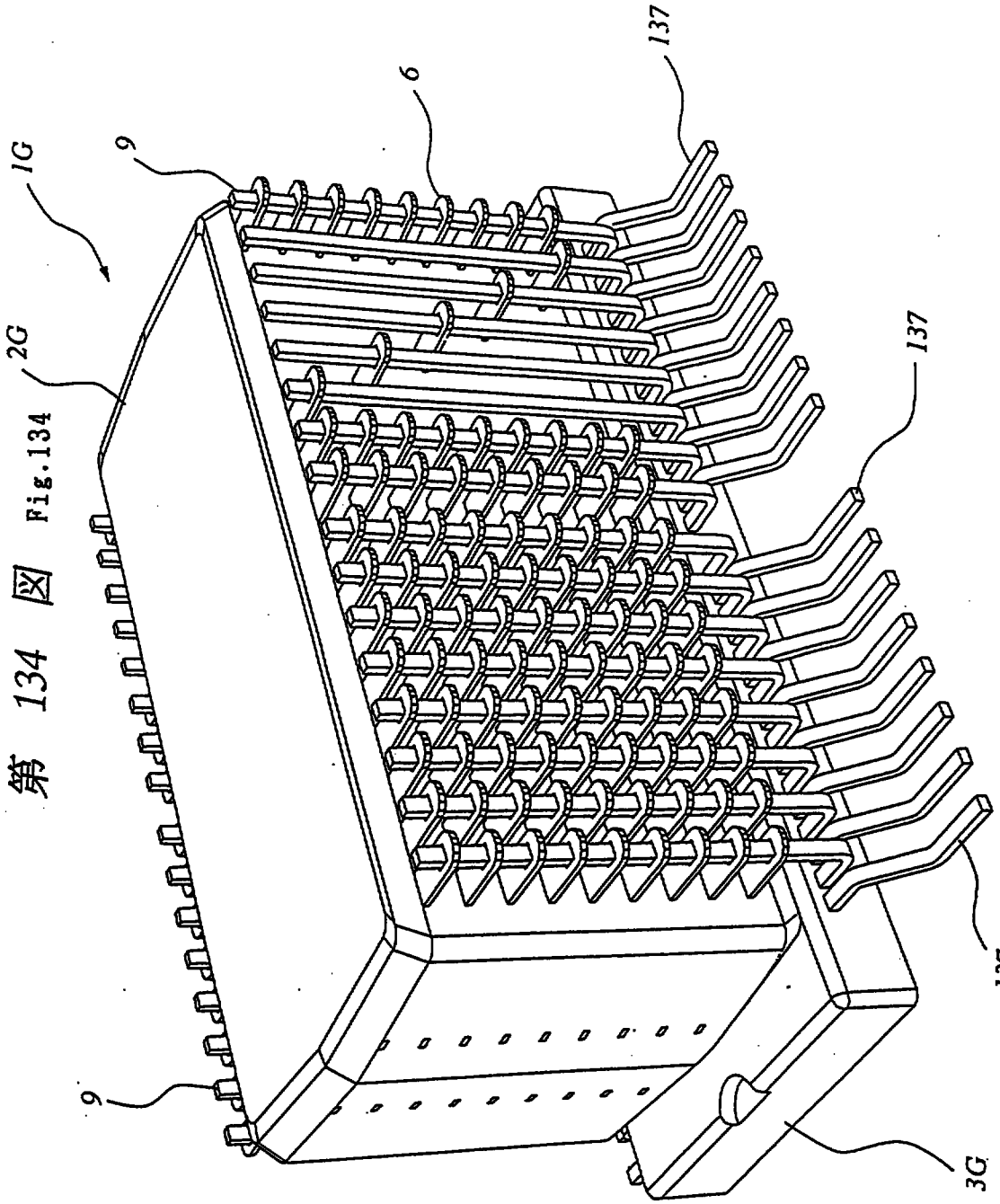
第 132 図 Fig.132



第 133 図 Fig.133



第 134 図 Fig.134



ABSTRACT

A very small-size/large-capacity DRAM module constructed by mounting a resin package (2A), in which a predetermined number of lead frames mounted with semiconductor chips are stacked and encapsulated altogether, on a mother socket (3A) and by electrically connecting the leads (6) of the lead frames led out from the side of the resin package (2A), and the module leads (9) of the mother socket (3A) extending in the direction perpendicular to the extending direction of the leads (6).