

Patentansprüche

1. Verfahren zum Testen von auf einem Wafer angeordneten opto-elektronischen Chips (1), mit elektrischen Schnittstellen in Form von Kontaktpads (1.1) und hierzu fest angeordneten optischen Schnittstellen in Form von optischen Umlenkelementen (1.2), mit einem spezifischen Kopplungswinkel (α), bei dem der Wafer von einem Positioniertisch (3) aufgenommen wird, der in x-, y- und z- Richtung eines kartesischen Koordinatensystems gegenüber einem Kontaktierungsmodul (2) verstellbar und um die z-Achse drehbar ist, wobei das Kontaktierungsmodul (2) den Kontaktpads (1.1) zugeordnete elektrische Schnittstellen in Form von Nadeln (2.1) und den optischen Umlenkelementen (1.2) zugeordnete optische Schnittstellen (2.2) aufweist, und in einem ersten Justierschritt der Wafer dem Kontaktierungsmodul (2) so zugestellt wird, dass die Nadeln (2.1), in einer ersten Justierlage, lotrecht oberhalb der Mittelpunkte der Kontaktpads (1.1) eines ersten der Chips (1) angeordnet sind, wobei das Kontaktierungsmodul (2) in z-Richtung einen Justierabstand (a) größer einer freien Länge (l) der Nadeln (2.1) zu dem ersten der Chips (1) aufweist, in weiteren Justierschritten die relative Ausrichtung der optischen Umlenkelemente (1.2) zu den an dem Kontaktierungsmodul (2) vorhandenen optischen Schnittstellen (2.2) erfolgt, dann der Positioniertisch (3) dem Kontaktierungsmodul (2) in z-Richtung um einen Zustellweg (Δz) in einen optischen Arbeitsabstand (b) zugestellt wird, bei dem die Nadeln (2.1) mit einer vorgegebenen Andruckkraft an den Kontaktpads (1.1) anliegen, und anschließend über die jeweils einander zugeordneten Schnittstellen elektrische bzw. optische Signale geleitet werden, dadurch gekennzeichnet, dass die relative Ausrichtung der optischen Umlenkelemente (1.2) zu den an dem Kontaktierungsmodul (2) vorhandenen optischen Schnittstellen (2.2) erfolgt, indem in einem Scanfeld kleiner der Größe der Kontaktpads (1.1) zuerst der Positioniertisch (3) gegenüber der ersten Justierlage in x- und y-Richtung in eine zweite Justierlage ausgelenkt wird, während über wenigstens eine der optischen Schnittstellen des Kontaktierungsmoduls (2.2) und eine der optischen Umlenkelemente (1.2) ein optisches Signal geleitet wird, wobei die zweite

Justierlage eingenommen ist, wenn das optische Signal mit einer maximalen Intensität eingekoppelt wird, und anschließend der erste der Chips (1) über einen Stellweg in eine dritte Justierlage in x-y- Richtung ausgelenkt wird, wobei der Stellweg aus dem Zustellweg (Δz) und dem Kopplungswinkel (α) des betreffenden optischen Umlenkelementes (1.2) berechnet wurde, bevor der Positioniertisch (3) dem Kontaktierungsmodul (2) in z- Richtung um den Zustellweg (Δz) in den optischen Arbeitsabstand (b) zugestellt wird.

2. Verfahren zum Testen von auf einem Wafer angeordneten opto-elektronischen Chips (1) nach Anspruch 1, dadurch gekennzeichnet, dass eine sich aus der ersten Justierlage und der zweiten Justierlage des ersten der Chips (1) ergebende Lagedifferenz als Offset abgespeichert wird und für die Justierung weiterer der Chips (1) berücksichtigt wird, nachdem diese in einer ersten Justierlage zum Kontaktierungsmodul (2) positioniert wurden.
3. Verfahren zum Testen von auf einem Wafer angeordneten opto-elektronischen Chips (1) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der optische Arbeitsabstand (b), bei dem die Nadeln (2.1) mit einer vorgegebenen Andruckkraft an den Kontaktpads (1.1) anliegen, überwacht wird und bei Änderungen der Andruckkraft die dritte Justierlage korrigiert wird.
4. Verfahren zum Testen von auf einem Wafer angeordneten opto-elektronischen Chips (1) nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Änderung des optischen Arbeitsabstandes (b) langfristig über die Einsatzdauer des Kontaktierungsmoduls (2) ermittelt wird und für die Verfahrensdurchführung die Nadeln (2.1) des Kontaktierungsmoduls (2) gegen neue Nadeln (2.1) ersetzt werden, wenn der optische Arbeitsabstand (b) einen vorgegebenen Minimalabstand unterschreitet.
5. Verfahren zum Testen von auf einem Wafer angeordneten opto-elektronischen Chips nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet,

dass die über die jeweils einander zugeordneten Schnittstellen geleiteten optischen Signale beim Einkoppeln in einer der Schnittstellen diese überstrahlen.

6. Verfahren zum Testen von auf einem Wafer angeordneten opto-elektronischen Chips (1) nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, dass die über die jeweils einander zugeordneten Schnittstellen geleiteten optischen Signale beim Einkoppeln in eine der Schnittstellen eine Tophead-Verteilung ihrer Strahlungsintensität aufweisen.