

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 12 日(12.12.2013)



(10) 国際公開番号
WO 2013/183158 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2012/064760
- (22) 国際出願日: 2012 年 6 月 8 日(08.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド(Unisantis Electronics
Singapore Pte. Ltd.) [SG/SG]; 179098 ノースブリッ
ジロード 111、ペニンシュラ プラザ、#
16-04 Singapore (SG).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 舩岡 富士
雄(MASUOKA Fujio) [JP/JP]; 〒1020073 東京都千代
田区九段北1-15-2 九段坂パークビル4
F Semicon Consulting株
式会社内 Tokyo (JP). 原田 望(HARADA Nozomu)
[JP/JP]; 〒1020073 東京都千代田区九段北1-1
5-2 九段坂パークビル4F Semico
n Consulting株式会社内 Tokyo
(JP). 中村 広記(NAKAMURA Hiroki) [JP/JP]; 〒

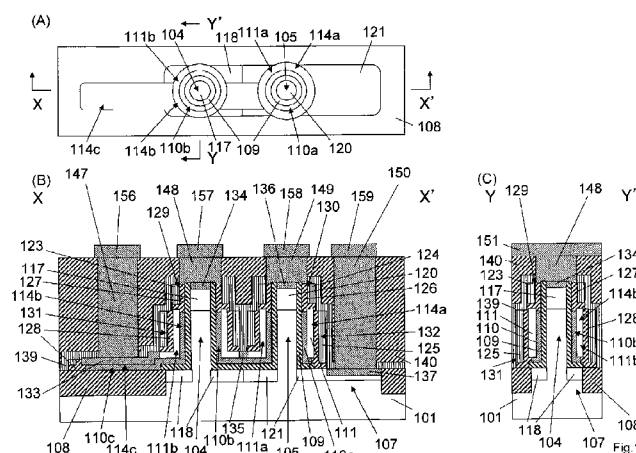
1020073 東京都千代田区九段北1-15-2
九段坂パークビル4F Semicon Co
nsulting株式会社内 Tokyo (JP). リ
シャン(LI Xiang) [CN/SG]; 117685 シンガポール、
シンガポール サイエンスパーク 2、サイエ
ンス パーク ロード 11、インスティ
テュート オブ マイクロエレクトロニクス内
Singapore (SG). ワン キンペン(WANG Xinpeng)
[CN/SG]; 117685 シンガポール、シンガポール
サイエンスパーク 2、サイエンス パーク
ロード 11、インスティテュート オブ マ
イクロエレクトロニクス内 Singapore (SG). ツェ
ン ツィシャン(CHEN Zhixian) [SG/SG]; 117685 シ
ンガポール、シンガポール サイエンスパーク
2、サイエンス パーク ロード 11、イン
スティテュート オブ マイクロエレクトロ
ニクス内 Singapore (SG). カマス アシット ラマ
チャンドラ(KAMATH Aashit Ramachandra)
[IN/SG]; 117685 シンガポール、シンガポール サ
イエンスパーク 2、サイエンス パーク
ロード 11、インスティテュート オブ マ
イクロエレクトロニクス内 Singapore (SG). シン
ナヴァブ(SINGH Navab) [IN/SG]; 117685 シンガ
ポール、シンガポール サイエンスパーク
2、サイエンス パーク ロード 11、イン

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置

[図1]



(57) Abstract: This semiconductor device manufacturing method has: a first step wherein a planar silicon layer is formed, and a first columnar silicon layer and a second columnar silicon layer are formed on the planar silicon layer; a second step wherein a gate insulating film is formed on the perimeter of the first columnar silicon layer and the second columnar silicon layer, a metal film and a polysilicon film are formed on the perimeter of the gate insulating film, said polysilicon film having the film thickness less than half the interval between the first columnar silicon layer and the second columnar silicon layer, a third resist for forming gate wiring is formed, and the gate wiring is formed; and a third step wherein a fourth resist is deposited, the polysilicon film on the upper side walls of the first columnar silicon layer and the second columnar silicon layer are exposed, the exposed polysilicon films are removed by etching, the fourth resist is removed, the metal film is removed by etching, and a first gate electrode and a second gate electrode, which are connected to the gate wiring, are formed.

(57) 要約:

[続葉有]



ステイテュート オブ マイクロエレクトロ
ニクス内 Singapore (SG).

(74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内 3 丁目 3 番 1 号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).

(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体装置の製造方法は、平面状シリコン層を形成し、前記平面状シリコン層上に第 1 の柱状シリ
コン層と第 2 の柱状シリコン層とを形成する第 1 の工程と、前記第 1 の柱状シリコン層と前記第 2 の柱状
シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成
膜し、前記ポリシリコン膜の膜厚は前記第 1 の柱状シリコン層と前記第 2 の柱状シリコン層との間の間
隔の半分より薄いのであって、ゲート配線を形成するための第 3 のレジストを形成し、前記ゲート配線
を形成する第 2 の工程と、第 4 のレジストを堆積し、前記第 1 の柱状シリコン層と前記第 2 の柱状シリ
コン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去
し、前記第 4 のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する
第 1 のゲート電極と第 2 のゲート電極を形成する第 3 の工程を有する。