

DESCRIPTION

Titre : Procédé de fabrication de circuit 3D à étapes de recristallisation et d'activation de dopants mutualisées

DOMAINE TECHNIQUE ET ART ANTERIEUR

La présente demande concerne le domaine des dispositifs microélectroniques et en particulier celui des dispositifs dotés de composants répartis sur plusieurs niveaux. De tels dispositifs sont généralement qualifiés de circuits intégrés en 3 dimensions ou « 3D ».

5 D'une manière générale, dans le domaine des circuits intégrés, on cherche continuellement à augmenter la densité de transistors.

Pour cela, une solution consiste à répartir les transistors sur plusieurs niveaux de couches semi-conductrices disposées les unes au-dessus des autres. De tels circuits comportent ainsi généralement au moins deux couches semi-conductrices superposées, avec une
10 couche isolante interposée entre ces deux couches semi-conductrices.

Le document de Brunet et al. "First demonstration of a CMOS over CMOS 3D VLSI CoolCube™ integration on 300mm wafer", 2016 Symposium on VLSI Technology Digest of Technical Papers présente par exemple une mise en œuvre d'un tel type de dispositif.

La réalisation des transistors sur le niveau supérieur peut impliquer la réalisation d'une ou
15 plusieurs étapes de traitement thermique, notamment lorsqu'on effectue une activation des dopants.

Cependant, un traitement thermique haute température peut induire une dégradation du ou des niveau(x) inférieur(s) et en particulier une détérioration du matériau des contacts dans le niveau inférieur ou d'éléments de connexion inter-niveaux voire une diffusion
20 intempestive de dopants au sein du niveau inférieur.

Une fois le premier niveau de transistors réalisé, on cherche donc généralement à limiter le budget thermique de fabrication du ou des niveaux(x) supérieur(s) et d'éviter en particulier de mettre en œuvre des traitements thermiques supérieurs à 600°C.

L'activation des dopants ou, en outre, la diffusion des dopants pour créer les zones
25 d'extension est l'un des problèmes les plus critiques lorsqu'on souhaite réaliser des transistors dans un niveau supérieur du circuit 3D. Une telle étape nécessite

généralement une température élevée à une température qui peut être supérieure à 1000°C.

Un procédé illustré sur les figures 9A-9B, utilisé pour les dispositifs 2D et comportant ainsi un seul niveau de transistors consiste à rendre amorphe et doper à l'aide d'implantations des régions semi-conductrices 925 de part et d'autre d'un bloc de grille 932 sur lequel des espaceurs 932 sont agencés.

Lors de la recristallisation, des fronts de recristallisation horizontaux F_H et verticaux F_V sont susceptibles d'être créés, ce qui peut amener une création de défauts cristallins à un endroit de rencontre des fronts F_H et F_V .

Un tel procédé est typiquement réalisé sur un substrat SOI (SOI pour « Silicon On insulator », i.e. silicium sur isolant) et la maîtrise de l'épaisseur e_{nd} d'une couche 926 non dopée sous les régions 925 régions rendues amorphes et dopées puis recristallisées pose problème. En effet, cette couche 926 non dopée est susceptible de contribuer à augmenter la résistance d'accès et a un impact sur les performances du dispositif.

En outre, pour des couches semi-conductrices très minces, par exemple destinées à des applications de type FDSOI (pour « Fully Depleted Silicon On insulator », i.e. silicium sur isolant totalement déplété), il peut être difficile si l'on effectue une implantation amorphisante trop profonde de conserver une épaisseur de germe cristallin pour la recristallisation. Cela est d'ailleurs particulièrement difficile et critique si l'amorphisation est réalisée après une croissance épitaxiale des régions de source et de drain car, dans ce cas, l'épaisseur semi-conductrice varie le long du support de cette couche.

Il se pose le problème de trouver un nouveau procédé de fabrication d'un dispositif microélectronique 3D amélioré vis-à-vis d'au moins un des inconvénients énoncés ci-dessus.

EXPOSÉ DE L'INVENTION

Selon un aspect, la présente invention concerne un procédé de réalisation d'un dispositif microélectronique doté de plusieurs niveaux superposés de composants électroniques, le procédé comprenant, dans cet ordre, des étapes consistant à :

- a) réaliser une structure comprenant un support muni d'au moins un composant d'un premier niveau N_1 de composants, ledit support étant surmonté d'une couche isolante, la couche isolante étant elle-même surmontée d'une couche semi-conductrice d'un deuxième niveau,
- 5 ladite couche semi-conductrice comportant une sous-couche inférieure et une sous-couche supérieure disposée sur la sous-couche inférieure, une première desdites sous-couches inférieure et supérieure étant en matériau semi-conducteur cristallin tandis qu'une deuxième desdites sous-couches inférieure et supérieure est en matériau semi-conducteur amorphe, puis,
- 10 b) former au moins un bloc de grille de transistor sur ladite couche semi-conductrice, puis,
- c) former, de part et d'autre du bloc de grille, par implantation(s) de dopants dans ladite couche semi-conductrice, des régions dopées de part et d'autre d'une zone semi-conductrice située en regard du bloc de grille et prévue pour accueillir un canal dudit
- 15 transistor, puis,
- d) réaliser au moins un traitement thermique de sorte à effectuer une recristallisation de la deuxième sous-couche amorphe en se servant de la première sous-couche cristalline comme zone de départ d'un front de recristallisation tout en effectuant une activation desdits dopants.
- 20 L'étape a) peut comprendre une implantation d'amorphisation d'une épaisseur de ladite couche semi-conductrice du deuxième niveau N_2 de sorte à former ladite deuxième sous-couche en matériau semi-conducteur amorphe.
- Avantageusement, ladite deuxième sous-couche en matériau semi-conducteur amorphe s'étend pleine plaque de sorte que le support est entièrement recouvert par la deuxième
- 25 sous-couche.
- Selon une première possibilité de mise en œuvre, à l'étape a), la première sous-couche, en matériau amorphe, est la sous-couche supérieure, ladite deuxième sous-couche, en matériau cristallin, étant la sous-couche inférieure.

En variante et selon une deuxième possibilité de mise en œuvre, à l'étape a), la première sous-couche, amorphe, est la sous-couche inférieure, ladite deuxième sous-couche, cristalline, étant la sous-couche superficielle.

Avantageusement, la formation de la structure à l'étape a) peut comprendre des sous-étapes consistant à :

- 5 - prévoir un premier substrat dans lequel ledit au moins un composant dudit premier niveau N_1 de composants est réalisé,
- collage sur le premier substrat d'un deuxième substrat doté de ladite couche semi-conductrice dudit deuxième niveau,
- 10 - retrait d'une portion du deuxième substrat tout en préservant la deuxième couche semi-conductrice collée sur le premier substrat.

Lorsque le retrait de ladite portion est effectué par fracturation et/ou à l'aide d'un procédé de type smartcut™, l'étape d) de traitement thermique peut permettre de réaliser une réparation de défauts susceptibles d'avoir été générés par cette fracturation.

- 15 Selon un mode de réalisation particulier l'étape a) peut comprendre en outre, préalablement audit collage, une étape d'amorphisation de ladite couche semi-conductrice du deuxième niveau de sorte à former la deuxième sous-couche semi-conductrice.

- 20 L'amorphisation de ladite couche semi-conductrice peut être en variante effectuée après ladite création de ladite zone de fragilisation.

Le fait de réaliser cette étape avant collage permet de mieux contrôler les épaisseurs respectives de la première sous-couche et de la deuxième sous-couche.

- 25 Avantageusement, lorsque préalablement audit collage on réalise une implantation du premier substrat de manière à créer une zone de fragilisation, l'amorphisation de ladite couche semi-conductrice peut être effectuée après ladite création de ladite zone de fragilisation.

- 30 De manière avantageuse, une couche d'arrêt de gravure est agencée sur le deuxième substrat et accolée à ladite couche semi-conductrice, le retrait d'une portion du deuxième substrat comprenant en outre une gravure sélective de la couche d'arrêt de gravure vis-à-vis de ladite couche semi-conductrice.

Le procédé peut comprendre en outre la formation d'espaceurs isolants de part et d'autre du bloc de grille.

Dans ce cas, l'étape c) de formation des régions dopées peut alors comprendre une implantation de dopants avant ladite formation des espaceurs isolants. ou,

- 5 l'étape c) de formation des régions dopées peut comprendre une implantation de dopants réalisée après ladite formation des espaceurs isolants et, avantageusement, ladite implantation de dopants étant réalisée de manière inclinée par rapport à une normale au plan principal de la couche semi-conductrice.

- 10 Avantageusement, le procédé peut comprendre en outre, après l'étape d) de traitement thermique, au moins une implantation supplémentaire de dopants.

Selon une possibilité de mise en œuvre, le procédé peut, comprendre en outre, après l'étape d) : une croissance de blocs semi-conducteurs de part et d'autre du bloc de grille sur la couche semi-conductrice.

- 15 Selon une possibilité de mise en œuvre du procédé dans lequel à l'étape a), la première sous-couche, amorphe, est la sous-couche inférieure, tandis que ladite deuxième sous-couche, cristalline, est la sous-couche superficielle, le procédé peut comprendre en outre après l'étape d) et préalablement à la croissance desdits blocs semi-conducteurs, le retrait de régions superficielles non-dopées. Le traitement thermique de recristallisation peut être réalisé à une température inférieure à 700°C.

- 20 Avantageusement, la recristallisation est une recristallisation en phase solide, le traitement thermique étant effectué à une température de préférence inférieure à 550°C, avantageusement inférieure à 500°C, typiquement entre 450°C et 500°C.

Avantageusement, le premier niveau de composant est réalisé au moins en partie dans une couche en matériau semi-conducteur.

25 **BRÈVE DESCRIPTION DES DESSINS**

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

Les figures 1A, 1B, 1C, 1D, 1E, 1F servent à illustrer un premier exemple de procédé, suivant l'invention, de réalisation d'un circuit intégré 3D avec un niveau supérieur muni de transistor(s)°;

5 La figure 2 sert à illustrer un exemple de structure dotée d'au moins un niveau de composants sur laquelle le niveau supérieur de transistor(s) peut être formé°;

La figure 3 sert à illustrer un exemple d'étape de dopage par implantation inclinée susceptible d'être mise en œuvre au cours d'un procédé suivant l'invention°;

10 La figure 4 sert à illustrer un exemple d'étape de dopage par implantation avant formation des espaceurs et susceptible d'être mise en œuvre au cours d'un procédé suivant l'invention°;

Les figures 5A, 5B servent à illustrer sert à illustrer un exemple d'étape de dopage par implantation avant formation des espaceurs et après formation de zones de protection de la grille et susceptible d'être mise en œuvre au cours d'un procédé suivant l'invention°;

15 Les figures 6A, 6B, 6C, 6D, 6E servent à illustrer un deuxième exemple de procédé suivant l'invention de réalisation d'un circuit intégré 3D avec un niveau supérieur muni de de transistor(s)°;

Les figures 7A, 7B, 7C, 7D, 7E servent à illustrer une première séquence d'étapes de procédé permettant l'assemblage de la couche semi-conductrice d'un premier niveau de composants et de la couche semi-conductrice d'un deuxième niveau de composants°;

20 Les figures 8A, 8B, 8C servent à illustrer une deuxième séquence d'étapes dans lequel l'assemblage de la couche semi-conductrice d'un premier niveau de composants et de la couche semi-conductrice d'un deuxième niveau de composants est effectué et dans lequel une amorphisation de la couche semi-conductrice du deuxième niveau est réalisée préalablement à cet assemblage°;

25 Les figure 9A, 9B servent à illustrer un exemple de procédé suivant l'art antérieur mis en œuvre sur un dispositif avec un seul niveau de transistors ;

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

30 Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

En outre, dans la description ci-après, des termes qui dépendent de l'orientation de la structure tels que « supérieure », « superficielle », « latérale » s'appliquent en considérant que la structure est orientée de la façon illustrée dans les figures.

5 EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un premier exemple de procédé, suivant l'invention, de réalisation d'un dispositif microélectronique muni d'un ou plusieurs transistors, va à présent être décrit en lien avec les figures 1A-1F.

10 Une structure de départ possible pour la mise en œuvre de ce procédé est donnée sur la figure 1A, cette structure comprenant un support 100, revêtu d'une couche isolante 110, par exemple en SiO_2 , la couche isolante 110 étant elle-même revêtue d'une couche semi-conductrice 120 superficielle dans laquelle un ou plusieurs transistors sont destinés à être formés. La couche semi-conductrice 120 superficielle, par exemple en silicium, peut avoir une épaisseur e_0 comprise par exemple entre 5 nm et 60 nm.

15 La couche semi-conductrice 120 est ici délimitée en une sous-couche inférieure 121 en contact avec ladite couche isolante 110 et une sous-couche supérieure 122 située sur la sous-couche inférieure et qui est superficielle.

20 Une desdites sous-couches 121, 122, ici la sous-couche supérieure 122, est en matériau semi-conducteur amorphe A tandis que l'autre desdites sous-couches 121, 122 est en matériau semi-conducteur cristallin C. Dans ce cas, la sous-couche supérieure 122 en matériau amorphe A peut être prévue avec une épaisseur e_2 par exemple comprise entre 3 et 50 nm. La sous-couche 121 en matériau cristallin C peut, quant à elle, être prévue avec une épaisseur e_1 par exemple comprise entre 2 et 30 nm par exemple de l'ordre de 2 ou 3 nm.

25 Avantageusement, la sous-couche supérieure 122 en matériau amorphe A est réalisée pleine plaque, la couche isolante 110 et le support 100 pouvant être ainsi en regard de la sous-couche supérieure 122 sur toute leur étendue (prise parallèlement à un plan $[O; x; y]$ d'un repère orthogonal $[O; x; y; z]$). La sous-couche supérieure 122 en matériau amorphe A est typiquement formée à l'aide d'une ou plusieurs implantations d'amorphisation.

Le fait de réaliser l'amorphisation en pleine plaque, d'une épaisseur de la couche semi-conductrice 120 avant même de former des transistors (et en particulier de réaliser leur grille) permet ensuite, lorsqu'on recristallise cette épaisseur, de limiter l'apparition de défauts cristallins résultants de fronts de recristallisation dans des directions différentes.

5 La dose et l'énergie d'implantation sont prévues de sorte à réaliser une amorphisation tout en conservant la sous-couche 121 sous forme cristalline. Par exemple, une implantation d'ions Ge⁺, avec des conditions de dose, d'énergie déterminées par simulation et vérification expérimentales par imagerie TEM (microscopie électronique en transmission) peuvent être mises en œuvre pour rendre amorphe une épaisseur donnée
10 d'une couche de silicium.

Des outils de simulations reposant sur une méthode de Monte-Carlo, en particulier de type TRIM (TRIM pour « TRansport of Ions in Matter », i.e. Transport d'ions dans la matière, et/ou KMC (pour « kinetic Monte Carlo », i.e. méthode de Monte-Carlo cinétique).

15 L'espèce utilisée pour réaliser cette amorphisation peut être une espèce neutre telle que par exemple du Si ou du Ge.

Par exemple, une implantation d'ions Ge⁺ de $2 \cdot 10^{15}$ ions*cm⁻² selon une énergie de 1 keV peut permettre d'obtenir une épaisseur amorphe entre 4 et 5 nm, tandis qu'une implantation d'ions Ge⁺ de $2 \cdot 10^{15}$ selon une énergie de 2.5 keV peut permettre d'obtenir
20 une épaisseur amorphe entre 7 nm et 10 nm. Une implantation d'ions Ge⁺ de $2 \cdot 10^{15}$ selon une énergie de 3.5 keV peut permettre d'obtenir une épaisseur amorphe entre 10 et 12 nm.

Dans cet exemple de réalisation particulier, le support 100 sur lequel la couche semi-conductrice 120 est disposée peut être formé à partir d'une structure dotée d'un premier substrat 10 et d'une couche semi-conductrice 12 dans laquelle un ou plusieurs composants, en particulier des composants électroniques ont déjà été formés. Le premier substrat 10 peut être un substrat massif (« bulk » selon la terminologie anglo-saxonne) ou
25 un substrat de type semi-conducteur sur isolant, en particulier SOI (pour « Silicon On Insulator » ou « silicium sur isolant ») sur lequel repose une couche semi-conductrice 12.

30 Dans l'exemple de réalisation particulier illustré sur la figure 2, un ou plusieurs transistors

T_1 d'un premier niveau N_1 de composants réalisés dans cette couche semi-conductrice 12, leur région de canal étant en particulier prévue dans cette couche. Les transistors T_1 sont ici recouverts d'un ou plusieurs étages d'interconnexions 25 métalliques formés dans une ou plusieurs couches isolantes, typiquement un empilement de couches isolantes, par exemple en SiO_2 .

L'amorphisation de la couche semi-conductrice 120 peut être éventuellement mise en œuvre avant une étape d'assemblage entre la structure illustrée sur la figure 2 et un empilement ou un autre substrat comprenant la couche semi-conductrice 120. Le fait de prévoir une amorphisation de la couche semi-conductrice 120 avant l'assemblage permet notamment d'ajuster plus aisément les épaisseurs respectives de matériau cristallin C et de matériau amorphe A.

A partir de la structure de la figure 1A, on forme ensuite un ou plusieurs transistors d'un niveau N_2 de composants au moins en partie dans la couche semi-conductrice 120. Il s'agit ainsi de réaliser un dispositif de type communément appelé « 3D » et qui comporte une superposition de plusieurs couches semi-conductrices dans chacune desquelles on forme un niveau de composant d'une superposition de composants.

Ainsi, dans une étape ultérieure à l'amorphisation d'une épaisseur de la couche semi-conductrice 120 ainsi qu'à l'éventuel assemblage de cette couche semi-conductrice 120 sur le substrat 10 doté de la couche semi-conductrice 12, on forme un empilement de grille sur la couche semi-conductrice 120.

Cet empilement comporte au moins une couche de diélectrique de grille, par exemple en SiO_2 ou en HfO_2 et une ou plusieurs couches de matériau de grille par exemple à base de polysilicium ou de TiN ou de W ou un empilement d'au moins plusieurs de ces matériaux. On définit alors (figure 1B) dans cet empilement une zone 131 de diélectrique de grille surmontée d'un bloc 132 de grille.

De préférence, on privilégie un procédé à température inférieure à 500°C pour réaliser la grille. Dans ce cas et selon un exemple particulier de mise en œuvre, la zone 131 de diélectrique de grille peut être une zone d'oxyde de silicium obtenue par oxydation de silicium à l'aide d'un plasma à une température de l'ordre de 450°C . Le matériau de grille peut être quant à lui du TiN déposé à 350°C ou du Si dopé déposé à une température de

l'ordre de 475°C et que l'on recristallise après par le biais d'un traitement de recuit par laser.

Puis (figure 1C), on forme des espaceurs 137 de part et d'autre du bloc 132 de grille. Ces espaceurs 137 peuvent être par exemple à base de SiN ou de SiBCN ou de SiOCN. De
5 préférence, là encore, on privilégie un procédé de réalisation à une température inférieure à 500°C. Pour cela on peut former par exemple les espaceurs 137 par dépôt de SiCO à une température par exemple de l'ordre 400°C.

On forme ensuite des régions dopées 125 dans la couche semi-conductrice 120, de part et d'autre d'une zone 120C de cette couche 120 qui est située en regard du bloc 132 de
10 grille et prévue pour accueillir un canal de transistor. Ces régions dopées 125 sont typiquement réalisées par implantation de dopants dans la deuxième couche semi-conductrice 120.

Dans l'exemple de réalisation illustré sur la figure 1D, les régions dopées 125 s'étendent dans la sous-couche supérieure 122 amorphe ainsi que dans la sous-couche inférieure
15 121 cristalline. Les conditions d'implantation peuvent être prévues par l'Homme du Métier avec un outil de simulation d'implantation, de type TRIM ou KMC tel qu'évoqué précédemment.

De préférence, on privilégie un procédé d'implantation à une température inférieure à 500°C. Le procédé d'implantation est ici majoritairement réalisé à température ambiante.

20 Une fois l'implantation des dopants effectuée, on réalise au moins un traitement thermique de sorte à effectuer un recuit de recristallisation de la sous-couche 122 supérieure (figure 1E). On se sert alors de la sous-couche 121 inférieure comme zone de départ d'un front de recristallisation, ce front de recristallisation étant dans cet exemple un front montant, c'est à dire s'éloignant de la couche isolante 101.

25 Un procédé de croissance épitaxiale en phase solide (SPER pour « Solid Phase Epitaxial Regrowth ») du matériau semi-conducteur amorphe en contact avec le matériau semi-conducteur cristallin est en particulier effectué à une température typiquement inférieure à 600°C, de préférence inférieure à 500°C et qui peut être comprise par exemple entre 450°C et 500°C. Concomitamment, le traitement thermique réalisé permet d'effectuer
30 une activation des dopants. La vitesse du procédé de recristallisation SPER varie en

fonction de la température, du matériau, des concentrations de dopants et type de dopants (espèces implantés). L'Homme du métier pourra établir les conditions de recristallisation à l'aide des mesures d'épaisseur recristallisées en fonction du temps de recuit, les épaisseurs étant mesurées par exemple par ellipsométrie. Les régions dopées

5 125 sont alors en matériau semi-conducteur cristallin C. On mutualise ainsi la recristallisation et l'activation des dopants tout en utilisant un budget thermique limité.

Dans un cas où la formation du support 100 a été effectuée par report et assemblage de la couche semi-conductrice 120 sur une structure dotée d'une autre couche semi-conductrice 12, en mettant en particulier en œuvre un procédé de type smartcutTM, avec

10 une étape de fracturation, le recuit thermique effectué par la technique de SPER précitée peut éventuellement permettre de réparer des défauts cristallins susceptibles d'avoir été générés dans la couche semi-conductrice 120 lors de cette fracturation.

Le procédé de réalisation du ou des transistors de niveau supérieur N₂ peut être ensuite poursuivi en effectuant une croissance de blocs semi-conducteurs 145 sur les régions 125

15 dopées et situées de part et d'autre du bloc 132 de grille sur la couche semi-conductrice 120. Une telle croissance peut être réalisée par épitaxie avec une étape de dopage *in situ* durant laquelle une croissance de matériau semi-conducteur et un dopage de ce matériau sont mutualisés.

On complète ainsi la formation de régions de source et de drain de transistor (figure 1F).

20 On peut ensuite compléter la formation du ou des transistors par d'autres étapes, notamment par une formation de zones d'alliage de métal et de semi-conducteur, en particulier en effectuant une siliciuration des régions semi-conductrices 145. De telles zones permettent de former des contacts et sont réalisées typiquement par dépôt de métal, par exemple du tungstène ou du cuivre puis recuit.

25 En variante, de l'exemple de procédé qui vient d'être décrit, on peut prévoir, outre un dopage de régions 125 de la couche semi-conductrice 120 situées de part et d'autre de la grille 132, de doper des régions 126 dites d'extension qui sont situées sous les espaceurs 137.

Dans ce cas, si l'on a formé les espaceurs 137 avant de réaliser le dopage de la couche

30 semi-conductrice 120, on peut prévoir, comme sur la figure 3, d'effectuer une

implantation inclinée par rapport à une normale n à un plan principal de la couche semi-conductrice 120. On peut ainsi atteindre et doper ces régions 126 d'extension.

Une autre possibilité pour réaliser ces régions d'extension 126 dopées, consiste à effectuer un dopage par implantation et comme illustré sur la figure 4, cette fois avant de former les espaceurs 137. Dans ce cas, les conditions d'implantations, notamment en termes d'orientation du faisceau, sont prévues de sorte à éviter un dopage sous la grille 132.

Pour éviter tout dopage sous la grille 132, on peut également prévoir, de revêtir au préalable les flancs latéraux du bloc 132 de grille d'une fine couche de protection 135 en matériau diélectrique. Par exemple, la fine couche de protection 135 est une couche à base de nitrure couche d'épaisseur de l'ordre de 1 à 10 nm que l'on grave de manière anisotrope. On réalise alors comme sur la figure 5A, une ou plusieurs implantations afin de réaliser un dopage. Puis (figure 5B), on forme les espaceurs 137 d'épaisseur plus importante contre la fine couche de protection 135. D'autres implantations peuvent être alors ensuite effectuées si nécessaire.

Selon une autre variante de réalisation, on peut prévoir un ordre inverse des épaisseurs amorphe et cristalline dans la couche semi-conductrice 120 sur laquelle on vient former le ou les transistors.

Ainsi dans l'exemple de procédé donné sur les figures 6A-6E, la couche semi-conductrice 120 comporte cette fois une sous-couche inférieure 121 en matériau semi-conducteur amorphe A, par exemple du silicium amorphe, tandis que la sous-couche supérieure 122 est en matériau cristallin C, par exemple du silicium cristallin.

Pour obtenir une structure telle qu'illustrée sur la figure 6A on privilégie typiquement la réalisation de l'amorphisation, en particulier par implantation(s), avant de réaliser un procédé d'assemblage tel qu'évoqué précédemment entre une structure par exemple telle qu'illustrée sur la figure 2 et comportant une couche semi-conductrice 12 avec un premier niveau de composants et une autre structure ou un autre substrat doté(e) de la deuxième couche semi-conductrice 120.

Il peut être ainsi plus aisé d'obtenir une sous-couche 121 totalement amorphe et en particulier à proximité de la couche isolante 110 plutôt que lorsqu'on souhaite réaliser la

ou les implantations d'amorphisation une fois que la couche semi-conductrice 120 et la couche isolante 110 sont assemblées et collées l'une à l'autre.

La sous-couche inférieure 121 en matériau amorphe A peut être prévue avec une épaisseur e'_1 par exemple comprise entre 3 nm et 50 nm. La sous-couche 122 supérieure en matériau cristallin C peut quant à elle être prévue avec une épaisseur e'_2 par exemple comprise entre 2 et 30 nm.

Ensuite, à partir de la structure illustrée sur la figure 6A, on forme le bloc 132 de grille.

Dans l'exemple de réalisation illustré sur la figure 6B, des espaceurs isolants 137 de part et d'autre du bloc 132 de grille sont formés préalablement au dopage des régions de source et de drain et au dopage éventuel des régions extensions.

Dans l'exemple de réalisation illustré sur la figure 6C, de part et d'autre du bloc 132 de grille et des espaceurs 137, on forme ensuite les régions dopées 125 par implantation de dopants dans la deuxième couche semi-conductrice 120. Comme décrit précédemment en lien avec la figure 3, on peut, là encore, éventuellement effectuer ce dopage par une ou plusieurs implantations inclinées. En variante et comme décrit précédemment en lien avec les figures 4 ou 5A-5B, on peut également prévoir un ordre inverse des étapes de réalisation des espaceurs 137 et de dopage par implantation.

Ensuite, on effectue la recristallisation, par traitement thermique de la sous-couche 121 inférieure tout en effectuant une activation des dopants des régions dopées 125 (figure 6D). Ce traitement thermique est, là encore, typiquement réalisé de manière à obtenir une recristallisation de type SPER à une température de préférence comprise entre 450°C et 500°C.

On se sert cette fois de la sous-couche supérieure 122 comme zone de départ d'un front de recristallisation. Le fait d'avoir une sous-couche 121 amorphe qui s'étend pleine plaque permet d'avoir un front de recristallisation essentiellement vertical et donc plus propice à une régénération sans défaut de la structure cristalline.

De manière optionnelle, on peut réaliser ensuite une recristallisation de type SPER avec un dopage *in situ*, le dopage et la recristallisation étant alors réalisés dans le même équipement.

Avantageusement, et le cas échéant, on peut ensuite effectuer un retrait d'éventuelles régions superficielles non-dopées.

On peut ensuite effectuer des étapes telles que décrites dans l'exemple précédent, notamment de croissance des blocs semi-conducteurs 145 pour former des régions de source et de drain (figure 6E), puis de siliciuration afin de former des contacts.

Comme indiqué précédemment, pour obtenir une structure telle qu'illustrée sur la figure 1A ou une structure telle qu'illustrée sur la figure 6A, on peut, mettre en œuvre au préalable un procédé d'assemblage entre un substrat 10 doté de la première couche semi-conductrice 12 dans lequel le premier niveau de composants est formé et un autre substrat 1 doté de la couche semi-conductrice 120 dans laquelle un ou plusieurs transistors d'un niveau supérieur est ou sont prévu(s).

Ainsi, dans l'exemple de réalisation illustré sur la figure 7A, on prévoit un substrat 1 poignée semi-conducteur sur lequel la couche semi-conductrice 120, par exemple en silicium, est disposée et on réalise une implantation dans ce substrat 1 pour former une zone 3 de fragilisation. L'implantation est effectuée par exemple à l'aide d'ions H⁺ ou Helium.

On réalise ensuite (figure 7B) un assemblage par collage moléculaire d'une structure telle que décrite précédemment en liaison avec la figure 2 et le substrat 1 poignée. Le collage moléculaire peut être par exemple mis en œuvre entre une couche en Si en surface de la structure de la figure 2 et une couche de SiO₂ recouvrant le substrat poignée 1.

La figure 7C illustre une étape ultérieure de découpe par fracturation du substrat poignée 1 au niveau de la zone de fragilisation 3. Une étape de retrait ultérieure supplémentaire d'une épaisseur restante peut être ensuite mise en œuvre (figure 7D). On effectue ce retrait typiquement par planarisation (CMP).

Une fois la couche semi-conductrice 120 reportée sur le niveau N₁ de composants, on peut ensuite réaliser au moins une implantation d'amorphisation (figure 7E).

Ensuite, on forme un transistor, par exemple selon un procédé tel que décrit précédemment en lien avec les figures 1A-1F.

De manière optionnelle, et comme illustré sur figure 7A, la couche semi-conductrice 120 agencée sur le substrat 1 poignée, peut-être accolée à une couche 170 d'arrêt de gravure

en un matériau semi-conducteur différent et susceptible d'être gravé sélectivement par rapport au matériau de la couche 120. Par exemple, lorsque la couche semi-conductrice 120 est en silicium, la couche 170 d'arrêt de gravure peut être en SiGe.

Une fois le report réalisé de la couche semi-conductrice 120 tel que réalisé aux figures 7B-7C, on amincit la couche semi-conductrice superficielle et on lisse cette couche superficielle pour en éliminer la rugosité créée par l'étape de fracturation. On élimine et l'on réduit des défauts résiduels susceptibles d'avoir été introduits dans le cristal en raison de l'implantation pour réaliser la zone de fragilisation.

La présence de couche d'arrêt 170 permet de mieux contrôler l'épaisseur de la couche 120 et de réduire sa rugosité à basse température.

Selon une autre possibilité de mise en œuvre, on peut créer la sous-couche amorphe dans la couche semi-conductrice 120 avant même de réaliser l'assemblage par collage moléculaire d'un substrat 1 revêtu de cette couche semi-conductrice 120 et du substrat 10 sur lequel un niveau N_1 de composants est formé.

Ainsi, dans l'exemple de réalisation illustré sur la figure 8A-8C, on forme la zone 3 de fragilisation

Puis (figure 8B) on réalise l'amorphisation par implantation d'une sous-couche de la couche semi-conductrice 120.

Ensuite, on effectue l'assemblage par collage moléculaire puis la découpe par fracturation du substrat poignée 1 au niveau de la zone de fragilisation 3 (figure 8C).

Selon une variante (non illustrée) du procédé qui vient d'être décrit en lien avec les figures 8A-8C, on peut également réaliser l'amorphisation de la couche semi-conductrice 120 sur le substrat 1 poignée avant même de réaliser la zone 3 de fragilisation.

De même que pour l'exemple de réalisation décrit précédemment en lien avec les figures 7A-7E, on peut là encore, de manière optionnelle, prévoir une couche d'arrêt de gravure 170 accolée à la couche semi-conductrice 120.

REVENDICATIONS

1. Procédé de réalisation d'un dispositif microélectronique doté de plusieurs niveaux (N_1 , N_2) superposés de composants électroniques, le procédé comprenant, dans cet ordre, des
5 étapes consistant à :

a) réaliser une structure comprenant un support (100) doté au moins un composant d'un premier niveau (N_1) de composants, ledit support (100) étant surmonté d'une couche isolante (110), la couche isolante étant elle-même surmontée d'une couche semi-conductrice (120) d'un deuxième niveau (N_2), ladite couche semi-conductrice (120)
10 comportant une sous-couche inférieure (121) en contact avec ladite couche isolante et une sous-couche supérieure (122) disposée sur la sous-couche inférieure, une première desdites sous-couches inférieure et supérieure étant en matériau semi-conducteur cristallin (C) tandis qu'une deuxième desdites sous-couches inférieure et supérieure est en matériau semi-conducteur amorphe (A), puis,

15 b) former au moins un bloc (132) de grille de transistor sur ladite couche semi-conductrice (120), puis,

c) former, de part et d'autre du bloc (132) de grille, par implantation(s) de dopants dans ladite couche semi-conductrice (120), des régions dopées (125) de part et d'autre d'une zone semi-conductrice située en regard du bloc (132) de grille et prévue pour accueillir un
20 canal dudit transistor, puis,

d) réaliser au moins un traitement thermique de sorte à effectuer une recristallisation de la deuxième sous-couche amorphe en se servant de la première sous-couche cristalline comme zone de départ d'un front de recristallisation tout en effectuant une activation desdits dopants.

25 2. Procédé selon la revendication 1, dans lequel l'étape a) comprend une implantation d'amorphisation d'une épaisseur de ladite couche semi-conductrice (120) du deuxième niveau (N_2) de sorte à former ladite deuxième sous-couche en matériau semi-conducteur amorphe (A).

3. Procédé selon la revendication 1, ladite deuxième sous-couche en matériau semi-conducteur amorphe (A) s'étend pleine plaque de sorte que le support (100) est entièrement recouvert par la deuxième sous-couche.

5 4. Procédé selon l'une des revendications 1 à 3, dans lequel à l'étape a), la première sous-couche, en matériau amorphe (A), est la sous-couche supérieure (122), ladite deuxième sous-couche, en matériau cristallin (C), étant la sous-couche inférieure (121).

10 5. Procédé selon l'une des revendications 1 à 3, dans lequel à l'étape a), la première sous-couche, amorphe, est la sous-couche inférieure, ladite deuxième sous-couche, cristalline, étant la sous-couche superficielle.

6. Procédé selon l'une des revendications 4 ou 5, dans lequel la formation de la structure à l'étape a) comprend des sous-étapes consistant à :

- 15 - prévoir un premier substrat (10) doté dudit premier niveau (N₁) de composants,
- collage sur le premier substrat (10) d'un deuxième substrat (1) doté de ladite couche semi-conductrice (120),
- retrait d'une portion du deuxième substrat (1) tout en préservant la couche semi-conductrice (120) collée sur le premier substrat (10).

20 7. Procédé selon la revendication 6, lorsque rattachée à la revendication 5, l'étape a) comprenant en outre, préalablement audit collage, une étape d'amorphisation de ladite couche semi-conductrice (120) du deuxième niveau (N₂) de sorte à former la deuxième sous-couche semi-conductrice.

25 8. Procédé selon la revendication 7, dans lequel préalablement audit collage on réalise une implantation du premier substrat (1) de manière à créer une zone de fragilisation (3), l'amorphisation de ladite couche semi-conductrice (120) étant effectuée après ladite création de ladite zone de fragilisation.

9. Procédé selon l'une des revendications 6 à 8, dans lequel une couche (170) d'arrêt de gravure est agencée sur le deuxième substrat et accolée à ladite couche semi-conductrice (120), le retrait d'une portion du deuxième substrat (1) comprenant en outre une gravure sélective de la couche d'arrêt de gravure vis-à-vis de ladite couche semi-conductrice (120).

10. Procédé selon l'une des revendications 1 à 9, dans lequel le procédé comprend après l'étape b) :

- la formation d'espaceurs isolants (137) de part et d'autre du bloc de grille,

l'étape c) de formation des régions dopées (125) comprenant une implantation de dopants avant ladite formation des espaceurs (137) isolants,

ou,

- la formation d'espaceurs isolants (137) de part et d'autre du bloc de grille, l'étape c) de formation des régions dopées (125) comprend une implantation de dopants réalisée après ladite formation des espaceurs isolants (137).

11. Procédé selon l'une des revendications 1 à 10, comprenant en outre, après l'étape d) : une croissance de blocs semi-conducteurs (145) de part et d'autre du bloc (132) de grille sur la couche semi-conductrice (120).

12. Procédé selon la revendication 11, dans lequel à l'étape a), la première sous-couche, amorphe, est la sous-couche inférieure, ladite deuxième sous-couche, cristalline, étant la sous-couche superficielle, le procédé comprenant en outre après l'étape d) et préalablement à la croissance desdits blocs semi-conducteurs, le retrait de régions superficielles non-dopées.

13. Procédé selon l'une des revendications 1 à 12, dans lequel le traitement thermique de recristallisation est réalisé à une température inférieure à 700°C, préférentiellement inférieure à 550°C, et avantageusement inférieure à 500°C.

14. Procédé selon l'une des revendications 1 à 13, dans lequel le composant du premier niveau (N_1) est réalisé dans une couche (12) en matériau semi-conducteur.