一种软修复控制电路、存储器和存储器的修复方法

相关申请的交叉引用

本申请要求于2024年12月09日提交中国专利局、申请号为202411815017.2、申请名称为“一种软修复控制电路、存储器和存储器的修复方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种软修复控制电路、存储器和存储器的修复方法。

背景技术

随着半导体技术的不断发展，存储器装置的集成度越来越高，单个存储器芯片中的存储单元数量急剧增加。然而，存储单元数量的增加也带来了存储器缺陷问题。为了提高存储器的成品率，降低生产成本，引入了冗余存储单元和封装后修复技术，具体地，传统的硬封装后修复HPPR（Hard Post Package Repair）技术，是通过非易失性存储电路（例如：熔丝阵列）存储有缺陷单元地址，启动时读取并执行替换，确保高成品率。

相比之下，软封装后修复SPPR（Soft Post Package Repair）技术提供了一种更为灵活和高效的修复方案，它允许直接通过命令将地址信息写入易失性锁存电路，简化流程，提高现场使用过程中的修复效率。然而，在支持软封装后修复的半导体存储器中，如何进一步简化控制电路，以实现对存储器控制器发送的多种软修复命令的兼容执行，成为亟待解决的关键问题。

发明内容

本公开实施例提供了一种软修复控制电路、存储器和存储器的修复方法。

第一方面，本公开实施例提供了一种软修复控制电路，包括：锁定控制电路，配置为，接收锁定使能信号、软修复激活信号和软修复脉冲信号，并在所述锁定使能信号处于有效电平时，将输出的锁存控制信号锁定为第一电平，以及在所述锁定使能信号处于无效电平时，响应于处于有效电平的所述软修复激活信号，将所述软修复脉冲信号的反相延迟信号输出为锁存控制信号；其中，在所述锁定使能信号处于有效电平时指示执行软修复锁定操作；撤销控制电路，配置为，接收撤销使能信号和所述锁存控制信号，在所述锁存控制信号锁定为第一电平时，保持输出不变，以及在所述锁存控制信号为所述软修复脉冲信号的反相延迟信号时，响应于所述锁存控制信号上的脉冲，根据处于有效电平的所述撤销使能信号，生成并输出处于有效电平的撤销标识信号；其中，在所述撤销使能信号处于有效电平时指示执行软修复撤销操作；软修复地址锁存电路，配置为，接收软修复失效地址和所述锁存控制信号，在所述锁存控制信号锁定为第一电平时，保持输出不变，以及在所述锁存控制信号为所述软修复脉冲信号的反相延迟信号时，响应于所述锁存控制信号上的脉冲将所述软修复失效地址进行锁存，并输出为锁存地址；软修复地址匹配电路，配置为，接收所述锁存地址和所述撤销标识信号，在所述撤销标识信号处于有效电平时，将输出的软修复匹配信号锁定为无效电平，在所述撤销标识信号处于无效电平时，将目标地址与所述锁存地址进行匹配，以生成并输出

软修复匹配信号；其中，在所述软修复匹配信号处于有效电平时，指示所述目标地址与所述锁存地址匹配成功，在所述软修复匹配信号处于无效电平时，指示所述目标地址与所述锁存地址未匹配成功；所述目标地址为正常工作模式下访问操作对应的地址。

在一些实施例中，所述锁定控制电路包括：锁定标识信号生成电路，配置为，接收所述锁定使能信号、所述软修复激活信号和所述软修复脉冲信号，并在所述锁定使能信号处于有效电平且所述软修复激活信号处于有效电平时，响应于所述软修复脉冲信号上的脉冲，生成并输出处于有效电平的锁存控制信号，以及在所述锁定使能信号处于无效电平时，生成并输出处于无效电平的锁定标识信号；锁存控制信号生成电路，配置为，接收所述锁定标识信号、所述软修复激活信号和所述软修复脉冲信号，并在所述锁定标识信号处于有效电平时，将输出的锁存控制信号锁定为第一电平，以及在所述锁定标识信号处于无效电平且所述软修复激活信号处于有效电平时，将所述软修复脉冲信号的反相延迟信号输出为锁存控制信号。

在一些实施例中，所述锁定标识信号生成电路包括：第一与非门，所述第一与非门的输入端分别接收所述锁定使能信号、所述软修复激活信号和所述软修复脉冲信号；D 触发器，所述 D 触发器的输入端与电源端电连接，所述 D 触发器的时钟端与所述第一与非门的输出端电连接，所述 D 触发器的输出端用于输出所述锁定标识信号；所述锁存控制信号生成电路包括：延迟单元，所述延迟单元的输入端接收所述软修复脉冲信号；第二与非门，所述第二与非门的第一输入端接收所述软修复激活信号，所述第二与非门的第二输入端与所述延迟单元的输出端电连接；或门，所述或门的第一输入端与所述 D 触发器的输出端电连接，所述或门的第二输入端与所述第二与非门的输出端电连接，所述或门的输出端用于输出所述锁存控制信号。

在一些实施例中，所述撤销控制电路包括：第一锁存器，所述第一锁存器的输入端接收所述撤销使能信号，所述第一锁存器的控制端接收所述锁存控制信号；非门，所述非门的输入端与所述第一锁存器的输出端电连接，所述非门的输出端用于输出所述撤销标识信号。

在一些实施例中，所述软修复地址锁存电路包括至少一个子锁存电路，根据预设顺序选择一个子锁存电路作为目标子锁存电路；所述目标子锁存电路，配置为，接收所述锁存控制信号和所述软修复失效地址，并在所述锁存控制信号锁定为第一电平时，保持当前输出的锁存地址不变，以及在所述锁存控制信号为所述软修复脉冲信号的反相延迟信号时，响应于所述锁存控制信号上的脉冲将所述软修复失效地址锁存为所述锁存地址。

在一些实施例中，所述软修复地址匹配电路包括至少一个子匹配电路，所述至少一个子匹配电路与所述至少一个子锁存电路一一对应连接，与所述目标子锁存电路对应连接的一个子匹配电路作为目标子匹配电路；所述目标子匹配电路，配置为，接收所述撤销标识信号和所述目标地址，在所述撤销标识信号处于有效电平时，将输出的所述软修复匹配信号锁定为无效电平，在所述撤销标识信号处于无效电平时，将对应的锁存地址与所述目标地址进行匹配，以生成并输出对应的一个软修复匹配信号。

在一些实施例中，所述目标子锁存电路包括多个第二锁存器，所述多个第二锁存器与所述软修复失效地址中多个第一地址信号和所述锁存地址中多个第二地址信号一一对应；所述第二锁存器的输入端接收对应的一个第一地址信号，所述第二锁存器的控制端接收所述锁存控制信号，所述第二锁存器的输出端用于输出对应的一个第二地址信号。

在一些实施例中，所述目标子匹配电路包括多个异或非门和与门，所述多个异或非门与所述多个第二锁存器和所述目标地址中的多个第三地址信号一一对应；所述异或非门的第一输入端接收对应的一个第三地址信号，所述异或非门的第二输入端与对应的一个第二锁存器的输出端电连接；所述与门的一个输入端接收所述撤销标识信号，所述与门的其它输入端与多个所述异或非门的输出端一一对应电连接，所述与门的输出端用于输出所述软修复匹配信号。

在一些实施例中，所述锁定控制电路，还配置为，响应于复位信号，重置所述锁存控制信号；所述撤销控制电路，还配置为，响应于所述复位信号，将所述撤销标识信号重置为无

效电平；所述软修复地址锁存电路，还配置为，响应于所述复位信号，重置所述锁存地址。

第二方面，本公开实施例还提供了一种存储器，该存储器包括命令解码电路、如第一方面所述的软修复控制电路；所述命令解码电路，配置为，接收软修复命令，并在所述软修复命令中的软修复模式参数为第二预设值时，生成处于有效电平的撤销使能信号，在所述软修复命令中的软修复模式参数为第三预设值时，生成处于有效电平的锁定使能信号；所述软修复控制电路，还配置为，接收所述撤销使能信号和所述锁定使能信号，并在所述撤销使能信号处于有效电平时，控制执行软修复撤销操作，以及在所述锁定使能信号处于有效电平时，控制执行软修复锁定操作。

在一些实施例中，所述命令解码电路，还配置为，在所述软修复命令中的软修复模式参数为第一预设值时，生成处于有效电平的软修复使能信号；其中，所述软修复使能信号处于有效电平时指示所述存储器进入软修复模式；所述命令解码电路，还配置为，在所述存储器进入软修复模式后，依次接收激活命令和写命令，并对所述激活命令进行解码以生成并输出软修复激活信号和软修复失效地址，以及对所述写命令进行解码以生成并输出软修复脉冲信号；其中，在所述激活命令中的地址信息指示所述软修复控制电路对应的存储体时，生成处于有效电平的所述软修复激活信号，并发送至所述软修复控制电路；所述软修复控制电路，与所述命令解码电路电连接，配置为，接收所述软修复激活信号、所述软修复失效地址和所述软修复脉冲信号，并在所述软修复激活信号处于有效电平时，根据所述软修复脉冲信号将所述软修复失效地址锁存为锁存地址。

在一些实施例中，所述存储器还包括：行地址译码电路和存储体；所述命令解码电路，还配置为，在所述软修复命令中的软修复模式参数为第四预设值时，生成处于无效电平的所述软修复使能信号以指示所述存储器进入正常工作模式；所述命令解码电路，还配置，在所述存储器处于正常工作模式时，接收激活命令，并对所述激活命令进行解码以生成并输出所述目标地址；所述软修复控制电路，还配置为，在所述存储器处于正常工作模式时，将所述目标地址与所述锁存地址进行匹配，并在所述目标地址与所述锁存地址匹配成功，生成并输出处于有效电平的软修复匹配信号；所述行地址译码电路，与所述软修复控制电路电连接，配置为，接收所述软修复匹配信号和所述目标地址，并在所述软修复匹配信号处于有效电平时，根据处于有效电平的所述软修复匹配信号控制开启所述存储体中对应的软修复冗余行的字线。

在一些实施例中，所述命令解码电路包括：软修复命令解码器、模式寄存器、软修复信号产生电路、激活命令解码器和写命令解码器；所述软修复命令解码器，配置为，接收所述软修复命令，并将所述软修复命令中的软修复模式参数写入模式寄存器中；所述软修复信号产生电路，配置为，接收所述模式寄存器中存储的软修复模式参数，并在所述软修复模式参数为第一预设值时，生成处于有效电平的软修复使能信号，在所述软修复模式参数为第二预设值时，生成处于有效电平的撤销使能信号，在所述软修复模式参数为第三预设值时，生成处于有效电平的锁定使能信号；所述激活命令解码器，配置为，接收所述软修复使能信号和激活命令，并在处于有效电平的所述软修复使能信号指示所述存储器进入软修复模式时，对所述激活命令进行解码以生成并输出所述软修复激活信号和所述软修复失效地址；所述写命令解码器，配置为，接收所述软修复使能信号和写命令，并在处于有效电平的所述软修复使能信号指示所述存储器进入软修复模式时，对所述写命令进行解码以生成并输出所述软修复脉冲信号。

在一些实施例中，所述的存储器，还包括：熔丝地址匹配电路，配置为，从熔丝阵列接收多个标准失效地址，并将接收到的所述目标地址分别与所述多个标准失效地址进行匹配，并根据匹配结果生成多个标准匹配信号；所述行地址译码电路，还配置为，接收所述多个标准匹配信号，并在任一标准匹配信号处于有效电平时，根据处于有效电平的所述标准匹配信号控制开启所述存储体中对应的标准冗余行的字线。

在一些实施例中，所述行地址译码电路，还配置为，在所述软修复匹配信号和所述标准

匹配信号均处于无效电平时，根据所述目标地址控制开启所述存储体中对应的存储行的字线。

第三方面，本公开实施例还提供了一种存储器的修复方法，包括：接收软修复命令，并对所述软修复命令进行解码；判断软修复命令中的软修复模式参数的数值；在所述软修复模式参数为第二预设值时，生成处于有效电平的撤销使能信号，以指示执行软修复撤销操作；响应于处于有效电平的撤销使能信号，将软修复匹配信号锁定为无效电平；在所述软修复模式参数为第三预设值时，生成处于有效电平的锁定使能信号，以指示执行软修复锁定操作；响应于处于有效电平的锁定使能信号，保持当前锁存的软修复失效地址不变，并屏蔽所述撤销使能信号；其中，在所述软修复匹配信号处于无效电平时，指示目标地址与锁存的软修复失效地址未匹配成功，所述目标地址为正常工作模式下访问操作对应的地址。

在一些实施例中，所述修复方法还包括：在所述软修复命令中的软修复模式参数为第一预设值时，生成处于有效电平的软修复使能信号，以指示进入软修复模式；在所述存储器进入软修复模式后，依次接收激活命令和写命令；对所述激活命令进行解码以生成软修复激活信号和软修复失效地址；对所述写命令进行解码以生成软修复脉冲信号；响应于处于有效电平的所述软修复激活信号，根据所述软修复脉冲信号将所述软修复失效地址锁存为锁存地址。

在一些实施例中，所述修复方法还包括：在所述软修复命令中的软修复模式参数为第四预设值时，生成处于无效电平的所述软修复使能信号以指示所述存储器进入正常工作模式；在所述存储器处于正常工作模式时，接收激活命令；对所述激活命令进行解码，生成目标地址；将所述目标地址与锁存的所述软修复失效地址进行匹配，并在匹配成功时生成处于有效电平的软修复匹配信号；根据处于有效电平的所述软修复匹配信号控制开启存储体中对应的软修复冗余行的字线。

本公开实施例提供了一种软修复控制电路、存储器和存储器的修复方法，该软修复控制电路中增设了锁定控制电路和撤销控制电路，其中，在锁定使能信号处于有效电平指示执行软修复锁定操作时，锁定控制电路可以屏蔽软修复脉冲信号，输出恒定为第一电平的锁定控制信号，以控制软修复地址锁存电路维持锁定状态，不再锁存新的软修复失效地址，而是保持当前锁存的软修复失效地址不变，实现软修复锁定操作的执行，在撤销使能信号处于有效电平指示执行软修复撤销操作时，撤销控制电路可以输出锁定在有效电平的撤销标识信号，以控制软修复地址匹配电路输出的软修复匹配信号锁定在无效电平，无论正常访问操作中的目标地址与锁存地址是否匹配成功，均输出未匹配成功的结果，使之前锁存的锁存地址的匹配结果被屏蔽，不会执行软修复操作，即撤销了之前软修复操作，实现软修复撤销操作的执行。如此，软修复控制电路仅利用新增的锁定控制电路和撤销控制电路，仅利用新增的锁定控制电路输出的锁定控制信号和撤销控制电路输出的撤销标识信号，便可基于原有的软修复地址锁存电路和软修复地址匹配电路，完成软修复失效地址的锁存、软修复锁定、软修复撤销等多种操作，在实现了标准中规定的软修复的各项操作的前提下，简化了电路设计，节省了电路面积。

附图说明

图 1 为本公开实施例提供的一种软修复控制电路的组成结构示意图；

图 2 为本公开实施例提供的一种锁定控制电路的组成结构示意图；

图 3 为本公开实施例提供的一种锁定标识信号生成电路和锁存控制信号生成电路的组成结构示意图；

图 4 为本公开实施例提供的一种撤销控制电路的组成结构示意图；

图 5A 为本公开实施例提供的一种软修复地址锁存电路和软修复地址匹配电路的组成结构示意图；

图 5B 为本公开实施例提供的另一种软修复地址锁存电路和软修复地址匹配电路的组成结构示意图；

图 6 为本公开实施例提供的一种目标子锁存电路和目标子匹配电路的组成结构示意图；

图 7 为本公开实施例提供的一种存储器的组成结构示意图一；
图 8 为本公开实施例提供的一种命令解码电路的组成结构示意图；
图 9 为本公开实施例提供的一种存储器的组成结构示意图二；
图 10 为本公开实施例提供的一种存储器对应的信号时序图一；
图 11 为本公开实施例提供的一种存储器对应的信号时序图二；
图 12 为本公开实施例提供的一种存储器的修复方法的流程示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅用于解释相关公开，而非对该公开的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关公开相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅仅是区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

为了实现对存储器控制器发送的各类软修复命令的兼容执行，提高存储器芯片的成品率，本公开实施例提供了一种软修复控制电路包括：锁定控制电路、撤销控制电路、软修复地址锁存电路和软修复地址匹配电路；其中，锁定控制电路，配置为，接收锁定使能信号、软修复激活信号和软修复脉冲信号，并在锁定使能信号处于有效电平指示执行软修复锁定操作时，将输出的锁存控制信号锁定为第一电平，以及在锁定使能信号处于无效电平时，响应于处于有效电平的软修复激活信号，将软修复脉冲信号输出为锁存控制信号；撤销控制电路，配置为，接收撤销使能信号和锁存控制信号，在锁存控制信号锁定为第一电平时，保持输出不变，以及在锁存控制信号为软修复脉冲信号的反相延迟信号时，响应于锁存控制信号上的脉冲，根据指示执行软修复撤销操作的处于有效电平的撤销使能信号，生成并输出处于有效电平的撤销标识信号；软修复地址锁存电路，配置为，接收软修复失效地址和锁存控制信号，在锁存控制信号锁定为第一电平时，保持输出不变，以及在锁存控制信号为软修复脉冲信号的反相延迟信号时，响应于锁存控制信号上的脉冲将软修复失效地址进行锁存，并输出为锁存地址；软修复地址匹配电路，配置为，接收锁存地址和撤销标识信号，在撤销标识信号处于有效电平时，将输出的软修复匹配信号锁定为无效电平，在撤销标识信号处于无效电平时，将目标地址与锁存地址进行匹配，以生成并输出软修复匹配信号；其中，在软修复匹配信号处于有效电平时，指示目标地址与锁存地址匹配成功，在软修复匹配信号处于无效电平时，指示目标地址与锁存地址未匹配成功。

这样，在锁定使能信号处于有效电平指示执行软修复锁定操作时，锁定控制电路可以屏蔽软修复脉冲信号，输出恒定为第一电平的锁定控制信号，以控制软修复地址锁存电路维持锁定状态，不再锁存新的软修复失效地址，而是保持当前锁存的软修复失效地址不变，并且第一电平的锁定控制信号还可以屏蔽后续输入的指示执行软修复撤销操作的软修复撤销使能信号，实现软修复锁定操作的执行；同时，在撤销使能信号处于有效电平指示执行软修复撤销操作时，撤销控制电路可以输出锁定在有效电平的撤销标识信号，以控制软修复地址匹配电路输出的锁定在无效电平的软修复匹配信号指示未匹配成功，使之前锁存的锁存地址的匹配结果被屏蔽，不会据此执行软修复操作，即撤销了之前软修复操作，实现软修复撤销操

作的执行。如此，软修复控制电路仅利用新增的锁定控制电路和撤销控制电路，仅利用新增的锁定控制电路输出的锁定控制信号和撤销控制电路输出的撤销标识信号，便可基于原有的软修复地址锁存电路和软修复地址匹配电路，完成软修复失效地址的锁存、软修复锁定、软修复撤销等多种操作，在实现了标准中规定的软修复的各项功能的前提下，简化了电路设计，节省了电路面积。

下面将结合附图对本公开各实施例进行详细说明。

本公开的一实施例中，参见图 1，其示出了本公开实施例提供的一种软修复控制电路 10 的组成结构示意图。如图 1 所示，该内部软修复控制电路 10，包括：锁定控制电路 11、撤销控制电路 12、软修复地址锁存电路 13 和软修复地址匹配电路 14；其中，锁定控制电路 11，配置为，接收锁定使能信号 Lock En、软修复激活信号 SPPR ACT 和软修复脉冲信号 SPPR Clk，并在锁定使能信号 Lock En 处于有效电平时，将输出的锁存控制信号 SPPR Latch 锁定为第一电平，以及在锁定使能信号 Lock En 处于无效电平时，响应于处于有效电平的软修复激活信号 SPPR ACT，将软修复脉冲信号 SPPR Clk 输出为锁存控制信号 SPPR Latch；其中，在锁定使能信号 Lock En 处于有效电平时指示执行软修复锁定操作；撤销控制电路 12，配置为，接收撤销使能信号 Undo En 和锁存控制信号 SPPR Latch，在锁存控制信号 SPPR Latch 锁定为第一电平时，保持输出不变，以及在锁存控制信号 SPPR Latch 为软修复脉冲信号 SPPR Clk 的反相延迟信号时，响应于锁存控制信号 SPPR Latch 上的脉冲，根据处于有效电平的撤销使能信号 Undo En，生成并输出处于有效电平的撤销标识信号 Undo flag；其中，在撤销使能信号 Undo En 处于有效电平时指示执行软修复撤销操作；软修复地址锁存电路 13，配置为，接收软修复失效地址 SPPR FA[n:0]和锁存控制信号 SPPR Latch，在锁存控制信号 SPPR Latch 锁定为第一电平时，保持输出不变，以及在锁存控制信号 SPPR Latch 为软修复脉冲信号 SPPR Clk 的反相延迟信号时，响应于锁存控制信号 SPPR Latch 上的脉冲将软修复失效地址 SPPR FA[n:0]进行锁存，并输出为锁存地址 Latch FA[n:0]；软修复地址匹配电路 14，配置为，接收锁存地址 Latch FA[n:0]和撤销标识信号 Undo flag，在撤销标识信号 Undo flag 处于有效电平时，将输出的软修复匹配信号 SPPR Match 锁定为无效电平，在撤销标识信号 Undo flag 处于无效电平时，将目标地址 RA[n:0]与锁存地址 Latch FA[n:0]进行匹配，以生成并输出软修复匹配信号 SPPR Match；其中，在软修复匹配信号 SPPR Match 处于有效电平时，指示目标地址 RA[n:0]与锁存地址 Latch FA[n:0]匹配成功，在软修复匹配信号 SPPR Match 处于无效电平时，指示目标地址 RA[n:0]与锁存地址 Latch FA[n:0]未匹配成功；目标地址 RA[n:0]为正常工作模式下访问操作对应的地址。

具体地，锁存控制信号 SPPR Latch 可以同时控制撤销控制电路 12 和软修复地址锁存电路 13 的输出以实现软修复锁定功能，即将已经执行的软修复操作的结果（锁存地址 Latch FA[n:0]）锁定不变。具体地，在处于有效电平的锁定使能信号 Lock En 指示进入软修复模式且执行软修复锁定操作时，锁定控制电路 11 可以基于该锁定使能信号 Lock En 屏蔽掉后续输入的软修复脉冲信号 SPPR Clk，将输出的锁存控制信号 SPPR Latch 锁定在第一电平，第一电平的锁存控制信号 SPPR Latch 可以控制撤销控制电路 12 屏蔽掉后续输入的指示执行软修复撤销操作的撤销使能信号 Undo En，以保持原有输出的撤销标识信号 Undo flag 不变，防止撤销标识信号 Undo flag，此外，第一电平的锁存控制信号 SPPR Latch 可以控制软修复地址锁存电路 13 维持锁定状态，不再对当前输入以及后续输入的软修复失效地址 SPPR FA[n:0]，以保持当前锁存的软修复失效地址 Latch FA[n:0]不变。同时，锁存控制信号 SPPR Latch 可以同时控制软修复地址匹配电路 14 输出的匹配结果以实现软修复撤销功能，即将之前执行的软修复操作撤销，将之前锁存的锁存地址 Latch FA[n:0]在正常工作模式下对应的匹配结果屏蔽/无效掉，具体地，在处于有效电平的撤销使能信号 Undo En 指示执行软修复撤销操作时，撤销控制电路 12 可以输出锁定在有效电平的撤销标识信号 Undo flag，软修复地址匹配电路 14 基于该撤销标识信号 Undo flag 可以将输出的软修复匹配信号 SPPR Match 锁定在无效电平，不论锁存地址 Latch FA[n:0]的匹配结果如何，均指示未匹配成功并且不

执行软修复操作，此时，相当于将软修复地址锁存电路 13 锁存的锁存地址被置于无效状态，对应的软修复冗余行设置为不可用状态，即撤销了之前软修复操作。如此，软修复控制电路 10 仅利用新增的锁定控制电路 11 和撤销控制电路 12，仅利用新增的锁定控制电路 11 输出的锁定控制信号 SPPR Latch 和撤销控制电路输出的撤销标识信号 Undo flag，便可控制原有的软修复地址锁存电路 13 和软修复地址匹配电路 14，完成软修复失效地址的锁存、软修复锁定、软修复撤销等多种操作，在实现了标准中规定的各项软修复功能的前提下，简化了电路设计，节省了电路面积。

在这里，撤销控制电路 12 和软修复地址锁存电路 13 中“保持输出不变”，是指锁定原有输出，即保持输出信号的原有电平状态不变。例如：在锁定使能信号 Lock En 处于有效电平时指示执行软修复锁定操作后，即使再接收到指示执行软修复撤销操作的撤销使能信号 Undo En，撤销控制电路 12 也不能响应于该信号生成处于有效电平的撤销标识信号 Undo flag，而是将撤销标识信号 Undo flag 保持为原有电平状态。也就是说，在本公开实施例的软修复控制电路中，软修复锁定操作优先级高于软修复撤销操作，具体地，若指示执行软修复锁定操作的锁定使能信号 Lock En 在前，此时，基于处于第一电平的锁定控制信号 SPPR Latch，在后的指示执行软修复撤销操作的撤销使能信号 Undo En 将被屏蔽/忽略掉，对应的软修复撤销操作也将不能被执行；若指示执行软修复撤销操作的撤销使能信号 Undo En 在前，指示执行软修复锁定操作的锁定使能信号 Lock En 在后，由于在前的撤销使能信号 Undo En 已经将撤销标识信号 Undo flag 置为有效电平，此时，处于第一电平的锁定控制信号 SPPR Latch 将控制撤销控制电路 12 输出的撤销标识信号 Undo flag 的原有电平状态（即有效电平）保持不变，软修复控制电路 10 仍可基于撤销标识信号 Undo flag 继续执行软修复撤销操作，即软修复撤销操作和软修复锁定操作可以同时执行。

另外，若锁存控制信号 SPPR Latch 为软修复脉冲信号 SPPR Clk 的反相延迟信号时，锁存控制信号 SPPR Latch 上也会存在的脉冲将会在高电平（逻辑“1”）和低电平（逻辑“0”）之间进行切换，以软修复脉冲信号 SPPR Clk 上的脉冲为正脉冲进行举例说明，锁存控制信号 SPPR Latch 上的脉冲则为负脉冲，软修复地址锁存电路 13 可以在脉冲信号中为低电平(逻辑“0”）的期间将输入的软修复失效地址 SPPR FA[n:0]“透传”作为输出的锁存地址 Latch FA[n:0]，然后在脉冲信号中为高电平（逻辑“1”）的期间将输出的锁存地址 Latch FA[n:0]进行锁存；而若锁定使能信号处于有效电平时，锁定控制电路 11 将锁存控制信号 SPPR Latch 锁定在第一电平（例如：高电平，逻辑“1”），则软修复地址锁存电路 13 基于高电平（逻辑“1”）的锁存控制信号 SPPR Latch 保持锁存状态，不“透传”本次输入的软修复失效地址 SPPR FA[n:0]。其中，锁存控制信号 SPPR Latch 相较于软修复脉冲信号 SPPR Clk 具有一定延迟，是为了保证锁定控制电路 11 有足够的时间判断输入的锁定使能信号 Lock En、软修复激活信号 SPPR ACT 和软修复脉冲信号 SPPR Clk 的状态，进而确定输出正确的锁存控制信号 SPPR Latch。

在这里，软修复脉冲信号 SPPR Clk 上的脉冲可以为正脉冲或负脉冲，第一电平可以为高电平（逻辑“1”）或低电平（逻辑“0”），本公开实施例中仅以软修复脉冲信号 SPPR Clk 上的脉冲为正脉冲、第一电平为高电平（逻辑“1”）进行举例说明，但对本公开的实施例不构成具体限定。

需要说明的是，本公开实施例中不同信号的有效电平可以是不相同的电平，例如：锁定使能信号 Lock En、撤销使能信号 Undo En、软修复激活信号 SPPR ACT 和软修复匹配信号 SPPR Match 的有效电平可以为高电平、逻辑“1”，无效电平为低电平、逻辑“0”，而撤销标识信号 Undo flag 的有效电平可以为低电平、逻辑“0”，无效电平为高电平、逻辑“1”，在其他一些实施例中，以上信号的有效电平也可以是其他电平组合，对此并不作任何限定。

还需要说明的是，存储器的软修复操作可以是利用存储体中的一个软修复冗余行替换一个存在错误的存储行，此时，软修复失效地址 SPPR FA[n:0]、锁存地址 Latch FA[n:0]以及目标地址 RA[n:0]均为行地址；在其他一些实施例中，储器的软修复操作也可以是利用存储

体中的一个软修复冗余列替换一个存在错误的存储列，此时，软修复失效地址 SPPR FA[n:0]、锁存地址 Latch FA[n:0]以及目标地址 RA[n:0]则均为列地址。

还需要说明的是，尽管锁定控制电路 11、撤销控制电路 12 和软修复地址锁存电路 13 执行的上述操作在软修复模式下（在接收到存储器控制器发送的软修复命令指示执行软修复写入、软修复撤销、软修复锁定等操作时，均会进入软修复模式）完成，但这些电路输出的锁存控制信号 SPPR Latch、撤销标识信号 Undo flag 以及锁存地址 Latch FA[n:0]在退出软修复模式时仍可以保持不变，即当前的软修复操作结束后仍可以对后续的其他操作产生影响。其中，锁定为第一电平的锁存控制信号 SPPR Latch 可以屏蔽后续的其他软修复操作，包括：软修复写入操作、软修复撤销操作，对应的锁存地址 Latch FA[n:0]将保持不变，不会被后续输入的软修复失效地址覆盖；处于有效电平的撤销标识信号 Undo flag 可以在后续的正常工作模式下屏蔽对应的锁存地址 Latch FA[n:0]与目标地址 RA[n:0]的匹配结果，输出指示未匹配成功的软修复匹配信号 SPPR Match，对应的软修复冗余行设置为不可用状态；若撤销标识信号 Undo flag 处于无效电平，锁存地址 Latch FA[n:0]在后续的正常工作模式下，可以在软修复地址匹配电路 14 中与目标地址 RA[n:0]进行匹配，在匹配成功时输出处于有效电平的软修复匹配信号 SPPR Match，指示开启对应的软修复冗余行的字线，达到软修复的目的。

本公开实施例涉及软修复控制电路的总体框架设计，特别涉及 DRAM DDR5 芯片，还可以应用于其他 DDR 系列芯片和 LPDDR 系列芯片中，但不局限于此范围，其他存储器芯片、以及其他内部修复电路等均可采用此设计。

进一步地，对于锁定控制电路 11 的组成，如图 2 所示，锁定控制电路 11 包括：锁定标识信号生成电路 111，配置为，接收锁定使能信号 Lock En、软修复激活信号 SPPR ACT 和软修复脉冲信号 SPPR Clk，并在锁定使能信号 Lock En 处于有效电平且软修复激活信号 SPPR ACT 处于有效电平时，响应于软修复脉冲信号 SPPR Clk 上的脉冲，生成并输出处于有效电平的锁存控制信号 SPPR Latch，以及在锁定使能信号 Lock En 处于无效电平时，生成并输出处于无效电平的锁定标识信号 Lock flag；锁存控制信号生成电路 112，配置为，接收锁定标识信号 Lock flag、软修复激活信号 SPPR ACT 和软修复脉冲信号 SPPR Clk，并在锁定标识信号 Lock flag 处于有效电平时，将输出的锁存控制信号 SPPR Latch 锁定为第一电平，以及在锁定标识信号 Lock flag 处于无效电平且软修复激活信号 SPPR ACT 处于有效电平时，将软修复脉冲信号 SPPR Clk 的反相延迟信号输出为锁存控制信号 SPPR Latch。

在这里，锁定标识信号生成电路 111 输出的锁定标识信号 Lock flag，需要控制锁存控制信号生成电路 112 是否屏蔽输入的软修复脉冲信号 SPPR Clk，但锁定标识信号生成电路 111 对输入的所有信号（锁定使能信号 Lock En、软修复激活信号 SPPR ACT 和软修复脉冲信号 SPPR Clk）进行处理以生成该锁定标识信号 Lock flag，输出的处于有效电平的锁定标识信号 Lock flag 必然晚于对应的软修复脉冲信号 SPPR Clk，因此，需要将软修复脉冲信号 SPPR Clk 进行反相延迟操作，以保证锁定标识信号生成电路 111 输出的处于有效电平的锁定标识信号 Lock flag，可以早于软修复脉冲信号 SPPR Clk 的反相延迟信号，并将其进行屏蔽，保证锁定标识信号 Lock flag 处于有效电平时输出的锁存控制信号 SPPR Latch 恒为第一电平。

需要说明的是，本公开实施例中以锁定标识信号 Lock flag 的有效电平为高电平、逻辑“1”，无效电平为低电平、逻辑“0”，进行举例说明，但对本公开的实施例不构成具体限定。

在本公开的一实施例中，参考图 3，锁定标识信号生成电路 111 包括：第一与非门 1111，第一与非门 1111 的输入端分别接收锁定使能信号 Lock En、软修复激活信号 SPPR ACT 和软修复脉冲信号 SPPR Clk；D 触发器 1112，D 触发器 1112 的输入端与电源端 VDD 电连接，D 触发器 1112 的时钟端与第一与非门 1111 的输出端电连接，D 触发器 1112 的输出端用于输出锁定标识信号 Lock flag；锁存控制信号生成电路 112 包括：延迟单元 1121，延迟单元 1121 的输入端接收软修复脉冲信号 SPPR Clk；第二与非门 1122，第二与非门 1122 的第一输入端接收软修复激活信号 SPPR ACT，第二与非门 1122 的第二输入端与延迟单元 1121 的输出端电

连接；或门 1123，或门 1123 的第一输入端与 D 触发器 1112 的输出端电连接，或门 1123 的第二输入端与第二与非门 1122 的输出端电连接，或门 1123 的输出端用于输出锁存控制信号 SPPR Latch。

在这里，参考图 3，在锁定使能信号 Lock En 和软修复激活信号 SPPR ACT 均处于有效电平（高电平）时，响应于软修复脉冲信号 SPPR Clk 上的正脉冲，第一与非门 1111 输出一个负脉冲，D 触发器 1112 的时钟端 CK 响应于该负脉冲的上升沿（即软修复脉冲信号 SPPR Clk 上正脉冲的下降沿），将输入端 D 的电源电压 VDD（高电平）输出至输出端 Q，即将锁定标识信号 Lock flag 置为有效电平（高电平），锁定标识信号 Lock flag 变为有效电平的时间晚于软修复脉冲信号 SPPR Clk 上正脉冲的下降沿。同时，在锁存控制信号生成电路 112 中，利用延迟单元 1121 可以使脉冲延迟信号 ClkD 上的正脉冲晚于软修复脉冲信号 SPPR Clk 上的正脉冲，此时，第二与非门 1122 输出的负脉冲信号也会晚于锁定标识信号 Lock flag 变为有效电平的时间，进而保证处于有效电平的锁定标识信号 Lock flag 可以通过或门 1123 屏蔽掉第二与非门 1122 输出的负脉冲（即软修复脉冲信号 SPPR Clk 上的正脉冲），即，在锁定使能信号 Lock En 有效时，可以控制输出的锁存控制信号 SPPR Latch 上不产生脉冲，而是维持第一电平（高电平）的锁存状态，以控制软修复地址锁存电路 13 保持当前输出的锁存地址 Latch FA[n:0]以及控制撤销控制电路 12 保持当前输出的撤销标识信号 Undo flag 不发生变化，达到执行软修复锁定操作的目的。

在本公开的一些实施例中，D 触发器 1112 的复位端还接收复位信号 reset，并响应于上电复位信号 reset 将输出端置为低电平、逻辑“0”，复位信号可以为上电复位信号，也可以是启用 HPPR 或者 MBIST 或者 MPPR 功能时产生的禁用复位信号。

在本公开的一实施例中，参考图 4，撤销控制电路 12 包括：第一锁存器 121，第一锁存器 121 的输入端接收撤销使能信号 Undo En，第一锁存器 121 的控制端接收锁存控制信号 SPPR Latch；非门 122，非门 122 的输入端与第一锁存器 121 的输出端电连接，非门 122 的输出端用于输出撤销标识信号 Undo flag。

具体地，结合图 3-图 4 所示，在锁存控制信号 SPPR Latch 为软修复脉冲信号 SPPR Clk 的反相延迟信号时，即锁存控制信号 SPPR Latch 上具有负脉冲时，第一锁存器 121 的控制端 Lat 接收的锁存控制信号 SPPR Latch 为低电平时，第一锁存器 121 处于“透传”状态，将输入端 D 的撤销使能信号 Undo En 传输至输出端 Q，在撤销使能信号 Undo En 处于有效电平（高电平）时，第一锁存器 121 的输出端 Q 输出至非门 122 输入端的信号处于高电平，非门 122 输出的锁定标识信号 Undo flag 处于有效电平（低电平），第一锁存器 121 的控制端 Lat 接收的锁存控制信号 SPPR Latch 变为高电平时，第一锁存器 121 处于“锁存”状态，将输出端 Q 输出的信号锁定在高电平，非门 122 输出的锁定标识信号 Undo flag 维持有效电平（低电平）；在锁存控制信号 SPPR Latch 锁定为第一电平（高电平）时，第一锁存器 121 维持初始的低电平不变，非门 122 对应输出的锁定标识信号 Undo flag 维持无效电平（高电平）。在这里，以撤销使能信号 Undo En 的有效电平为高电平、逻辑“1”，锁定标识信号 Undo flag 的有效电平为低电平、逻辑“0”进行举例说明。

在本公开的一些实施例中，第一锁存器 121 可以为 D 锁存器，第一锁存器 121 的复位端接收复位信号 reset，并响应于复位信号 reset 将输出端置为 0。

在本公开的一实施例中，参考图 5A，软修复地址锁存电路 13 包括至少一个子锁存电路 131，其中，一个子锁存电路 131 作为目标子锁存电路 132；目标子锁存电路 132，配置为，接收锁存控制信号 SPPR Latch 和软修复失效地址 SPPR FA[n:0]，并在锁存控制信号 SPPR Latch 锁定为第一电平时，保持当前输出的锁存地址 Latch FA[n:0]不变，以及在锁存控制信号 SPPR Latch 为软修复脉冲信号 SPPR Clk 的反相延迟信号时，响应于锁存控制信号 SPPR Latch 上的脉冲将软修复失效地址 SPPR FA[n:0]锁存为锁存地址 Latch FA[n:0]。

在本公开的一些实施例中，软修复地址锁存电路 13 仅包括一个子锁存电路 131，此时无需选择出目标子锁存电路 132，该一个子锁存电路 131 可以仅用于软封装后修复 SPPR，锁存

对应的软修复失效地址 SPPR FA[n:0]。

在一些实施例中，软修复地址锁存电路 13 包括多个子锁存电路 131，此时需要选择一个子锁存电路 131 作为目标子锁存电路 132，可以按照顺序选择一个目标子锁存电路 132，接收锁存控制信号 SPPR Latch 和软修复失效地址 SPPR FA[n:0]，也可以设置选择电路（未示出），根据相关配置信号控制选择电路选择使能其中一个子锁存电路 131 作为目标子锁存电路 132，并且仅向被使能的子锁存电路 131（即目标子锁存电路 132）发送锁存控制信号 SPPR Latch 和软修复失效地址 SPPR FA[n:0]。

需要说明的是，HPPR 和 SPPR 可以共用该软修复地址锁存电路 13 中多个子锁存电路 131 和存储体中对应的软修复冗余行资源，除被选择作为目标子锁存电路 132 的一个子锁存电路 131 之外，剩余的子锁存电路 131 均可用于执行硬封装后修复 HPPR 中锁存硬修复失效地址。

在本公开的一些实施例中，如图 5B 所示，软修复地址锁存电路 13 还包括选通器 133，配置为，接收软修复失效地址 SPPR FA[n:0]，每次软修复操作仅根据预设顺序选择一个子锁存电路 131 作为目标子锁存电路 132，并将软修复失效地址 SPPR FA[n:0]传输至目标子锁存电路 132 中；目标子锁存电路 132，配置为，接收锁存控制信号 SPPR Latch 和软修复失效地址 SPPR FA[n:0]，并在锁存控制信号 SPPR Latch 锁定为第一电平时，保持当前输出的锁存地址 Latch FA[n:0]不变，以及在锁存控制信号 SPPR Latch 为软修复脉冲信号 SPPR Clk 的反相延迟信号时，响应于锁存控制信号 SPPR Latch 上的脉冲将软修复失效地址 SPPR FA[n:0]锁存为锁存地址 Latch FA[n:0]；未被选择的子锁存电路 131，未能接收到软修复失效地址 SPPR FA[n:0]，尽管接收到锁存控制信号 SPPR Latch，但仍保持原先输出的锁存地址不变。

在本公开的一些实施例中，目标子锁存电路 131 接收复位信号 reset，并响应于复位信号 reset 将输出端置为 0，即锁存地址 Latch FA[n:0]为 000…00，此时，存储体中不使用全 0 的地址信号来标识存储行。

在本公开的一些实施例中，如图 5A 所示，软修复地址匹配电路 14 包括至少一个子匹配电路 141，至少一个子匹配电路 141 与至少一个子锁存电路 131 一一对应连接，与目标子锁存电路 132 对应连接的一个子匹配电路作为目标子匹配电路 142；目标子匹配电路 142，配置为，接收撤销标识信号 Undo flag 和目标地址 RA[n:0]，在撤销标识信号 Undo flag 处于有效电平时，将输出的软修复匹配信号 SPPR Match 锁定为无效电平，在撤销标识信号 Undo flag 处于无效电平时，将对应的锁存地址 Latch FA[n:0]与目标地址 RA[n:0]进行匹配，以生成并输出对应的一个软修复匹配信号 SPPR Match。

在这里，目标地址 RA[n:0]是正常工作模式下访问操作对应的地址信息，目标子匹配电路 142 以及其他子匹配电路 141 接收目标地址 RA[n:0]以及对其进行匹配的功能，也均执行于正常工作模式下。在一些实施例中，目标子匹配电路 142 和其他子匹配电路 141 均在正常工作模式下被使能，而在软修复模式以及其他修复模式下被禁用，这样可以进一步节省存储器在软修复模式下的功率消耗。

需要说明的是，除目标子匹配电路 142 之外，其他子匹配电路 131 与对应的子锁存电路 131 连接，这些子锁存电路 131 在软修复操作中未被选中锁存软修复失效地址 SPPR FA[n:0]，而是用于在 HPPR/MPPR 等修复过程中锁存其他失效地址，因此，这些子匹配电路 131 也用于接收目标地址 RA[n:0]，并将该目标地址 RA[n:0]与其接收到的其他失效地址进行匹配以输出匹配信号，只不过该匹配信号并不对应于软修复冗余行，而是经行地址译码电路译码后指向 HPPR/MPPR 等其他修复操作对应的冗余行。

在本公开的一些实施例中，如图 5B 所示，软修复地址匹配电路 14 包括至少一个子匹配电路 141，至少一个子匹配电路 141 与至少一个子锁存电路 131 一一对应连接；每个子匹配电路 141，配置为，接收撤销标识信号 Undo flag 和目标地址 RA[n:0]，在撤销标识信号 Undo flag 处于有效电平时，将对应输出的软修复匹配信号 SPPR Match 锁定为无效电平，在撤销标识信号 Undo flag 处于无效电平时，将对应的子锁存电路 131 输出的锁存地址 Latch FA[n:0]与目标地址 RA[n:0]进行匹配，以生成并输出对应的一个软修复匹配信号 SPPR Match。

在这里，所有子锁存电路131均用于软修复，并对应锁存一个修复失效地址，所有子匹配电路141均接收该目标地址RA[n:0]，并将其与对应的子锁存电路131输出的软修复失效地址进行匹配，并输出对应的软修复匹配信号以指向对应的一个软修复冗余行，即，每个子匹配电路141对应一个软修复冗余行。具体地，结合图5B和图7，软修复地址锁存电路13包括m个子锁存电路131,对应的软修复地址匹配电路14也包括m个子匹配电路141,其中，m为大于等于1的整数;每个子锁存电路131对应存储体BA中的一个软修复冗余行,具体地，子匹配电路i接收撤销标识信号Undo flag、目标地址RA[n:0]和对应的一个子锁存电路131输出的锁存地址Latch FAi[n:0]（即锁存的软修复失效地址SPPR FAi[n:0]，i为大于等于1且小于等于m的整数），在撤销标识信号Undo flag处于有效电平时，将输出的软修复匹配信号SPPR Match i锁定为无效电平，而在撤销标识信号Undo flag处于无效电平时，将锁存地址Latch FAi[n:0]与目标地址RA[n:0]进行匹配，并在匹配成功时，可将有效的软修复匹配信号SPPR Match i发送至行地址译码电路30，并通过行地址译码电路30将该目标地址RA[n:0]链接到该软修复匹配信号SPPR Match i（子匹配电路i）对应的第i个软修复冗余行，即将软修复失效地址SPPR FAi[n:0]对应的失效存储行替换为一个软修复冗余行，实现对存储体中失效存储行进行软修复的目的。

进一步地，关于目标子锁存电路132和目标子匹配电路142的电路结构，如图6所示，目标子锁存电路132包括多个第二锁存器1321,多个第二锁存器1321与软修复失效地址SPPR FA[n:0]中多个第一地址信号和锁存地址Latch FA[n:0]中多个第二地址信号一一对应；第二锁存器1321的输入端接收对应的一个第一地址信号，第二锁存器1321的控制端接收锁存控制信号SPPR Latch，第二锁存器1321的输出端用于输出对应的一个第二地址信号。

在这里，目标子锁存电路132中的多个第二锁存器1321是在锁存控制信号SPPR Latch的控制下，对输入的软修复失效地址SPPR FA[n:0]进行逐位锁存。具体地，第j个第二锁存器1321的输入端D接收第j个第一地址信号SPPR FA[j-1]，j为小于等于n+1的正整数，第j个第二锁存器1321的控制端Lat接收锁存控制信号SPPR Latch，在锁存控制信号SPPR Latch为低电平（逻辑“0”）时，将输入端D接收的第j个第一地址信号SPPR FA[j-1]“透传”至输出端Q作为第j个第二地址信号Latch FA [j-1]，在锁存控制信号SPPR Latch为高电平（逻辑“1”）时，将输出端Q的第j个第二地址信号Latch FA [j-1]进行锁存。

在本公开的一些实施例中，第二锁存器1321可以为D锁存器，第二锁存器1321的复位端接收复位信号reset，并响应于复位信号reset将输出端置为0。

继续参考图6，目标子匹配电路142包括多个异或非门1421和与门1422，多个异或非门1421与多个第二锁存器1321和目标地址RA[n:0]中的多个第三地址信号一一对应；异或非门1421的第一输入端接收对应的一个第三地址信号，异或非门1421的第二输入端与对应的一个第二锁存器1321的输出端电连接；与门1422的一个输入端接收撤销标识信号Undo flag，与门1422的其它输入端与多个异或非门1421的输出端一一对应电连接，与门1422的输出端用于输出软修复匹配信号SPPR Match。

在这里，目标子匹配电路142中的多个异或非门1421是用于对多个第二锁存器1321输出的Latch FA [n:0]和目标地址RA[n:0]进行逐位比较匹配，与门1422则在比较结果指示所有地址位均相同时输出有效的软修复匹配信号SPPR Match。具体地，第j个异或非门1421的输入端分别接收第i个第二锁存器1321输出的第j个第二地址信号Latch FA [j-1]和第j个第三地址信号RA [j-1]，在第二地址信号Latch FA [j-1]和第三地址信号RA [j-1]相同时，第j个异或非门1421输出高电平的比较结果RA com[j-1]，若多个异或非门1421的所有比较结果RA com[n:0]均为高电平且撤销标识信号Undo flag为无效电平（高电平）时，与门1422均输出有效的软修复匹配信号SPPR Match，指示匹配成功，而在与门1422接收到的撤销标识信号Undo flag为有效电平（低电平）时，不论多个异或非门1421的比较结果RA com[n:0]如何，与门1422均输出无效的软修复匹配信号SPPR Match，指示未匹配成功，即实现软修复撤销功能。

在本公开一些实施例中，如图 1 所示，锁定控制电路 11，还配置为，响应于复位信号 Reset，重置锁存控制信号 SPPR Latch；撤销控制电路 12，还配置为，响应于复位信号 Reset，将撤销标识信号 Undo flag 重置为无效电平；软修复地址锁存电路 13，还配置为，响应于复位信号 Reset，重置锁存地址 Latch FA[n:0]。

在这里，响应于复位信号 Reset，将锁定控制电路 11、撤销控制电路 12、软修复地址锁存电路 13 均被恢复到初始的未修复状态。具体地，锁定控制电路 11 将锁定标识信号 Lock flag 重置为无效电平，对应的锁存控制信号 SPPR Latch 被重置为第二电平；撤销控制电路 12 将撤销标识信号 Undo flag 重置为无效电平，软修复地址锁存电路 13 将锁存地址 Latch FA[n:0]均重置为第二电平，此处，以第一电平为高电平、逻辑“1”，第二电平为低电平、逻辑“0”，有效电平为高电平、逻辑“1”，无效电平为低电平、逻辑“0”为例进行说明。

需要说明的是，复位信号 Reset 可以为上电复位信号，也可以是启用 HPPR 或者 MBIST（Memory Built-In Self-Test，内存内置自测试）或者 MPPR（MBIST Post Package Repair）功能时产生的禁用复位信号。在一些实施例中，HPPR 和 SPPR 共用该软修复地址锁存电路 13 和存储体中对应的软修复冗余行资源，HPPR 和 SPPR 功能不能同时启用。因此，如果 DRAM 支持可选的 SPPR 撤销/锁定功能，在进入 HPPR 或 MPPR 等模式之前，必须先禁用、清除并解锁 SPPR，此时需要有禁用复位信号，将锁定控制电路 11、撤销控制电路 12、软修复地址锁存电路 13 进行复位。

还需要说明的是，以上实施例所提供的软修复控制电路中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的软修复控制电路实施例。

本公开实施例还提供一种存储器，参考图 7，存储器 100，包括命令解码电路 20 和如上述实施例中提供的软修复控制电路 10；命令解码电路 20，配置为，接收软修复命令 SPPR CMD，并在软修复命令 SPPR CMD 中的软修复模式参数为第二预设值时，生成处于有效电平的撤销使能信号 Undo En，在软修复命令 SPPR CMD 中的软修复模式参数为第三预设值时，生成处于有效电平的锁定使能信号 Lock En；软修复控制电路 10，还配置为，接收撤销使能信号 Undo En 和锁定使能信号 Lock En，并在撤销使能信号 Undo En 处于有效电平时，控制执行软修复撤销操作，以及在锁定使能信号 Lock En 处于有效电平时，控制执行软修复锁定操作。

在这里，软修复命令 SPPR CMD，可以是模式寄存器写（Mode Register Write，MRW）命令，即命令解码电路 20 将模式寄存器写命令 MRW 中携带的软修复模式参数写入对应的模式寄存器 MR23 中，例如：写入 MR23:OP[2:1]中，并根据模式寄存器 MR23 中存储的软修复模式参数，生成并输出对应的信号。具体地，在软修复模式参数 MR23:OP[2:1]为第一预设值 01 时，生成处于有效电平的软修复使能信号 SPPR En，可以指示进入软修复模式，以执行常规的软修复写入操作；在软修复模式参数 MR23:OP[2:1]为第二预设值 10 时，生成处于有效电平的撤销使能信号 Undo En，可以指示执行软修复撤销操作；在软修复模式参数 MR23:OP[2:1]为第三预设值 11 时，生成处于有效电平的锁定使能信号 Lock En，可以指示执行软修复锁定操作；在软修复模式参数 MR23:OP[2:1]为第四预设值 00（默认的初始值）时，输出的软修复使能信号 SPPR En、撤销使能信号 Undo En、锁定使能信号 Lock En 均置为无效电平。

需要说明的是，本公开实施例中以软修复使能信号 SPPR En、撤销使能信号 Undo En、锁定使能信号 Lock En 的有效电平为高电平、逻辑“1”，无效电平为低电平、逻辑“0”，进行举例说明，但对本公开的实施例不构成具体限定。

还需要说明的是，本公开中的命令解码电路 20 即可应用于执行软修复命令的解码操作，也可应用于执行正常工作模式下访问命令的解码操作以及其他修复命令的解码操作。在其他一些实施例中，命令解码电路 20 仅应用于执行软修复命令的解码操作，执行正常工作模式下访问命令解码操作以及其他修复命令解码操作的解码电路均分别独立设置。

在本公开一些实施例中，如图 7 所示，命令解码电路 20，还配置为，在软修复命令 SPPR CMD 中的软修复模式参数为第一预设值时，生成处于有效电平的软修复使能信号 SPPR En；其中，软修复使能信号 SPPR En 处于有效电平时指示存储器 100 进入软修复模式；命令解码

电路 20，还配置为，在存储器 100 进入软修复模式后，依次接收激活命令 ACT CMD 和写命令 WRITE CMD，并对激活命令 ACT CMD 进行解码以生成并输出软修复激活信号 SPPR ACT 和软修复失效地址 SPPR FA[n:0]，以及对写命令 WRITE CMD 进行解码以生成并输出软修复脉冲信号 SPPR Clk；其中，在激活命令 ACT CMD 中携带的地址信息指示软修复控制电路 10 对应的存储体 40 时，生成处于有效电平的软修复激活信号 SPPR ACT，并发送至该软修复控制电路 10；软修复控制电路 10，与命令解码电路 20 电连接，配置为，接收软修复激活信号 SPPR ACT、软修复失效地址 SPPR FA[n:0]和软修复脉冲信号 SPPR Clk，并在软修复激活信号 SPPR ACT 处于有效电平时，根据软修复脉冲信号 SPPR Clk 将软修复失效地址 SPPR FA[n:0]锁存为锁存地址 Latch FA[n:0]。

在这里，激活命令 ACT CMD 中的地址信息包括存储体组（Bank group，BG）信息和存储体（Bank，BA）信息，在处于有效电平的软修复使能信号 SPPR En 指示存储器 100 进入软修复模式后，命令解码电路 20 可以对接收到的激活命令 ACT CMD 进行解码，仅向 BG/BA 信息指示的存储体发送有效的软修复激活信号 SPPR ACT 和软修复失效地址 SPPR FA[n:0]，以指示对目标存储体的失效地址 SPPR FA[n:0]执行软修复写入操作。

需要说明的是，软修复命令 SPPR CMD 中的软修复模式参数 MR23:OP[2:1]为第一预设值 01、第二预设值 10 或第三预设值 11 时，均可以指示存储器 100 进入软修复模式，只是三种软修复模式参数对应执行的软修复操作不同，具体地，软修复模式参数 MR23:OP[2:1]为第一预设值 01 指示进入软修复模式且执行常规的软修复写入操作，软修复写入操作即将随后接收到的激活命令中的软修复失效地址 SPPR FA[n:0]写入到软修复地址锁存电路中，软修复模式参数 MR23:OP[2:1]为第二预设值 10 指示进入软修复模式且执行软修复撤销操作，软修复模式参数 MR23:OP[2:1]为第三预设值 11 指示进入软修复模式且执行软修复锁定操作。在一些实施例中，软修复模式参数 MR23:OP[2:1]为第二预设值 10 或第三预设值 11 时，除了产生对应的撤销使能信号 Undo En 和锁定使能信号 Lock En 之外，也会产生软修复使能信号 SPPR En 以指示进入软修复模式，以使能激活命令解码器 24 和写命令解码器 25，并且根据随后接收到的激活命令 ACT CMD 和写命令 WRITE CMD 执行“常规”的软修复写入操作，只不过撤销使能信号 Undo En 和锁定使能信号 Lock En 将控制执行优先级更高的软修复撤销操作和软修复锁定操作，将软修复使能信号 SPPR En 对应的软修复写入操作给忽略/屏蔽掉。在其他一些实施例中，软修复模式参数 MR23:OP[2:1]为第二预设值 10 或第三预设值 11 时，仅产生对应的撤销使能信号 Undo En 和锁定使能信号 Lock En，不产生软修复使能信号 SPPR En，这时撤销使能信号 Undo En 和锁定使能信号 Lock En 也会指示对随后接收到的激活命令 ACT CMD 和写命令 WRITE CMD 进行解码，只不过不执行软修复写入操作，而是利用 ACT CMD 中的存储体组 BG/存储体 BA 信息，向目标存储体发送处于有效电平的软修复激活信号 SPPR Act，将对应的目标存储体使能以执行软修复撤销操作和软修复锁定操作，此时，激活命令 ACT CMD 中的行地址信息和写命令 WRITE CMD 中的列地址信息均可以忽略，也可以将本次激活命令 ACT CMD 中的行地址信息与前次进入软修复模式时激活命令 ACT CMD 中的行地址信息（例如：软修复模式参数 MR23:OP[2:1]为第一预设值 01 时的常规软修复写入操作中的软修复失效地址 SPPR FA[n:0]）设置为相同。

还需要说明的是，在接收到软修复命令 SPPR CMD 指示进入软修复模式后，还需要接收连续四个 MRW 命令，根据 MRW 命令中携带的保护密钥信息防止意外的软修复操作，以对存储体中的数据以及修复资源进行保护。具体地，四个 MRW 命令中携带的保护密钥信息必须按照规定的顺序输入，并且不允许其他 MRW/R 命令或非 MR 命(如 ACT、WR、RD)中断保护密钥序列，才允许真正进入软修复模式，执行具体的软修复操作(如软修复写入操作、软修复撤销操作、软修复锁定操作)。而如果被不符合要求的命令中断或者未按照要求的顺序输入保护密钥，将不会真正进入软修复模式并执行软修复操作。

在本公开的一些实施例中，继续参考图 7，在存储器 100 中包括多个存储体 40（图中以虚线框标识），并且部分存储器中还将多个存储体 BA 划分为一个存储体组 BG，每个存储体

BA对应一个软修复控制电路10和一个软修复激活信号SPPR ACT，并根据对应的软修复控制电路10独立执行软修复操作，但每次软修复命令是对哪个存储体40中的失效地址执行软修复操作，需要根据激活命令ACT CMD中存储体地址信息（包括存储体组BG信号和存储体BA信号）使能对应的软修复激活信号SPPR ACT来指定。具体地，以存储器100包括8个存储体组BG0-BG7以及每个存储体组包括4个存储体BA0-BA3为例进行说明，32个存储体对应32个软修复控制电路和32个软修复激活信号SPPR ACT，在接收到的激活命令ACT CMD中BG[2:0]=000、BA[1:0]=00时，表明BG0中的BA0执行当前软修复写入操作，将该存储体对应的软修复激活信号SPPR ACT置为有效电平并发送至BG0-BA0对应的软修复控制电路10，以指示根据撤销使能信号Undo En、锁定使能信号Lock En、软修复失效地址SPPR FA[n:0]和软修复脉冲信号SPPR Clk执行各类软修复操作，此时，剩余31个存储体对应的31个软修复激活信号SPPR ACT均处于无效电平，对应的软修复控制电路均未被使能，故不执行软修复操作。

在本公开的一些实施例中，如图7、图9所示，存储器100还包括：行地址译码电路30和存储体40；命令解码电路20，还配置为，在软修复命令SPPR CMD中的软修复模式参数为第四预设值时，生成处于无效电平的软修复使能信号SPPR En以指示存储器100进入正常工作模式；命令解码电路20，还配置，在存储器100处于正常工作模式时，接收激活命令ACT CMD，并对激活命令ACT CMD进行解码以生成并输出目标地址RA[n:0]；软修复控制电路10，还配置为，在存储器100处于正常工作模式时，将目标地址RA[n:0]与锁存地址Latch FA[n:0]进行匹配，并在目标地址RA[n:0]与锁存地址Latch FA[n:0]匹配成功，生成并输出处于有效电平的软修复匹配信号SPPR Match；行地址译码电路30，与软修复控制电路10电连接，配置为，接收软修复匹配信号SPPR Match和目标地址RA[n:0]，并在软修复匹配信号SPPR Match处于有效电平时，根据处于有效电平的软修复匹配信号SPPR Match控制开启存储体100中对应的软修复冗余行SPPR RWL的字线。

在这里，以每个软修复控制电路10中仅有1个子锁存电路131用于锁存软修复失效地址、存储体40中仅有1个对应的软修复冗余行进行举例说明。在其他一些实施例中，软修复控制电路10中有多个子锁存电路131可以用于锁存软修复失效地址、存储体40中对应的也有多个软修复冗余行，在此不作具体限定。

需要说明的是，在软修复命令SPPR CMD中的软修复模式参数MR23:OP[2:1]为第四预设值00时，指示退出软修复模式，即进入正常工作模式，不仅需要将软修复使能信号SPPR En置为无效电平，还需要将撤销使能信号Undo En和锁定使能信号Lock En也置为无效电平。

在本公开的一些实施例中，如图8所示，命令解码电路20包括：软修复命令解码器21、模式寄存器22、软修复信号产生电路23、激活命令解码器24和写命令解码器25；软修复命令解码器21，配置为，接收软修复命令SPPR CMD，并将软修复命令SPPR CMD中的软修复模式参数MR23:OP[2:1]写入模式寄存器22中；软修复信号产生电路23，配置为，接收模式寄存器22中存储的软修复模式参数MR23:OP[2:1]，并在软修复模式参数MR23:OP[2:1]为第一预设值时，生成处于有效电平的软修复使能信号SPPR En，在软修复模式参数MR23:OP[2:1]为第二预设值时，生成处于有效电平的撤销使能信号Undo En，在软修复模式参数MR23:OP[2:1]为第三预设值时，生成处于有效电平的锁定使能信号Lock En；激活命令解码器24，配置为，接收软修复使能信号SPPR En和激活命令ACT CMD，并在处于有效电平的软修复使能信号SPPR En指示存储器进入软修复模式时，对激活命令ACT CMD进行解码以生成并输出软修复激活信号SPPR ACT和软修复失效地址SPPR FA[n:0]；写命令解码器25，配置为，接收软修复使能信号SPPR En和写命令WRITE CMD，并在处于有效电平的软修复使能信号SPPR En指示存储器100进入软修复模式时，对写命令WRITE CMD进行解码以生成并输出软修复脉冲信号SPPR Clk。

在这里，激活命令解码器24仅用于对进入软修复模式后的激活命令ACT CMD进行解码，在存储器100处于正常工作模式时接收的激活命令ACT CMD可以由命令解码电路20中设置

的正常激活命令解码器（图中未示出）执行解码。激活命令解码器 24 和正常激活命令解码器均接收激活命令 ACT CMD，在软修复使能信号 SPPR En 处于有效电平指示存储器 100 进入软修复模式时，使能激活命令解码器 24 的同时禁用正常激活命令解码器，以保证仅输出软修复激活信号 SPPR ACT，而在软修复使能信号 SPPR En 处于无效电平指示存储器 100 进入正常工作模式时，使能正常激活命令解码器的同时禁用激活命令解码器 24，以保证仅输出正常的激活信号 ACT 和目标地址 RA[n:0]。

在本公开的一些实施例中，如图 7、图 9 所示，存储器 100 还包括：熔丝地址匹配电路 50，配置为，从熔丝阵列（图中未示出）接收多个标准失效地址 Normal FA[n:0]，并将接收到的目标地址 RA[n:0]分别与多个标准失效地址 Normal FA[n:0]进行匹配，并根据匹配结果生成多个标准匹配信号 Normal March 1-p；行地址译码电路 30，还配置为，接收多个标准匹配信号 Normal March 1-p，并在任一标准匹配信号处于有效电平时，根据处于有效电平的标准匹配信号控制开启存储体 40 中对应的标准冗余行 Normal RWL 1-p 的字线。

在本公开的一些实施例中，如图 7、图 9 所示，行地址译码电路 30，还配置为，在软修复匹配信号 SPPR Match 和标准匹配信号 Normal March 1-p 均处于无效电平时，根据目标地址 RA[n:0]控制开启存储体 40 中对应的存储行 Normal WL 1-q 的字线。

图 10-图 11 为本公开实施例提供的软修复控制电路和存储器对应的信号时序图。结合图 10-11，对图 1-图 9 所示的软修复控制电路 10 和存储器 100 的工作原理进行说明。在这里，以软修复使能信号 SPPR En/锁定使能信号 Lock En/撤销使能信号 Undo En/锁定标识信号 Lock Flag/软修复激活信号 SPPR ACT 和软修复匹配信号 SPPR Match 的有效电平为高电平（逻辑“1”）、撤销标识信号 Undo flag 的有效电平可以为低电平（逻辑“0”）、第一电平为高电平（逻辑“1”）为例进行说明，但不对本公开的实施例构成限定。

首先，参考图 10，在 t1 时刻，软修复命令解码器 21 接收到软修复命令 SPPR CMD，并将软修复命令 SPPR CMD 中的软修复模式参数 OP[2:1]=01 写入至模式寄存器 MR23 中；由于软修复模式参数 OP[2:1]为第一预设值 01，软修复信号产生电路 23 生成处于有效电平（高电平）的软修复使能信号 SPPR En，指示存储器 100 进入软修复模式，基于该处于有效电平（高电平）的软修复使能信号 SPPR En，激活命令解码器 24 和写命令解码器 25 被使能；

在 t1-t2 时刻之间，存储器 100 还需要接收连续的四个 MRW 命令，在对连续四个 MRW 命令中的携带的保护密钥信息进行验证无误后，正式进入软修复模式以执行软修复操作；在一些实施例中，也可以在对连续四个 MRW 命令中的保护密钥信息验证无误后，再生成处于有效电平（高电平）的软修复使能信号 SPPR En；

在 t2 时刻，激活命令解码器 24 接收到激活命令 ACT CMD，由于有效电平（高电平）的软修复使能信号 SPPR En 已经将激活命令解码器 24 使能，激活命令解码器 24 可以对激活命令 ACT CMD 进行解码生成并输出软修复激活信号 SPPR ACT 和软修复失效地址 SPPR FA[n:0]，具体地，根据激活命令 ACT CMD 中的地址信息（BG/BA）确定执行软修复的存储体，并将存储体 BG0/BA0 对应的软修复激活信号 SPPR ACT 置为有效电平（高电平），并发送至对应的软修复控制电路 10，此外，将激活命令 ACT CMD 中携带的行地址信息确定为软修复失效地址 FA1[n:0]；

在 t3 时刻，写命令解码器 25 接收到写命令 WRITE CMD，由于有效电平（高电平）的软修复使能信号 SPPR En 已经将写命令解码器 25 使能，写命令解码器 25 可以对写命令 WRITE CMD 进行解码生成并输出具有正脉冲的软修复脉冲信号 SPPR Clk；

需要说明的是，在软修复模式中，并不需要对列地址进行锁存处理，因此，写命令 WRITE CMD 中列地址信息可以被忽略；

在 t4 时刻，软修复控制电路 10 中的延迟单元 1121 对软修复脉冲信号 SPPR Clk 进行延迟处理生成脉冲延迟信号 ClkD，其中，软修复脉冲信号 SPPR Clk 上 t3 时刻的正脉冲被延迟为脉冲延迟信号 ClkD 上 t4 时刻的正脉冲；并且此时第一与非门 1111 的输入端接收的锁定使能信号 Lock En 处于无效电平（低电平），D 触发器 1112 的时钟端保持高电平，D 触发器

1112输出的锁定标识信号Lock flag保持在初始的无效电平（低电平），或门1123输出的锁存控制信号SPPR Latch等于第二与非门1122的输出，第二与非门1122接收的软修复激活信号SPPR ACT在t2时刻已经被置为高电平，第二与非门1122的输出与脉冲延迟信号ClkD相反，锁存控制信号SPPR Latch在t4时刻产生与脉冲延迟信号ClkD上的正脉冲对应的负脉冲；

同时，软修复控制电路10中的多个第二锁存器1321的输入端D在t4时刻之前接收到软修复失效地址SPPR FA[n:0]，多个第二锁存器1321的控制端Lat根据锁存控制信号SPPR Latch在t4时刻产生的负脉冲（低电平），将接收到的软修复失效地址FA1[n:0]“透传”至输出端Q作为锁存地址Latch FA[n:0]，并在锁存控制信号SPPR Latch的负脉冲结束（变为高电平）时转为锁存状态，将输出的FA1[n:0]锁存为锁存地址；

在t5时刻，接收存储器控制器发送的预充电命令PRE CMD，基于该预充电命令PRE CMD，将软修复激活信号SPPR Act置为无效电平（低电平）；

在t6时刻，命令解码电路20中的软修复命令解码器21接收到软修复命令SPPR CMD，此时软修复命令SPPR CMD中的软修复模式参数OP[2:1]为第四预设值00，软修复信号产生电路23将软修复使能信号SPPR En由有效电平（高电平）翻转至无效电平（低电平），以指示存储器100退出当前的软修复模式（t1-t6），即进入正常工作模式；

在t7时刻，软修复命令解码器21接收到新的软修复命令SPPR CMD，此时软修复命令SPPR CMD中的软修复模式参数OP[2:1]为第二预设值10，软修复信号产生电路23生成处于有效电平（高电平）的撤销使能信号Undo En和处于有效电平（高电平）软修复使能信号SPPR En，指示存储器100进入软修复模式且执行软修复撤销操作，基于该处于有效电平（高电平）的软修复使能信号SPPR En，激活命令解码器24和写命令解码器25同样被使能；

在t8时刻，激活命令解码器24接收到激活命令ACT CMD，被使能的激活命令解码器24根据激活命令ACT CMD中的地址信息（BG/BA）确定执行软修复的存储体，并将存储体BG0/BA0对应的软修复激活信号SPPR ACT置为有效电平（高电平），并发送至对应的软修复控制电路10，此外，将激活命令ACT CMD中携带的行地址信息确定为软修复失效地址FA1[n:0]；

需要说明的是，指示执行软修复撤销操作和软修复锁定操作的软修复命令SPPR CMD（携带的软修复模式参数OP[2:1]为第二预设值10或第三预设值11）后，激活命令ACT CMD中携带的地址信息（BG/BA/SPPR FA[n:0]）均需要与最近一次指示执行软修复写入操作的软修复命令SPPR CMD（携带的软修复模式参数OP[2:1]为第一预设值00）后的激活命令ACT CMD（t2时刻）中携带的地址信息相同；

在t9时刻，写命令解码器25接收到写命令WRITE CMD，被使能的写命令解码器25可以对写命令WRITE CMD进行解码生成并输出具有正脉冲的软修复脉冲信号SPPR Clk；

在t10时刻，软修复控制电路10中的延迟单元1121对软修复脉冲信号SPPR Clk进行延迟处理生成脉冲延迟信号ClkD，其中，软修复脉冲信号SPPR Clk上t9时刻的正脉冲被延迟为脉冲延迟信号ClkD上t10时刻的正脉冲，锁存控制信号SPPR Latch在t10时刻产生与脉冲延迟信号ClkD上的正脉冲对应的负脉冲；

同时，撤销控制电路12中的第一锁存器121的输入端接收到的撤销使能信号Undo En在t7时刻已经被置为有效电平（高电平），第一锁存器121的控制端Lat根据锁存控制信号SPPR Latch在t10时刻产生的负脉冲（低电平），将输入端D的高电平信号“透传”至输出端Q，并在锁存控制信号SPPR Latch的负脉冲结束（变为高电平）时转为锁存状态，将输出端Q锁存为高电平（逻辑“1”），对应的撤销标识信号Undo Flag锁定在低电平（逻辑“0”）；软修复控制电路10中的多个第二锁存器1321也在锁存控制信号SPPR Latch的负脉冲结束时转为锁存状态，将FA1[n:0]锁存为锁存地址；

在t11时刻，根据接收到的预充电命令PRE CMD，将软修复激活信号SPPR Act置为无效电平（低电平）；

在t12时刻，根据软修复命令SPPR CMD中携带的第四预设值的软修复模式参数OP[2:1]，

软修复信号产生电路 23 将软修复使能信号 SPPR En 由有效电平（高电平）翻转至无效电平（低电平），以指示存储器 100 退出当前的软修复模式（t7-t12）；

在 t13 时刻，软修复使能信号 SPPR En 处于无效电平指示存储器 100 处于正常工作模式下，存储器 100 此时接收到的激活命令 ACT CMD 指示执行正常的访问操作（读/写激活操作），存储器 100 对激活命令 ACT CMD 进行解码，获取目标地址 RA[n:0]，即当前访问操作对应的行地址 FA1[n:0]；目标子匹配电路 142 中的多个异或非门 1421 将目标地址 RA[n:0]与锁存地址 Lock FA[n:0]进行逐位比较，由于目标地址 RA[n:0]与锁存地址 Lock FA[n:0]均为行地址 FA1[n:0]，多个异或非门 1421 输出的比较结果 RA com[0]- RA com[n]均为高电平；

但由于在之前的 t10 时刻撤销标识信号 Undo Flag 被置为有效电平（低电平），并且 t12-t13 期间没有新的软修复命令 SPPR CMD 将其修改，撤销标识信号 Undo Flag 仍保持低电平，此时，即使比较结果 RA com[0]- RA com[n]指示软修复的锁存地址 Lock FA[n:0]与目标地址 RA[n:0]匹配成功，与门 1422 也将输出无效（低电平）的软修复匹配信号 SPPR Match，指示未匹配成功，即实现软修复撤销功能。

继续，参考图 11，在 t21-t26 期间的时序与图 10 中 t1-t6 期间的时序相同，具体参考前述内容，在此不再赘述。

在 t27 时刻，软修复命令解码器 21 接收到新的软修复命令 SPPR CMD，此时软修复命令 SPPR CMD 中的软修复模式参数 OP[2:1]为第三预设值 11，软修复信号产生电路 23 生成处于有效电平（高电平）的锁定使能信号 Lock En 和处于有效电平（高电平）软修复使能信号 SPPR En，指示存储器 100 进入软修复模式且执行软修复撤销操作，基于该处于有效电平（高电平）的软修复使能信号 SPPR En，激活命令解码器 24 和写命令解码器 25 同样被使能；

在 t28 时刻，激活命令解码器 24 接收到激活命令 ACT CMD，被使能的激活命令解码器 24 根据激活命令 ACT CMD 中的地址信息（BG/BA）确定执行软修复的存储体，并将存储体 BG0/BA0 对应的软修复激活信号 SPPR ACT 置为有效电平（高电平），并发送至对应的软修复控制电路 10，此外，将激活命令 ACT CMD 中携带的行地址信息确定为软修复失效地址 FA1[n:0]；

在 t29 时刻，写命令解码器 25 接收到写命令 WRITE CMD，被使能的写命令解码器 25 可以对写命令 WRITE CMD 进行解码生成并输出具有正脉冲的软修复脉冲信号 SPPR Clk；

在 t29-t30 时刻，第一与非门 1111 的输入端接收到的锁定使能信号 Lock En、软修复激活信号 SPPR ACT 均处于有效电平，第一与非门 1111 的输出信号与软修复脉冲信号 SPPR Clk 相反，即，第一与非门 1111 输出至 D 触发器 1112 的时钟端 CK 一个负脉冲，与软修复脉冲信号 SPPR Clk 上的正脉冲相对应；

在 t30 时刻，D 触发器 1112 的时钟端 CK 响应于该负脉冲的上升沿（即软修复脉冲信号 SPPR Clk 上正脉冲的下降沿），将输入端 D 的电源电压 VDD（高电平）输出至输出端 Q，即将锁定标识信号 Lock flag 置为有效电平（高电平）；

随后软修复脉冲信号 SPPR Clk 在 t29 时刻的正脉冲被延迟为脉冲延迟信号 ClkD 上的正脉冲，晚于 t30 时刻到来，但由于已经处于有效电平（高电平）的锁定标识信号 Lock flag，或门 1123 输出的锁存控制信号 SPPR Latch 维持第一电平（高电平）的锁存状态，将第二与非门 1122 输出的负脉冲（即软修复脉冲信号 SPPR Clk 上的正脉冲）屏蔽/过滤掉，目标子锁存电路 132 保持当前输出的锁存地址 Latch FA[n:0]不变；

在 t31 时刻，根据接收到的预充电命令 PRE CMD，将软修复激活信号 SPPR Act 置为无效电平（低电平）；

在 t32 时刻，根据软修复命令 SPPR CMD 中携带的第四预设值的软修复模式参数 OP[2:1]，软修复信号产生电路 23 将软修复使能信号 SPPR En 由有效电平（高电平）翻转至无效电平（低电平），以指示存储器 100 退出当前的软修复模式（t27-t32）；

在 t33 时刻，存储器 100 在接收到软修复命令 SPPR CMD 再次进入软修复模式后，激活命令解码器 24 接收到激活命令 ACT CMD，被使能的激活命令解码器 24 根据激活命令 ACT CMD 中的地址信息（BG/BA）确定执行软修复的存储体，并将存储体 BG0/BA0 对应的软修复激活

信号 SPPR ACT 置为有效电平（高电平），并发送至对应的软修复控制电路 10，此外，将激活命令 ACT CMD 中携带的行地址信息确定为新的软修复失效地址 FA2[n:0]；

在 t34 时刻，被使能的写命令解码器 25 接收到写命令 WRITE CMD，被使能的写命令解码器 25 可以对写命令 WRITE CMD 进行解码生成并输出具有正脉冲的软修复脉冲信号 SPPR Clk；但由于锁定标识信号 Lock flag 在 t30 时刻被置为有效电平(高电平)，并且在复位信号 Reset（上电复位信号）到来前一直维持高电平状态，或门 1123 仍将屏蔽软修复脉冲信号 SPPR Clk 上 t34 时刻的正脉冲，继续将输出的锁存控制信号 SPPR Latch 维持在第一电平（高电平）的锁存状态，目标子锁存电路 132 基于维持在高电平的锁存控制信号 SPPR Latch 保持当前锁存的锁存地址 FA1[n:0]不变，不再对新输入的软修复失效地址 FA2[n:0]进行“透传”和锁定，即实现软修复锁定功能。

需要说明的是，上述实施例所提供的存储器中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的存储器实施例。另外，前面实施例中提到的软修复控制电路的相关技术细节在本实施例中依然有效，为了减少重复，这里不再赘述。

本公开实施例还提供一种存储器的修复方法，参考图 12，该存储器的修复方法，包括：

步骤 S1：接收软修复命令 SPPR CMD，并对软修复命令 SPPR CMD 进行解码；

步骤 S2：判断软修复命令 SPPR CMD 中的软修复模式参数 MR23:OP[2:1]的数值；

在软修复模式参数为第二预设值时，执行步骤 S32 和步骤 S42；

步骤 S32：生成处于有效电平的撤销使能信号 Undo En，以指示执行软修复撤销操作；

步骤 S42：响应于处于有效电平的撤销使能信号 Undo En，将软修复匹配信号 SPPR Match 锁定为无效电平；

在软修复模式参数为第三预设值时，执行步骤 S33 和步骤 S43；

步骤 S33：生成处于有效电平的锁定使能信号 Lock En，以指示执行软修复锁定操作；

步骤 S43：响应于处于有效电平的锁定使能信号 Lock En，保持当前锁存的软修复失效地址 SPPR FA[n:0]不变，并屏蔽撤销使能信号 Undo En；

其中，在软修复匹配信号 SPPR Match 处于无效电平时，指示目标地址 RA[n:0]与锁存的软修复失效地址 SPPR FA[n:0]未匹配成功，目标地址 RA[n:0]为正常工作模式下访问操作对应的地址。

在本公开一些实施例中，继续参考图 12，该修复方法，还包括：

在软修复模式参数为第一预设值时，执行步骤 S31；

步骤 S31：生成处于有效电平的软修复使能信号 SPPR En，以指示进入软修复模式；

在存储器进入软修复模式后，依次接收激活命令 ACT CMD 和写命令 WRITE CMD，继续执行步骤 S41、步骤 S5 和步骤 S6；

步骤 S41：接收激活命令 ACT CMD，并对激活命令 ACT CMD 进行解码以生成软修复激活信号 SPPR ACT 和软修复失效地址 SPPR FA[n:0]；

步骤 S5：接收写命令 WRITE CMD，并对写命令进行 WRITE CMD 解码以生成软修复脉冲信号 SPPR Clk；

步骤 S6：响应于处于有效电平的软修复激活信号 SPPR ACT，根据软修复脉冲信号 SPPR Clk 将软修复失效地址 SPPR FA[n:0]锁存为锁存地址 Latch FA[n:0]。

在本公开一些实施例中，该修复方法还包括：

在软修复模式参数为第四预设值时，生成处于无效电平的软修复使能信号 SPPR En 以指示存储器进入正常工作模式；

在存储器处于正常工作模式时，接收激活命令 ACT CMD，并对激活命令 ACT CMD 进行解码，生成目标地址 RA[n:0]；

将目标地址 RA[n:0]与锁存的软修复失效地址 SPPR FA[n:0]进行匹配，并在匹配成功时生成处于有效电平的软修复匹配信号 SPPR Match；

根据处于有效电平的软修复匹配信号 SPPR Match 控制开启存储体中对应的软修复冗余

行的字线。

需要说明的是，上述实施例所提供的存储体的修复方法中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的修复方法实施例。另外，本实施例可与前面实施例中提供的存储体和软修复控制电路互相配合实施。前面实施例中提到的相关技术细节在本实施例中依然有效，为了减少重复，这里不再赘述。

以上所述，仅为本公开的示例实施例，并非用于限定本公开的保护范围。

需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1.一种软修复控制电路（10），包括：

锁定控制电路(11),配置为,接收锁定使能信号(Lock En)、软修复激活信号(SPPR ACT)和软修复脉冲信号（SPPR Clk），并在所述锁定使能信号（Lock En）处于有效电平时，将输出的锁存控制信号（SPPR Latch）锁定为第一电平，以及在所述锁定使能信号（Lock En）处于无效电平时，响应于处于有效电平的所述软修复激活信号（SPPR ACT），将所述软修复脉冲信号（SPPR Clk）的反相延迟信号输出为锁存控制信号（SPPR Latch）；其中，在所述锁定使能信号（Lock En）处于有效电平时指示执行软修复锁定操作；

撤销控制电路(12),配置为,接收撤销使能信号(Undo En)和所述锁存控制信号(SPPR Latch)，在所述锁存控制信号（SPPR Latch）锁定为第一电平时，保持输出不变，以及在所述锁存控制信号（SPPR Latch）为所述软修复脉冲信号（SPPR Clk）的反相延迟信号时，响应于所述锁存控制信号（SPPR Latch）上的脉冲，根据处于有效电平的所述撤销使能信号（Undo En），生成并输出处于有效电平的撤销标识信号（Undo flag）；其中，在所述撤销使能信号（Undo En）处于有效电平时指示执行软修复撤销操作；

软修复地址锁存电路（13），配置为，接收软修复失效地址（SPPR FA[n:0]）和所述锁存控制信号（SPPR Latch），在所述锁存控制信号（SPPR Latch）锁定为第一电平时，保持输出不变，以及在所述锁存控制信号（SPPR Latch）为所述软修复脉冲信号（SPPR Clk）的反相延迟信号时,响应于所述锁存控制信号(SPPR Latch)上的脉冲将所述软修复失效地址(SPPR FA[n:0]）进行锁存，并输出为锁存地址（Latch FA[n:0]）；

软修复地址匹配电路（14），配置为，接收所述锁存地址（Latch FA[n:0]）和所述撤销标识信号（Undo flag），在所述撤销标识信号（Undo flag）处于有效电平时，将输出的软修复匹配信号（SPPR Match）锁定为无效电平，在所述撤销标识信号（Undo flag）处于无效电平时，将目标地址（RA[n:0]）与所述锁存地址（Latch FA[n:0]）进行匹配，以生成并输出软修复匹配信号（SPPR Match）；

其中，在所述软修复匹配信号（SPPR Match）处于有效电平时，指示所述目标地址（RA[n:0]）与所述锁存地址(Latch FA[n:0])匹配成功,在所述软修复匹配信号(SPPR Match)处于无效电平时，指示所述目标地址（RA[n:0]）与所述锁存地址（Latch FA[n:0]）未匹配成功；所述目标地址（RA[n:0]）为正常工作模式下访问操作对应的地址。

2.如权利要求 1 所述的软修复控制电路（10），其中，所述锁定控制电路（11）包括：

锁定标识信号生成电路（111），配置为，接收所述锁定使能信号（Lock En）、所述软修复激活信号(SPPR ACT)和所述软修复脉冲信号(SPPR Clk)，并在所述锁定使能信号(Lock

En）处于有效电平且所述软修复激活信号（SPPR ACT）处于有效电平时，响应于所述软修复脉冲信号（SPPR Clk）上的脉冲，生成并输出处于有效电平的锁存控制信号（SPPR Latch），以及在所述锁定使能信号（Lock En）处于无效电平时，生成并输出处于无效电平的锁定标识信号（Lock Flag）；

锁存控制信号生成电路（112），配置为，接收所述锁定标识信号（Lock Flag）、所述软修复激活信号（SPPR ACT）和所述软修复脉冲信号（SPPR Clk），并在所述锁定标识信号（Lock Flag）处于有效电平时，将输出的锁存控制信号（SPPR Latch）锁定为第一电平，以及在所述锁定标识信号（Lock Flag）处于无效电平且所述软修复激活信号（SPPR ACT）处于有效电平时，将所述软修复脉冲信号（SPPR Clk）的反相延迟信号输出为锁存控制信号（SPPR Latch）。

3.如权利要求 2 所述的软修复控制电路（10），其中，

所述锁定标识信号生成电路（111）包括：

第一与非门（1111），所述第一与非门（1111）的输入端分别接收所述锁定使能信号（Lock En）、所述软修复激活信号（SPPR ACT）和所述软修复脉冲信号（SPPR Clk）；

D 触发器（1112），所述 D 触发器（1112）的输入端与电源端电连接，所述 D 触发器（1112）的时钟端与所述第一与非门（1111）的输出端电连接，所述 D 触发器（1112）的输出端用于输出所述锁定标识信号（Lock Flag）；

所述锁存控制信号生成电路（112）包括：

延迟单元（1121），所述延迟单元（1121）的输入端接收所述软修复脉冲信号（SPPR Clk）；

第二与非门（1122），所述第二与非门（1122）的第一输入端接收所述软修复激活信号（SPPR ACT），所述第二与非门（1122）的第二输入端与所述延迟单元（1121）的输出端电连接；

或门（1123），所述或门（1123）的第一输入端与所述 D 触发器（1112）的输出端电连接，所述或门（1123）的第二输入端与所述第二与非门（1122）的输出端电连接，所述或门（1123）的输出端用于输出所述锁存控制信号（SPPR Latch）。

4.如权利要求 1-3 任一项所述的软修复控制电路（10），其中，

所述撤销控制电路（12）包括：

第一锁存器（121），所述第一锁存器（121）的输入端接收所述撤销使能信号（Undo En），所述第一锁存器（121）的控制端接收所述锁存控制信号（SPPR Latch）；

非门（122），所述非门（122）的输入端与所述第一锁存器（121）的输出端电连接，所述非门（122）的输出端用于输出所述撤销标识信号（Undo flag）。

5.如权利要求 1-4 任一项所述的软修复控制电路（10），其中，所述软修复地址锁存电路（13）包括至少一个子锁存电路（131），根据预设顺序选择一个子锁存电路（131）作为目标子锁存电路（132）；

所述目标子锁存电路（132），配置为，接收所述锁存控制信号（SPPR Latch）和所述软修复失效地址（SPPR FA[n:0]），并在所述锁存控制信号（SPPR Latch）锁定为第一电平时，保持当前输出的锁存地址（Latch FA[n:0]）不变，以及在所述锁存控制信号（SPPR Latch）为所述软修复脉冲信号（SPPR Clk）的反相延迟信号时，响应于所述锁存控制信号（SPPR Latch）上的脉冲将所述软修复失效地址（SPPR FA[n:0]）锁存为所述锁存地址（Latch FA[n:0]）。

6.如权利要求 5 所述的软修复控制电路（10），其中，所述软修复地址匹配电路（14）包括至少一个子匹配电路（141），所述至少一个子匹配电路（141）与所述至少一个子锁存电路（131）一一对应连接，与所述目标子锁存电路（132）对应连接的一个子匹配电路（141）作为目标子匹配电路（142）；

所述目标子匹配电路（142），配置为，接收所述撤销标识信号（Undo flag）和所述目标地址（RA[n:0]），在所述撤销标识信号（Undo flag）处于有效电平时，将输出的所述软修复匹配信号（SPPR Match）锁定为无效电平，在所述撤销标识信号（Undo flag）处于无效电平时，将对应的锁存地址（Latch FA[n:0]）与所述目标地址（RA[n:0]）进行匹配，以生成并输出对应的一个软修复匹配信号（SPPR Match）。

7.如权利要求 6 所述的软修复控制电路（10），其中，所述目标子锁存电路（132）包括多个第二锁存器（1321），所述多个第二锁存器（1321）与所述软修复失效地址（SPPR FA[n:0]）中多个第一地址信号和所述锁存地址（Latch FA[n:0]）中多个第二地址信号一一对应；

所述第二锁存器（1321）的输入端接收对应的一个第一地址信号，所述第二锁存器（1321）的控制端接收所述锁存控制信号（SPPR Latch），所述第二锁存器（1321）的输出端用于输出对应的一个第二地址信号。

8.如权利要求 7 所述的软修复控制电路（10），其中，所述目标子匹配电路（142）包括多个异或非门（1421）和与门（1422），所述多个异或非门（1421）与所述多个第二锁存器（1321）和所述目标地址（RA[n:0]）中的多个第三地址信号一一对应；

所述异或非门（1421）的第一输入端接收对应的一个第三地址信号，所述异或非门（1421）的第二输入端与对应的一个第二锁存器（1321）的输出端电连接；

所述与门（1422）的一个输入端接收所述撤销标识信号（Undo flag），所述与门（1422）的其它输入端与多个所述异或非门（1421）的输出端一一对应电连接，所述与门（1422）的输出端用于输出所述软修复匹配信号（SPPR Match）。

9.如权利要求 1-8 任一项所述的软修复控制电路（10），其中，

所述锁定控制电路（11），还配置为，响应于复位信号，重置所述锁存控制信号（SPPR Latch）；

所述撤销控制电路（12），还配置为，响应于所述复位信号，将所述撤销标识信号（Undo flag）重置为无效电平；

所述软修复地址锁存电路（13），还配置为，响应于所述复位信号，重置所述锁存地址（Latch FA[n:0]）。

10.一种存储器（100），包括命令解码电路（20）、如权利要求 1-9 任一项所述的软修复控制电路（10）；

所述命令解码电路（20），配置为，接收软修复命令，并在所述软修复命令中的软修复模式参数为第二预设值时，生成处于有效电平的撤销使能信号（Undo En），在所述软修复命令中的软修复模式参数为第三预设值时，生成处于有效电平的锁定使能信号（Lock En）；

所述软修复控制电路（10），还配置为，接收所述撤销使能信号（Undo En）和所述锁定使能信号（Lock En），并在所述撤销使能信号（Undo En）处于有效电平时，控制执行软修复撤销操作，以及在所述锁定使能信号（Lock En）处于有效电平时，控制执行软修复锁定操作。

11. 如权利要求 10 所述的存储器（100），其中，

所述命令解码电路（20），还配置为，在所述软修复命令中的软修复模式参数为第一预设值时，生成处于有效电平的软修复使能信号；其中，所述软修复使能信号处于有效电平时指示所述存储器（100）进入软修复模式；

所述命令解码电路（20），还配置为，在所述存储器（100）进入软修复模式后，依次接收激活命令（ACT CMD）和写命令，并对所述激活命令（ACT CMD）进行解码以生成并输出软修复激活信号（SPPR ACT）和软修复失效地址（SPPR FA[n:0]），以及对所述写命令进行解码以生成并输出软修复脉冲信号（SPPR Clk）；其中，在所述激活命令（ACT CMD）中的地址信息指示所述软修复控制电路（10）对应的存储体（40）时，生成处于有效电平的所述软修复激活信号（SPPR ACT），并发送至所述软修复控制电路（10）；

所述软修复控制电路（10），与所述命令解码电路（20）电连接，配置为，接收所述软修复激活信号（SPPR ACT）、所述软修复失效地址（SPPR FA[n:0]）和所述软修复脉冲信号（SPPR Clk），并在所述软修复激活信号（SPPR ACT）处于有效电平时，根据所述软修复脉冲信号（SPPR Clk）将所述软修复失效地址（SPPR FA[n:0]）锁存为锁存地址（Latch FA[n:0]）。

12.如权利要求 11 所述的存储器（100），还包括：行地址译码电路（30）和存储体（40）；

所述命令解码电路（20），还配置为，在所述软修复命令中的软修复模式参数为第四预设值时，生成处于无效电平的所述软修复使能信号以指示所述存储器（100）进入正常工作模式；

所述命令解码电路（20），还配置，在所述存储器（100）处于正常工作模式时，接收激活命令（ACT CMD），并对所述激活命令（ACT CMD）进行解码以生成并输出所述目标地址（RA[n:0]）；

所述软修复控制电路（10），还配置为，在所述存储器（100）处于正常工作模式时，将所述目标地址（RA[n:0]）与所述锁存地址（Latch FA[n:0]）进行匹配，并在所述目标地址（RA[n:0]）与所述锁存地址（Latch FA[n:0]）匹配成功，生成并输出处于有效电平的软修复匹配信号（SPPR Match）；

所述行地址译码电路（30），与所述软修复控制电路（10）电连接，配置为，接收所述软修复匹配信号（SPPR Match）和所述目标地址（RA[n:0]），并在所述软修复匹配信号（SPPR Match）处于有效电平时，根据处于有效电平的所述软修复匹配信号（SPPR Match）控制开启所述存储体（40）中对应的软修复冗余行的字线。

13.如权利要求 11 所述的存储器（100），其中，所述命令解码电路（20）包括：软修复命令解码器（21）、模式寄存器（22）、软修复信号产生电路（23）、激活命令解码器（24）和写命令解码器（25）；

所述软修复命令解码器（21），配置为，接收所述软修复命令，并将所述软修复命令中的软修复模式参数写入模式寄存器（22）中；

所述软修复信号产生电路（23），配置为，接收所述模式寄存器（22）中存储的软修复模式参数，并在所述软修复模式参数为第一预设值时，生成处于有效电平的软修复使能信号（SPPR En），在所述软修复模式参数为第二预设值时，生成处于有效电平的撤销使能信号（Undo En），在所述软修复模式参数为第三预设值时，生成处于有效电平的锁定使能信号（Lock En）；

所述激活命令解码器（24），配置为，接收所述软修复使能信号（SPPR En）和激活命令（ACT CMD），并在处于有效电平的所述软修复使能信号（SPPR En）指示所述存储器（100）进入软修复模式时，对所述激活命令（ACT CMD）进行解码以生成并输出所述软修复激活信号（SPPR ACT）和所述软修复失效地址（SPPR FA[n:0]）；

所述写命令解码器（25），配置为，接收所述软修复使能信号（SPPR En）和写命令（WRITE CMD），并在处于有效电平的所述软修复使能信号（SPPR En）指示所述存储器（100）进入软修复模式时，对所述写命令（WRITE CMD）进行解码以生成并输出所述软修复脉冲信号（SPPR

Clk）。

14.如权利要求 12 所述的存储器（100），还包括：

熔丝地址匹配电路（50），配置为，从熔丝阵列接收多个标准失效地址，并将接收到的所述目标地址（RA[n:0]）分别与所述多个标准失效地址进行匹配，并根据匹配结果生成多个标准匹配信号；

所述行地址译码电路（30），还配置为，接收所述多个标准匹配信号，并在任一标准匹配信号处于有效电平时，根据处于有效电平的所述标准匹配信号控制开启所述存储体（40）中对应的标准冗余行的字线。

15.如权利要求 14 所述的存储器（100），其中，

所述行地址译码电路（30），还配置为，在所述软修复匹配信号（SPPR Match）和所述标准匹配信号均处于无效电平时，根据所述目标地址（RA[n:0]）控制开启所述存储体（40）中对应的存储行的字线。

16.一种存储器的修复方法，包括：

接收软修复命令（SPPR CMD），并对所述软修复命令（SPPR CMD）进行解码；

判断软修复命令（SPPR CMD）中的软修复模式参数的数值；

在所述软修复模式参数为第二预设值时，生成处于有效电平的撤销使能信号（Undo En），以指示执行软修复撤销操作；

响应于处于有效电平的撤销使能信号（Undo En），将软修复匹配信号（SPPR Match）锁定为无效电平；

在所述软修复模式参数为第三预设值时，生成处于有效电平的锁定使能信号（Lock En），以指示执行软修复锁定操作；

响应于处于有效电平的锁定使能信号（Lock En），保持当前锁存的软修复失效地址（SPPR FA[n:0]）不变，并屏蔽所述撤销使能信号（Undo En）；

其中，在所述软修复匹配信号（SPPR Match）处于无效电平时，指示目标地址（RA[n:0]）与锁存的软修复失效地址（SPPR FA[n:0]）未匹配成功，所述目标地址（RA[n:0]）为正常工作模式下访问操作对应的地址。

17.如权利要求 16 所述的修复方法，还包括：

在所述软修复命令（SPPR CMD）中的软修复模式参数为第一预设值时，生成处于有效电平的软修复使能信号，以指示进入软修复模式；

在所述存储器（100）进入软修复模式后，依次接收激活命令（ACT CMD）和写命令（WRITE CMD）；

对所述激活命令（ACT CMD）进行解码以生成软修复激活信号（SPPR ACT）和软修复失效地址（SPPR FA[n:0]）；

对所述写命令（WRITE CMD）进行解码以生成软修复脉冲信号（SPPR Clk）；

响应于处于有效电平的所述软修复激活信号（SPPR ACT），根据所述软修复脉冲信号（SPPR Clk）将所述软修复失效地址（SPPR FA[n:0]）锁存为锁存地址（Latch FA[n:0]）。

18.如权利要求 17 所述的修复方法，还包括：

在所述软修复命令（SPPR CMD）中的软修复模式参数为第四预设值时，生成处于无效电平的所述软修复使能信号（SPPR En）以指示所述存储器（100）进入正常工作模式；

在所述存储器（100）处于正常工作模式时，接收激活命令（ACT CMD）；

对所述激活命令（ACT CMD）进行解码，生成目标地址（RA[n:0]）；

将所述目标地址（RA[n:0]）与锁存的所述软修复失效地址（SPPR FA[n:0]）进行匹配，并在匹配成功时生成处于有效电平的软修复匹配信号（SPPR Match）；

根据处于有效电平的所述软修复匹配信号（SPPR Match）控制开启存储体（40）中对应的软修复冗余行的字线。