

明 細 書

発明の名称：メモリデバイス

技術分野

[0001] 実施形態は、メモリデバイスに関する。

背景技術

[0002] データを不揮発に記憶するメモリデバイスとして、NANDフラッシュメモリが知られている。このNANDフラッシュメモリのようなメモリデバイスにおいては、高集積化、大容量化のために3次元のメモリ構造が採用される。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2020/0402999号明細書

発明の概要

発明が解決しようとする課題

[0004] メモリセルの集積度を向上させる。

課題を解決するための手段

[0005] 実施形態のメモリデバイスは、第1導電体層と、第1導電体膜と、第1半導体膜と、第2半導体膜と、第1絶縁体膜と、第2絶縁体膜と、を備える。上記第1導電体膜は、上記第1導電体層の上方において第1方向に延びる。上記第1半導体膜は、上記第1導電体層と上記第1導電体膜との間において上記第1方向に延び、上記第1導電体層と交差する。上記第2半導体膜は、上記第1半導体膜に接し、上記第1導電体層と上記第1導電体膜との間において上記第1方向に延び、上記第1導電体膜と対向する。上記第1絶縁体膜は、上記第1導電体層と上記第1半導体膜との間に設けられる。上記第2絶縁体膜は、上記第1半導体膜及び上記第2半導体膜と上記第1導電体膜との間に設けられる。

図面の簡単な説明

[0006] [図1]第1実施形態に係るメモリシステムの構成を示すブロック図。

[図2]第1実施形態に係るメモリセルアレイの回路構成の一例を示す回路図。

[図3]第1実施形態に係るメモリセルアレイの平面レイアウトの一例を示す平面図。

[図4]第1実施形態に係るメモリセルアレイにおける断面構造の一例を示す、
I-V-I'線に沿った断面図。

[図5]第1実施形態に係るメモリセルアレイにおけるメモリセルトランジスタの断面構造の一例を示す、V-V'線に沿った断面図。

[図6]第1実施形態に係るメモリセルアレイにおける選択トランジスタの断面構造の一例を示す、V'-V'線に沿った断面図。

[図7]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図8]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図9]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図10]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図11]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図12]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図13]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図14]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図15]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び

断面構造の一例を示す図。

[図16]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図17]第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図18]第2実施形態に係るメモリデバイスが備えるメモリセルアレイの回路構成の一例を示す回路図。

[図19]第2実施形態に係るメモリデバイスが備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

[図20]第2実施形態に係るメモリセルアレイにおける断面構造の一例を示す、XX-XX線に沿った断面図。

[図21]第2実施形態に係るメモリセルアレイにおける選択トランジスタの断面構造の一例を示す、XXI-XXI線に沿った断面図。

[図22]第2実施形態に係るメモリデバイスにおける選択動作の一例を示す模式図。

[図23]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図24]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図25]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図26]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図27]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図28]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図29]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び

断面構造の一例を示す図。

[図30]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図31]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図32]第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図33]第3実施形態に係るメモリセルアレイの平面レイアウトの一例を示す平面図。

[図34]第3実施形態に係るメモリセルアレイにおける断面構造の一例を示す、XXXIⅤ－XXXIⅤ線に沿った断面図。

[図35]第3実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図36]第3実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図37]第3実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図38]第3実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図39]第3実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図40]第3実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

[図41]第3実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図。

発明を実施するための形態

[0007] 以下に、実施形態について図面を参照して説明する。図面の寸法及び比率は、必ずしも現実のものとは限らない。

[0008] なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付す。同様の構成を有する要素同士を特に区別する場合、同一符号の末尾に、互いに異なる文字又は数字を付加する場合がある。

[0009] 1. 第1実施形態

第1実施形態に係るメモリデバイスについて説明する。

[0010] 1. 1 構成

まず、第1実施形態に係るメモリデバイスの構成について説明する。

[0011] 1. 1. 1 メモリシステム

図1は、第1実施形態に係るメモリシステムの構成を説明するためのブロック図である。メモリシステムは、外部のホスト機器（図示せず）に接続されるように構成された記憶装置である。メモリシステムは、例えば、SD™カードのようなメモリカード、UFS (universal flash storage)、SSD (solid state drive) である。メモリシステム1は、メモリコントローラ2及びメモリデバイス3を含む。

[0012] メモリコントローラ2は、例えば、SoC (system-on-a-chip) のような集積回路で構成される。メモリコントローラ2は、ホスト機器からの要求に基づいて、メモリデバイス3を制御する。具体的には、例えば、メモリコントローラ2は、ホスト機器から書き込みを要求されたデータをメモリデバイス3に書き込む。また、メモリコントローラ2は、ホスト機器から読出しを要求されたデータをメモリデバイス3から読み出してホスト機器に送信する。

[0013] メモリデバイス3は、不揮発にデータを記憶するメモリである。メモリデバイス3は、例えば、NANDフラッシュメモリである。

[0014] メモリコントローラ2とメモリデバイス3との通信は、例えば、SDR (single data rate) インタフェース、トグルDDR (double data rate) インタフェース、又はONFI (Open NAND flash interface) に準拠する。

[0015] 1. 1. 2 メモリデバイス

引き続き、図1に示すブロック図を参照して、第1実施形態に係るメモリデバイスの内部構成について説明する。メモリデバイス3は、メモリセルア

レイ 10、コマンドレジスタ 11、アドレスレジスタ 12、シーケンサ 13、ドライバモジュール 14、ロウデコーダモジュール 15、並びにセンスアンプモジュール 16 を備える。

[0016] メモリセルアレイ 10 は、複数のブロック B L K 0 ~ B L K n (n は 1 以上の整数) を含んでいる。ブロック B L K は、データを不揮発に記憶することが可能な複数のメモリセルの集合であり、例えばデータの消去単位として使用される。また、メモリセルアレイ 10 には、複数のビット線及び複数のワード線が設けられる。各メモリセルは、例えば 1 本のビット線と 1 本のワード線とに関連付けられている。メモリセルアレイ 10 の詳細な構成については後述する。

[0017] コマンドレジスタ 11 は、メモリデバイス 3 がメモリコントローラ 2 から受信したコマンド C M D を保持する。コマンド C M D は、例えばシーケンサ 13 に読み出し動作、書き込み動作、消去動作等を実行させる命令を含んでいる。

[0018] アドレスレジスタ 12 は、メモリデバイス 3 がメモリコントローラ 2 から受信したアドレス情報 A D D を保持する。アドレス情報 A D D は、例えばブロックアドレス B A d、ページアドレス P A d、及びカラムアドレス C A d を含んでいる。例えば、ブロックアドレス B A d、ページアドレス P A d、及びカラムアドレス C A d は、それぞれブロック B L K、ワード線、及びビット線の選択に使用される。

[0019] シーケンサ 13 は、メモリデバイス 3 全体の動作を制御する。例えば、シーケンサ 13 は、コマンドレジスタ 11 に保持されたコマンド C M D に基づいてドライバモジュール 14、ロウデコーダモジュール 15、及びセンスアンプモジュール 16 等を制御して、読出し動作、書き込み動作、消去動作等を実行する。

[0020] ドライバモジュール 14 は、読出し動作、書き込み動作、消去動作等で使用される電圧を生成する。そして、ドライバモジュール 14 は、例えばアドレスレジスタ 12 に保持されたページアドレス P A d に基づいて、選択された

ワード線に対応する信号線に生成した電圧を印加する。

[0021] ロウデコーダモジュール15は、アドレスレジスタ12に保持されたブロックアドレスBA dに基づいて、対応するメモリセルアレイ10内の1個のブロックBL Kを選択する。そして、ロウデコーダモジュール15は、例えば選択されたワード線に対応する信号線に印加された電圧を、選択されたブロックBL K内の選択されたワード線に転送する。

[0022] センスアンプモジュール16は、書込み動作において、メモリコントローラ2から受信した書込みデータDATに応じて、各ビット線に所望の電圧を印加する。また、センスアンプモジュール16は、読出し動作において、ビット線の電圧に基づいてメモリセルに記憶されたデータを判定し、判定結果を読出しデータDATとしてメモリコントローラ2に転送する。

[0023] 1. 1. 3 メモリセルアレイの回路構成

図2は、第1実施形態に係るメモリデバイスが備えるメモリセルアレイの回路構成の一例を示す回路図である。図2では、メモリセルアレイ10に含まれる複数のブロックBL Kのうちの1個のブロックBL Kが示される。図2に示すように、ブロックBL Kは、例えば4個のストリングユニットSU 0～SU 3を含む。

[0024] 各ストリングユニットSUは、ビット線BL 0～BL m (mは1以上の整数)にそれぞれ関連付けられた複数のNANDストリングNSを含む。各NANDストリングNSは、例えばメモリセルトランジスタMT 0～MT 7、並びに選択トランジスタST 1及びST 2を含む。各メモリセルトランジスタMTは、制御ゲート及び電荷蓄積膜を含み、データを不揮発に保持する。選択トランジスタST 1及びST 2は、各種動作時におけるストリングユニットSUの選択に使用される。

[0025] 各NANDストリングNSにおいて、メモリセルトランジスタMT 0～MT 7は、直列接続される。選択トランジスタST 1のドレインは、関連付けられたビット線BLに接続され、選択トランジスタST 1のソースは、直列接続されたメモリセルトランジスタMT 0～MT 7の一端に接続される。選

択トランジスタST2のドレインは、直列接続されたメモリセルトランジスタMT0～MT7の他端に接続される。選択トランジスタST2のソースは、ソース線SLに接続される。

[0026] 同一のブロックBLKにおいて、メモリセルトランジスタMT0～MT7の制御ゲートは、それぞれワード線WL0～WL7に接続される。ストリングユニットSU0～SU3内の選択トランジスタST1のゲートは、それぞれ選択ゲート線SGD0～SGD3に接続される。複数の選択トランジスタST2のゲートは、選択ゲート線SGSに接続される。

[0027] ビット線BL0～BLmには、それぞれ異なるカラムアドレスが割り当てられる。各ビット線BLは、複数のブロックBLK間で同一のカラムアドレスが割り当てられたNANDストリングNSによって共有される。ワード線WL0～WL7は、ブロックBLK毎に設けられる。ソース線SLは、例えば複数のブロックBLK間で共有される。

[0028] 1個のストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えばセルユニットCUと呼ばれる。例えば、それぞれが1ビットデータを記憶するメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、「1ページデータ」として定義される。セルユニットCUは、メモリセルトランジスタMTが記憶するデータのビット数に応じて、2ページデータ以上の記憶容量を有し得る。

[0029] なお、第1実施形態に係るメモリデバイス3が備えるメモリセルアレイ10の回路構成は、以上で説明した構成に限定されない。例えば、各ブロックBLKが含むストリングユニットSUの個数は、任意の個数に設計され得る。各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタST1及びST2の個数は、それぞれ任意の個数に設計され得る。

[0030] 1. 1. 4 メモリセルアレイの構造

以下に、第1実施形態に係るメモリデバイスが備えるメモリセルアレイの構造の一例について説明する。なお、以下で参照される図面において、X方

向はワード線WLの延伸方向に対応する。Y方向はビット線BLの延伸方向に対応する。Z方向はメモリデバイス3の形成に使用される半導体基板の表面に対する鉛直方向に対応する。平面図において、図を見易くするために、ハッチングが適宜付加される。平面図に付加されたハッチングは、ハッチングが付加された構成要素の素材や特性とは必ずしも関連していない。断面図において、図を見易くするために、構成の図示が適宜省略される。

[0031] 1. 1. 4. 1 平面レイアウト

図3は、第1実施形態に係るメモリセルアレイの平面レイアウトの一例を示す平面図である。図3では、1個のブロックBLK（すなわち、ストリングユニットSU0～SU3）を含む領域が示される。

[0032] 図3に示すように、メモリセルアレイ10は、1個のブロックBLKと、当該ブロックBLKを挟む2個の部材SLTと、を含む。また、メモリセルアレイ10は、複数のメモリピラーMP、複数の配線M1、複数の電流経路選択部CNL、複数のコンタクトCV、VYA、及びVYB、複数の選択ゲート線SGD0～SGD3、並びに複数のビット線BLを含む。

[0033] また、メモリピラーMPは、ピラー状電極SPを含む。選択ゲート線SGD0は、複数のサブ選択ゲート線SGD0a、SGD0b、SGD0c、及びSGD0dを含む。選択ゲート線SGD1は、複数のサブ選択ゲート線SGD1a、SGD1b、SGD1c、及びSGD1dを含む。選択ゲート線SGD2は、複数のサブ選択ゲート線SGD2a、SGD2b、SGD2c、及びSGD2dを含む。選択ゲート線SGD3は、複数のサブ選択ゲート線SGD3a、SGD3b、SGD3c、及びSGD3dを含む。複数の配線M1は、配線M1-0、M1-1、M1-2、及びM1-3を含む。

[0034] 複数のメモリピラーMPの各々は、例えば1個のNANDストリングNSとして機能する。複数のメモリピラーMPは、隣り合う2個の部材SLTの間の領域において、例えば16列の千鳥状に配置される。ピラー状電極SPは、平面視において、メモリピラーMPの中央部に設けられる。

[0035] 複数のサブ選択ゲート線SGD0a～SGD3dは、それぞれがX方向に

延び、Y方向に並ぶ。複数のサブ選択ゲート線SGD0a～SGD3dの各々は、対応する複数のピラー状電極SPに電氣的に接続される。図3の例では、複数のサブ選択ゲート線SGD0a～SGD0dはそれぞれ、1列目、3列目、5列目、及び7列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD1a～SGD1dはそれぞれ、2列目、4列目、6列目、及び8列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD2a～SGD2dはそれぞれ、9列目、11列目、13列目、及び15列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD3a～SGD3dはそれぞれ、10列目、12列目、14列目、及び16列目に配置された複数のピラー状電極SPに電氣的に接続される。

[0036] 複数の配線M1は、複数のメモリピラーMPが設けられていない領域に配置される。複数の配線M1は、それぞれがY方向に延びる。具体的には、配線M1-0は、複数のコンタクトVYBを介して、複数のサブ選択ゲート線SGD0a～SGD0dに電氣的に接続される。配線M1-1は、複数のコンタクトVYBを介して、複数のサブ選択ゲート線SGD1a～SGD1dに電氣的に接続される。配線M1-2は、複数のコンタクトVYBを介して、複数のサブ選択ゲート線SGD0a～SGD2dに電氣的に接続される。配線M1-3は、複数のコンタクトVYBを介して、複数のサブ選択ゲート線SGD3a～SGD3dに電氣的に接続される。

[0037] すなわち、複数のサブ選択ゲート線SGD0a～SGD0dを介して配線M1-0に共通接続された複数のメモリピラーMPは、ストリングユニットSU0に含まれる。複数のサブ選択ゲート線SGD1a～SGD1dを介して配線M1-1に共通接続された複数のメモリピラーMPは、ストリングユニットSU1に含まれる。複数のサブ選択ゲート線SGD2a～SGD2dを介して配線M1-2に共通接続された複数のメモリピラーMPは、ストリングユニットSU2に含まれる。複数のサブ選択ゲート線SGD3a～SGD3dを介して配線M1-3に共通接続された複数のメモリピラーMPは、

ストリングユニットSU3に含まれる。

- [0038] 複数の電流経路選択部CNLの各々は、メモリピラーMPの上方において、XY平面内のX方向とは異なる方向に延びる。複数の電流経路選択部CNLの各々は、隣り合う複数の列にそれぞれ1個ずつ配置されたメモリピラーMPと交差するように配置される。以下で参照される図面において、電流経路選択部CNLがXY平面において延びる方向をP方向及びQ方向と定義する。すなわち、P方向及びQ方向は、X方向と交差し、かつXY平面に平行な方向である。
- [0039] 図3の例では、複数の電流経路選択部CNLの各々は、隣り合う2列にそれぞれ1個ずつ配置された、合計2個のメモリピラーMPと交差するように配置される。具体的には、 i 列目に配置されたメモリピラーMP、及び $(i+1)$ 列目に配置されたメモリピラーMPと交差するように配置された電流経路選択部CNLは、P方向に延びる($i=1, 5, 9$ 、及び 13)。 j 列目に配置されたメモリピラーMP、及び $(j+1)$ 列目に配置されたメモリピラーMPと交差するように配置された電流経路選択部CNLは、Q方向に延びる($i=3, 7, 11$ 、及び 15)。複数のメモリピラーMPが千鳥状に配置される場合、P方向及びQ方向は、Y方向とも交差する。
- [0040] 複数のコンタクトCVの各々は、1個の電流経路選択部CNLに対応して設けられる。複数のコンタクトCVの各々は、対応する電流経路選択部CNLのうち、当該電流経路選択部CNLによって電氣的に接続される2個のメモリピラーMPの間に配置される。
- [0041] 複数のコンタクトVYAの各々は、1個のコンタクトCVに対応して設けられる。複数のコンタクトVYAの各々は、対応するコンタクトCVに重なるように配置される。
- [0042] 複数のビット線BLは、それぞれがY方向に延び、X方向に並ぶ。各ビット線BLは、コンタクトVYA及びCVを介して、対応する電流経路選択部CNLに電氣的に接続される。図3の例では、各ビット線BLは、ブロックBLK毎に、2個のコンタクトVYAと重なるように配置される。つまり、

図3の例では、各ビット線BLには、ブロックBLK毎に、2個のコンタクトVYAを介して、4個のメモリピラーMPと電氣的に接続される場合が示される。なお、ブロックBLK毎に1本のビット線BLに電氣的に接続される4個のメモリピラーMPはそれぞれ、互いに異なるストリングユニットSU0～SU3に含まれる。

[0043] 1. 1. 4. 2 断面構造

図4は、第1実施形態に係るメモリセルアレイの断面構造の一例を示す、I V—I V線に沿った断面図である。図4に示すように、メモリセルアレイ10は、半導体基板20、導電体層21～26を更に含む。

[0044] 半導体基板20は、例えば、シリコン基板である。半導体基板20の上方には、絶縁体層（図示せず）を介して導電体層21が設けられる。導電体層21は、例えばXY平面に沿って広がった板状に形成される。導電体層21は、ソース線SLとして使用される。導電体層21は、例えばリンがドーピングされたシリコンを含む。

[0045] 図示が省略されているが、半導体基板20内、及び半導体基板20と導電体層21との間の絶縁体層には、例えばロウデコーダモジュール15やセンスアンプモジュール16等に対応する回路が設けられる。

[0046] 導電体層21の上方には、絶縁体層（図示せず）を介して導電体層22が設けられる。導電体層22は、例えばXY平面に沿って広がった板状に形成される。導電体層22は、選択ゲート線SGSとして使用される。導電体層22は、例えばタングステンを含む。

[0047] 導電体層22の上方には、絶縁体層（図示せず）と導電体層23とが交互に積層される。導電体層23は、例えばXY平面に沿って広がった板状に形成される。積層された複数の導電体層23は、半導体基板20側から順に、それぞれワード線WL0～WL7として使用される。導電体層23は、例えばタングステンを含む。

[0048] 最上層の導電体層23の上方には、絶縁体層（図示せず）を介して複数の導電体層24が設けられる。複数の導電体層24の各々は、例えばY方向に

延びるライン状に形成される。導電体層24は、ビット線BLとして使用される。導電体層24は、例えば銅を含む。

[0049] 複数のメモリピラーMPの各々は、Z方向に延びる。各メモリピラーMPは、導電体層22及び23を貫通している。各メモリピラーMPの下端は、導電体層21に接する。各メモリピラーMPの上端は、最上層の導電体層23と、導電体層24との間に位置する。

[0050] 各メモリピラーMPと導電体層22とが交差した部分が、選択トランジスタST2として機能する。各メモリピラーMPと1個の導電体層23とが交差した部分が、1個のメモリセルトランジスタMTとして機能する。

[0051] また、各メモリピラーMPは、例えばコア膜30、半導体膜31、積層膜32、導電体膜33、絶縁体膜34、半導体膜35、導電体層36、絶縁体層37、及び絶縁体膜38を含む。

[0052] コア膜30は、Z方向に延びる。例えば、コア膜30の上端は、最上層の導電体層23よりも上方に位置する。コア膜30の下端は、導電体層21よりも上方に位置する。半導体膜31は、コア膜30の周囲を覆う。また、メモリピラーMPの下部において、半導体膜31の一部が、導電体層21に接する。積層膜32は、半導体膜31と導電体層21とが接触した部分を除いて、半導体膜31の側面及び底面を覆う。積層膜32の上端は、半導体膜31の上端と揃う。コア膜30は、例えば酸化シリコン等の絶縁体を含む。半導体膜31は、例えばシリコンを含む。

[0053] 導電体膜33は、Z方向に延びる部分と、X方向に延びる部分と、を含む。導電体膜33のZ方向に延びる部分は、ピラー状電極SPとして機能する。導電体膜33のX方向に延びる部分は、サブ選択ゲート線SGD0a～SGD3dのいずれか1本として機能する。図示された領域には、サブ選択ゲート線SGD2c、SGD3c、SGD2d、及びSGD3dとして機能する部分をそれぞれ含む4個の導電体膜33が表示される。導電体膜33のZ方向に延びる部分の下端は、半導体膜31の上端と接する。導電体膜33のZ方向に延びる部分の上端は、同一の導電体膜33のX方向に延びる部分の

下端に接し、かつ連続する。導電体膜 33 は、例えばボロンがドーピングされたシリコンを含む。

[0054] 絶縁体膜 34 は、Z 方向に延びる部分と、XY 平面に広がる部分と、を含む。絶縁体膜 34 の Z 方向に延びる部分は、導電体膜 33 の Z 方向に延びる部分の側面及び底面を覆う。絶縁体膜 34 の Z 方向に延びる部分の上端は、絶縁体膜 34 の XY 平面に広がる部分の下端に接し、かつ連続する。絶縁体膜 34 の XY 平面に広がる部分は、導電体膜 33 の X 方向に延びる部分の下方に位置する。絶縁体膜 34 は、例えば酸化シリコン等の絶縁体を含む。

[0055] 半導体膜 35 は、Z 方向に延びる部分と、P 方向又は Q 方向に延びる部分と、を含む。図示された領域には、P 方向に延びる部分を有する 1 個の半導体膜 35 と、Q 方向に延びる部分を有する 2 個の半導体膜 35 と、が表示される。半導体膜 35 の Z 方向に延びる部分は、絶縁体膜 34 の Z 方向に延びる部分の底面及び側面を覆う。半導体膜 35 の Z 方向に延びる部分の下端は、半導体膜 31 の上端に接する。半導体膜 35 の Z 方向に延びる部分の上端は、半導体膜 35 の P 方向又は Q 方向に延びる部分の下端に接し、かつ連続する。半導体膜 35 の P 方向又は Q 方向に延びる部分は、2 個のメモリピラー MP で共有される。半導体膜 35 は、例えばシリコンを含む。メモリピラー MP のうち、導電体膜 33、絶縁体膜 34、及び半導体膜 35 が Z 方向に延びる部分が、選択トランジスタ ST1 として機能する。このため、2 個のメモリピラー MP によって P 方向又は Q 方向に延びる部分を共有される半導体膜 35 は、当該 2 個のメモリピラー MP のいずれかに電流を流すための電流経路選択部 CNL として機能する。

[0056] 導電体層 36 は、導電体膜 33 の X 方向に延びる部分の上面上に設けられる。導電体層 36 は、例えばタングステン又はタングステンシリサイド、及び窒化チタンを含む。

[0057] 絶縁体層 37 は、導電体層 36 の上面上に設けられる。絶縁体膜 38 は、導電体膜 33 の X 方向に延びる部分、導電体層 36、及び絶縁体層 37 の各々の側面上に設けられる。絶縁体層 37 及び絶縁体膜 38 は、例えば窒化シ

リコンを含む。

- [0058] 部材S L Tは、絶縁体膜39を含む。絶縁体膜39は、導電体層22及び23を分断する。絶縁体膜39の下端は、導電体層21に達する。
- [0059] 半導体膜35のP方向又はQ方向に延びる部分の上面上には、導電体層25が設けられる。導電体層25の上面上には、導電体層26が設けられる。導電体層25及び26はそれぞれ、コンタクトC V及びV Y Aとして使用される。図示された領域には、半導体膜35のP方向に延びる部分に対応する1個のコンタクトC V及びV Y Aが表示されている。導電体層26の上面上には、1個の導電体層24が設けられる。導電体層26は、ビット線B Lとして機能する。
- [0060] 図5は、第1実施形態に係る半導体記憶装置におけるメモリセルトランジスタの断面構造の一例を示す、V-V線に沿った断面図である。より具体的には、図5は、半導体基板20の表面に平行かつ導電体層23を含む層におけるメモリピラーM Pの断面構造を含む。図5に示すように、積層膜32は、例えばトンネル絶縁膜32 a、電荷蓄積膜32 b、及びブロック絶縁膜32 cを含む。
- [0061] 導電体層23を含む断面において、コア膜30は、例えばメモリピラーM Pの中央部に設けられる。半導体膜31は、コア膜30の側面を囲む。トンネル絶縁膜32 aは、半導体膜31の側面を囲む。電荷蓄積膜32 bは、トンネル絶縁膜32 aの側面を囲む。ブロック絶縁膜32 cは、電荷蓄積膜32 bの側面を囲む。導電体層23は、ブロック絶縁膜32 cの側面を囲む。
- [0062] 半導体膜31は、メモリセルトランジスタM T 0～M T 7及び選択トランジスタS T 2の電流経路として使用される。トンネル絶縁膜32 a及びブロック絶縁膜32 cは、例えば酸化シリコンを含む。電荷蓄積膜32 bは、電荷を蓄積する機能を有し、例えば窒化シリコンを含む。
- [0063] 図6は、第1実施形態に係る半導体記憶装置における選択トランジスタの断面構造の一例を示す、V I-V I線に沿った断面図である。より具体的には、図6は、半導体基板20の表面に平行かつ導電体膜33、絶縁体膜34

、及び半導体膜35がZ方向に延びる部分を含む層におけるメモリピラーMPの断面構造を含む。

[0064] 図6に示すように、導電体膜33のZ方向に延びる部分は、例えばメモリピラーMPの中央部に設けられる。絶縁体膜34のZ方向に延びる部分は、導電体膜33のZ方向に延びる部分の側面を囲む。半導体膜35のZ方向に延びる部分は、絶縁体膜34のZ方向に延びる部分の側面を囲む。また、半導体膜35のZ方向に延びる部分は、絶縁体に囲まれる。

[0065] 半導体膜35のZ方向に延びる部分は、選択トランジスタST1の電流経路として使用される。これにより、各メモリピラーMPは、1個のNANDストリングNSとして機能し得る。

[0066] 1. 2 製造方法

図7～図17の各々は、第1実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図である。図7～図17の各々は、平面レイアウトを示す部分(A)と、断面構造を示す部分(B)と、を含む。図示される平面レイアウトは、図3における領域RAに対応する。図示される断面構造は、図4に対応する。以下に、メモリデバイス3における、メモリセルアレイ10の製造工程の一例について説明する。

[0067] まず、図7に示すように、半導体基板20の上面上に、絶縁体層41が形成される。絶縁体層41の上面上に、導電体層21及び絶縁体層42が順に積層される。絶縁体層42の上面上に、犠牲部材43、及び絶縁体層44が順に積層される。絶縁体層44の上面上に、犠牲部材45及び絶縁体層46が交互に積層される。絶縁体層41、42、44、及び46は、例えば酸化シリコンを含む。犠牲部材43及び45は、例えば窒化シリコンを含む。

[0068] 次に、図8に示すように、メモリピラーMPのうち選択トランジスタST2及びメモリセルトランジスタMT0～MT7に対応する構造が形成される。簡潔に述べると、フォトリソグラフィ等によって、メモリピラーMPに対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、例えば絶縁体層42、44、及び46、並びに犠

牲部材 4 3 及び 4 5 を貫通する複数のホール（図示せず）が形成される。各ホールの底部において、導電体層 2 1 の一部が露出する。その後、各ホールの側面上及び底面上に、積層膜 3 2 が形成される。そして、各ホールの底部に設けられた積層膜 3 2 の一部が除去された後、各ホール内に、半導体膜 3 1 及びコア膜 3 0 が順に形成される。それから、各ホールの上部に設けられたコア膜 3 0 の一部を除去した後、当該コア膜 3 0 の一部が除去された空間に半導体膜 3 1 が埋め込まれる。

[0069] 次に、図 9 に示すように、メモリピラー MP のうち選択トランジスタ S T 1 に対応する構造が形成される予定の領域にホール H 1 が形成される。具体的には、最上層の絶縁体層 4 6、半導体膜 3 1、及び積層膜 3 2 の上面上に、絶縁体層 4 7、4 8、及び 4 9 が順に積層される。絶縁体層 4 7 及び 4 9 は、例えば酸化シリコンを含む。絶縁体層 4 8 は、例えば窒化シリコンカーバイド（S i C N）を含む。それから、フォトリソグラフィ等によって、メモリピラー MP に対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、例えば絶縁体層 4 7 ~ 4 9 を貫通する複数のホール H 1 が形成される。各ホール H 1 の底部において、半導体膜 3 1 が露出する。なお、ホール H 1 の形成に際して、窒化シリコンカーバイドに対する酸化シリコンの選択比が大きい異方性エッチングが適用される。これにより、各ホール H 1 の深さのばらつきを抑制できる。このため、半導体膜 3 1 に対してホール H 1 の位置がずれた際に積層膜 3 2 及び絶縁体層 4 6 がエッチングされる影響を緩和できる。

[0070] 次に、図 1 0 に示すように、絶縁体層 4 9 の上面上、並びに複数のホール H 1 の各々の側面上及び底面上にわたって、半導体膜 3 5 A が形成される。

[0071] 次に、図 1 1 に示すように、半導体膜 3 5 A が、2 個のメモリピラー MP に対応する部分毎に分断される。具体的には、例えば、異方性エッチングによって、絶縁体層 4 9 の上面上に設けられた半導体膜 3 5 A のうち、電流経路選択部 C N L として機能する予定の部分を除く部分が除去される。これにより、半導体膜 3 5 A は、複数の半導体膜 3 5 に分断される。各半導体膜 3

5は、Z方向に延びる2個の部分と、当該2個の部分と連続しかつP方向又はQ方向に延びる部分と、を含む。

[0072] 次に、図12に示すように、絶縁体層49の上面上、並びに複数のホールH1の各々の側面上及び底面上にわたって、絶縁体膜34が形成される。絶縁体膜34の上面上に、複数のホールH1を埋め込むように、導電体膜33Aが形成される。導電体膜33Aの上面上に、導電体層36A、及び絶縁体層37Aが順に積層される。

[0073] 次に、図13に示すように、導電体膜33A、導電体層36A、及び絶縁体層37Aが、サブ選択ゲート線SGD0a～SGD3dに対応する部分毎に分断される。具体的には、例えば、異方性エッチングによって、導電体膜33A、導電体層36A、及び絶縁体層37Aのうち、サブ選択ゲート線SGD0a～SGD3dとして機能する予定の部分を除く部分が除去される。これにより、導電体膜33A、導電体層36A、及び絶縁体層37Aはそれぞれ、複数の導電体膜33、複数の導電体層36、及び複数の絶縁体層37に分断される。各導電体膜33は、Z方向に延びかつX方向に沿って一列に並ぶ複数の部分と、当該複数の部分と連続しかつX方向に延びる部分と、を含む。

[0074] 次に、図14に示すように、複数の導電体膜33のX方向に延びる部分の側面上、複数の導電体層36の側面上、及び複数の絶縁体層37の側面上に、絶縁体膜38が形成される。具体的には、全面にわたって絶縁体膜38を形成した後に、異方性エッチングによって絶縁体膜34の上面上に形成された絶縁体膜38を除去する。これにより、エッチングの異方性を利用して、絶縁体膜34の上面上から絶縁体膜38を除去しつつ、導電体膜33、導電体層36、及び絶縁体層37の各々の側面上が絶縁体膜38で覆われる。

[0075] 次に、積層構造の犠牲部材の置換処理が実行される。これにより、図15に示すように、積層配線構造が形成される。具体的には、まず、全面にわたって絶縁体層50が形成された後、図15に図示しない領域において、フォトリソグラフィ等によって、部材SLTに対応する領域が開口されたマスク

が形成される。それから、当該マスクを用いた異方性エッチングによって、例えば絶縁体層42、44、及び46～50、絶縁体膜34、並びに犠牲部材43及び45を貫通するスリット（図示せず）が形成される。その後、熱リン酸等によるウェットエッチングによって、スリットを介して犠牲部材43及び45が選択的に除去される。それから、導電体が、スリットを介して、犠牲部材43及び45が除去された空間に埋め込まれる。

[0076] なお、スリット内部に形成された導電体はエッチバック処理によって除去される。このため、隣り合う配線層に形成された導電体同士が分離される。これにより、選択ゲート線SGSとして機能する導電体層22と、ワード線WL0～WL7としてそれぞれ機能する複数の導電体層23とが形成される。スリットは、絶縁体膜39によって埋め込まれる。これにより、部材SLTが形成される。

[0077] 次に、図16に示すように、コンタクトCVに対応する構造が形成される予定の領域にホールH2が形成される。具体的には、フォトリソグラフィ等によって、コンタクトCVに対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、絶縁体層50を貫通する複数のホールH2が形成される。各ホールH2の底部において、絶縁体膜38の側面の一部及び半導体膜35のP方向又はQ方向に延びる部分の一部が露出する。なおホールH2の形成に際して、窒化シリコンに対する酸化シリコンの選択比が大きい異方性エッチングが適用される。これにより、導電体膜33及び導電体層36の露出を抑制しつつ、ホールH2の位置を自己整合（self-aligned）させることができる。

[0078] 次に、図17に示すように、複数のコンタクトCV、VYA、及びVYB（図示せず）、並びに複数のビット線BLが形成される。具体的には、導電体層25がホールH2内に埋め込まれる。絶縁体層50の上面、及び導電体層25の上面に、絶縁体層51が形成される。フォトリソグラフィ等によって、コンタクトVYA及びVYBに対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、絶縁体

層 5 1 を貫通するホールが形成される。ホールの各々の底部において、対応する導電体層 2 5 が露出する。そして、ホールが、導電体層 2 6 によって埋め込まれる。また、複数のコンタクト C V 及び V Y A を形成する工程と同時に、図示しない領域において複数のコンタクト V Y B が形成される。その後、絶縁体層 5 1 の上面上、及び導電体層 2 6 の上面上に、絶縁体層 5 2 が形成される。フォトリソグラフィ等によって、ビット線 B L に対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、絶縁体層 5 2 を貫通するホールが形成される。ホールの各々の底部において、対応する導電体層 2 6 が露出する。そして、ホールが、導電体層 2 4 によって埋め込まれる。

[0079] 以上で説明した製造工程によって、メモリセルアレイ 1 0 が形成される。

[0080] 1. 3 第 1 実施形態に係る効果

第 1 実施形態によれば、導電体膜 3 3 は、導電体層 2 3 の上方において Z 方向に延びる部分を有する。半導体膜 3 1 は、導電体層 2 3 と導電体膜 3 3 の Z 方向に延びる部分との間において Z 方向に延び、導電体層 2 3 と交差する部分を有する。半導体膜 3 5 は、半導体膜 3 1 に接し、導電体層 2 3 と導電体膜 3 3 の Z 方向に延びる部分との間において Z 方向に延び、導電体膜 3 3 と対向する部分を有する。積層膜 3 2 は、導電体層 2 3 と半導体膜 3 1 との間に設けられる。絶縁体膜 3 4 は、半導体膜 3 1 及び 3 5 と導電体膜 3 3 との間に設けられる。これにより、メモリピラー M P の選択トランジスタ S T 1 は、平面視においてメモリピラー M P の中央部に設けられたピラー状電極 S P と、当該ピラー状電極 S P を囲むように設けられた電流経路選択部 C N L と、を有する構造となる。このため、選択ゲート線 S G D を、選択トランジスタ S T 1 とは異なる高さに配置することができる。したがって、選択ゲート線 S G D 及び選択トランジスタ S T 1 の製造負荷を抑制しつつ、メモリセルの集積度を向上させることができる。

[0081] また、半導体膜 3 1 の上面は、半導体膜 3 5 の下面と接する。具体的には、半導体膜 3 1 と半導体膜 3 5 との接触面積は、メモリピラー M P の X Y 断

面積に相当する。これにより、半導体膜 31 と、半導体膜 35 との接触面積を広くとることができる。このため、メモリピラー MP 内の電流経路を低抵抗にすることができる。

[0082] また、半導体膜 35 の P 方向又は Q 方向に延びる部分は、異なるストリングユニット SU に属する 2 個のメモリピラー MP によって共有される。これにより、メモリピラー MP とビット線 BL とを電氣的に接続するコンタクト CV 及び VYA の数を、メモリピラー MP の数に対して半分にすることができる。このため、メモリピラー MP と同数のコンタクトを設ける場合よりも、製造負荷を抑制することができる。

[0083] 2. 第 2 実施形態

次に、第 2 実施形態について説明する。

[0084] 第 1 実施形態では、選択トランジスタ ST1 が形成される層に、XY 平面に広がる配線層が形成されない場合について説明した。第 2 実施形態では、選択トランジスタ ST1 が形成される層に、XY 平面に広がる配線層がバックゲートとして形成される点において、第 1 実施形態と異なる。以下の説明では、第 1 実施形態と同等の構成及び製造方法については説明を省略し、第 1 実施形態と異なる構成及び製造方法について主に説明する。

[0085] 2. 1 構成

第 2 実施形態に係るメモリデバイスの構成について説明する。

[0086] 2. 1. 1 メモリセルアレイの回路構成

図 18 は、第 2 実施形態に係るメモリデバイスが備えるメモリセルアレイの回路構成の一例を示す回路図である。図 18 は、第 1 実施形態の図 2 に対応する。

[0087] 図 18 に示すように、選択トランジスタ ST1 は、直列接続された選択トランジスタ ST1a 及び ST1b を含む。選択トランジスタ ST1a のドレインは、関連づけられたビット線 BL に接続される。選択トランジスタ ST1a のソースは、選択トランジスタ ST1b のドレインに接続される。選択トランジスタ ST1b のソースは、メモリセルトランジスタ MT0 ~ MT7

の一端に接続される。

[0088] スtringユニットSU0～SU3内の選択トランジスタST1a及びST1bのゲートはそれぞれ、選択ゲート線SGD0～SGD3に共通接続される。同一のブロックBLKにおいて、選択トランジスタST1a及びST1bのバックゲートは、それぞれ選択バックゲート線BSGDa及びBSGDbに接続される。

[0089] 2. 1. 2 メモリセルアレイの構造

以下に、第2実施形態に係るメモリデバイスが備えるメモリセルアレイの構造の一例について説明する。

[0090] 2. 1. 2. 1 平面レイアウト

図19は、第2実施形態に係るメモリセルアレイの平面レイアウトの一例を示す平面図である。図19は、第1実施形態の図3に対応する。

[0091] 図19に示すように、複数のサブ選択ゲート線SGD0a～SGD0dはそれぞれ、1列目、5列目、9列目、及び13列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD1a～SGD1dはそれぞれ、2列目、6列目、10列目、及び14列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD2a～SGD2dはそれぞれ、3列目、7列目、11列目、及び15列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD3a～SGD3dはそれぞれ、4列目、8列目、12列目、及び16列目に配置された複数のピラー状電極SPに電氣的に接続される。

[0092] 複数の電流経路選択部CNLの各々は、16列にそれぞれ1個ずつ配置された、合計16個のメモリピラーMPと交差するように配置される。複数の電流経路選択部CNLは、いずれもP方向に延びる。

[0093] 1個の電流経路選択部CNLに対して、4個のコンタクトCVが対応づけられる。各コンタクトCVは、対応する電流経路選択部CNLを介して、当該電流経路選択部CNLと交差するように配置された16個のメモリピラー

MPのうち連続して隣り合う4個のメモリピラーMPと、電氣的に接続される。具体的には、同一の電流経路選択部CNLに対応する4個のコンタクトCVのうちの1個目が、1～4列目にそれぞれ配置された4個のメモリピラーMPに電氣的に接続される。同一の電流経路選択部CNLに対応する4個のコンタクトCVのうちの2個目が、5～8列目にそれぞれ配置された4個のメモリピラーMPに電氣的に接続される。同一の電流経路選択部CNLに対応する4個のコンタクトCVのうちの3個目が、9～12列目にそれぞれ配置された4個のメモリピラーMPに電氣的に接続される。同一の電流経路選択部CNLに対応する4個のコンタクトCVのうちの4個目が、13～16列目にそれぞれ配置された4個のメモリピラーMPに電氣的に接続される。

[0094] 各ビット線BLは、ブロックBLK毎に、1個のコンタクトVYAと重なるように配置される。つまり、各ビット線BLには、ブロックBLK毎に、1個のコンタクトVYAを介して、4個のメモリピラーMPと電氣的に接続される場合が示される。なお、ブロックBLK毎に1本のビット線BLに電氣的に接続される4個のメモリピラーMPはそれぞれ、互いに異なるストリングユニットSU0～SU3に含まれる。

[0095] 2. 1. 2. 2 断面構造

図20は、第2実施形態に係るメモリセルアレイの断面構造の一例を示す、XX-XX線に沿った断面図である。図20に示すように、メモリセルアレイ10は、導電体層27及び28を更に含む。

[0096] 最上層の導電体層23の上方には、絶縁体層（図示せず）を介して導電体層27が設けられる。導電体層27の上方には、絶縁体層（図示せず）を介して導電体層28が設けられる。導電体層28の上方には、絶縁体層（図示せず）を介して複数の導電体層24が設けられる。導電体層27及び28は、例えば、XY平面に沿って広がった板状に形成される。導電体層27及び28はそれぞれ、選択バックゲート線BSGDa及びBSGDbとして使用される。導電体層27及び28は、例えばタングステンを含む。

- [0097] 各メモリピラーMPは、導電体層22、23、27、及び28を貫通している。メモリピラーMPの上端は、導電体層28と、導電体層24との間に位置する。
- [0098] 各メモリピラーMPと導電体層27とが交差した部分が、選択トランジスタST1bとして機能する。各メモリピラーMPと導電体層28とが交差した部分が、選択トランジスタST1aとして機能する。
- [0099] また、各メモリピラーMPは、例えばコア膜30、半導体膜31、積層膜32、導電体膜33、絶縁体膜34、導電体層36、絶縁体層37、及び絶縁体膜38を含む。導電体層36、絶縁体層37、及び絶縁体膜38の構成は、第1実施形態と同等であるため、説明を省略する。
- [0100] コア膜30の上端は、最上層の導電体層23よりも上方、かつ導電体層27よりも下方に位置する。
- [0101] 導電体膜33は、Z方向に延びる部分と、X方向に延びる部分と、を含む。導電体膜33のZ方向に延びる部分は、ピラー状電極SPとして機能する。導電体膜33のX方向に延びる部分は、サブ選択ゲート線SGD0a～SGD3dのいずれか1本として機能する。図示された領域には、サブ選択ゲート線SGD0d、SGD1d、SGD2d、及びSGD3dとして機能する部分をそれぞれ含む4個の導電体膜33が表示される。導電体膜33のZ方向に延びる部分の下端は、導電体層27の上面よりも下方に位置する。導電体膜33のZ方向に延びる部分の上端は、同一の導電体膜33のX方向に延びる部分の下端に接し、かつ連続する。
- [0102] 絶縁体膜34は、Z方向に延びる部分と、XY平面に広がる部分と、を含む。絶縁体膜34のZ方向に延びる部分は、導電体膜33のZ方向に延びる部分の側面及び底面を覆う。絶縁体膜34のZ方向に延びる部分の下端は、コア膜30の上端に接する。絶縁体膜34のZ方向に延びる部分の上端は、絶縁体膜34のXY平面に広がる部分の下端に接し、かつ連続する。絶縁体膜34のXY平面に広がる部分は、導電体膜33のX方向に延びる部分の下方に位置する。

- [0103] 半導体膜31は、Z方向に延びる部分と、P方向に延びる部分と、を含む。半導体膜31のZ方向に延びる部分は、コア膜30の底面及び側面、並びに絶縁体膜34のZ方向に延びる部分の側面を覆う。半導体膜31のZ方向に延びる部分の上端は、半導体膜31のP方向に延びる部分の下端に接し、かつ連続する。半導体膜31のP方向に延びる部分は、16個のメモリピラーMPで共有される。図示された領域には、半導体膜31のP方向に延びる部分のうち、4個のメモリピラーMPによって共有される部分が表示される。
- [0104] 積層膜32は、半導体膜31と導電体層21とが接触した部分を除いて、半導体膜31の側面及び底面を覆う。積層膜32の上端は、半導体膜31のZ方向に延びる部分の上端と揃う。
- [0105] 半導体膜31のP方向に延びる部分の上面上には、導電体層25が設けられる。導電体層25の上面上には、導電体層26が設けられる。導電体層25及び26はそれぞれ、コンタクトCV及びVYAとして使用される。図示された領域には、半導体膜31のP方向に延びる部分に対応する4組のコンタクトCV及びVYAのうちの1組が表示されている。導電体層26の上面上には、1個の導電体層24が設けられる。導電体層26は、ビット線BLとして機能する。
- [0106] 図21は、第2実施形態に係る半導体記憶装置における選択トランジスタの断面構造の一例を示す、XXI-XXI線に沿った断面図である。より具体的には、図21は、半導体基板20の表面に平行かつ導電体層27を含む層におけるメモリピラーMPの断面構造を含む。図21に示すように、積層膜32は、例えばトンネル絶縁膜32a、電荷蓄積膜32b、及びブロック絶縁膜32cを含む。
- [0107] 図21に示すように、導電体膜33のZ方向に延びる部分は、例えばメモリピラーMPの中央部に設けられる。絶縁体膜34のZ方向に延びる部分は、導電体膜33のZ方向に延びる部分の側面を囲む。半導体膜35のZ方向に延びる部分は、絶縁体膜34のZ方向に延びる部分の側面を囲む。また、

半導体膜 35 の Z 方向に延びる部分は、絶縁体に囲まれる。

[0108] 導電体層 27 を含む断面において、導電体膜 33 の Z 方向に延びる部分は、例えばメモリピラー MP の中央部に設けられる。絶縁体膜 34 の Z 方向に延びる部分は、導電体膜 33 の Z 方向に延びる部分の側面を囲む。半導体膜 31 の Z 方向に延びる部分は、絶縁体膜 34 の Z 方向に延びる部分の側面を囲む。トンネル絶縁膜 32 a は、半導体膜 31 の Z 方向に延びる部分の側面を囲む。電荷蓄積膜 32 b は、トンネル絶縁膜 32 a の側面を囲む。ブロック絶縁膜 32 c は、電荷蓄積膜 32 b の側面を囲む。導電体層 27 は、ブロック絶縁膜 32 c の側面を囲む。

[0109] 半導体膜 31 は、選択トランジスタ ST1 a、ST1 b、及び ST2、並びにメモリセルトランジスタ MT0 ~ MT7 の電流経路として使用される。これにより、各メモリピラー MP は、1 個の NAND スtring NS として機能し得る。

[0110] 2. 2 選択トランジスタの選択動作

次に、第 2 実施形態に係るメモリデバイスの選択トランジスタの選択動作について説明する。図 22 は、第 2 実施形態に係るメモリデバイスの選択トランジスタの選択動作の一例を示す模式図である。図 22 では、図 20 の上部を拡大した断面構造に加えて、String ユニット SU2 が選択される場合に選択トランジスタ ST1 に印加される電圧及び電流経路が模式的に示される。

[0111] 図 22 に示すように、書込み動作や読出し動作等の際に String ユニット SU2 が選択される場合、ロウデコーダモジュール 15 は、選択ゲート線 SGD2 に電圧 VSG を印加する。電圧 VSG は、選択トランジスタ ST1 a 及び ST1 b をオン状態にする電圧である。これにより、String ユニット SU2 に属するメモリピラー MP において、半導体膜 31 の Z 方向に延びる部分のうち絶縁体膜 34 に接する領域に、チャンネル（図 22 における経路（1））が形成される。

[0112] 一方、String ユニット SU2 が選択される場合、ロウデコーダモジュ

ール15は、選択ゲート線SGD0、SGD1、及びSGD3に電圧VSSを印加する。電圧VSSは、選択トランジスタST1a及びST1bをオフ状態にする電圧である。電圧VSSは、例えば電圧VSGより低い($VSS < VSG$)。これにより、ストリングユニットSU0、SU1、及びSU3に属するメモリピラーMPにおいて、半導体膜31のZ方向に延びる部分のうち絶縁体膜34に接する領域には、チャンネルが形成されない。

[0113] また、ロウデコーダモジュール15は、選択バックゲート線BSGDbに電圧Vbを印加する。電圧Vbは、選択トランジスタST1bをオン状態にする電圧である。これにより、半導体膜31の選択トランジスタST1bに属する部分のうち積層膜32に接する領域に、チャンネル(図22における経路(2))が形成される。このため、半導体膜31の選択トランジスタST1bに属する部分には、絶縁体膜34に接する領域と、積層膜32に接する領域とのいずれにもチャンネルが形成される。したがって、半導体膜31の選択トランジスタST1bに属する部分において、絶縁体膜34に接する領域と積層膜32に接する領域との間の領域には、比較的電流が流れやすい経路(3)が形成される。以上により、ストリングユニットSU2に属するメモリピラーMPにおいて、経路(1)から経路(3)を介して経路(2)を通る電流経路が形成される。

[0114] また、ロウデコーダモジュール15は、選択バックゲート線BSGDaに電圧Vaを印加する。電圧Vaは、選択トランジスタST1aをオフ状態にする電圧である。電圧Vaは、例えば電圧Vbより低い($Va < Vb$)。これにより、半導体膜31の選択トランジスタST1aに属する部分のうち積層膜32に接する領域には、チャンネル(図22における経路(4))が形成されない。このため、ストリングユニットSU2に属するメモリピラーMPにおいて、経路(1)から経路(3)を介して経路(4)を通る電流経路の形成が抑制される。以上により、選択されたストリングユニットSU2から、非選択のストリングユニットSU0、SU1、及びSU3に電流が流れ込むことが抑制される。

[0115] 2. 3 製造方法

図23～図32の各々は、第2実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図である。図23～図32の各々は、平面レイアウトを示す部分（A）と、断面構造を示す部分（B）と、を含む。図示される平面レイアウトは、図19における領域RBに対応する。図示される断面構造は、図20に対応する。以下に、メモリデバイス3における、メモリセルアレイ10の製造工程の一例について説明する。

[0116] まず、図23に示すように、半導体基板20の上面上に、絶縁体層41が形成される。絶縁体層41の上面上に、導電体層21及び絶縁体層42が順に積層される。絶縁体層42の上面上に、犠牲部材43、及び絶縁体層44が順に積層される。絶縁体層44の上面上に、犠牲部材45及び絶縁体層46が交互に積層される。最上層の絶縁体層46の上面上に、犠牲部材61及び絶縁体層62が順に積層される。絶縁体層62の上面上に、犠牲部材63及び絶縁体層64が順に積層される。絶縁体層62及び64は、例えば酸化シリコンを含む。犠牲部材61及び63は、例えば窒化シリコンを含む。

[0117] 次に、図24に示すように、メモリピラーMPのうち選択トランジスタST1a、ST1b、及びST2並びにメモリセルトランジスタMT0～MT7に対応する構造が形成される。簡潔に述べると、フォトリソグラフィ等によって、メモリピラーMPに対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、例えば絶縁体層42、44、46、62、及び64、並びに犠牲部材43、45、61、及び63を貫通する複数のホール（図示せず）が形成される。各ホールの底部において、導電体層21の一部が露出する。その後、各ホールの側面上及び底面上に、積層膜32が形成される。そして、各ホールの底部に設けられた積層膜32の一部が除去された後、絶縁体層64の上面上、及び各ホール内の側面上及び底面上にわたって、半導体膜31A及びコア膜30Aが順に形成される。各ホールは、コア膜30Aによって埋め込まれる。

[0118] それから、図25に示すように、コア膜30Aのうち、絶縁体層64の上

面上及び各ホールの上部に設けられた部分が除去される。これにより、コア膜 30A が複数のコア膜 30 に分断される。そして、積層構造には、絶縁体層 62 及び 64、並びに犠牲部材 61 及び 63 を貫通する複数のホール H3 が形成される。

[0119] 次に、図 26 に示すように、半導体膜 31A が、16 個のメモリピラー MP に対応する部分毎に分断される。具体的には、例えば、異方性エッチングによって、絶縁体層 64 の上面上に設けられた半導体膜 31A のうち、電流経路選択部 CNL として機能する予定の部分を除く部分が除去される。これにより、半導体膜 31A は、複数の半導体膜 31 に分断される。各半導体膜 31 は、Z 方向に延びる 16 個の部分と、当該 16 個の部分と連続しかつ P 方向に延びる部分と、を含む。

[0120] 次に、図 27 に示すように、絶縁体層 64 の上面上、並びに複数のホール H3 の各々の側面上及び底面上にわたって、絶縁体膜 34 が形成される。絶縁体膜 34 の上面上に、複数のホール H3 を埋め込むように、導電体膜 33A が形成される。導電体膜 33A の上面上に、導電体層 36A、及び絶縁体層 37A が順に積層される。

[0121] 次に、図 28 に示すように、導電体膜 33A、導電体層 36A、及び絶縁体層 37A が、選択ゲート線 SGD に対応する部分毎に分断される。これにより、導電体膜 33A、導電体層 36A、及び絶縁体層 37A はそれぞれ、複数の導電体膜 33、複数の導電体層 36、及び複数の絶縁体層 37 に分断される。各導電体膜 33 は、Z 方向に延びかつ X 方向に沿って一列に並ぶ複数の部分と、当該複数の部分と交差しかつ X 方向に延びる部分と、を含む。

[0122] 次に、図 29 に示すように、複数の導電体膜 33 の X 方向に延びる部分の側面上、複数の導電体層 36 の側面上、及び複数の絶縁体層 37 の側面上に、絶縁体膜 38 が形成される。具体的には、全面にわたって絶縁体膜 38 を形成した後に、異方性エッチングによって絶縁体膜 34 の上面上に形成された絶縁体膜 38 を除去する。これにより、エッチングの異方性を利用して、絶縁体膜 34 の上面上から絶縁体膜 38 を除去しつつ、導電体膜 33、導電

体層 36、及び絶縁体層 37 の各々の側面上が絶縁体膜 38 で覆われる。

[0123] 次に、積層構造の犠牲部材の置換処理が実行される。これにより、図 30 に示すように、積層配線構造が形成される。具体的には、まず、全面にわたって絶縁体層 50 が形成された後、図 30 に図示しない領域において、フォトリソグラフィ等によって、部材 S L T に対応する領域が開口されたマスクが形成される。それから、当該マスクを用いた異方性エッチングによって、例えば絶縁体層 42、44、46、50、62、及び 64、絶縁体膜 34、並びに犠牲部材 43、45、61、及び 63 を貫通するスリット（図示せず）が形成される。その後、熱リン酸等によるウェットエッチングによって、スリットを介して犠牲部材 43、45、61、及び 63 が選択的に除去される。それから、導電体が、スリットを介して、犠牲部材 43、45、61、及び 63 が除去された空間に埋め込まれる。

[0124] なお、スリット内部に形成された導電体はエッチバック処理によって除去される。このため、隣り合う配線層に形成された導電体同士が分離される。これにより、選択ゲート線 S G S として機能する導電体層 22 と、ワード線 W L 0 ~ W L 7 としてそれぞれ機能する複数の導電体層 23 と、選択バックゲート線 B S G D a として機能する導電体層 27 と、選択バックゲート線 B S G D b として機能する導電体層 28 と、が形成される。スリットは、絶縁体膜 39 によって埋め込まれる。これにより、部材 S L T が形成される。

[0125] 次に、図 31 に示すように、コンタクト C V に対応する構造が形成される予定の領域にホール H 4 が形成される。具体的には、フォトリソグラフィ等によって、コンタクト C V に対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、絶縁体層 50 を貫通する複数のホール H 2 が形成される。各ホール H 4 の底部において、絶縁体層 37 の上面の一部、絶縁体膜 38 の側面の一部、及び半導体膜 31 の P 方向に延びる部分の一部が露出する。なおホール H 4 の形成に際して、窒化シリコンに対する酸化シリコンの選択比が大きい異方性エッチングが適用される。これにより、導電体膜 33 及び導電体層 36 の露出を抑制しつつ、ホ

ールH4の位置を自己整合させることができる。

[0126] 次に、図32に示すように、複数のコンタクトCV、VYA、及びVYB（図示せず）、並びに複数のビット線BLが形成される。具体的には、導電体層25がホールH4内に埋め込まれる。その後、第1実施形態に示した図17の工程と同等の工程により、複数のコンタクトVYA及びVYB、並びに複数のビット線BLの形成処理が実行される。

[0127] 以上で説明した製造工程によって、メモリセルアレイ10が形成される。

[0128] 2. 4 第2実施形態に係る効果

第2実施形態によれば、最上層の導電体層23の上方に、導電体層27及び28が互いに離間して設けられる。導電体層27及び28の各々は、半導体膜31及び導電体膜33と交差する。これにより、選択トランジスタST1は、導電体層27を選択バックゲート線BSGD_bとして使用する選択トランジスタST1_bと、導電体層28を選択バックゲート線BSGD_aとして使用する選択トランジスタST1_aと、を含む。このため、メモリピラーMPの半導体膜31のうち、導電体膜33側の領域と、導電体層27及び28側の領域と、のいずれにも電流経路を形成することができる。具体的には、書込み動作や読出し動作の際、選択されたストリングユニットSUに属するメモリピラーMPにおいて、図22に示した経路（1）、（2）、及び（3）に電流を流しつつ、経路（4）に電流が流れることを遮断できる。したがって、非選択のストリングユニットSUへの電流の漏れを抑制しつつ、選択されたストリングユニットSUにおける電流経路を低抵抗にすることができる。

[0129] また、半導体膜31のP方向に延びる部分は、16個のメモリピラーMPによって共有される。導電体層25は、異なるストリングユニットSUに属する4個のメモリピラーMPによって共有される。これにより、メモリピラーMPとビット線BLとを電氣的に接続するコンタクトCV及びVYAの数を、メモリピラーMPの数に対して1／4にすることができる。このため、メモリピラーMPと同数のコンタクトを設ける場合よりも、製造負荷を抑制

することができる。

[0130] 3. 第3実施形態

次に、第3実施形態について説明する。

[0131] 第3実施形態は、各電流経路選択部CNLが2個のメモリピラーMPと交差するように構成される点においては、第1実施形態と同等である。また、第3実施形態は、選択トランジスタST1が形成される層に、バックゲートが形成される点においては、第2実施形態と同等である。しかしながら、第3実施形態は、X方向に延びる複数のサブ選択ゲート線SGDの各々が複数列のメモリピラーMPと交差するように形成される点において、第1実施形態及び第2実施形態と異なる。以下の説明では、第2実施形態と同等の構成、動作、及び製造方法については説明を省略し、第2実施形態と異なる構成、動作、及び製造方法について主に説明する。

[0132] 3. 1 構成

第3実施形態に係るメモリデバイスの構成について説明する。

[0133] 3. 1. 1 メモリセルアレイの構造

以下に、第3実施形態に係るメモリデバイスが備えるメモリセルアレイの構造の一例について説明する。

[0134] 3. 1. 1. 1 平面レイアウト

図33は、第3実施形態に係るメモリセルアレイの平面レイアウトの一例を示す平面図である。図33は、第1実施形態の図3、及び第2実施形態の図19に対応する。図33に示すように、メモリセルアレイ10は、複数のコンタクトCVA及びCVBを含む。

[0135] また、選択ゲート線SGD0は、複数のサブ選択ゲート線SGD0a、SGD0b、及びSGD0cを含む。選択ゲート線SGD1は、複数のサブ選択ゲート線SGD1a及びSGD1bを含む。選択ゲート線SGD2は、複数のサブ選択ゲート線SGD2a及びSGD2bを含む。選択ゲート線SGD3は、複数のサブ選択ゲート線SGD3a及びSGD3bを含む。

[0136] 複数のサブ選択ゲート線SGD0a～SGD0cはそれぞれ、1列目、4

及び5列目、並びに16列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD1a及びSGD1bはそれぞれ、2及び3列目、並びに6及び7列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD2a及びSGD2bはそれぞれ、8及び9列目、並びに12及び13列目に配置された複数のピラー状電極SPに電氣的に接続される。複数のサブ選択ゲート線SGD3a及びSGD3bはそれぞれ、10及び11列目、並びに14及び15列目に配置された複数のピラー状電極SPに電氣的に接続される。

[0137] 複数のコンタクトCVBはそれぞれ、サブ選択ゲート線SGD0a～SGD3bに対応して設けられる。複数のコンタクトCVBの各々は、X方向に延びる。複数のコンタクトCVBは、2個の部材SLTのうちの一方と1列目に配置された複数のピラー状電極SPとの間、2k列目に配置された複数のピラー状電極SPと(2k+1)列目に配置された複数のピラー状電極SPとの間、及び2個の部材SLTのうちの他方と16列目に配置された複数のピラー状電極SPとの間に配置される($1 \leq k \leq 7$)。

[0138] 複数のコンタクトVYBの各々は、1本のサブ選択ゲート線に対応して設けられる。複数のコンタクトVYBの各々は、対応するコンタクトCVBに重なるように配置される。

[0139] 配線M1-0は、複数のコンタクトVYB及びCVBを介して、複数のサブ選択ゲート線SGD0a～SGD0cに電氣的に接続される。配線M1-1は、複数のコンタクトVYB及びCVBを介して、複数のサブ選択ゲート線SGD1a及びSGD1bに電氣的に接続される。配線M1-2は、複数のコンタクトVYB及びCVBを介して、複数のサブ選択ゲート線SGD2a及びSGD2bに電氣的に接続される。配線M1-3は、複数のコンタクトVYB及びCVBを介して、複数のサブ選択ゲート線SGD3a及びSGD3bに電氣的に接続される。

[0140] 複数の電流経路選択部CNLの各々は、メモリピラーMPの上方において、XY平面内の1方向に延びる。複数の電流経路選択部CNLの各々は、隣

り合う複数の列にそれぞれ1個ずつ配置されたメモリピラーMPと交差するように配置される。図33の例では、第1実施形態の図3の例と同様、複数の電流経路選択部CNLの各々は、隣り合う2列にそれぞれ1個ずつ配置された、合計2個のメモリピラーMPと交差するように配置される。

[0141] 複数のコンタクトCVAの各々は、1個の電流経路選択部CNLに対応して設けられる。複数のコンタクトCVAの各々は、対応する電流経路選択部CNLのうち、当該電流経路選択部CNLによって電氣的に接続される2個のメモリピラーMPの間、かつ隣り合う2本のサブ選択ゲート線の間配置される。

[0142] 複数のコンタクトVYAの各々は、1個のコンタクトCVAに対応して設けられる。複数のコンタクトVYAの各々は、対応するコンタクトCVAに重なるように配置される。

[0143] 複数のビット線BLの各々は、コンタクトVYA及びCVAを介して、対応する電流経路選択部CNLに電氣的に接続される。

[0144] 3. 1. 1. 2 断面構造

図34は、第3実施形態に係るメモリセルアレイの断面構造の一例を示す、XXXIV-XXXIV線に沿った断面図である。図34に示すように、メモリセルアレイ10は、導電体層29を更に含む。

[0145] 各メモリピラーMPは、例えばコア膜30、半導体膜31、積層膜32、導電体膜33、及び絶縁体膜34を含む。コア膜30、積層膜32、及び絶縁体膜34の構成は、第2実施形態と同等であるため、説明を省略する。

[0146] 半導体膜31は、Z方向に延びる部分と、P方向又はQ方向に延びる部分と、を含む。図示された領域には、P方向に延びる部分を有する1個の半導体膜31と、Q方向に延びる部分を有する2個の半導体膜31と、が表示される。半導体膜31のP方向又はQ方向に延びる部分は、2個のメモリピラーMPで共有される。

[0147] 半導体膜31のP方向又はQ方向に延びる部分の上面には、導電体層25が設けられる。導電体層25の上面には、導電体層26が設けられる。

導電体層 25 及び 26 はそれぞれ、コンタクト CVA 及び VYA として使用される。図示された領域には、半導体膜 31 の P 方向に延びる部分に対応する 1 個のコンタクト CVA 及び VYA が表示されている。導電体層 26 の上面上には、1 個の導電体層 24 が設けられる。導電体層 26 は、ビット線 BL として機能する。

[0148] 導電体膜 33 は、Z 方向に延びる部分と、X 方向に延びる部分と、を含む。導電体膜 33 の Z 方向に延びる部分は、ピラー状電極 SP として機能する。導電体膜 33 の X 方向に延びる部分は、サブ選択ゲート線 SGD0a ~ SGD3b のいずれか 1 本として機能する。サブ選択ゲート線 SGD0b、及び SGD1a ~ SGD3b として機能する 7 個の導電体膜 33 の X 方向に延びる部分の各々は、隣り合う 2 列分の複数のメモリピラー MP で共有される。サブ選択ゲート線 SGD0a 及び SGD0c として機能する 2 個の導電体膜 33 の X 方向に延びる部分の各々は、1 列分の複数のメモリピラー MP で共有される。図示された領域には、サブ選択ゲート線 SGD2b、SGD3b、及び SGD0c として機能する部分をそれぞれ含む 3 個の導電体膜 33 が表示される。

[0149] 導電体膜 33 の X 方向に延びる部分の上面上には、導電体層 29 が設けられる。導電体層 29 は、コンタクト CVB として使用される。図示された領域には、サブ選択ゲート線 SGD2b、SGD3b、及び SGD0c に対応する 3 個のコンタクト CVB が表示される。

[0150] 3. 2 製造方法

図 35 ~ 図 41 の各々は、第 3 実施形態に係るメモリデバイスの製造途中の平面レイアウト及び断面構造の一例を示す図である。図 35 ~ 図 41 の各々は、平面レイアウトを示す部分 (A) と、断面構造を示す部分 (B) と、を含む。図示される平面レイアウトは、図 33 における領域 RC に対応する。図示される断面構造は、図 34 に対応する。以下に、メモリデバイス 3 における、メモリセルアレイ 10 の製造工程の一例について説明する。

[0151] まず、第 2 実施形態に示した図 23 及び図 24 と同等の工程により、積層

構造上にコア膜30A、半導体膜31A、及び積層膜32を含む構造が形成される。その後、第2実施形態に示した図25と同等の工程により、コア膜30Aが複数のコア膜30に分断される。これにより、積層構造には、絶縁体層62及び64、並びに犠牲部材61及び63を貫通する複数のホールH3が形成される。

[0152] 次に、図35に示すように、半導体膜31Aが、2個のメモリピラーMPに対応する部分毎に分断される。具体的には、例えば、異方性エッチングによって、絶縁体層64の上面上に設けられた半導体膜31Aのうち、電流経路選択部CNLとして機能する予定の部分を除く部分が除去される。これにより、半導体膜31Aは、複数の半導体膜31に分断される。各半導体膜31は、Z方向に延びる2個の部分と、当該2個の部分と交差しかつP方向又はQ方向に延びる部分と、を含む。

[0153] 次に、図36に示すように、絶縁体層64の上面上、並びに複数のホールH3の各々の側面上及び底面上にわたって、絶縁体膜34が形成される。絶縁体膜34の上面上に、複数のホールH3を埋め込むように、導電体膜33Aが形成される。

[0154] 次に、図37に示すように、導電体膜33Aが、複数のサブ選択ゲート線SGD0a～SGD3bに対応する部分毎に分断される。具体的には、例えば、異方性エッチングによって、XY平面上に広がる導電体膜33Aのうち、複数のサブ選択ゲート線SGD0a～SGD3bとして機能する予定の部分を除く部分が除去される。これにより、導電体膜33Aは、複数の導電体膜33に分断される。各導電体膜33は、各々がZ方向に延びかつX方向に沿って二列に並ぶ複数の部分と、当該複数の部分と交差しかつX方向に延びる部分と、を含む。

[0155] 次に、図38に示すように、全面にわたって絶縁体層71が形成される。絶縁体層71は、例えば窒化シリコンカーバイド(SiCN)を含む。

[0156] 次に、積層構造の犠牲部材の置換処理が実行される。これにより、図39に示すように、積層配線構造が形成される。具体的には、まず、全面にわた

って絶縁体層50が形成された後、図39に図示しない領域において、フォトリソグラフィ等によって、部材SLTに対応する領域が開口されたマスクが形成される。それから、当該マスクを用いた異方性エッチングによって、例えば絶縁体層42、44、46、50、62、64、及び71、絶縁体膜34、並びに犠牲部材43、45、61、及び63を貫通するスリット（図示せず）が形成される。その後、第2実施形態に示した図30の工程と同等の工程により、置換処理、及び部材SLTの形成処理が実行される。

[0157] 次に、図40に示すように、コンタクトCVA及びCVBに対応する構造が形成される予定の領域に、それぞれホールH5及びH6が形成される。具体的には、フォトリソグラフィ等によって、コンタクトCVA及びCVBに対応する領域が開口したマスクが形成される。そして、当該マスクを用いた異方性エッチングによって、絶縁体層50及び71を貫通する複数のホールH5及びH6が形成される。各ホールH5の底部において、半導体膜31のP方向又はQ方向に延びる部分の一部が露出する。各ホールH6の底部において、導電体膜33のX方向に延びる部分が露出する。なおホールH5及びH6の形成に際して、窒化シリコンカーバイドに対する酸化シリコンの選択比が大きい異方性エッチングが適用される。これにより、半導体膜31及び導電体膜33のオーバーエッチングを抑制しつつ、ホールH5及びH6を形成できる。

[0158] 次に、図41に示すように、複数のコンタクトCVA、CVB、VYA、及びVYB（図示せず）、並びに複数のビット線BLが形成される。具体的には、導電体層25がホールH5内に、導電体層29がホールH6に、それぞれ埋め込まれる。その後、第2実施形態に示した図32の工程と同等の工程により、複数のコンタクトVYA及びVYB、並びに複数のビット線BLの形成処理が実行される。

[0159] 以上で説明した製造工程によって、メモリセルアレイ10が形成される。

[0160] 3. 3 第3実施形態に係る効果

第3実施形態によれば、サブ選択ゲート線SGD0b、及びSGD1a～

S G D 3 bに対応する7個の導電体膜33のX方向に延びる部分の各々は、2列分の複数のメモリピラーMPによって共有される。これにより、サブ選択ゲート線の数、メモリピラーMPの列数よりも少なくすることができる。このため、メモリピラーMPの列数と同数のサブ選択ゲート線を設ける場合よりも、製造負荷を抑制することができる。

[0161] 4. その他

なお、上述した第1実施形態乃至第3実施形態には、種々の変形を適用可能である。

[0162] 例えば、上述した第1実施形態乃至第3実施形態では、複数のメモリピラーMPが千鳥状に配置される場合について説明したが、これに限られない。例えば、複数のメモリピラーMPは、格子状に配置されてもよい。この場合、P方向及びQ方向は、Y方向と一致してもよい。

[0163] また、上述した第2実施形態では、導電体層25は、異なるストリングユニットSUに属する4個のメモリピラーMPによって共有される場合について説明したが、これに限られない。例えば、導電体層25は、3個以下、及び5個以上のメモリピラーMPによって共有されてもよい。この場合、導電体層25を共有するメモリピラーMPは、互いに異なるストリングユニットSUに属する。このため、1ブロックBLK内における複数のメモリピラーMPの列数は、導電体層25を共有するメモリピラーMPの数の2乗となる。

[0164] また、上述した第1実施形態乃至第3実施形態で説明した製造工程はあくまで一例であり、これに限定されない。例えば、各製造工程の間にはその他の処理が挿入されても良いし、一部の工程が省略又は統合されても良い。

[0165] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特

許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] 第1導電体層と、
前記第1導電体層の上方において第1方向に延びる第1導電体膜と、
、
前記第1導電体層と前記第1導電体膜との間において前記第1方向に延び、前記第1導電体層と交差する第1半導体膜と、
前記第1半導体膜に接し、前記第1導電体層と前記第1導電体膜との間において前記第1方向に延び、前記第1導電体膜と対向する第2半導体膜と、
前記第1導電体層と前記第1半導体膜との間に設けられた第1絶縁体膜と、
前記第1半導体膜及び前記第2半導体膜と前記第1導電体膜との間に設けられた第2絶縁体膜と、
を備えた、
メモリデバイス。
- [請求項2] 前記第1導電体膜と連続し、前記第1方向と交差する第2方向に延びる第2導電体層を更に備えた、
請求項1記載のメモリデバイス。
- [請求項3] 各々が前記第1導電体膜、前記第1半導体膜、前記第2半導体膜、前記第1絶縁体膜、及び前記第2絶縁体膜を含み、前記第2方向に並ぶ第1ピラー及び第2ピラーを備え、
前記第2導電体層は、前記第1ピラーの前記第1導電体膜、及び前記第2ピラーの前記第1導電体膜のいずれとも連続する、
請求項2記載のメモリデバイス。
- [請求項4] 各々が前記第1導電体膜、前記第1半導体膜、前記第2半導体膜、前記第1絶縁体膜、及び前記第2絶縁体膜を含み、前記第1方向及び前記第2方向と交差する第3方向に並ぶ第3ピラー及び第4ピラーを備え、

前記第2導電体層は、前記第3ピラーの前記第1導電体膜、及び前記第4ピラーの前記第1導電体膜のいずれとも連続する、

請求項3記載のメモリデバイス。

[請求項5]

前記第2半導体膜と連続し、前記第1方向及び前記第2方向と交差する第3方向に延びる第1半導体層と、

前記第1半導体層の上面に接し、前記第1方向に延びるコンタクトと、

前記第2導電体層の上方において前記コンタクトの上面に接し、前記第1方向及び前記第2方向と交差する第4方向に延びる第3導電体層と、

を更に備えた、

請求項2記載のメモリデバイス。

[請求項6]

前記第2導電体層及び前記コンタクトの間に設けられた第3絶縁体膜を更に備え、

前記コンタクトは、平面視において前記第3絶縁体膜と重なる部分を含む、

請求項5記載のメモリデバイス。

[請求項7]

各々が前記第1導電体膜、前記第1半導体膜、前記第2半導体膜、前記第1絶縁体膜、及び前記第2絶縁体膜を含み、前記第3方向に並ぶ第5ピラー及び第6ピラーを備え、

前記第1半導体層は、前記第5ピラーの前記第2半導体膜、及び前記第6ピラーの前記第2半導体膜のいずれとも連続する、

請求項5記載のメモリデバイス。

[請求項8]

前記第5ピラーの前記第1導電体膜と、前記第6ピラーの前記第1導電体膜とは、互いに電氣的に絶縁されている、

請求項7記載のメモリデバイス。

[請求項9]

各々が前記第1導電体膜、前記第1半導体膜、前記第2半導体膜、前記第1絶縁体膜、及び前記第2絶縁体膜を含み、前記第5ピラー及

び前記第6ピラーと前記第3方向に並ぶ第7ピラーを更に備え、

前記第1半導体層は、前記第7ピラーの前記第2半導体膜とも更に連続する、

請求項7記載のメモリデバイス。

[請求項10] 前記第6ピラーは、前記第5ピラー及び前記第7ピラーと前記第3方向に隣り合い、

前記コンタクトは、前記第1半導体層のうち、前記第5ピラーと前記第6ピラーとの間の部分の上面に、及び前記第6ピラーと前記第7ピラーとの間の部分の上面に接する、

請求項9記載のメモリデバイス。

[請求項11] 前記第3方向及び前記第4方向は、互いに交差する、

請求項5記載のメモリデバイス。

[請求項12] 前記第3方向及び前記第4方向は、互いに平行である

請求項5記載のメモリデバイス。

[請求項13] 前記第1導電体層の上方において互いに離間して設けられ、各々が前記第2半導体膜及び前記第1導電体膜と交差する第4導電体層及び第5導電体層を更に備え、

前記第2半導体膜は、前記第4導電体層及び前記第5導電体層と、前記第1導電体膜との間に設けられ、

前記第1絶縁体膜は、前記第4導電体層及び前記第5導電体層と、前記第2半導体膜との間に設けられた、

請求項1記載のメモリデバイス。

[請求項14] 前記第1半導体膜及び前記第2半導体膜は、連続する

請求項13記載のメモリデバイス。

[請求項15] 前記第4導電体層、及び前記第5導電体層に独立に電圧を印加するように構成されたロウデコーダを更に備えた、

請求項13記載のメモリデバイス。

[請求項16] 前記第4導電体層は、前記第1導電体層と前記第5導電体層との間

に設けられ、

前記ロウデコーダは、書込み動作及び読出し動作の際に、前記第4導電体層に第1電圧を印加し、前記第5導電体層に前記第1電圧より低い第2電圧を印加するように構成された、

請求項15記載のメモリデバイス。

[請求項17]

各々が前記第1導電体膜、前記第1半導体膜、前記第2半導体膜、前記第1絶縁体膜、及び前記第2絶縁体膜を含み、前記第1方向と交差する第3方向に並ぶ第5ピラー及び第6ピラーと、

前記第5ピラーの前記第1導電体膜と連続し、前記第1方向及び前記第3方向と交差する第2方向に延びる第2導電体層と、

前記第6ピラーの前記第1導電体膜と連続し、前記第2方向に延びる第6導電体層と、

前記第5ピラーの前記第1導電体膜、及び前記第6ピラーの前記第1導電体膜に独立に電圧を印加するように構成されたロウデコーダと、

を更に備え、

前記ロウデコーダは、書込み動作及び読出し動作の際に、前記第5ピラーの前記第1導電体膜に第3電圧を印加し、前記第6ピラーの前記第1導電体膜に前記第3電圧より低い第4電圧を印加するように構成された、

請求項1記載のメモリデバイス。

[請求項18]

前記第1絶縁体膜は、電荷蓄積膜を含む、

請求項1記載のメモリデバイス。