

## 内存刷新技术及计算机系统

### 技术领域

[0001] 本申请涉及计算机技术领域，尤其涉及一种内存刷新技术及计算机系统。

### 背景技术

[0002] 传统的系统主存通常由动态随机存取存储器（Dynamic Random Access Memory, DRAM）组成。DRAM 的结构简单并且读取速度快。DRAM 的最基本存储单元为 DRAM cell，每个 DRAM cell 包括一个晶体管和一个电容。DRAM cell 利用电容存储电量的多寡来代表 0 和 1。根据这种方式，一个 DRAM cell 可以存储一个比特（bit）。由于电容存在漏电现象，如果电容中的电荷不足，会导致存储的数据出错，因此，实际应用中，需要对电容进行周期性的充电才能保持存储在电容中的信息不丢失。这种给 DRAM 内部电容充电的动作叫做刷新。

[0003] DRAM 中的 DRAM cell 被排列分布成一个矩阵，这个矩阵我们称之为 DRAM bank，通过相应的行列解码器可以定位到 DRAM bank 中的任意一个 bit。多个 DRAM bank 可以组成一个 DRAM chip，多个 DRAM chip 可以组成一个 DRAM rank，多个 DRAM rank 又可以被集成为一个双列直插式存储模块（Dual-Inline-Memory-Modules, DIMM）。DRAM cell 的刷新由检测放大器（Sense Amp）按行进行，在刷新过程中，可以根据一个刷新命令刷新一个或者多个 bank 中的行。实际应用中，一般以 rank 为单位进行刷新。具体的，在保持时间(retention time)内，该 rank 内的所有 bank 的行需要至少刷新一次，其中，保持时间是指 DRAM cell 中的数据在无刷新操作的情况下能保持数据不丢失的时间。

[0004] 本领域技术人员可以知道，内存控制器每隔 tREFI 的时间检查是否需要 Rank 进行刷新，每次刷新需要消耗 tRFC 段时间。其中，tREFI 用于指示平均刷新时间间隔（average refresh interval）；tRFC 用于指示行刷新周期时间（Refresh Cycle Time）。换一种表达方式，tREFI 用于指示内存控制器发送刷新命令的平均时间间隔，tRFC 用于指示在 DRAM rank 中执行一次刷新命令所需的时间。在现有技术的刷新方案中，当该 rank 空闲时，内存控制器对 rank 进行刷新，否则内存控制器将推迟对 rank 刷新。当推迟时间超过阈值时，内存控制器会强制对该 rank 进行刷新，并且会将延迟的刷新进行补刷新，从而造成在需要进行补刷的时间段内刷新的次数较多。由于在刷新过程中，在这个大小为 tRFC 的时间窗内，被刷新的 rank 不能响应其他的操作请求。因此，在这种强制补刷的情况下可能造成系统较大的刷新开销。

### 发明内容

[0005] 本申请提供的一种内存刷新技术及计算机系统，能够减少系统刷新损耗，在刷新过程中提升计算机系统的性能。

[0006] 第一方面，本发明实施例提供了一种内存刷新方法，所述方法应用于包括内存控制器以及动态随机存取存储器 DRAM 的计算机系统中。在所述方法中，所述内存控制器接收访存请求。当接收的访存请求中访问所述 DRAM 中的第一 rank 的访存请求的数量大于 0 且小于第二阈值时，所述内存控制器对所述第一 rank 进行刷新。

[0007] 本发明实施例所述的内存刷新方法中，为了减少内存刷新过程中对计算机系统的性能的影响，综合考虑了接收的访存请求的情况以及访问的目标 rank 的情况来确定是否需要目标 rank 进行刷新。具体的，当接收的访存请求中访问 DRAM 中的第一 rank 中的访存请求的数量大于 0 且小于第二阈值时，所述内存控制器可以对所述第一 rank 进行刷新。根据这种方式，即使第一 rank 没有处于空闲状态，也能够主动对第一 rank 进行刷新。从而，在访存流量较大的情况下，即使第一 rank 无法处于空闲状态，也能够及时得到刷新。降低了因为延迟刷新而产生的被动刷新对计算机系统性能的影响，提高内存刷新的灵活性。从而能够提高系统性能，减少刷新开销。

[0008] 在第一种可能的实现方式中，所述内存控制器对所述第一 rank 进行刷新包括：当所述接收的访存请求的目标 rank 的数量小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例大于设置的第五阈值时，所述内存控制器按照  $T/N$  的时间间隔对所述第一 rank 进行刷新，其中， $T$  用于指示标准的平均刷新时间间隔， $N$  为大于 1 的整数。

[0009] 在本发明实施例中，在刷新内存过程中，还可以根据访存请求待访问的目标 rank 的分布情况以及访存请求中的读写比例选择刷新模式。具体的，当访问的目标 rank 较为集中，且访存请求中读请求的比例或写请求的比例较大时，可以减少单次刷新的时间间隔，或者说，以更快的刷新频率对所述第一 rank 进行刷新。因为平均刷新时间间隔较短，单次刷新时间也较短，从而在单次刷新过程中，系统受 tFAW 限制的影响较小，系统的整体性能下降较少。根据这种方式可以减少系统在刷新过程中受 DDR 协议中的 tFAW 限制的影响，提高系统性能。

[0010] 结合第一方面及第一方面的第一种可能的实现方式，在第二种可能的实现方式中，在所述内存控制器对所述第一 rank 进行刷新的过程中，所述内存控制器接收访问所述第一 rank 的第一访存请求之后，所述内存控制器将所述第一访存请求缓存在设置的缓存队列中。其中，所述内存控制器中至少包括缓存队列和调度队列，所述缓存队列用于缓存正在被执行刷新操作的 rank 的访存请求，所述调度队列用于缓存待发送给未被执行刷新操作的 RANK 的访存请求。根据这种方式，能够防止在第一 rank 刷新的过程中接收的所述第一 rank 的访存请求堵塞调度队列，影响内存控制器对其他 rank 的访存请求的处理。进一步提高整计算机系统的处理效率。

[0011] 结合第一方面的第二种可能的实现方式，在第三种可能的实现方式中，所述内存控制器还接收访问所述 DRAM 中的第二 rank 的第二访存请求。在

当所述第二 rank 没有被刷新时,所述内存控制器将所述第二访存请求缓存在所述调度队列中。

**[0012]** 结合第一方面以及第一方面的第一种至第三种任意一种可能的实现方式,在第四种可能的实现方式中,所述方法还包括当所述接收的访存请求中访问所述 DRAM 中的第二 rank 的访存请求的数量不小于所述第二阈值,且所述第二 rank 的延迟刷新次数大于设置的第三阈值时,所述内存控制器对所述第二 RANK 进行刷新。其中,所述第三阈值不小于 1 且小于设置的预警值,所述预警值用于指示需要立即对所述第二 rank 执行刷新操作。

**[0013]** 结合第一方面以及第一方面的第一种至第四种任意一种可能的实现方式,在第五种可能的实现方式中,所述方法还包括当所述接收的访存请求中访问所述 DRAM 中的第三 rank 的访存请求的数量不小于所述第二阈值,并且所述第三 rank 的延迟刷新次数不大于设置的第三阈值时,所述内存控制器不对所述第三 rank 执行刷新操作。其中,所述第三阈值不小于 1 且小于设置的预警值,所述预警值用于指示需要立即对所述第三 rank 执行刷新操作。

**[0014]** 结合第一方面,在第六种可能的实现方式中,所述内存控制器对所述第一 rank 进行刷新包括:当所述接收的访存请求的目标 rank 的数量不小于设置的第四阈值,并且,所述访存请求中读请求的比例或写请求的比例不大于设置的第五阈值时,所述内存控制器按照 T 的时间间隔对所述第一 rank 进行刷新。其中,T 用于指示标准的平均刷新时间间隔。

**[0015]** 结合第一方面以及第一方面的第一种至第六种任意一种可能的实现方式,在第七种可能的实现方式中,所述方法还包括:当所述内存控制器确定在另一时间段接收的访存请求的数量不大于第一阈值,且访问所述 DRAM 中的第三 rank 的访问请求的数量大于 0 时,若所述第三 rank 的延迟刷新次数大于设置的所述第三阈值,则所述内存控制器对所述第三 rank 进行刷新。其中,所述第三阈值小于设置的预警值,所述预警值用于指示需要立即对所述第三 rank 进行刷新。

**[0016]** 结合第一方面以及第一方面的第一种至第七种任意一种可能的实现方式,在第八种可能的实现方式中,所述方法还包括:当所述内存控制器确定在另一时间段接收的访存请求的数量不大于第一阈值,且访问所述 DRAM 中的第二 rank 的访问请求的数量大于 0 时,若所述第二 rank 的延迟刷新次数不大于设置的第三阈值,则所述内存控制器不对所述第二 rank 进行刷新。其中,所述第三阈值小于设置的预警值,所述预警值用于指示需要立即对所述第二 rank 进行刷新。

**[0017]** 第二方面,本申请提供了一种计算机系统。所述计算机系统包括内存控制器以及与所述内存控制器连接的动态随机存取存储器 DRAM。其中,所述内存控制器用于执行上述第一方面以及第一方面的任意一种可能的实现方式中的方法。

**[0018]** 第三方面,本申请提供了一种内存控制器,所述内存控制器用于对

计算机系统动态随机存取存储器 DRAM 进行刷新。所述内存控制器包括通信接口和刷新电路。所述通信接口用于接收所述计算机系统处理器发送的访存请求。所述刷新电路用于当接收的访存请求中访问所述计算机系统动态随机存取存储器 DRAM 中的第一 rank 的访存请求的数量大于 0 且小于第二阈值时，对所述第一 rank 进行刷新。

**[0019]** 结合第三方面，在第一种可能的实现方式中，所述刷新电路具体用于：当所述接收的访存请求的目标 RANK 的数量小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例大于设置的第五阈值时，按照  $T/N$  的时间间隔对所述第一 rank 进行刷新，其中， $T$  用于指示标准的平均刷新时间间隔， $N$  为大于 1 的整数。

**[0020]** 结合第三方面以及第三方面的第一种可能的实现方式，在第二种可能的实现方式中，所述通信接口还用于接收在所述刷新电路对所述第一 rank 进行刷新的过程中，接收访问所述第一 rank 的第一访存请求。所述内存控制器还包括缓存，所述缓存用于将所述第一访存请求缓存在设置的缓存队列中。其中，所述内存控制器中至少包括缓存队列和调度队列，所述缓存队列用于缓存正在被执行刷新操作的 rank 的访存请求，所述调度队列用于缓存待发送给未被执行刷新操作的 RANK 的访存请求。

**[0021]** 结合第三方面的第二种可能的实现方式，在第三种可能的实现方式中，所述通信接口还用于接收访问所述 DRAM 中的第二 rank 的第二访存请求。所述缓存还用于当所述第二 rank 没有被刷新时，将所述第二访存请求缓存在所述调度队列中。

**[0022]** 结合第三方面以及第三方面的第一种至第三种中任意一种可能的实现方式，在第四种可能的实现方式中，所述刷新电路还用于：当所述接收的访存请求中访问所述 DRAM 中的第二 rank 的访存请求的数量不小于所述第二阈值，且所述第二 rank 的延迟刷新次数大于设置的第三阈值时，对所述第二 RANK 进行刷新。其中，所述第三阈值不小于 1 且小于设置的预警值，所述预警值用于指示需要立即对所述第二 rank 执行刷新操作。

**[0023]** 结合第三方面以及第三方面的第一种至第四种中任意一种可能的实现方式，在第五种可能的实现方式中，所述刷新电路还用于：当所述接收的访存请求中访问所述 DRAM 中的第三 rank 的访存请求的数量不小于所述第二阈值，并且所述第三 rank 的延迟刷新次数不大于设置的第三阈值时，不对所述第三 rank 执行刷新操作，其中，所述第三阈值不小于 1 且小于设置的预警值，所述预警值用于指示需要立即对所述第三 rank 执行刷新操作。

**[0024]** 结合第三方面，在第六种可能的实现方式中，所述刷新电路具体用于：当所述接收的访存请求的目标 rank 的数量不小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例不大于设置的第五阈值时，按照  $T$  的时间间隔对所述第一 rank 进行刷新，其中，所述  $T$  用于指示标准的平均刷新时间间隔。

**[0025]** 第四方面，本申请还提供了一种内存刷新装置。所述内存刷新装置用于对计算机系统动态随机存取存储器 DRAM 进行刷新。所述内存刷新装置包括用于执行上述第一方面以及第一方面的任意一种可能的实现方式中的方法的功能模块。

**[0026]** 第五方面，本申请还提供了一种计算机程序产品，包括程序代码，所述程序代码包括的指令被计算机所执行，以实现所述第一方面以及所述第一方面的任意一种可能的实现方式中所述的方法。

**[0027]** 第六方面，本申请还提供了一种计算机可读存储介质，所述计算机可读存储介质用于存储程序代码，所述程序代码包括的指令被计算机所执行，以实现前述第一方面以及所述第一方面的任意一种可能的实现方式中所述的方法。

#### 附图说明

**[0028]** 为了更清楚的说明本发明实施例或现有技术中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例。

**[0029]** 图 1 为本发明实施例提供的一种计算机系统架构示意图；

**[0030]** 图 2 为本发明实施例提供的一种内存控制器的结构示意图；

**[0031]** 图 3 为本发明实施例提供的一种内存刷新方法的流程示意图；

**[0032]** 图 4 为本发明实施例提供的一种内存刷新装置的结构示意图。

#### 具体实施方式

**[0033]** 为了使本技术领域的人员更好地理解本发明方案，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚的描述。显然，所描述的实施例仅仅是本发明一部分的实施例，而不是全部的实施例。

**[0034]** 图 1 为本发明实施例提供的计算机系统架构示意图。如图 1 所示，计算机系统 100 至少可以包括处理器 102、内存控制器 106 以及内存 108。通常，内存控制器 106 可以集成在处理器 102 中。需要说明的是，本发明实施例提供的计算机系统中，除了图 1 所示的器件外，计算机系统 100 还可以包括通信接口以及作为外存的磁盘等其他器件，在此不做限制。

**[0035]** 处理器 (Processor) 102 是计算机系统 100 的运算核心和控制核心 (Control Unit)。处理器 102 中可以包括多个处理器核 (core) 104。处理器 102 可以是一块超大规模的集成电路。在处理器 102 中安装有操作系统和其他软件程序，从而处理器 102 能够实现对内存 108、缓存及磁盘的访问。可以理解的是，在本发明实施例中，处理器 102 中的 Core 104 例如可以是中央处理器 (Central Processing unit, CPU)，还可以是其他特定集成电路 (Application Specific Integrated Circuit, ASIC)。

**[0036]** 内存控制器 (Memory Controller) 106 是计算机系统 100 内部控制内存 108 并用于管理与规划从内存 108 到 Core 104 间的数据传输的总线电路控制

器。通过内存控制器 106, 内存 108 与 Core 104 之间可以交换数据。内存控制器 106 可以是一个单独的芯片, 并通过系统总线与 Core 104 连接。本领域技术人员可以知道, 内存控制器 106 也可以被集成到处理器 102 中 (如图 1 所示) 也可以被内置于北桥中。本发明实施例不对内存控制器 20 的具体位置进行限定。实际应用中, 内存控制器 106 可以控制必要的逻辑以将数据写入内存 108 或从内存 108 中读取数据。

**[0037]** 内存 108 是计算机系统 100 的主存。内存 108 通过双倍速率 (double data rate, DDR) 总线和内存 108 相连。内存 108 通常用来存放操作系统中各种正在运行的软件、输入和输出数据以及与外存交换的信息等。为了提高处理器 102 的访问速度, 内存 108 需要具备访问速度快的优点。在传统的计算机系统架构中, 通常采用动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 作为内存 108。处理器 102 能够通过内存控制器 106 高速访问内存 108, 对内存 108 中的任意一个存储单元进行读操作和写操作。

**[0038]** 在本发明实施例中, 以内存 108 为 DRAM 为例进行描述, 因此, 内存 108 也可以被称为 DRAM 108。数据存储于 DRAM 108 的存储单元 (又可以被称为 DRAM cell) 中, 在本发明实施例中, 存储单元是指用于存储数据的最小存储单元 (cell)。通常, 一个存储单元可以存储 1 位 (bit) 数据。当然, 有的存储单元也可以实现多值存储。如前所述, DRAM 是利用电容存储电量的多寡来代表数据 0 和 1。由于电容存在漏电现象, 如果电容中的电荷不足, 会导致存储的数据出错。因此, 每隔一段时间, 内存控制器 106 会刷新 DRAM 108 中的数据, 以防止 DRAM 108 丢失数据。并且, DRAM 108 是易失性的, 当计算机系统 100 关闭电源后, DRAM 108 中的信息将不再保存。

**[0039]** 实际应用中, DRAM 108 中的 DRAM cell 被排列分布成一个矩阵, 这个矩阵我们称之为 DRAM bank, 内存控制器 106 通过相应的行列解码器可以定位到 DRAM bank 中的任意一个 bit。多个 DRAM bank 可以组成一个 DRAM chip (又可被称为内存芯片), 多个 DRAM chip 可以组成一个 DRAM rank。多个 DRAM rank 又可以被集成为一个双列直插式存储模块 (Dual-Inline-Memory-Modules, DIMM)。例如, 如图 1 所示, DRAM 108 可以包括多个通道 (channel) 110。每个通道 110 中可以包括至少一个 rank, 每个 rank 中可以包括至少一个 bank。每个 bank 都包括多个用于存储数据的存储单元。本领域技术人员可以知道, rank 指的是连接到同一个片选 (chip select) 信号的内存颗粒 (chip)。内存控制器能够对同一个 rank 中的 chip 进行写操作, 而在同一个 rank 的 chip 也共享同样的控制信号。内存控制器 106 可以通过内存总线分别访问 DRAM 108 中各个通道内的存储单元中的数据。

**[0040]** 本领域技术人员可以知道, DRAM 芯片的刷新周期与 DRAM 芯片中的每个存储单元的保持时间 (retention time) 有关。目前常见的 DRAM 芯片的标准刷新周期都是固定的。通常, 标准刷新周期为 64ms。现有技术的刷新方案中, 内存控制器每隔 tREFI 的时间检查是否需要 rank 进行刷新, 每次刷新需要消

耗  $t_{RFC}$  段时间。其中,  $t_{REFI}$  是指内存平均刷新时间间隔 (average refresh interval)。换一种表达方式,  $t_{REFI}$  用于指示内存控制器发送刷新命令的平均时间间隔。 $t_{REFI}$  可以根据刷新周期及刷新周期内要发送的刷新命令的数量来确定。例如:  $t_{REFI}$  可以为  $64\text{ms}/8192=7.8\mu\text{s}$ , 其中,  $64\text{ms}$  为刷新周期,  $8192$  为刷新周期内发送的刷新命令的数量。 $t_{RFC}$  是指行刷新周期时间 (Row Refresh Cycle Time)。换一种描述方式,  $t_{RFC}$  用于指示在 DRAM rank 中执行一次刷新命令所需的时间。通常,  $t_{REFI}$  越长,  $t_{RFC}$  越大;  $t_{REFI}$  越短,  $t_{RFC}$  较小。由于, 在刷新过程中的  $t_{RFC}$  段时间内, 被刷新的 rank 不能响应对该 rank 的请求。因此, 可以通过调整刷新频率减少刷新对系统性能造成的影响。

[0041] 本领域技术人员可以知道, 不同的刷新模式具有不同的刷新频率。双倍速率 (double data rate, DDR) 协议中规定了三种刷新模式: 1X 模式、2X 模式以及 4X 模式。在 1X 模式下, 内存芯片以 DDR 协议规定的  $t_{REFI}(\text{base})$  为时间间隔执行刷新操作, 一次刷新请求执行的时间为  $t_{RFC1}$ 。在 2X 模式下, 内存芯片以  $t_{REFI}(\text{base})/2$  为时间间隔执行刷新操作, 一次刷新请求执行的时间为  $t_{RFC2}$ 。在 4X 模式下, 内存芯片以  $t_{REFI}(\text{base})/4$  为时间间隔执行刷新操作, 一次刷新请求执行的时间为  $t_{RFC3}$ 。其中,  $t_{RFC1} > t_{RFC2} > t_{RFC3}$ ,  $t_{REFI}(\text{base})$  用于指示所述计算机系统所遵从的 DDR 协议定义的标准平均刷新时间间隔。通常,  $t_{REFI}(\text{base})$  用于指示在 1x 模式下, DRAM 芯片表面温度在正常温度范围 ( $0^{\circ}\text{C} - 85^{\circ}\text{C}$ ) 条件下的  $t_{REFI}$ 。按照 DDR4 标准,  $t_{REFI}$  和  $t_{RFC}$  的大小可以根据实际情况进行设置。例如, 对于容量为 8Gb 的 DRAM 颗粒, 在 1X 配置下,  $t_{REFI}$  可以为  $7.8\mu\text{s}$ ,  $t_{RFC}$  可以为  $350\text{ns}$ 。而在 4X 配置下,  $t_{REFI}$  可以为  $1.95\mu\text{s}$ ,  $t_{RFC}$  可以为  $160\text{ns}$ 。DDR4 协议中支持动态刷新模式的调整。根据 DDR4 协议, 在内存刷新过程中, 内存的刷新模式可以在 1X 模式、2X 模式及 4X 模式之间相互转化。

[0042] 如前所述, 现有技术中, 内存控制器每隔  $t_{REFI}$  的时间检查是否需要对该 rank 进行刷新。若该 rank 处于空闲状态, 则对该 rank 进行刷新, 若该 rank 没有处于空闲状态, 则内存控制器会推迟对该 rank 的刷新。当推迟时间超过阈值时, 内存控制器会强制对该 rank 进行刷新。然而, 在内存流量较大的情况下, rank 处于空闲状态的情况较少, 有可能 rank 无法处于空闲状态。如果一直等到 rank 空闲后再对该 rank 进行刷新, 则需要不断的推迟的刷新。到最后为避免数据丢失而必须刷新时, 不仅需要执行当前时间段内应该进行的刷新, 还需要将前面延迟的刷新进行补刷新, 从而造成在需要进行补刷的时间段内刷新的次数较多。在这种情况下, 即使没有达到平均刷新时间间隔  $t_{REFI}$ , 也需要执行刷新。换一种表达方式, 在需要进行补刷新的情况下, 会造成被动刷新的次数增多。由于在刷新时访问这个 rank 的请求无法及时得到响应, 因此, 在被动刷新次数较多的情况下, 访问业务中断的时间变长, 可能引起处理器停滞或效率下降。在这种情况下, 更加影响系统性能, 造成较大的刷新开销。

[0043] 本领域技术人员可以知道, 内存 108 中各个 rank 的刷新操作是独立

的。发明人在研究过程中发现,在对 DRAM 进行刷新过程中,除了在刷新过程中,被刷新的 rank 不能响应请求会造成系统的刷新开销之外,在刷新过程中,由于被刷新的 rank 的请求阻塞调度队列,导致其他 rank 的请求无法及时进入调度队列并被发送到其他 rank,也是影响系统整体性能的一个原因。并且,刷新过程中,由于在不同的刷新模式下刷新频率不同,而不同的刷新频率使得总线的利用率也不同,因此在刷新过程中,刷新模式的选择也会对系统性能造成影响。

[0044] 为了减少计算机系统的刷新开销,提高计算机系统在刷新过程中的整体性能,本发明实施例提供了一种内存刷新方法,能够改善内存调度策略,避免因刷新操作阻塞调度队列而造成其他 rank 的请求无法被执行。并且还可以通过动态调整刷新频率提高系统的总线利用率。下面将结合图 1 对本发明实施例提供的计算机系统内存刷新方案进行详细介绍。

[0045] 图 2 为本发明实施例提供的内存控制器 106 中的结构示意图。为了描述清楚,图 2 中也示出了内存控制器 106 与处理器核 104 以及内存 108 的连接示意。其中,内存 108 中可以包括 rank 0、rank 1 以及 rank 2 等多个 RANK。如图 2 所示,内存控制器 106 中可以包括通信接口 1061、统计模块 1062、刷新电路 1064、缓存队列 1066、调度队列 1068 以及调度器 1069。

[0046] 在本发明实施例中,内存控制器 106 中的通信接口 1061 可以包括与计算机中的处理器 102 连接的前端接口,也可以包括与内存 108 连接的后端接口。具体的,内存控制器 106 可以通过通信接口 1061 接收计算机系统处理器(例如如图 1 中的 core104)发送的访存请求。内存控制器 106 可以通过通信接口 1061 向内存 108 中存储数据或者将从内存 108 中读取数据。

[0047] 统计模块 1062 可以包括两个方面的统计功能。第一,统计模块 1062 可以用于统计内存控制器 106 接收的访存请求中的目标 rank 的分布情况以及访存请求的操作类型。其中,目标 rank 为访存请求待访问的 rank。访存请求的操作类型可以包括读操作、写操作等类型。具体的,统计模块 1062 可以统计各访存请求的目标 rank,并获取各访存请求中的操作类型。第二,统计模块 1062 还可以统计内存控制器 106 接收的访存请求的数量。具体的,统计模块 1062 可以统计待访问每个 rank 的访存请求的数量以及内存控制器 106 接收的访存请求的总数量。统计模块 1062 可以根据缓存队列 1066 以及调度队列 1068 中缓存的访存请求进行统计。实际应用中,统计模块 1062 可以采用计数器来实现。换一种表达方式,统计模块 1062 可以包括一个或多个计数器。在本发明实施例中,访存请求是指处理器访问内存的请求。访存请求可以包括读请求及写请求等。换一种表达方式,处理器可以根据访存请求从内存中读取数据或将数据写入内存。

[0048] 刷新电路 1064,用于每隔 tREFI 的时间根据统计模块 1062 的统计结果判断是否生成刷新请求,并将生成的刷新请求放入调度队列。例如,当统计模块 1062 统计的某个 rank 的访存请求的数量小于设置的阈值时,则刷新电路 1064 可以生成该 rank 的刷新请求,并将该刷新请求放入调度队列 108。可以理解的是,实际应用中,刷新电路 1064 生成的刷新请求也可以直接发送给调度器

1069, 以供调度器 1069 将生成的刷新请求发送给内存 108, 使得内存 108 按照生成的刷新请求对相应的 rank 执行刷新操作。需要说明的是, tREFI 用于指示平均的刷新时间间隔。实际应用中, 刷新电路 1064 也可以以小于 tREFI 的时间间隔生成刷新请求。例如, 在需要进行补刷新时, 刷新电路 1064 可以以小于 tREFI 的时间间隔生成刷新请求。此外, 本领域技术人员可以知道, tREFI 也随着刷新模式的不同而不同。

[0049] 缓存队列 1066, 用于在某个 rank 被执行刷新操作过程中, 缓存 core 104 发送对该 rank 的访存请求。例如, 以内存 108 中的 rank0 为例。若在对 rank0 执行刷新操作的过程中, 内存控制器 106 接收到 core 104 对 rank0 的读请求, 则可以将该读请求缓存在缓存队列 1066 中, 而不会将该读请求缓存送入调度队列 1068。实际应用中, 还可以对缓存队列 1066 中的访存请求设置调度的优先级。例如, 可以将部分访存请求设置为优先调度或普通调度。

[0050] 调度队列 1068 用于缓存 Core 104 发送的访存请求以及刷新电路 1064 发送的刷新请求等操作请求。调度器 1069 用于将调度队列 1068 中的操作请求(至少包括访存请求和刷新请求)发送给内存 108, 从而能够实现对内存 108 的访问或刷新等操作。在本发明实施例中, 缓存队列 1066 为调度队列 1068 的前置缓存。根据这种方式, 缓存队列 1066 可以用于缓存待进入调度队列 1068 访存请求。在本发明实施例中, 为了描述方便, 本发明实施例以设置缓存队列 1066 和调度队列 1068 两级缓存为例, 实际应用中, 还可以根据需要设置更多级的缓存。例如, 在调度队列 1068 前可以设置多级缓存队列 1066。

[0051] 下面将结合图 2 对本发明实施例提供的内存刷新方法进行详细介绍。图 3 为本发明实施例提供的内存刷新方法的流程图。图 3 所示的内存刷新方法可以由图 1 及图 2 中所示的内存控制器 106 来执行。如图 3 所示, 该方法可以包括下述步骤。

[0052] 在步骤 301 中, 内存控制器 106 接收 core 104 发送的访存请求。在本发明实施例中, 访存请求是指用于访问内存 108 的请求。内存控制器 106 可以根据访存请求从内存 108 中读取数据, 或者将数据写入内存 108 中。访存请求的操作类型可以包括读操作、写操作等类型。实际应用中, 内存控制器 106 能够通过内存控制器 106 与 core 104 之间的通信接口 1061 接收 core 104 发送的访存请求。

[0053] 在步骤 302 中, 内存控制器 106 判断接收的访存请求的数量是否大于第一阈值。如前所述, 为了防止内存中的数据丢失, 内存控制器 106 会每隔 tREFI 的时间检查是否需要 rank 进行刷新。本发明实施例中, 为了描述方便, 将内存控制器 106 检查是否需要 rank 进行刷新的过程称为一个刷新轮询过程。将一个 tREFI 的时间称为一个时间段。换一种表达方式, 内存控制器 106 每隔 tREFI 的时间就会执行一次刷新轮询。具体的, 一种情况下, 在一个刷新轮询过程中, 内存控制器 106 可以根据统计模块 1062 中统计的内存控制器 106 中缓存的待处理的访存请求的数量来判断访存请求的数量是否大于第一阈值。另一种情

况下，内存控制器 106 可以根据统计模块 1062 统计的在一个设置的时间段内所述内存控制器 106 接收的访存请求的数量判断访存请求的数量是否大于第一阈值。所述设置的时间段可以为不大于 tREFI 的时间段。其中，第一阈值大于 0。所述第一阈值可以根据实际应用中流量的大小预先设定。例如，第一阈值可以设置为 100。当内存控制器 106 接收的访存请求的数量大于所述第一阈值时，说明访存请求的数量较多，该方法进入步骤 304。当内存控制器 106 接收访存请求的数量不大于所述第一阈值时，该方法进入步骤 306。

**[0054]** 在步骤 304 中，内存控制器 106 判断待访问第一 rank 的访存请求的数量是否小于第二阈值。其中，第一 rank 可以为内存 108 中的任意一个 rank。在本发明实施例中，内存控制器 106 可以根据统计模块 1062 中统计的第一 rank 的访存请求的数量是否小于第二阈值。其中，第二阈值可以根据应用场景具体设置，第二阈值大于 1。例如，第二阈值可以设置为 20。当访问所述第一 rank 的访存请求的数量小于所述第二阈值时，该方法进入步骤 310。当访问所述第一 RANK 的访存请求的数量大于所述第二阈值时，该方法进入步骤 308。需要说明的是，所述第一 rank 的访存请求的数量可以是步骤 302 中设置的时间段内内存控制器 106 接收的第一 rank 的访存请求的数量。也可以是内存控制器 106 中缓存的待处理的第一 rank 的访存请求的数量。

**[0055]** 在步骤 306 中，内存控制器 106 判断第一 rank 是否处于空闲状态。具体的，当在步骤 302 中，在内存控制器 106 确定接收的访存请求的数量大于所述第一阈值时，说明整个内存的访问流量较大，在这种情况下，内存控制器 106 需要进一步确定是否需要第一 rank 进行刷新。如果所述第一 rank 处于空闲状态，换一种表达方式，如果内存控制器的调度队列中访问第一 rank 的访存请求的数量为 0，则该方法进入步骤 310。如果所述第一 rank 没有处于空闲状态，换一种表达方式，内存控制器的所述调度队列中访问所述第一 rank 的访存请求的数量不为 0，则该方法进入步骤 308。

**[0056]** 在步骤 308 中，内存控制器 106 判断所述第一 rank 的延迟刷新次数是否大于设置的第三阈值。当内存控制器 106 确定所述第一 rank 的延迟刷新次数大于所述第三阈值时，所述方法进入步骤 310。当内存控制器 106 确定所述第一 rank 的延迟刷新次数没有大于所述第三阈值时，该方法进入步骤 312。在本发明实施例中，第三阈值不小于 1，且小于设置的预警值。所述预警值可以根据所述 rank 能够推迟的最大刷新命令（postponing refresh commands）的数量来确定。例如，根据 DDR4 协议，rank 最多能推迟 8 个刷新命令，换一种表达方式，预警值为 8，则所述第三阈值必须小于 8。例如，第三阈值可以设置为 6。

**[0057]** 在本发明实施例中，可以在刷新电路 1064 中设置延迟寄存器（图 2 中未图示），所述延迟寄存器可以用于统计所述第一 rank 的延迟刷新次数。实际应用中，延迟寄存器也可以独立于刷新电路 1064 设置。在另一种情况下，也可以不设置延迟计数器，而通过软件来统计所述第一 rank 的延迟刷新次数。在本发明实施例中，不对具体如何统计所述第一 rank 的延迟刷新次数的方式进行限

定。

**[0058]** 在步骤 310 中, 内存控制器 106 对所述第一 rank 进行刷新。具体的, 一种情况下, 内存控制器 106 中的刷新电路 1064 可以根据默认的刷新模式生成刷新请求。在另一种情况下, 内存控制器 106 中的刷新电路 1064 可以根据统计模块 1062 统计的访存请求的数量、目标 rank 的分布情况以及访存请求的类型确定刷新模式。并根据确定的刷新模式生成刷新请求, 以按照生成的刷新请求对所述第一 rank 进行刷新。

**[0059]** 如前所述双倍速率 (double data rate, DDR) 协议中规定了三种刷新模式: 1X 模式、2X 模式以及 4X 模式。在本发明实施例中, 刷新模式至少可以包括第一刷新模式和第二刷新模式。其中, 在所述第一刷新模式下, 所述内存控制器以  $tREFI(\text{base})/N$  的时间间隔进行刷新。在所述第二刷新模式下, 所述内存控制器按照  $tREFI(\text{base})$  的时间间隔进行刷新。例如, 第一刷新类型可以为 4X 模式或 2X, 第二刷新类型可以包括 1X 模式。其中,  $tREFI(\text{base})$  用于指示 DDR 协议定义的标准平均刷新时间间隔,  $N$  为大于 1 的整数。通常,  $tREFI(\text{base})$  用于指示在 1x 模式下, DRAM 芯片表面温度在正常温度范围 ( $0^{\circ}\text{C} - 85^{\circ}\text{C}$ ) 条件下的  $tREFI$ 。为了描述方便, 在本发明实施例中, 也可以将  $tREFI(\text{base})$  表示为  $T$ 。

**[0060]** 对于内存系统来说, 减少刷新频率比减少刷新的延迟对系统性能的提升更重要。因此在通常情况下, 采用 4X 模式刷新时系统的性能会比采用 1X 模式刷新时的系统的性能更低。并且, 当访存请求中的读请求占比或写请求占比较高的情况下, 由于读写切换相对较少, 内存 108 的带宽利用率会比较高。然而, 在实现本发明的过程中, 发明人发现, 由于 DDR 协议规定了四激活时间窗口 (Four Active Window, tFAW), 当多个访存请求待访问的目标 rank 的数量比较少, 换一种表达方式, 当多个访存请求集中对所述内存 108 中的少量 rank 进行访问时, 在 tFAW 的时间窗口内, 同一 rank 能够同时操作的行数会受到限制, 因此系统的整体性能反而会下降。其中, tFAW 是指在 tFAW 的时间窗口内, 同一 rank 最多允许发送 4 个行激活命令。例如, 若内存 108 中有两个 rank, 当读请求的占比或写请求的占比较高的情况下, 若访存请求集中访问其中一个 rank, 则在另一 rank 刷新的情况下, 刷新的时间越长, 单 rank 访问持续的时间就越长, 系统整体性能下降越多。

**[0061]** 在实现本发明的过程中, 发明人发现, 4X 模式和 1X 模式相比, 由于采用 4X 模式刷新时的单次刷新时间  $tRFC3$  较短, 在单次刷新过程中, 系统受 tFAW 限制的影响较小, 系统的整体性能下降较少。因此, 在本发明实施例中, 为了提高系统的整体性能, 减少 tFAW 对系统的限制, 本发明实施例对刷新方式也进行了动态调整。具体的, 在一种情况下, 当刷新电路 1064 根据统计模块 1062 统计结果确定访存请求待访问的目标 rank 的数量小于设置的第四阈值, 并且访存请求中读请求的占比或写请求的占比大于设置的第五阈值时, 刷新电路 1064 可以确定采用 4X 模式对所述第一 rank 进行刷新。换一种表达方式, 当内存控制

器 106 接收的访存请求待访问的目标 rank 的数量比较集中,且读请求的比例或写请求的比例较高时,可以采用 4X 模式对所述第一 rank 进行刷新。实际应用中,第四阈值可以根据内存 108 中的 rank 的总数量来确定,例如,当内存 108 中包含有 4 个 rank 时,所述第四阈值可以设置为 2。第五阈值可以为 60%。可以理解的是,在本发明实施例中,目标 rank 是指访存请求待访问的 rank。目标 rank 的数量是指访存请求待访问的 rank 的数量。

**[0062]** 在另一种情况下,若内存控制器 106 接收的访存请求待访问的目标 rank 比较分散,或内存控制器 106 接收的访存请求中读请求的占比或写请求的占比不大于所述第五阈值时,则刷新电路 1064 可以使用 1X 模式对所述第一 rank 进行刷新。可以理解的是,在本发明实施例中,第四阈值大于 0,且第四阈值小于所述内存 108 中的 rank 的总数。实际应用中,第四阈值可以根据内存 108 中的 rank 的总数量来确定。例如,第四阈值可以设置为 DRAM 中所有 rank 的总数的一半。第五阈值的比例可以设置的较高,例如当以读请求与接收的访存请求的总数量的比例来衡量读请求的占比时,第五阈值可以为 60%。

**[0063]** 在本发明实施例中,读请求的占比用于指示读请求在接收的访存请求中的比例。写请求的占比用于指示写请求在接收的访存请求中的比例。例如,读请求的占比可以采用读请求数量与访存请求的总数量的比例来表示。写请求的占比可以采用写请求与访存请求的总数量的比例来表示。实际应用中,读请求的占比还可以采用读请求的数量与写请求数量的比例来表示。写请求的占比也可以采用写请求与读请求的数量的比例来表示。在此不做限定,只要能够确定出读请求的占比或写请求的占比即可。

**[0064]** 在步骤 310 中,当刷新电路 1064 确定刷新模式后,刷新电路 1064 会根据确定的刷新模式(例如,1X 模式或 4X 模式)生成相应的刷新请求。并将生成的刷新请求放入调度队列 1068(如图 2 所示),以便调度器 1069 可以将该刷新请求发送给内存 108,从而内存 108 可以根据内存控制器 106 生成的刷新请求执行对所述第一 rank 的刷新操作。实际应用中,在生成刷新请求后,刷新电路 1064 还可以将生成的刷新请求直接发送给调度器 1069,由调度器 1069 发送给所述第一 rank。

**[0065]** 可以理解的是,当内存控制器 106 确定需要对所述第一 rank 执行刷新操作时,若所述内存控制器 106 正在执行所述第一 rank 的访存请求,或者所述调度队列中还有所述第一 rank 的访存请求,则内存控制器 106 可以等待第一 rank 当前执行的访存请求以及所述调度队列中的所述第一 RANK 的访存请求均处理完之后再发送刷新请求,以免影响系统性能。

**[0066]** 在步骤 312 中,内存控制器 106 推迟对所述第一 rank 的刷新操作。具体的,当在步骤 308 中,内存控制器 106 判断所述第一 rank 的延迟操作次数未大于所述第三阈值时,内存控制器 106 将延迟对所述第一 rank 的刷新操作,并将所述延迟计数器的值加 1。换一种表达方式,当内存控制器 106 通过步骤 306 确定所述第一 rank 未处于空闲状态时,即当前还在处理所述第一 rank 的访存请求

或调度队列中还包含有所述第一 rank 的访存请求的情况下，若所述第一 rank 的延迟次数未达到第三阈值，则可以认为第一 rank 的访存请求较多。为了不影响性能，不对所述第一 rank 执行刷新操作，以便在后续轮询过程中再对所述第一 rank 进行刷新操作。其中，如前所述，所述第三阈值小于设置的预警值。所述预警值可以根据所述第一 rank 能够推迟的最大刷新命令的数量来确定。所述预警值用于指示需要立即对所述第一 rank 执行刷新操作。换一种表达方式，所述预警值用于指示内存控制器 106 对所述第一 rank 进行强制刷新操作。

[0067] 可以理解的是，当对所述第一 rank 执行强制刷新操作时，还需要将前面延迟的刷新进行补刷。从而造成在需要进行补刷的时间段内刷新的次数较多。而在补刷的特定时间段内，一方面可能使得已经在所述调度队列中的所述第一 rank 的访存请求无法得到执行，从而较长时间的占用调度队列 1068 的空间，使得其他 rank 的访存请求无法进入调度队列，进而影响整个计算机系统的性能。另一方面还可能因为短时间内刷新次数增多，造成系统业务中断。总而言之，对所述第一 rank 进行强制刷新会增加计算机系统 100 的刷新功耗，影响系统性能。

[0068] 综上所述，在本发明实施例提供的刷新方法中，在一次 tREFI 的轮询过程中，对所述第一 rank 的刷新操作可以存在下述几种情况。

[0069] 第一种情况，当内存控制器 106 接收的访存请求的数量大于第一阈值且访问所述第一 rank 的访存请求的数量小于第二阈值时，内存控制器 106 直接对所述第一 rank 执行刷新操作。换一种表达方式，在计算机系统 100 的访存流量较大的情况下，只要访问第一 rank 的访存请求的数量较小，则内存控制器 106 可以主动对所述第一 rank 执行刷新操作，而不需要等待第一 rank 处于空闲状态时再对所述第一 rank 执行刷新操作。因为在计算机系统 100 的访存流量较大的情况下，第一 rank 很难有机会处于空闲状态，如果不断推迟刷新，到后期为避免数据丢失而必须刷新时，会造成特定时间内被动刷新的次数增多。本发明实施例提供的这种主动刷新的方式能够降低因为延迟刷新而产生的被动刷新增多对计算机系统性能的影响，提高内存刷新的灵活性。从而能够提高计算机系统的性能，减少刷新开销。当然可以理解的是，在本发明实施例中，访问第一 rank 的访存请求的数量小于设置的第二阈值也包括第一 rank 处于空闲的情形。

[0070] 第二种情况，当内存控制器 106 接收的访存请求的数量大于第一阈值，访问所述第一 rank 的访存请求的数量不小于第二阈值，并且所述第一 rank 的延迟刷新次数大于第三阈值时，内存控制器 106 直接对所述第一 rank 执行刷新操作。换一种表达方式，当计算机系统 100 中的内存访问流量较大，且第一 rank 的访存请求的数量也较大的情况下，如果所述第一 rank 的延迟次数大于所述第三阈值，则需要立即对所述第一 rank 执行刷新操作，从而也可以避免因为第一 rank 的延迟刷新次数到达预警值需要执行强制刷新的可能性，减少被动刷新的次数较多对计算机系统性能的影响，提高了内存刷新的灵活性。可以理解的是，所述第三阈值是根据实际应用中结合预警值设置的一个门限值，能够使得计算机系统在不影响性能的情况下在一定范围内推迟刷新，提高内存刷新的灵活性。

**[0071]** 第三种情况,当内存控制器 106 接收的访存请求的数量大于第一阈值,访问所述第一 rank 的访存请求的数量不小于第二阈值,并且所述第一 rank 的延迟刷新次数不大于所述第三阈值时,可以延迟对所述第一 rank 的刷新操作。换一种表达方式,在本发明实施例中,当计算机系统 100 中的内存访问流量较大,且第一 rank 的访存请求的数量也较大的情况下,只要所述第一 rank 的延迟刷新次数尚未到达预设的所述第三阈值,为了不影响对调度队列 108 中所述第一 rank 的访存请求的处理,可以暂缓对所述第一 rank 的刷新操作。

**[0072]** 第四种情况,当内存控制器 106 接收的访存请求的数量不大于所述第一阈值,且所述第一 rank 处于空闲状态时,内存控制器 106 可以直接对所述第一 rank 执行刷新操作。换一种表达方式,当所述计算机系统 100 的内存流量较小且所述第一 rank 处于空闲状态时,所述第一 rank 的刷新操作对计算机系统的性能的影响较小,因此可以直接对所述第一 rank 执行刷新操作。

**[0073]** 第五种情况,当所述内存控制器 106 接收的访存请求的数量不大于所述第一阈值,所述第一 rank 未处于空闲状态,并且,所述第一 rank 的延迟刷新次数大于所述第三阈值时,所述内存控制器 106 需要主动对所述第一 rank 执行刷新操作。换一种表达方式,当所述计算机系统 100 的内存流量较小但所述第一 rank 较忙的情况下,为了避免对所述第一 rank 进行强制刷新,需要在本次轮询过程中对所述第一 rank 执行刷新操作。从而能够避免系统因为延迟刷新次数到达预警值而增加被动刷新的次数,减少被动刷新对计算机系统性能的影响。

**[0074]** 第六种情况下,当所述内存控制器 106 接收的访存请求的数量不大于所述第一阈值,所述第一 rank 未处于空闲状态,并且,所述第一 rank 的延迟刷新次数不大于所述第三阈值时,所述内存控制器 106 可以延迟对所述第一 rank 的刷新操作。换一种表达方式,当所述计算机系统 100 的内存流量较小但所述第一 rank 较忙的情况下,为了尽可能多的处理所述第一 rank 的访存请求,在所述第一 rank 的延迟次数尚未大于所述第三阈值时,可以延迟对所述第一 rank 的刷新操作。

**[0075]** 可以理解的是,上述对本发明实施例提供的内存刷新方法的描述均是以在一次刷新轮询过程中,对内存 108 中的第一 rank 的刷新操作为例进行描述。实际应用中,在每一次刷新轮询过程中,内存控制器均可以根据上述提供的方法确定是否需要针对不同 rank 进行刷新。例如,在第一刷新轮询过程中,内存控制器 106 可能确定按照上述第一种情况对所述第一 rank 进行刷新,按照上述第二种情况对内存 108 中的第二 rank 进行刷新,并按照上述第三种情况延迟对内存 108 中的第三 rank 的刷新操作。在第二刷新轮询过程中,内存控制器 106 可以按上述第六种情况延迟对所述第一 rank 进行刷新,并按照上述第五种情况对所述第二 rank 进行刷新。

**[0076]** 进一步的,由于在对所述第一 rank 执行刷新操作的 tRFC 的时间段内,内存控制器 106 也无法响应所述第一 rank 的访存请求,为了避免第一 rank 的访存请求堵塞调度队列 1068,而造成其他 rank (例如,第二 rank) 的访存请

求不能进入调度队列 1068，影响系统性能。在本发明实施例中，当对所述第一 rank 进行刷新操作时，若内存控制器 106 接收到对所述第一 rank 的访存请求时，内存控制器 106 可以将所述第一 rank 的访存请求放入缓存队列 1066。当内存控制器 1068 对所述第一 rank 执行完刷新操作后，再将缓存队列 1066 中对所述第一 rank 的访存请求从缓存队列 1066 放入所述调度队列 1068。并且，在本发明实施例中，当对所述第一 rank 执行完刷新操作后，内存控制器 106 可以将后续新接收的对所述第一 rank 的访存请求直接放入调度队列 1068，而不必再放入缓存队列 1066。

**[0077]** 可以理解的是，在本发明实施例中，当对所述第一 rank 进行刷新操作时，若内存 108 中的第二 rank 未执行刷新操作，则内存控制器 106 可以将接收的对所述第二 rank 的访存请求直接放入调度队列 1068。根据这种调度方式，可以使得调度队列中的访存请求的目标 rank 分散分布，使得内存控制器 106 在对所述第一 rank 执行刷新操作的过程中，也能尽可能多的处理不同 rank 的访存请求，从而能够减小计算机系统 100 在刷新操作过程中的系统开销，提高计算机系统 100 的执行效率。

**[0078]** 从本发明实施例提供的上述刷新方法可以看出，本发明实施例为了减少内存刷新过程中对计算机系统的性能的影响，综合考虑了系统接收的访存请求的情况以及访问的目标 rank 的情况来确定是否需要目标 rank 进行刷新。从而通过对内存控制器的刷新时间的管理，在兼容现有的 DDR 协议的基础上，降低了因推迟刷新而引起的被动强制刷新次数增多对计算机系统性能的影响，提高内存刷新的灵活性，减少了刷新开销。并且，在本发明实施例中，在需要对第一 rank 执行刷新操作的过程中，还可以根据目标 rank 的分布情况以及访存请求的类型分布选择不同的刷新模式，以提高内存控制器的刷新效率，提高计算机系统的性能。

**[0079]** 进一步的，在本发明实施例中，为了提高访存请求的并发度，使得第一 rank 的刷新操作不影响其他 rank 的访存请求的处理，在内存控制器中可以设置多级缓存，例如，可以分别设置调度队列以及缓存队列。从而，可以在对所述第一 rank 执行刷新操作的 tRFC 的时间段内接收的所述第一 rank 的访存请求缓存在缓存队列中，从而能够防止在所述 tRFC 的时间段内接收的所述第一 rank 的访存请求堵塞调度队列，影响内存控制器对其他 rank 的访存请求的处理。进一步提高整计算机系统的处理效率。

**[0080]** 需要说明的是，实际应用中，图 3 所示实施例中的每一个步骤并不是必须执行的。例如，在图 3 所示的实施例中结合整个系统中的访存流量的大小对内存刷新方法进行了描述，例如，在轮询过程中，可以先进入步骤 302，判断内存控制器 106 接收的访存请求的数量是否大于第一阈值。然而，在实际应用中，也可以不区分整个系统的访存流量的大小，而直接按照待刷新 rank 的访存流量的情况进行处理。在这种情况下，图 3 实施例中的步骤 302 并不是必须的。换一种表达方式，本发明实施例提供的刷新方法无论是在系统的访存流量大的情况下

或是在系统的访存流量小的情况下均可以使用。在此不做限定。

**[0081]** 图 4 为本发明实施例提供的一种内存刷新装置的结构示意图。所述内存刷新装置 400 用于对图 1 所示的内存 108 进行刷新。如图 4 所示, 内存刷新装置 400 可以包括接收模块 402、统计模块 404、判断模块 406 以及刷新模块 408。

**[0082]** 接收模块 402, 用于接收访存请求。具体的, 接收模块 402 可以接收计算机系统 100 中一个或多个 core 104 发送的访存请求。可以理解的是, 接收模块 402 还可以用于接收内存 108 返回的数据。接收模块 402 具体包括内存控制器 106 与 core 104 的通信接口, 以及内存控制器 102 与内存 108 的通信接口。

**[0083]** 统计模块 404, 用于统计接收模块 402 接收的访存请求的数量。实际应用中, 统计模块 404 还可以分别统计访问各个 rank 的访存请求的数量。

**[0084]** 判断模块 406, 用于判断接收的访存请求中访问第一 rank 的访存请求是否大于 0 且小于第二阈值。其中, 所述第一 rank 为内存中的任意一个 rank。实际应用中, 判断模块 406 可以根据统计模块 404 统计的结果进行判断。

**[0085]** 刷新模块 408, 用于当接收的访存请求中访问第一 rank 的访存请求大于 0 且小于第二阈值时, 对所述第一 rank 进行刷新。如前所述, 实际应用中, 一种情况下, 刷新模块 408 可以根据设置的刷新模式生成刷新请求, 并根据生成的刷新请求对所述第一 rank 进行刷新。另一种情况下, 刷新模块 408 还可以根据统计模块 406 统计的访存请求的数量及待访问的目标 rank 的分布情况动态确定刷新模式, 并根据确定的刷新模式生成刷新请求, 以根据生成的刷新请求对所述第一 rank 进行刷新。具体的, 刷新模块 408 可以将生成的刷新请求发送给内存 108, 以使内存 108 能够根据该刷新请求对所述第一 rank 进行刷新。

**[0086]** 在可能的情况下, 所述判断模块 406, 还用于判断所述接收的访存请求的目标 rank 的数量是否小于设置的第四阈值, 并且, 所述访存请求中读请求的比例或写请求的比例是否大于设置的第五阈值。所述刷新模块 408, 用于当所述接收的访存请求的目标 rank 的数量小于设置的第四阈值, 并且, 所述访存请求中读请求的比例或写请求的比例大于设置的第五阈值时, 按照  $T/N$  的时间间隔对所述第一 rank 进行刷新。其中,  $T$  用于指示标准的平均刷新时间间隔,  $N$  为大于 1 的整数。具体的, 刷新模块 408 可以按照第一刷新模式生成第一刷新请求, 并按照生成的第一刷新请求对所述第一 rank 进行刷新。其中, 在所述第一刷新模式下, 所述内存控制器以所述  $T/N$  的时间间隔对所述第一 rank 进行刷新。实际应用中,  $T$  可以为 DDR 协议设置的  $t_{REFI}$  (base)。

**[0087]** 在可能的情况下, 内存刷新装置 400 还可以包括缓存模块 410。缓存模块 410 用于将接收模块 402 接收的访存请求缓存在缓存队列或调度队列中。实际应用中, 所述缓存模块 406 可以包括缓存队列以及调度队列。其中, 缓存队列为调度队列的前置队列。

**[0088]** 在一种可能的情况下, 所述接收模块 402 还用于在对所述第一 rank 进行刷新过程中, 接收访问所述第一 rank 的第一访存请求。所述缓存模块 406 用于将所述第一访存请求缓存在设置的缓存队列中。其中, 所述缓存模块 406

包含有所述缓存队列以及调度队列,所述缓存队列用于缓存新接收的正在被执行刷新操作的 rank 的访存请求,所述调度队列用于缓存待发送给未被执行刷新操作的 rank 的访存请求。

[0089] 在又一种可能的情况下,所述接收模块 402 还用于接收访问所述 DRAM 中的第二 rank 的第二访存请求。所述缓存模块 406 还用于当所述第二 rank 没有执行刷新操作时,将所述第二访存请求缓存在设置的调度队列中。

[0090] 可选的,所述判断模块 406 还用于判断所述接收的访存请求中访问所述 DRAM 中的第二 rank 的访存请求是否小于所述第二阈值。所述刷新模块 408,还用于当所述接收的访存请求中访问所述 DRAM 中的第二 rank 的访存请求不小于所述第二阈值,且所述第二 rank 的延迟刷新次数大于设置的第三阈值时,对所述第二 rank 进行刷新。其中,所述第三阈值小于设置的预警值,所述预警值用于指示需要立即对所述第二 rank 执行刷新操作。

[0091] 在又一种可能的情况下,所述判断模块 406 还用于判断所述接收的访存请求中访问所述 DRAM 中的第三 rank 的访存请求是否小于所述第二阈值。所述刷新模块 408 还用于当所述接收的访存请求中访问所述 DRAM 中的第三 rank 的访存请求不小于所述第二阈值,且所述第三 rank 的延迟刷新次数不大于设置的第三阈值时,不对所述第三 rank 执行刷新操作,其中,所述第三阈值不小于 1 且小于设置的预警值,所述预警值用于指示需要立即对所述第三 rank 执行刷新操作。

[0092] 在又一种可能的情况下,所述判断模块 406,还用于判断所述接收的访存请求的目标 rank 的数量是否小于设置的第四阈值,并且,所述访存请求中读请求的比例或写请求的比例是否大于设置的第五阈值。所述刷新模块 408,还用于当所述接收的访存请求的目标 rank 的数量不小于设置的第四阈值,并且,所述访存请求中读请求的比例或写请求的比例不大于设置的第五阈值时,对所述第一 rank 进行刷新,具体包括以 T 的时间间隔对所述第一 rank 进行刷新,其中, T 用于指示标准的平均刷新时间间隔。

[0093] 在又一种可能的情况下,所述刷新模块 408 还用于当所述接收的访存请求中访问所述 DRAM 中的第二 rank 的访存请求的数量大于 0 且小于设置的第二阈值,且所述第二 rank 的延迟刷新次数不大于设置的第三阈值时,不对所述第二 rank 执行刷新操作,其中,所述第三阈值不小于 1 且小于设置的预警值,所述预警值用于指示需要立即对所述第二 rank 执行刷新操作。

[0094] 在又一种可能的情况下,所述刷新模块 408 还用于当所述接收的访存请求中访问所述 DRAM 中的第三 rank 的访存请求的数量大于 0,且所述 rank 的延迟刷新次数大于设置的第三阈值时,对所述第三 rank 进行刷新,其中,所述第三阈值小于 1 且小于设置的预警值,所述预警值用于指示需要立即对所述第三 RANK 执行刷新操作。

[0095] 可以理解的是,图 4 所示的内存刷新装置 400 中各模块可以分别位于图 2 所示的内存控制器中的一个或多个器件中。在本发明实施例中,可以根据

实际的需要选择图 4 所示的实施例中的部分或者全部模块来实现本实施例方案的目的。图 4 实施例中没有详细描述的地方可以参考图 3 所示方法实施例中的相关描述。

**[0096]** 可以理解的是，以上所描述的装置实施例仅仅是示意性的，例如，所述模块的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。例如，多个模块或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，上述实施例所讨论的模块相互之间的连接可以是电性、机械或其他形式。所述作为分离部件说明的模块可以是物理上分开的，也可以不是物理上分开的。作为模块显示的部件可以是物理模块或者也可以不是物理模块。另外，在申请实施例各个实施例中的各功能模块可以独立存在，也可以集成在一个处理模块中。例如，图 4 所示的各功能模块可以集成在图 2 所示的内存控制器中。

**[0097]** 本发明实施例还提供一种数据处理的计算机程序产品，包括存储了程序代码的计算机可读存储介质，所述程序代码包括的指令用于执行前述任意一个方法实施例所述的方法流程。本领域普通技术人员可以理解，前述的存储介质包括：U 盘、移动硬盘、磁碟、光盘、随机存储器 (Random-Access Memory, RAM)、固态硬盘 (Solid State Disk, SSD) 或者非易失性存储器 (non-volatile memory) 等各种可以存储程序代码的非短暂性的 (non-transitory) 机器可读介质。

**[0098]** 需要说明的是，本申请所提供的实施例仅仅是示意性的。所属领域的技术人员可以清楚的了解到，为了描述的方便和简洁，在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中没有详述的部分，可以参见其他实施例的相关描述。在本发明实施例、权利要求以及附图中揭示的特征可以独立存在也可以组合存在。在本发明实施例中以硬件形式描述的特征可以通过软件来执行，反之亦然。在此不做限定。

### 权 利 要 求

1、一种内存刷新方法，所述方法应用于包括内存控制器以及动态随机存取存储器DRAM的计算机系统中，所述方法包括：

所述内存控制器接收访存请求；

当接收的访存请求中访问所述DRAM中的第一rank的访存请求的数量大于0且小于第二阈值时，所述内存控制器对所述第一rank进行刷新。

2. 根据权利要求1所述的内存刷新方法，其特征在于，所述内存控制器对所述第一rank进行刷新包括：

当所述接收的访存请求的目标RANK的数量小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例大于设置的第五阈值时，所述内存控制器按照T/N的时间间隔对所述第一rank进行刷新，其中，T用于指示标准的平均刷新时间间隔，N为大于1的整数。

3、根据权利要求1或2所述的方法，其特征在于，还包括：

在所述内存控制器对所述第一rank进行刷新的过程中，所述内存控制器接收访问所述第一rank的第一访存请求；

所述内存控制器将所述第一访存请求缓存在设置的缓存队列中，其中，所述内存控制器中至少包括缓存队列和调度队列，所述缓存队列用于缓存正在被执行刷新操作的rank的访存请求，所述调度队列用于缓存待发送给未被执行刷新操作的RANK的访存请求。

4、根据权利要求3所述的方法，其特征在于，还包括：

所述内存控制器接收访问所述DRAM中的第二rank的第二访存请求；

当所述第二rank没有被刷新时，所述内存控制器将所述第二访存请求缓存在所述调度队列中。

5. 根据权利要求1-4任意一项所述的方法，其特征在于，还包括：

当所述接收的访存请求中访问所述DRAM中的第二rank的访存请求的数量不小于所述第二阈值，且所述第二rank的延迟刷新次数大于设置的第三阈值时，所述内存控制器对所述第二RANK进行刷新，其中，所述第三阈值不小于1且小于设置的预警值，所述预警值用于指示需要立即对所述第二rank执行刷新操作。

6. 根据权利要求1-5任意一项所述的方法，其特征在于，还包括：

当所述接收的访存请求中访问所述DRAM中的第三rank的访存请求的数量不小于所述第二阈值，并且所述第三rank的延迟刷新次数不大于设置的第三阈值时，所述内存控制器不对所述第三rank执行刷新操作，其中，所述第三阈值不小于1且小于设置的预警值，所述预警值用于指示需要立即对所述第三rank执行刷

新操作。

7. 根据权利要求1所述的内存刷新方法，其特征在于，所述内存控制器对所述第一rank进行刷新包括：

当所述接收的访存请求的目标rank的数量不小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例不大于设置的第五阈值时，所述内存控制器按照T的时间间隔对所述第一rank进行刷新，其中，所述T用于指示标准的平均刷新时间间隔。

8、一种计算机系统，包括内存控制器以及与所述内存控制器连接的动态随机存取存储器DRAM，所述内存控制器用于：

接收访存请求；

当所述接收的访存请求中访问所述DRAM中的第一rank的访存请求的数量大于0且小于第二阈值时，对所述第一rank进行刷新。

9、根据权利要求8所述的计算机系统，其特征在于，在所述对所述第一rank进行刷新的步骤中，所述内存控制器具体用于：

当所述接收的访存请求的目标rank的数量小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例大于设置的第五阈值时，按照T/N的时间间隔对所述第一rank进行刷新，其中，所述T用于指示标准的平均刷新时间间隔，N为大于1的整数。

10、根据权利要求9所述的计算机系统，其特征在于，所述内存控制器还用于：

在对所述第一RANK进行刷新的过程中，接收访问所述第一rank的第一访存请求；

将所述第一访存请求缓存在设置的缓存队列中，其中，所述内存控制器中至少包括缓存队列和调度队列，所述缓存队列用于缓存正在被执行刷新操作的rank的访存请求，所述调度队列用于缓存待发送给未被执行刷新操作的RANK的访存请求。

11、根据权利要求10所述的计算机系统，其特征在于，所述内存控制器还用于：

接收访问所述DRAM中的第二RANK的第二访存请求；

当所述第二rank没有被刷新时，将所述第二访存请求缓存在所述调度队列中。

12、根据权利要求8-11任意一项所述的计算机系统，其特征在于，所述内存

控制器还用于:

当所述接收的访存请求中访问所述DRAM中的第二rank的访存请求的数量不小于所述第二阈值, 且所述第二rank的延迟刷新次数大于设置的第三阈值时, 对所述第二rank进行刷新, 其中, 所述第三阈值小于设置的预警值, 所述预警值用于指示需要立即对所述第二rank执行刷新操作。

13、根据权利要求8-12任意一项所述的计算机系统, 其特征在于, 所述内存控制器还用于:

当所述接收的访存请求中访问所述DRAM中的第三rank的访存请求的数量不小于所述第二阈值, 且所述第三rank的延迟刷新次数不大于设置的第三阈值时, 不对所述第三rank执行刷新操作, 其中, 所述第三阈值不小于1且小于设置的预警值, 所述预警值用于指示需要立即对所述第三rank执行刷新操作。

14、根据权利要求8所述的计算机系统, 其特征在于,

在对所述第一rank进行刷新的步骤中, 所述内存控制器具体用于:

当所述接收的访存请求的目标rank的数量不小于设置的第四阈值, 并且, 所述访存请求中读请求的比例或写请求的比例不大于设置的第五阈值时, 按照T的时间间隔进行刷新, 其中, 所述T用于指示标准的平均刷新时间间隔。

15、一种内存控制器, 其特征在于, 包括:

通信接口, 用于接收计算机系统中的处理器发送的访存请求;

刷新电路, 用于当接收的访存请求中访问所述计算机系统动态随机存取存储器DRAM中的第一rank的访存请求的数量大于0且小于第二阈值时, 对所述第一rank进行刷新。

16、根据权利要求15所述的内存控制器, 其特征在于, 所述刷新电路具体用于:

当所述接收的访存请求的目标rank的数量小于设置的第四阈值, 并且, 所述访存请求中读请求的比例或写请求的比例大于设置的第五阈值时, 按照T/N的时间间隔对所述第一rank进行刷新, 其中, T用于指示标准的平均刷新时间间隔, N为大于1的整数。

17、根据权利要求15或16所述的内存控制器, 其特征在于:

所述通信接口, 还用于接收在所述刷新电路对所述第一rank进行刷新的过程中, 接收访问所述第一rank的第一访存请求;

所述内存控制器还包括:

缓存, 用于将所述第一访存请求缓存在设置的缓存队列中, 其中, 所述缓存至少包括缓存队列和调度队列, 所述缓存队列用于缓存正在被执行刷新操作的

rank的访存请求，所述调度队列用于缓存待发送给未被执行刷新操作的RANK的访存请求。

18、根据权利要求17所述的内存控制器，其特征在于：

所述通信接口，还用于接收访问所述DRAM中的第二rank的第二访存请求；

所述缓存，还用于当所述第二rank没有被刷新时，将所述第二访存请求缓存在所述调度队列中。

19、根据权利要求15-18任意一项所述的内存控制器，其特征在于，所述刷新电路还用于：

当所述接收的访存请求中访问所述DRAM中的第二rank的访存请求的数量不小于所述第二阈值，且所述第二rank的延迟刷新次数大于设置的第三阈值时，对所述第二RANK进行刷新，其中，所述第三阈值不小于1且小于设置的预警值，所述预警值用于指示需要立即对所述第二rank执行刷新操作。

20、根据权利要求15-19任意一项所述的内存控制器，其特征在于，所述刷新电路还用于：

当所述接收的访存请求中访问所述DRAM中的第三rank的访存请求的数量不小于所述第二阈值，并且所述第三rank的延迟刷新次数不大于设置的第三阈值时，不对所述第三rank执行刷新操作，其中，所述第三阈值不小于1且小于设置的预警值，所述预警值用于指示需要立即对所述第三rank执行刷新操作。

21、根据权利要求15所述的内存控制器，其特征在于，所述刷新电路具体用于：

当所述接收的访存请求的目标rank的数量不小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例不大于设置的第五阈值时，按照T的时间间隔对所述第一rank进行刷新，其中，所述T用于指示标准的平均刷新时间间隔。

22、一种内存刷新装置，所述内存刷新装置用于对计算机系统动态随机存取存储器DRAM进行刷新，包括：

接收模块，用于接收访存请求；

刷新模块，用于当接收的访存请求中访问所述DRAM中的第一rank的访存请求的数量大于0且小于第二阈值时，对所述第一rank进行刷新。

23、根据权利要求22所述的内存刷新装置，其特征在于：

所述刷新模块，具体用于当所述接收的访存请求的目标rank的数量小于设置的第四阈值，并且，所述访存请求中读请求的比例或写请求的比例大于设置的第

五阈值时,按照T/N的时间间隔对所述第一rank进行刷新,其中,T用于指示标准的平均刷新时间间隔,N为大于1的整数。

24、根据权利要求22所述的内存刷新装置,其特征在于:

所述接收模块,还用于在对所述第一rank进行刷新的过程中,接收访问所述第一rank的第一访存请求;

所述内存刷新装置还包括:

缓存模块,用于将所述第一访存请求缓存在设置的缓存队列中,其中,所述缓存模块中至少包括缓存队列和调度队列,所述缓存队列用于缓存正在被执行刷新操作的rank的访存请求,所述调度队列用于缓存待发送给未被执行刷新操作的RANK的访存请求。

25、根据权利要求24所述的内存刷新装置,其特征在于:

所述接收模块,还用于接收访问所述DRAM中的第二rank的第二访存请求;

所述缓存模块,还用于当所述第二rank没有被刷新时,所述内存控制器将所述第二访存请求缓存在所述调度队列中。

26、根据权利要求22-25任意一项所述的内存刷新装置,其特征在于:

所述刷新模块,还用于当所述接收的访存请求中访问所述DRAM中的第二rank的访存请求的数量不小于所述第二阈值,且所述第二rank的延迟刷新次数大于设置的第三阈值时,对所述第二rank进行刷新,其中,所述第三阈值不小于1且小于设置的预警值,所述预警值用于指示需要立即对所述第二rank执行刷新操作。

27、根据权利要求22-26任意一项所述的内存刷新装置,其特征在于:

所述刷新模块,还用于当所述接收的访存请求中访问所述DRAM中的第三rank的访存请求的数量不小于所述第二阈值,且所述第三rank的延迟刷新次数不大于设置的第三阈值时,不对所述第三rank进行刷新,其中,所述第三阈值不小于1且小于设置的预警值,所述预警值用于指示需要立即对所述第三rank执行刷新操作。

28、根据权利要求22所述的内存刷新装置,其特征在于:

所述刷新模块,具体用于当所述接收的访存请求的目标rank的数量不小于设置的第四阈值,并且,所述访存请求中读请求的比例或写请求的比例不大于设置的第五阈值时,按照T的时间间隔对所述第一rank进行刷新,其中,T用于指示标准的平均刷新时间间隔。