

时钟产生电路及应用其的锁存器和计算设备

技术领域

5 本发明涉及一种受时钟控制的存储器件，尤其涉及一种在大规模数据运算设备中应用的时钟产生电路及应用其的锁存器和计算设备。

背景技术

锁存器应用非常广泛，可用做数字信号的寄存。图 1 为现有锁存器的电路框图及时序图。如图 1 所示，锁存器 latch 具有输入端 D、输出端 Q 以及时钟信号端 CK。其工作原理为当时钟信号 CK 为低电平“0”时，输入端 D 的数据传输至输出端 Q，并被锁存器 latch 锁存，直至下一个时钟周期。且，由图 1 可以看出，传输至输出端 Q 的数据相对于时钟信号 CK 以及输入端 D 均具有延迟，例如，相对于时钟信号 CK 的延迟为 $CK2Q$ ，相对于输入端 D 的延迟为 $D2Q$ 。当多个锁存器串联连接在一起时，就会发生数据串通的问题。

15 图 2 为级联锁存器的电路结构示意图及时序图。如图 2 所示，当多个锁存器 latch1、latch2、latch3... 串联连接在一起时，每一级锁存器的时钟信号端 CK 均连接至相同的时钟信号，由于时钟信号在低电平时，前一级锁存器输入端 D 的数据会直接传送到输出端 Q，而其下一级锁存器会把新的数据直接向下一级锁存器传输，由此将会产生数据串通的问题。为解决数据串通的问题，
20 通常采用错开时钟信号相位以及减小时钟信号脉冲宽度的方式。

图 3 为第一方式采用不同时钟信号的级联锁存器的电路结构示意图及时序图。如图 3 所示，多个锁存器 latch1、latch2、latch3... 串联连接在一起时，每一级锁存器的时钟信号端 CK 均连接至不同的时钟信号，例如，锁存器 latch1 的时钟信号端 CK 连接至时钟信号 CK1，锁存器 latch2 的时钟信号端 CK 连接至时钟信号 CK2，锁存器 latch3 的时钟信号端 CK 连接至时钟信号 CK3，以此类推。以前三级锁存器 latch1、latch2 以及 latch3 为例，由图 3 可以看出，由于时钟信号 CK1、CK2 以及 CK3 之间的相位错开，输入端 D 输入的数据沿锁存器 latch1、latch2、latch3 的方向进行传输，即数据最先到达锁存器 latch1，最晚到达 latch3，而时钟信号 CK1、CK2、CK3 由于延迟的不同，时钟 CK3 的下降沿最先到达 latch3，时钟 CK1 的下降沿最晚到达 latch1，也就
30

是说，数据先到达的锁存器，时钟的下降沿越晚到达。由此，可以使得锁存器 latch1、latch2、latch3 所传输的数据依次在多个锁存器 latch1、latch2、latch3 之间依序传输，能够有效避免数据串通的问题。而此时，又会带来另一个问题。

5 图 4 为另一方式采用不同时钟信号的级联锁存器的电路结构示意图及时序图。如图 4 所示，多个锁存器 latch1、latch2、latch3... 串联连接在一起时，每一级锁存器的时钟信号端 CK 均连接至不同的时钟信号，例如，锁存器 latch1 的时钟信号端 CK 连接至时钟信号 CK1，锁存器 latch2 的时钟信号端 CK 连接至时钟信号 CK2，锁存器 latch3 的时钟信号端 CK 连接至时钟信号 CK3，
10 以此类推。由图 4 可以看出，当时钟信号 CK1、CK2 以及 CK3 之间的相位不能完全错开，或者时钟信号 CK1、CK2、CK3 的脉冲宽度过宽时，将会导致锁存器不稳定状态之间的数据发生串通，由此产生的数据串通会将非理想的脉冲信号（glitch）直接串通到下一级，产生更大的功耗，进而导致应用锁存器的计算
15 芯片所消耗的功耗超出预期，这种脉冲信号的串通在传统时序分析中又被称作保持失效。另外，为了实现时钟信号之间的相位能够完全错开，则需要数量巨大的缓冲器。

因此，如何有效减少缓冲器的数量，避免级联锁存器数据串通问题，提高数据传输、锁存的正确性和准确率实为需要解决的问题。

20 **发明公开**

为了解决上述问题，本发明提供一种时钟产生电路及应用其的锁存器和计算设备，可以有效对时钟脉冲进行整形，减少时钟缓冲器的使用数量，提高数据传输、锁存的正确性和准确率。

25 为了实现上述目的，本发明提供一种时钟产生电路，包括一输入端，用于输入一脉冲信号；一第一输出端，用于输出一第一时钟信号；一第二输出端，用于输出一第二时钟信号；一输入驱动电路、一锁存电路、一边沿整形电路、一反馈延迟单元以及一输出驱动电路；所述输入驱动电路、所述锁存电路、所述边沿整形电路、所述反馈延迟单元以及所述输出驱动电路依次串接在所述输入端与
30 所述第一输出端以及所述第二输出端之间。

为了更好地实现上述目的，本发明还提供了一种锁存器，包括：一数据输

入端，用于输入一数据信号；一数据输出端，用于输出所述数据信号；一时钟信号输入端，用于输入一第一时钟信号；多级锁存电路，按照一第一顺序依次串联连接在所述数据输入端与所述数据输出端之间；多级时钟产生电路，按照一第二顺序依次串联连接，并电性连接至所述多级锁存电路；其中，所述第一顺序与
5 所述第二顺序的方向相反，且所述时钟产生电路为上述的时钟产生电路。

为了更好地实现上述目的，本发明还提供了一种计算设备，包括一个或多个上述的锁存器。

以下结合附图和具体实施例对本发明进行详细描述，但不作为对本发明的
10 限定。

附图简要说明

图 1 为现有锁存器的电路框图及时序图。

图 2 为现有级联锁存器的电路结构示意图及时序图。

15 图 3 为现有第一方式采用不同时钟信号的级联锁存器的电路结构示意图及时序图。

图 4 为现有另一方式采用不同时钟信号的级联锁存器的电路结构示意图及时序图。

图 5 为本发明一实施例时钟产生电路的电路结构示意图。

20 图 6 为本发明一实施例输入驱动电路的电路结构示意图。

图 7 为本发明一实施例锁存电路的电路结构示意图。

图 8 为本发明一实施例边沿整形电路的电路结构示意图。

图 9 为本发明一实施例反馈延迟单元的电路结构示意图。

图 10 为本发明一实施例输出驱动电路的电路结构示意图。

25 图 11 为时钟产生电路第二输出端的时钟信号波形示意图。

图 12 为本发明一实施例在时钟产生电路控制下锁存单元的时序图。

图 13 为本发明一实施例锁存器的电路结构示意图及时序图。

图 14 为本发明另一实施例锁存器的电路结构示意图及时序图。

其中，附图标记：

30 100：时钟产生电路

- 101: 输入驱动电路
- 102: 锁存电路
- 103: 边沿整形电路
- 104: 反馈延迟单元
- 5 105 输出驱动电路
- 200: 锁存器
- INV1、INV2、INV3、INV4、INV5: 反向器
- NAND1、NAND2: 与非门
- P1、P2、P3: PMOS 晶体管
- 10 N1、N2、N3: NMOS 晶体管
- CKG、CKG1、CKG2、CKG3: 时钟产生电路
- CKI: 输入端
- CKO1: 第一输出端
- CKO2: 第二输出端
- 15 CKP1、CKP2、CKP3: 时钟信号
- latch1、latch2、latch3: 锁存电路
- D1、D2、D3: 输入端
- Q1、Q2、Q3: 输出端
- DC: 延迟电路
- 20 VDD: 电源
- VSS: 地

实现本发明的最佳方式

下面结合附图对本发明的结构原理和工作原理作具体的描述:

- 25 在说明书及后续的权利要求当中使用了某些词汇来指称特定组件。所属领域中具有通常知识者应可理解, 制造商可能会用不同的名词来称呼同一个组件。本说明书及后续的权利要求并不以名称的差异来作为区分组件的方式, 而是以组件在功能上的差异来作为区分的准则。

- 30 在通篇说明书及后续的权利要求当中所提及的“包括”和“包含”为一开放式的用语, 故应解释成“包含但不限于”。以外, “连接”一词在此为包含任何

直接及间接的电性连接手段。间接的电性连接手段包括通过其它装置进行连接。

图 5 为本发明一实施例时钟产生电路的电路结构示意图。如图 5 所示，时钟产生电路 100 包括输入端 CKI、第一输出端 CK01 以及第二输出端 CK02，输入驱动电路 101、锁存电路 102、边沿整形电路 103、反馈延迟单元 104 以及输出驱动电路 105 依次串联连接在输入端 CKI 与第一输出端 CK01 以及第二输出端 CK02 之间。

具体的，图 6 为本发明一实施例输入驱动电路的电路结构示意图。结合图 5、图 6 所示，输入驱动电路 101 由串联连接的两个反向器 INV1、INV2 构成。

其中，反向器 INV1、INV2 均具有输入端和输出端，反向器 INV1 的输入端电性连接至时钟产生电路 100 的输入端 CKI，用于向时钟产生电路 100 提供一起始时钟信号，反向器 INV1 的输出端电性连接至反向器 INV2 的输入端，并电性连接至边沿整形电路 103，反向器 INV2 的输出端电性连接至锁存电路 102。本发明仅以相互串联连接的两个反向器为例，当然，输入驱动电路 101 也可以多个串联连接的反向器构成，以能够实现电性连接至边沿整形电路 103 以及电性连接至锁存电路 102 的两个输出信号反向为准，本发明并不以此为限。

具体的，图 7 为本发明一实施例锁存电路的电路结构示意图。结合图 5-图 7 所示，锁存电路 102 由相互交叉连接的两个与非门 NAND1、NAND2 构成。

其中，与非门 NAND1、NAND2 均具有第一输入端、第二输入端和输出端，与非门 NAND1 的第一输入端电性连接至与非门 NAND2 的输出端，与非门 NAND1 的第二输入端电性连接至反馈延迟单元 104，与非门 NAND1 的输出端电性连接至边沿整形电路 103 以及与非门 NAND2 的第二输入端，与非门 NAND2 的第一输入端电性连接至反向器 INV2 的输出端。

具体的，图 8 为本发明一实施例边沿整形电路的电路结构示意图。结合图

5-图 8 所示，所述边沿整形电路包括 PMOS 晶体管 P1、P2、P3 以及 NMOS 晶体管 N1、N2、N3，每一 PMOS 晶体管或 NMOS 晶体管均具有第一端、第二端以及控制端。其中，PMOS 晶体管 P1、P2 的第一端电性连接至电源 VDD，PMOS 晶体管 P1、P2 的第二端电性连接至 PMOS 晶体管 P3 的第一端，PMOS 晶体管 P3 的第二端分别电性连接至 NMOS 晶体管 N1、N2 的第一端，NMOS 晶体管 N2 的第二端电性连接至 NMOS 晶体管 N3 的第一端，NMOS 晶体管 N1、N3 的第二端电性

连接至地 VSS, PMOS 晶体管 P1 以及 NMOS 晶体管 N2 的控制端电性连接至反向器 INV1 的输出端, PMOS 晶体管 P3 以及 NMOS 晶体管 N1 的控制端电性连接至与非门 NAND1 的输出端, PMOS 晶体管 P2 与 NMOS 晶体管 N3 的控制端电性连接至 PMOS 晶体管 P3 的第二端, 并电性连接至反馈延迟单元 104 以及输出驱动电路 105。

图 9 为本发明一实施例反馈延迟单元的电路结构示意图。如图 5-图 9 所示, 反馈延迟电路 104 由多个串联连接的反向器构成, 反馈延迟电路 104 具有输入端以及输出端, 反馈延迟电路 104 的输入端电性连接至边沿整形电路 103 中 PMOS 晶体管 P3 的第二端, 反馈延迟电路 104 的输出端电性连接至与非门 NAND1 的第二输入端。需要说明的是, 构成反馈延迟电路 104 的反向器数量为奇数个, 以输出与输入端反向的信号。具体数量取决于需要对输入信号延迟的时间长短, 本发明并不以此为限。

图 10 为本发明一实施例输出驱动电路的电路结构示意图。如图 5-图 10 所示, 输出驱动电路 105 包括反向器 INV3、INV4 以及 INV5。其中, 反向器 INV3、INV4 以及 INV5 均具有输入端以及输出端, 反向器 INV3 的输入端电性连接至边沿整形电路 103 中 PMOS 晶体管 P3 的第二端, 反向器 INV3 的输出端电性连接至第一输出端 CK01, 反向器 INV4 的输入端电性与反向器 INV3 的输入端电性连接并共同连接至边沿整形电路 103 中 PMOS 晶体管 P3 的第二端, 反向器 INV4 的输出端电性连接至反向器 INV5 的输入端, 反向器 INV5 的输出端电性连接至第二输出端 CK02。本发明仅以反向器 INV3、INV4 以及 INV5 的数量为 1 进行描述, 当然, 反向器 INV3、INV4 以及 INV5 也可以由多个反向器串联连接形成, 以第一输出端 CK01 与第二输出端 CK02 的输出信号反向为准, 本发明并不以此为限。

由此, 结合图 5-图 10 所示, 时钟产生电路 100 由输入端 CKI 输入一起始时钟信号, 经过时钟产生电路 100 产生两个反向的时钟信号, 分别通过第一输出端 CK01 和第二输出端 CK02 输出。图 11 为时钟产生电路第二输出端的时钟信号波形示意图。如图 1、图 11 所示, 由于时钟产生电路 100 中第一输出端 CK01 以及第二输出端 CK02 输出的时钟信号仅仅与输入端 CKI 输入的起始时钟信号的上升沿有关, 因此, 不论时钟产生电路 100 中输入端 CKI 输入的起始时钟信号脉冲宽度为宽或窄, 时钟产生电路 100 的第二输出端 CK02 输出的时钟

信号脉冲宽度不会发生变化。

图 12 为本发明一实施例在时钟产生电路控制下锁存单元的时序图。如图 12 所示，对于锁存单元 latch 而言，数据是否能正确的进行传输取决于数据的建立时间和数据的保持时间，数据保持需要的时间（Hold Require Time）、数据建立需要的时间（Setup Require Time）、锁存单元的保持时间（Latch Hold）、锁存单元的建立时间（Latch Setup）、时钟延迟时间（CK Gen Delay）以及时钟脉冲宽度（Pulse Width）之间需满足如下关系：

$$\text{Hold Require Time} = \text{Latch Hold} + (\text{CK Gen Delay} + \text{Pulse Width})$$

（式一）

10 $\text{Setup Require Time} = \text{Latch Setup} - (\text{CK Gen Delay} + \text{Pulse Width})$
（式二）。如果 $\text{Latch Setup} < \text{Pulse Width}$ ，为保证级联的锁存单元不稳定状态之间的数据不串通，则需要 $\text{Setup Require Time} = \max(\text{Latch setup}, \text{Pulse Width})$ ，如此，就会限制时钟信号的脉冲宽度（Pulse Width）。如果 $\text{Latch Setup} > \text{Pulse Width}$ ，则会出现无法写入问题。也就是说，在锁存单元
15 的整个数据写入阶段都无法满足数据建立需求。为此，本发明提出如下的锁存器。

图 13 为本发明一实施例锁存器的电路结构示意图及时序图。如图 13 所示，锁存器 200 包括级联的锁存电路 latch1、latch2、latch3 以及级联的时钟产生电路 CKG1、CKG2、CKG3。本发明以级数为 3 级进行示意性说明，在实际应用
20 中，级数可能为更多，本发明并不以此为限。其中，锁存电路 latch1、latch2、latch3 的级联顺序即数据的传输顺序为由 latch1 至 latch2 再至 latch3，时钟产生电路 CKG1、CKG2、CKG3 的级联顺序即时钟信号的传输顺序为由 CKG1 至 CKG2 再至 CKG3。需要说明的是，第一级时钟产生电路 CKG1 电性连接至第三级锁存电路 latch3，第二级时钟产生电路 CKG2 电性连接至第二级锁存电路
25 latch2，第三级时钟产生电路 CKG3 电性连接至第一级锁存电路 latch1，也就是说，锁存电路 latch1、latch2、latch3 的级联顺序与时钟产生电路的级联顺序方向相反。

为更详细说明，再参照图 13 所示，时钟产生电路 CKG1、CKG2 以及 CKG3 的第二输出端 CK02 分别向锁存电路 latch3、latch2、latch1 提供时钟信号
30 CKP1、CKP2 以及 CKP3，时钟产生电路 CKG1 的第一输出端 CK01 电性连接至时

钟产生电路 CKG2 的输入端 CKI，时钟产生电路 CKG2 的第一输出端 CK01 电性连接至时钟产生电路 CKG3 的输入端 CKI。由于，第一输出端 CK01 与第二输出端 CK02 输出的时钟信号反向，所以，时钟信号 CKP1、CKP2 以及 CKP3 之间的相位完全错开，不会出现相位重叠的情况，相较于通过连接缓冲器来使时钟信号 CKP1、CKP2 以及 CKP3 之间实现相位错开而言更有效率，也更能确保相位完全错开，还可以节约使用缓冲器。

图 14 为本发明一实施例锁存器的电路结构示意图及时序图。如图 14 所示，与图 13 所示实施例不同之处在于，时钟产生电路 CKG1 的第一输出端 CK01 电性连接至时钟产生电路 CKG2 的输入端 CKI 以及时钟产生电路 CKG3 的输入端 CKI。由此，当相邻的两级锁存电路例如 latch1 和 latch2 之间存在较大的逻辑延迟时，例如 latch1 的输出端 Q1 与 latch2 的输入端 D2 之间电性连接有延迟电路 DC 时，根据（式二）： $\text{Setup Require Time} = \text{Latch Setup} - (\text{CK Gen Delay} + \text{Pulse Width})$ ，可以解决关键时序路径（critical path）的时钟建立问题，从而提高锁存器的工作频率。

当然，在实际应用中，一级锁存电路可以与一级时钟产生电路相对应，即一级时钟产生电路向一级锁存电路提供时钟信号。也可以是每一级锁存电路包括多个串联连接的锁存单元、多个并联连接的锁存单元或串并结合的多个锁存单元，即一级时钟产生电路向多个锁存单元提供时钟信号。另外，根据负载驱动需要，每一级时钟产生电路也可以包括多个时钟产生电路，一个时钟产生电路与一个锁存单元相对应。由此，这样形成的多个时钟产生电路相互连接在一起，就构成了时钟树，由于锁存电路的级联顺序与时钟产生电路的级联顺序方向相反，也就构成了逆向时钟树。同时，利用时钟产生电路 100 的第二输出端 CK02，实现信号重新建立与增强的功能。在时钟树扇出（fanout）很大即其负载（loading）很大的情况下，可以改善数据的传输性能。

综上所述，本发明提供的时钟产生电路无论其起始时钟信号的波形如何，都可以产生脉冲宽度相同的时钟信号，可以有效对时钟信号的脉冲进行整形；另外，锁存器由于采用了逆向时钟树的设计结构，本发明提供的锁存器可以有效实现完全错开时钟信号之间的相位，减少时钟缓冲器的使用数量，提高数据传输、锁存的正确性和准确率。

本发明还提供一种计算设备，其中，计算设备中包括一个或多个上述的锁

存器，用于存储和传输数据。

换言之，本发明还可有其它多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形，但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

5

工业应用性

采用本发明的时钟产生电路及应用其的锁存器和计算设备，具有以下有益效果：

10 本发明提供的时钟产生电路无论其起始时钟信号的波形如何，都可以产生脉冲宽度相同的时钟信号，可以有效对时钟信号的脉冲进行整形；另外，锁存器由于采用了逆向时钟树的设计结构，可以有效实现完全错开时钟信号之间的相位，减少时钟缓冲器的使用数量，提高数据传输、锁存的正确性和准确率。